

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6819599号
(P6819599)

(45) 発行日 令和3年1月27日 (2021.1.27)

(24) 登録日 令和3年1月6日 (2021.1.6)

(51) Int. Cl.	F I
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 N
H O 5 K 3/46 (2006.01)	H O 5 K 3/46 Z
H O 5 K 3/10 (2006.01)	H O 5 K 3/46 Q
	H O 5 K 3/10 E

請求項の数 12 (全 47 頁)

(21) 出願番号	特願2017-541560 (P2017-541560)	(73) 特許権者	000002897
(86) (22) 出願日	平成28年9月20日 (2016.9.20)		大日本印刷株式会社
(86) 国際出願番号	PCT/JP2016/077743		東京都新宿区市谷加賀町一丁目1番1号
(87) 国際公開番号	W02017/051809	(74) 代理人	110000408
(87) 国際公開日	平成29年3月30日 (2017.3.30)		特許業務法人高橋・林アンドパートナーズ
審査請求日	令和1年9月2日 (2019.9.2)	(72) 発明者	▲葛▼西 諒平
(31) 優先権主張番号	特願2015-188066 (P2015-188066)		東京都新宿区市谷加賀町一丁目1番1号
(32) 優先日	平成27年9月25日 (2015.9.25)		大日本印刷株式会社内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	角田 剛
(31) 優先権主張番号	特願2015-215462 (P2015-215462)		東京都新宿区市谷加賀町一丁目1番1号
(32) 優先日	平成27年11月2日 (2015.11.2)		大日本印刷株式会社内
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	山本 勇一
			東京都新宿区市谷加賀町一丁目1番1号
			大日本印刷株式会社内

最終頁に続く

(54) 【発明の名称】実装部品、配線基板、電子装置、およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の配線層と、絶縁膜と、第2の配線層とがこの順に設けられてなる配線基板であって、

前記絶縁膜の厚さ方向に貫通して前記第1の配線層と前記第2の配線層とを電気的に接続するビア導体を備え、

前記第2の配線層及び前記ビア導体は、第2の焼結金属層と、前記第2の焼結金属層を囲うように配置される第1の焼結金属層とを含み、

前記第1の焼結金属層を構成する第1の金属粒子の平均粒子径は、前記第2の焼結金属層を構成する第2の金属粒子の平均粒子径よりも小さい配線基板。

10

【請求項 2】

前記第2の配線層及び前記ビア導体は、前記第1の焼結金属層を囲うように配置される金属層をさらに含む請求項1に記載の配線基板。

【請求項 3】

前記ビア導体における前記第1の焼結金属層は、底面部と側壁部との角部においてそれらの間を連続する第1の湾曲部を含み、

前記第1の湾曲部の曲率半径は、前記ビア導体の高さの1/4以上である請求項1又は請求項2に記載の配線基板。

【請求項 4】

前記第2の配線層は、配線部と、厚さ方向の断面視において前記ビア導体よりも広幅で

20

あり、前記ビア導体に電氣的に接続されるランド部とを含み、

前記ランド部における前記第1の焼結金属層は、底面部と側壁部との角部においてそれらの間を連続する第2の湾曲部を含み、

前記第2の湾曲部の曲率半径は、前記ランド部の高さの $1/4$ 以上である請求項1乃至請求項3のいずれか1項に記載の配線基板。

【請求項5】

第1の配線層上に、当該第1の配線層の少なくとも一部を露出させる貫通孔及び凹部を含む絶縁膜パターンを形成し、

前記絶縁膜パターンを被覆するように第1の金属粒子を含む第1の導電性ペーストを塗布し、当該第1の導電性ペーストを焼成することで第1の焼結金属層を形成し、

前記第1の焼結金属層を被覆し、かつ前記貫通孔及び前記凹部を埋めるように第2の金属粒子を含む第2の導電性ペーストを塗布し、当該第2の導電性ペーストを焼成することで第2の焼結金属層を形成すること、を含み、

前記第1の金属粒子の平均粒子径は、前記第2の金属粒子の平均粒子径よりも小さい配線基板の製造方法。

【請求項6】

前記絶縁膜パターンを被覆する金属層を形成することをさらに含み、

前記第1の焼結金属層を形成することは、前記金属層を被覆するように前記第1の導電性ペーストを塗布することを含む請求項5に記載の配線基板の製造方法。

【請求項7】

前記貫通孔は、前記第1の配線層上に位置する第1の貫通孔と、前記第1の貫通孔上に位置し、厚さ方向の断面視において前記第1の貫通孔よりも広幅の第2の貫通孔とを含む請求項5又は請求項6に記載の配線基板の製造方法。

【請求項8】

前記第1の焼結金属層を形成することは、前記第1の貫通孔の側壁部と当該第1の貫通孔を介して露出する前記第1の配線層との角部に、前記第1の貫通孔の深さの $1/4$ 以上の曲率半径を有する第1の湾曲部が形成されるように、前記第1の導電性ペーストを塗布することをさらに含む請求項7に記載の配線基板の製造方法。

【請求項9】

前記第1の焼結金属層を形成することは、前記第2の貫通孔の側壁部と底面部との角部に、前記第2の貫通孔の深さの $1/4$ 以上の曲率半径を有する第2の湾曲部が形成されるように、前記第1の導電性ペーストを塗布することをさらに含む請求項7又は請求項8に記載の配線基板の製造方法。

【請求項10】

第1の配線層と、絶縁膜と、第2の配線層とがこの順に設けられてなる配線基板であって、

前記絶縁膜の厚さ方向に貫通して前記第1の配線層と前記第2の配線層とを電氣的に接続するビア導体を備え、

前記第2の配線層及び前記ビア導体は、焼結金属層と、前記焼結金属層を囲うように配置されるスパッタ金属層又は無電解めっき金属層とを含む配線基板。

【請求項11】

前記第2の配線層及び前記ビア導体は、前記スパッタ金属層又は前記無電解めっき金属層を囲うように配置される金属層をさらに含む請求項10に記載の配線基板。

【請求項12】

前記金属層は、Ti、TiN、Cr、CrN、およびMoからなる群より選択される金属材料を含む請求項11に記載の配線基板。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、多層の配線構造を有する実装部品と配線基板、その製造方法、実装部品を多層配線基板に実装した電子装置に関する。

【背景技術】

【0002】

半導体チップ等の実装部品を多層配線基板にフリップチップ実装した電子装置では、多層配線基板は、一方の最外層に半導体チップを実装するための複数の接続電極を有し、他方の最外層には接続パッドを有し、当該接続パッド上にはんだボールが固定され、マザーボードと接続するためのボールグリッドアレイ（BGA）構造となっている。

【0003】

10

このような電子装置の製造工程において、多ピンの実装部品を多層配線基板にフリップチップ実装して一体化する場合、相互の電極の接続を確実にするため実装部位に対して適度に荷重を加える必要がある。さらに実装部品の電極が突起状の導電材料を有している場合、多層配線基板への実装に際して突起状導電材料を弾性変形させることで内部に残留応力を発生させ、実装後の実装部品の変形に対しても接続を維持する効果を付与することができる。このような効果を奏するためにも、実装部位に適度な荷重を加える必要がある。このように実装部位へ荷重を集中させる目的で、多層配線基板内部の金属比率を増加させ、力学的に剛直な構成とする手法等が提案されている（特許文献1）。

【0004】

20

また、半導体チップや多層配線基板の回路パターンの形成方法は従来フォトリソグラフィによるサブトラクト法やアディティブ法などが実施されてきた一方、昨今ではインプリントリソグラフィによるパターン形成も実施され始めてきた。さらに、回路パターンの導電部の形成方法に関しては電解めっきを応用したサブトラクト法やアディティブ法が従来一般的な技法であったのに対し、昨今では電解めっき時に発生する廃液の処理コストを削減する手法として導電性ペーストを印刷法により、リソグラフィにて形成した絶縁層の溝へ充填する手法が開発されている。

【0005】

一方で、電子機器の小型化、薄型化、軽量化、高機能化等が進展する中で、電子機器を構成する各種電子部品の小型化や薄型化等とともに、これらの電子部品が実装されるプリント配線基板についても高密度化、高速化を可能とする技術開発が盛んに行われている。

30

【0006】

特に、LSI等の半導体チップを高密度に実装することができ、かつ高速信号処理回路にも対応可能な多層配線構造の回路基板の新たな提案が要望されている。このような多層配線回路基板においては、微細な配線ピッチで形成された複数層の配線パターン間の高い電気的接続信頼性、優れた高周波特性等を備えていることが重要である。

【0007】

このような多層配線回路基板を製造する方法として、図26に示すように、トレンチ溝部が形成された絶縁膜3上に、スパッタリング、無電解めっき等により金属層91を形成し（図26（A）参照）、電解銅めっき処理により導体としての銅92をトレンチ溝部に埋設し（図26（B）～（D）参照）、研磨処理を施す（図26（E）参照）ことで、配線パターン93、ビア94及びランド95を有する多層配線回路基板を製造する、いわゆるめっき法が提案されている（特許文献2参照）。

40

【0008】

また、図27に示すように、トレンチ溝部が形成された絶縁膜3上に、スパッタリング、無電解めっき等により金属層91を形成し（図27（A）参照）、金属粒子を含む導電性ペースト92をトレンチ溝部内に埋設した後（図27（B）参照）、研磨処理を施す（図27（C）参照）ことで、配線パターン93、ビア94及びランド95を有する多層配線回路基板を製造する、いわゆるペースト法が提案されている（特許文献3参照）。

【0009】

高周波特性の向上には、システム全体の特性インピーダンス整合と、信号を確実に伝搬す

50

るための伝送線路損失の低減が重要となる。伝送線路損失の一因は、導体抵抗による損失（以下、導体損失という）である。導体損失は、特に高周波信号の伝送において、電流が伝送線路の表面に集中し、電流が流れる有効断面積が小さくなることにより、抵抗が大きくなって信号が減衰（損失が増加）する。

【0010】

特許文献4には、高周波信号における導体損失低減のために、多層配線基板において絶縁層を挟んで対抗する伝送線路の表面粗度を制御することで、伝送線路の表面抵抗を特定の数値以下にすることが開示されている。また特許文献5には、高周波信号における導体損失低減のために、伝送線路の端部に凸部を設け、電流が集中する領域の表面積を増加させることが開示されている。

10

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2013-16780号公報

【特許文献2】特開2003-257979号公報

【特許文献3】特開平10-56060号公報

【特許文献4】特開2004-87928号公報

【特許文献5】特開2011-103602号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0012】

高密度化に伴い、実装される実装部品は、配線や層間接続体の微細化、多ピン化が進み、多層配線基板に比べて力学的に脆弱な構造となっている。例えば、LSI等の実装部品では、配線や層間接続体は一般に細く、力学的に脆弱な構造となっている。このため、多層配線基板への実装時に加えられる荷重による実装部品の破壊が問題となっている。そして、実装部品の破壊を防止するために、実装時に加えられる荷重を低減すると、実装部品が多ピンであることに起因した実装荷重の分散による相互の電極接続の阻害が問題となっている。

【0013】

また、多層配線基板を力学的に剛直な構成とする上記特許文献1の手法では、多層配線基板内部の金属比率を増加させるために、電気回路に寄与しないダミーパターンを内部に配設している。しかし、昨今の高密度化の要請を考慮すると、電気回路に寄与しないダミーパターンは、むしろ電気信号に対する寄生容量成分を発生させてしまい、信号伝搬を阻害する要因になるという問題がある。

30

【0014】

本開示の実施形態は、上記のような実状に鑑みてなされたものであり、多層配線基板への実装を安定して行うことができる実装部品と、このような実装部品の製造方法、および信頼性の高い電子装置を提供することを目的とする。

【0015】

上記特許文献2に開示されているようなめっき法においては、トレンチ溝部のうち、配線パターン93用の溝部と、ビア94及びランド95用の溝部（貫通孔を含む）との間で深さや幅が異なるため、配線パターン93、ビア94及びランド95を構成する導体を緻密に、かつ平坦に形成するためには、段階を踏んだめっき処理が必要となる。具体的には、まず、低電流密度（ 1 A/dm^2 程度）で下地となる銅めっき層92を緻密に形成し（図26（B）参照）、中電流密度（ 2 A/dm^2 程度）でトレンチ溝部内に導体92を埋設した後（図26（C）参照）、高電流密度（ 2 A/dm^2 超）でレベリングする（図26（D）参照）。このように、段階的に電流密度を変化させながらめっき処理を行わなければならないことで、長時間の電解銅めっき処理が必要となる。また、レベリングするためには絶縁膜上に導体層を厚く形成しなければならないため、その後に長時間の研磨処理が必要となる。したがって、多層配線回路基板の製造プロセスが複雑となり、製造歩留ま

40

50

りが悪いという問題がある。

【0016】

また、上記特許文献3に開示されているようなペースト法において、一般に、焼結タイプの導電性ペーストが用いられる。電氣的接続信頼性、GHz～THz帯域の高周波特性を向上させるためには、相対的に粒径の小さい金属フィラーを含む、低粘度（低濃度）の導電性ペーストを用い、緻密な導体層を形成する必要がある。特に、ビア94における下層配線との接続部において緻密な導体層が形成されていることが、電氣的接続信頼性及び高周波特性の向上に繋がる。しかしながら、低粘度の導電性ペーストを用いると、焼結時における体積減少が大きく、所定深さのトレンチ溝部、特にビア94及びランド95用の溝部（貫通孔を含む）に導体を埋設するためには、複数回の重ね塗りが必要となり、多層配線回路基板の製造歩留まりが悪化するという問題がある。短時間で導体層を形成するために、相対的に粒径の大きい金属フィラーを含む導電性ペーストを用いると、導電性ペーストの粘度（濃度）が高くなり、緻密な導体層を形成することが困難となり、特に、ビア94と下層配線との電氣的接続信頼性や、高周波特性が低下してしまうおそれがある。

10

【0017】

このような課題に鑑みて、本開示の実施形態は、優れた電氣的接続信頼性及び高周波特性を有するとともに、製造歩留まりの良好な配線基板及びその製造方法を提供することを目的とする。

【0018】

また、上記特許文献4においては伝送線路の表面粗度を制御するプロセスが別途必要であり、また、上記特許文献5においては伝送線路端部に凸部を形成するプロセスが別途必要となり、製造工程が増加してしまう。さらに、特許文献4及び特許文献5においては、伝送線路の導電体材料に何ら考慮がなされていない。

20

【0019】

本開示の実施形態は、そのような課題に鑑みてなされたものであり、簡易なプロセスで高周波帯域の伝送特性を改善した伝送線路を有する配線基板を提供することを目的の一つとする。

【課題を解決するための手段】

【0020】

本開示の一実施形態によると、基材上に、複数の導体層が絶縁層を介して積層している多層構造を有し、最表面の絶縁層に画定された実装領域には、複数の電極パッドを備える最表面の導体層が位置し、最表面の導体層を除く各導体層において、多層構造の厚み方向で実装領域と重複する導体層の面積は、実装領域の面積の60～95%の範囲である領域を含む実装部品が提供される。

30

【0021】

本開示の他の態様として、最表面の導体層に対して絶縁層を介して直下に位置する下層の導体層において、多層構造の厚み方向で最表面の導体層が備える電極パッドと重複する下層の導体層の面積は、電極パッドの面積の50%以上である領域を含んでもよい。

【0022】

本開示の他の態様として、最表面の導体層を除く各導体層において、多層構造の厚み方向で実装領域と重複する面積は、最表面に近い導体層ほど大きくてもよい。

40

【0023】

本開示の他の態様として、導体層は、回路パターンを構成し、ダミーパターンは存在しなくてもよい。

【0024】

本開示の他の態様として、回路パターンは、信号を伝送する信号パターン、電源電位を維持する電源パターンおよびグランド電位を維持するグランドパターンの少なくとも1種を含んでもよい。

【0025】

本開示の他の態様として、基材はシリコンまたはガラスであってもよい。

50

【0026】

また、本開示の一実施形態によると、基材上に絶縁層と導体層を交互に積層して多層構造を構成するとともに、絶縁層を介した上下の導体層を層間接続体を介して接続する実装部品の製造方法であって、予め、最表面となる絶縁層に、電極パッドを配置するための実装領域を設定し、最表面の導体層を除く各導体層の形成では、多層構造の厚み方向で実装領域と重複する導体層の面積を、実装領域の面積の60～95%の範囲とし、最表面の絶縁層上への導体層の形成では、実装領域に電極パッドが位置するように導体層を形成する製造方法が提供される。

【0027】

本開示の他の態様として、最表面の導体層に対して絶縁層を介して直下に位置する下層の導体層の形成では、多層構造の厚み方向で最表面の導体層が備える電極パッドと重複する下層の導体層の面積を、電極パッドの面積の50%以上となるようにしてもよい。

10

【0028】

本開示の他の態様として、最表面の導体層を除く各導体層の形成では、多層構造の厚み方向で実装領域と重複する導体層の面積を、最表面に近い導体層ほど大きくしてもよい。

【0029】

本開示の他の態様として、各導体層の形成では、信号を伝送する信号パターン、電源電位を維持する電源パターンおよびグランド電位を維持するグランドパターンの少なくとも1種を含む回路パターンを形成し、回路パターンを構成しないダミーパターンは形成しなくてもよい。

20

【0030】

本開示の他の態様として、基材としてシリコンまたはガラスを使用してもよい。

【0031】

本開示の他の態様として、導体層の形成において、インプリントリソグラフィ法により絶縁層に導体層を配置する凹部を形成してもよい。

【0032】

本開示の他の態様として、導体層は、導電性ペーストを用いて印刷法により形成してもよい。

【0033】

本開示の他の態様として、電子装置は、上述の実装部品を多層配線基板にフリップチップ実装してもよい。

30

【0034】

本開示の他の態様として、多層配線基板は、複数の導体層が絶縁層を介して積層している多層構造を有し、実装部品がフリップチップ実装される面を最表面としたときに、最表面の絶縁層に画定された実装領域には、複数の電極パッドを備える最表面の導体層が位置し、最表面の導体層を除く各導体層において、多層構造の厚み方向で実装領域と重複する導体層の面積は、実装領域の面積の60～95%の範囲である領域を含んでもよい。

【0035】

本開示の他の態様として、実装部品と多層配線基板との間に間隙が存在し、該間隙には実装部品の電極パッドと多層配線基板の電極パッドとを接続する導電材料が存在してもよい。

40

【0036】

本開示の他の態様として、間隙には絶縁材料が位置していてもよい。

【0037】

また、本開示の一実施形態によると、第1の配線層と、絶縁膜と、第2の配線層とがこの順に設けられてなる配線基板であって、絶縁膜の厚さ方向に貫通して第1の配線層と第2の配線層とを電氣的に接続するビア導体を備え、第2の配線層及びビア導体は、第2の焼結金属層と、第2の焼結金属層を囲うように配置される第1の焼結金属層とを含み、第1の焼結金属層を構成する第1の金属粒子の平均粒子径は、第2の焼結金属層を構成する第2の金属粒子の平均粒子径よりも小さい配線基板が提供される。

50

【0038】

本開示の他の態様として、第2の配線層及びビア導体は、第1の焼結金属層を囲うように配置される金属層をさらに含んでもよい。

【0039】

本開示の他の態様として、層間接続体ビア導体における第1の焼結金属層は、底面部と側壁部との角部においてそれらの間を連続する湾曲部を含み、湾曲部の曲率半径は、ビア導体の高さの $1/4$ 以上であってもよい。

【0040】

本開示の他の態様として、第2の配線層は、配線部と、厚さ方向の断面視においてビア導体よりも広幅であり、ビア導体に電氣的に接続されるランド部とを含み、ランド部における第1の焼結金属層は、底面部と側壁部との角部においてそれらの間を連続する湾曲部を含み、湾曲部の曲率半径は、ランド部の高さの $1/4$ 以上であってもよい。

10

【0041】

また、本開示の一実施形態によると、第1の配線層上に、当該第1の配線層の少なくとも一部を露出させる貫通孔及び凹部を含む絶縁膜パターンを形成する工程と、絶縁膜パターンを被覆するように第1の金属粒子を含む第1の導電性ペーストを塗布し、当該第1の導電性ペーストを焼成することで第1の焼結金属層を形成する工程と、第1の焼結金属層を被覆し、かつ貫通孔及び凹部を埋めるように第2の金属粒子を含む第2の導電性ペーストを塗布し、当該第2の導電性ペーストを焼成することで第2の焼結金属層を形成する工程とを含み、第1の金属粒子の平均粒子径は、第2の金属粒子の平均粒子径よりも小さい配線基板の製造方法が提供される。

20

【0042】

本開示の他の態様として、絶縁膜パターンを被覆する金属層を形成する工程をさらに含み、第1の焼結金属層を形成する工程において、金属層を被覆するように第1の導電性ペーストを塗布してもよい。

【0043】

本開示の他の態様として、貫通孔は、第1の配線層側に位置する第1の貫通孔と、第1の貫通孔上に位置し、厚さ方向の断面視において第1の貫通孔よりも広幅の第2の貫通孔とを含んでもよい。

【0044】

30

本開示の他の態様として、第1の焼結金属層を形成する工程において、第1の貫通孔の側壁部と当該第1の貫通孔を介して露出する第1の配線層との角部に、第1の貫通孔の深さの $1/4$ 以上の曲率半径を有する第1の湾曲部が形成されるように、第1の導電性ペーストを塗布するのが好ましく、第1の焼結金属層を形成する工程において、第2の貫通孔の側壁部と底面部との角部に、第2の貫通孔の深さの $1/4$ 以上の曲率半径を有する第2の湾曲部が形成されるように、第1の導電性ペーストを塗布してもよい。

【0045】

また、本開示の一実施形態によると、第1の配線層と、絶縁膜と、第2の配線層とがこの順に設けられてなる配線基板であって、絶縁膜の厚さ方向に貫通して第1の配線層と第2の配線層とを電氣的に接続するビア導体を備え、第2の配線層及びビア導体は、焼結金属層と、前記焼結金属層を囲うように配置されるスパッタ金属層又は無電解めっき金属層とを含む配線基板が提供される。

40

【0046】

本開示の他の態様として、第2の配線層及びビア導体は、スパッタ金属層又は無電解めっき金属層を囲うように配置される金属層をさらに含んでもよい。

【0047】

金属層は、Ti, TiN, Cr, CrN, およびMoからなる群より選択される金属材料を含む請求項28に記載の配線基板。

【0048】

また、本開示の一実施形態によると、第1面にトレンチが配置された第1の絶縁層と、ト

50

レンチの内側の表面に配置された第1の導電体、及び第1の導電体に接し、第1の導電体の導電率より低い導電率を有する第2の導電体を有する第1の配線と、を備える配線基板が提供される。

【0049】

本開示の他の態様として、第1の導電体の導電率は $5 \times 10^7 \text{ S/m}$ 以上で、第2の導電体の導電率は $1 \times 10^7 \text{ S/m}$ から $2 \times 10^7 \text{ S/m}$ の範囲であってもよい。

【0050】

本開示の他の態様として、第1の配線の幅に対して、第1の導電体の幅が $1/8$ 以上であってもよい。

【0051】

本開示の他の態様として、第2の導電体は、多孔質であってもよい。

【0052】

本開示の他の態様として、第1の導電体は銅であり、第2の導電体は銅ナノ粒子ペースト焼結体であってもよい。

【0053】

本開示の他の態様として、配線基板はさらに、第1面において第1の配線の両側に配置された第2の配線及び第3の配線を備え、第2の配線と近接する第1の導電体の幅と、第3の配線と近接する第1の導電体の幅は、その他の領域の第1の導電体の幅より大きくてもよい。

【0054】

本開示の他の態様として、配線基板はさらに、第1面とは反対側の第2面に配置された第2の配線を備え、第2の配線と近接する第1の導電体の幅は、その他の領域の第1の導電体の幅より大きくてもよい。

【0055】

本開示の他の態様として、配線基板はさらに、第1面に配置された第2の絶縁層を備えてもよい。

【0056】

本開示の他の態様として、配線基板はさらに、第1面とは反対側の第2面に配置された第2の配線と、第1面において第1の配線上に配置された第1の導電体と、第1面に配置された第2の絶縁層と、第2の絶縁層の第1の絶縁層とは反対側に配置された第3の配線と、を備え、第2の配線と近接する第1の導電体の幅と、第3の配線と近接する第1の導電体の幅は、その他の領域の第1の導電体の幅より大きくてもよい。

【0057】

本開示の他の態様として、第1の絶縁層の第1面にトレンチを形成し、トレンチの内側の表面に第1の導電体を形成し、第1の導電体に接し、第1の導電体の導電率より低い導電率を有する第2の導電体を形成してもよい。

【0058】

本開示の他の態様として、第2の導電体は、印刷法で形成してもよい。

【0059】

本開示の他の態様として、第2の導電体は、銅ナノ粒子ペーストを用いて形成してもよい。

【発明の効果】

【0060】

本開示の実施形態に係る実装部品は、多層配線基板への実装を安定して行うことができる。また、本開示の実施形態に係る実装部品の製造方法は、このような実装部品を簡易かつ確実に製造することができる。さらに、本開示の実施形態に係る電子装置は、信頼性が高いものである。

【0061】

本開示の実施形態によると、優れた電氣的接続信頼性及び高周波特性を有するとともに、製造歩留まりの良好な配線基板及びその製造方法を提供することができる。

10

20

30

40

50

【0062】

本開示の一実施形態によると、簡易なプロセスで高周波帯域の伝送特性を改善した伝送線路を有する配線基板を提供することができる。

【図面の簡単な説明】

【0063】

【図1】本開示の一実施形態に係る実装部品を示す概略部分断面図である。

【図2】本開示の一実施形態に係る実装部品の電極パッドの配列の一例を示す平面図である。

【図3】図2にて一点鎖線で囲まれた領域を説明するための図である。

【図4】図3（A）のI-I線における縦断面図である。

10

【図5】電極パッドとその下層の導体層との関係を説明するための図である。

【図6】本開示の一実施形態に係る実装部品の製造方法を説明するための工程図である。

【図7】本開示の実施形態の変形例に係る実装部品の製造方法を説明するための工程図である。

【図8】本開示の一実施形態に係る電子装置を示す概略部分断面図である。

【図9】本開示の一実施形態に係る配線基板の概略構成を示す断面図である。

【図10】本開示の一実施形態に係る配線基板におけるビア導体近傍の概略構成を示す部分拡大断面図である。

【図11】本開示の一実施形態に係る配線基板の製造方法の各工程を断面図にて示す工程フロー図（その1）である。

20

【図12】本開示の一実施形態に係る配線基板の製造方法の各工程を断面図にて示す工程フロー図（その2）である。

【図13】本開示の一実施形態に係る配線基板の概略構成を示す断面図である。

【図14】本開示の一実施形態に係る配線基板の製造方法の各工程を断面図にて示す工程フロー図（その2）である。

【図15】本開示の一実施形態に係る配線基板の一例を示す（A）上面図及び（B）断面図である。

【図16】本開示の一実施形態に係る配線基板の製造方法を示す断面図である。

【図17】本開示の一実施形態に係る配線基板の一例を示す（A）上面図及び（B）断面図である。

30

【図18】本開示の一実施形態に係る配線基板の製造方法を示す断面図である。

【図19】本開示の一実施形態に係る配線基板の一例を示す（A）上面図及び（B）断面図である。

【図20】本開示の一実施形態に係る配線基板の製造方法を示す断面図である。

【図21】本開示の一実施形態に係る配線基板の一例を示す（A）上面図及び（B）断面図である。

【図22】本開示の一実施形態に係る配線基板の製造方法を示す断面図である。

【図23】本開示の実施形態の変形例に係る配線基板の一例を示す断面図である。

【図24】本開示の実施例及び比較例の配線基板における伝送線路の伝送特性を示すグラフである。

40

【図25】本開示の一実施形態に係る配線基板断面の電子顕微鏡（SEM）写真である。

【図26】従来の多層配線回路基板の製造方法（めっき法）の各工程を断面図にて示す工程フロー図である。

【図27】従来の多層配線回路基板の製造方法（ペースト法）の各工程を断面図にて示す工程フロー図である。

【発明を実施するための形態】

【0064】

以下、本開示の実施の形態について図面を参照して説明する。尚、図面は模式的または概念的なものであり、各部材の寸法、部材間の大きさの比等は、必ずしも現実のものと同じとは限らず、また、同じ部材等を表す場合であっても、図面により互いの寸法や比が異

50

なって表される場合もある。本開示の実施形態に係る実装部品、配線基板、電子装置、およびその製造方法は多くの異なる態様で実施することが可能であり、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、本実施の形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。また、説明の便宜上、上方又は下方という語句を用いて説明するが、上下方向が逆転してもよい。

【0065】

<第1実施形態>

[実装部品]

図1は、本開示の実装部品の一実施形態を示す概略部分断面図である。図1において、実装部品11は、基材12上に、複数の導体層15が絶縁層14を介して積層し、絶縁層14を介した上下の導体層15を電氣的に接続する層間接続体16を備えた多層構造を有している。図示例では、絶縁層14は絶縁層14A～14Fの6層を有し、導体層15は導体層15A～15Fの6層を有し、各絶縁層14B～14Fを介した上下の導体層15A～15Fを電氣的に接続する層間接続体16A～16Eが配設されている。また、実装部品11の最表面11aの絶縁層14Fに位置する導体層15Fは、表面電極である複数の電極パッド17を有している。

10

【0066】

図2は、このような実装部品11の電極パッド17の配列の一例を示す平面図である。実装部品11の最表面11aの絶縁層14Fには、平面視外形が矩形であり中央に非実装領域が設けられている環状の実装領域IA（図2では一点鎖線で囲み示している）が画定されている。この実装領域IAには、格子形状の交点に位置するように複数の電極パッド17が所定のピッチで配列されている。実装領域IAは、例えば、格子形状配列の最側端に位置する電極パッド17から25μm離間した位置までを含む領域となるように画定することができる。図2では、実装領域IAに位置する導体層15Fは複数の電極パッド17のみであるが、必要に応じて、導体層15Fの配線パターン等が実装領域IAに位置するものであってもよい。

20

【0067】

実装部品11では、最表面11aの導体層15Fを除く各導体層15A～15Eにおいて、多層構造の厚み方向（図1に矢印aで示す方向）で実装領域IAと重複する導体層の面積 S_{15} は、実装領域IAの面積 S_{IA} の60～95%、好ましくは70～95%の範囲である。実装領域IAと重複する導体層の面積 S_{15} が、実装領域IAの面積 S_{IA} の60%未満であると、実装部品11が力学的に脆弱な構造となり、多層配線基板への実装時に加えられる荷重による実装部品11の内部構造の破壊が生じるおそれがある。また、実装領域IAと重複する導体層の面積 S_{15} が、実装領域IAの面積 S_{IA} の95%を超える場合、回路パターン同士を十分に離間させることが困難となり、不要な近接効果が発生することがあり好ましくない。

30

【0068】

ここで導体層の面積 S_{15} とは、多層構造の厚み方向（図1に矢印aで示す方向）で実装領域IAと重複する各導体層15A～15Eそれぞれの、矢印aで示す方向から平面視したときの各導体層の面積を示す。例えば、導体層15Eでは、絶縁層14Fに画定された実装領域IAと多層構造の厚み方向で重複する範囲に存在する導体層の面積 S_{15E} が、実装領域IAの面積 S_{IA} の60～95%、好ましくは70～95%の範囲である。導体層15A～15Dでも同様である。このように、実装領域IAの面積 S_{IA} を100%としたときに、最表面11aの導体層15Fを除く各導体層15A～15Eにおいて、多層構造の厚み方向で実装領域IAと重複する各導体層の面積 $S_{15A} \sim S_{15E}$ が60～95%、好ましくは70～95%の範囲であることにより、実装部品11を多層配線基板にフリップチップ実装して一体化する際に、実装部位に対して適度に荷重を加えても、実装部品の破壊が防止され、これにより実装部品が多ピンであることに起因した実装荷重の分散による相互の電極接続の障害が防止されて、多層配線基板と実装部品の相互の電極接続を安定して行

40

50

うことができる。

【0069】

また、実装部品11では、多層構造の厚み方向（図1に矢印aで示す方向）で実装領域IAと重複する各導体層15A～15Eの面積 $S_{15A} \sim S_{15E}$ が、実装部品11の最表面11aに近い導体層ほど大きいことが好ましい。したがって、絶縁層14Fに画定された実装領域IAと多層構造の厚み方向で重複する範囲に存在する各導体層15A～15Eの面積 $S_{15A} \sim S_{15E}$ が、 $S_{15A} \leq S_{15B} \leq S_{15C} \leq S_{15D} \leq S_{15E}$ となることが好ましい。各導体層15A～15Eの面積 $S_{15A} \sim S_{15E}$ に上記の関係が成立することにより、実装部品11を多層配線基板にフリップチップ実装して一体化する際に、相互の電極の接続を確実にするため実装部位に対して適度に荷重を加えても、実装部品の破壊発生をより確実に防止することが可能となる。

10

【0070】

図3は、図2にて一点鎖線で囲まれた領域を説明するための図である。図3(A)は、図2にて実装部品11の最表面11aに一点鎖線で囲まれた領域の平面図であり、図4は、図3(A)のI-I線における縦断面図である。図4では、実装部品11の最表面11a側から導体層15F、絶縁層14F、層間接続体16E、導体層15Eのみを示し、他の層は省略している。図示例のように、導体層15Fは表面電極である複数の電極パッド17を有しており、各電極パッド17の下には層間接続体16E（図3(A)では鎖線で示している）が位置している。この層間接続体16Eは、導体層15Fの下層である導体層15Eの所望部位と電氣的に接続されている。

20

【0071】

また、図3(B)は、図3(A)から導体層15F、絶縁層14F、層間接続体16Eを取り除いて、導体層15Eのみを示す平面図である。この導体層15Eは、層間接続体16Eと電氣的に接続される信号パターン15E_sと、この信号パターン15E_sの周囲に、信号パターン15E_sと電氣的に絶縁された状態で位置する電源パターン15E_pまたはグラウンドパターン15E_g（図3(B)では斜線を付して示している）を有している。

【0072】

上記のように、実装部品11では、導体層15A～15Eが回路パターンを構成し、ダミーパターンが存在しないことが好適である。これにより、ダミーパターンに起因する寄生容量成分の発生が防止でき、信号伝搬を阻害する要因を抑制することができる。尚、本開示では、導体層15A～15Eがダミーパターンを含有することを排除するものではない。例えば、ダミーパターンと信号伝搬に供される信号パターンとの間に電源パターンやグラウンドパターンが存在する場合、ダミーパターンに起因する寄生容量成分の発生が抑制される。また、電源パターンやグラウンドパターンが存在しない場合であっても、信号パターンとダミーパターンの離間距離を、例えば、信号パターン形状の信号伝搬の方向に対して垂直方向の幅の3～5倍程度の距離以上とすることにより、寄生容量成分の発生を抑制することができ好適である。

30

【0073】

また、実装部品11では、絶縁層14Fを介して最表面11aの導体層15Fの直下に位置する導体層15Eにおいて、多層構造の厚み方向（図1に矢印aで示す方向）で最表面11aの導体層15Fが有する電極パッド17と重複する導体層15Eの面積は、電極パッド17の面積の50%以上、好ましくは75%以上であることが好適である。電極パッド17と重複する導体層15Eの面積が、電極パッド17の面積の50%未満であると、実装部品11が力学的に脆弱な構造となり、多層配線基板への実装時に加えられる荷重による実装部品11の内部構造の破壊が生じるおそれがあり好ましくない。

40

【0074】

図5は、導体層15Fが有する電極パッド17とその下層の導体層15Eとの関係を説明するための図である。図5では、導体層15Fが有する電極パッド17の輪郭を実線で示し、その下層の導体層15Eの輪郭を一点鎖線で示し、電極パッド17と重複する導体層15Eの輪郭を鎖線で示し、重複部位には斜線を付して示している。図5(A)では、

50

電極パッド 17 の下層に位置する導体層 15 E が、層間接続体 16 E を介して電極パッド 17 と電氣的に接続する信号パターン 15 E_s のみである例を示している。この図 5 (A) に示される例では、電極パッド 17 と重複する信号パターン 15 E_s (斜線を付して示している部位) の面積は、電極パッド 17 の面積を 100 % としたときに、約 15 % となる。

【0075】

また、図 5 (B)、図 5 (C) では、電極パッド 17 の下層に位置する導体層 15 E が、信号パターン 15 E_s と、この信号パターン 15 E_s と電氣的に絶縁された状態で位置するグラウンドパターン 15 E_G である例を示している。図 5 (B) に示される例では、電極パッド 17 と重複する信号パターン 15 E_s とグラウンドパターン 15 E_G (斜線を付して示している部位) の面積の総和は、電極パッド 17 の面積を 100 % としたときに、約 50 % となり、図 5 (C) に示される例では、約 65 % となる。

10

【0076】

さらに、図 5 (D) では、電極パッド 17 の下層に位置する導体層 15 E が、信号パターン 15 E_s と、この信号パターン 15 E_s の周囲に電氣的に絶縁された状態で位置するグラウンドパターン 15 E_G である例を示している。この図 5 (D) に示される例では、電極パッド 17 と重複する信号パターン 15 E_s とグラウンドパターン 15 E_G (斜線を付して示している部位) の面積の総和は、電極パッド 17 の面積を 100 % としたときに、約 75 % となる。

【0077】

20

ここで図 5 (B) ~ (D) では、電極パッド 17 の下層に位置する導体層 15 E が、層間接続体 16 E を介して電極パッド 17 と電氣的に接続する信号パターン 15 E_s と、この信号パターン 15 E_s の周囲に電氣的に絶縁された状態で位置するグラウンドパターン 15 E_G である例を示した。しかしながらこれに限定されず、電極パッド 17 の下層に位置する導体層 15 E は、面積の総和が上記範囲内である限り層間接続体 16 E を介して電極パッド 17 と電氣的に接続する信号パターン 15 E_s のみであってもよい。またグラウンドパターン 15 E_G の代わりに電源パターン 15 E_p であってもよく、グラウンドパターン 15 E_G と電源パターン 15 E_p の組み合わせであってもよい。さらに、寄生容量成分の発生が防止できる限り、電極パッド 17 と電氣的に絶縁された信号パターン 15 E_s を含んでもよい。

30

【0078】

上記のように、多層構造の厚み方向で、最表面 11 a に位置する電極パッド 17 と重複する下層の導体層 15 E の面積が、電極パッド 17 の面積の 50 % 以上、好ましくは 75 % 以上となることにより、力学的に剛直性が向上する。これにより、実装部品 11 を多層配線基板にフリップチップ実装して一体化する際に、相互の電極の接続を確実にするため実装部位に対して適度に荷重を加えても、実装部品の破壊をより確実に防止することができる。

【0079】

このような実装部品 11 を構成する基材 12 は、シリコン、ガラス等であってもよい。また、基材 12 の平面視外形である矩形の寸法は、実装部品 11 に要求される寸法に応じて設定することができ、また、基材 12 の厚みは、例えば、50 ~ 1000 μm の範囲内で適宜設定することができる。

40

【0080】

また、実装部品 11 を構成する絶縁層 14 (14 A ~ 14 F) は、例えば、エポキシ樹脂、ベンゾシクロブテン樹脂、カルド樹脂、ポリイミド樹脂等の有機材料、あるいは、これらの有機材料とガラス繊維等を組み合わせたもの等からなるものとすることができ、厚みは 100 ~ 4000 μm の範囲で設定することができる。

【0081】

また、実装部品 11 を構成する導体層 15 (15 A ~ 15 F)、層間接続体 16 (16 A ~ 16 E) は、銅、銀、金、クロム、アルミニウム、ニッケル等の導電材料からなるも

50

のとすることができる。また、導体層 15 F が有する電極パッド 17 は、上記の導電材料であってよく、さらに、金／ニッケル／金の 3 層構造、ニッケル／金の 2 層構造等としてもよい。

【0082】

このような本開示の実装部品は、多層配線基板への実装において、実装部品の破壊が防止されるとともに、多層配線基板と実装部品の相互の電極接続を安定して行うことができる。

【0083】

上述の実装部品の実施形態は例示であり、本開示はこのような実施形態に限定されるものではない。例えば、導体層により構成される回路パターンは、信号パターン、電源パターン、グランドパターンの少なくとも 1 種とともに、キャパシタ、レジスタ（抵抗）、インダクタ、トランス、LCR 回路等の受動部品を構成するものであってもよい。さらに、回路パターンは、オペアンプ等のアクティブフィルタ素子、ロジック、メモリ素子等の能動部品を構成するものであってもよい。

【0084】

[実装部品の製造方法]

図 6 は、本開示の実装部品の製造方法の一実施形態を説明するための工程図であり、上述の実装部品 11 の製造を例としている。

【0085】

本開示の実装部品の製造方法では、まず、基材 12 の一方の面 12 A に絶縁層 14 A を形成し、この絶縁層 14 A の所望の部位に導体層 15 A を形成する（図 6（A））。この絶縁層 14 A 上への導体層 15 A の形成では、製造目的である実装部品 11 の最表面 11 a となる絶縁層 14 F に電極パッド 17 を配置する実装領域 I A（図示せず）を予め設定する。そして、以後の工程で形成される積層構造の厚み方向（図 6 に矢印 a で示す方向）で、この実装領域 I A に重複する導体層 15 A の面積が、実装領域 I A の面積の 60～95%、好ましくは 70～95% となるようにする。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生を防止できる実装部品 11 を簡易かつ確実に製造することができる。したがって、実装部品 11 を多層配線基板にフリップチップ実装して一体化する際に、多層配線基板と実装部品の相互の電極接続を安定して行うことができる。

【0086】

基材 12 としては、シリコン、ガラス等を使用することができ、厚みは、例えば、50～1000 μm 程度とすることができる。

【0087】

絶縁層 14 A の形成は、例えば、エポキシ樹脂、ベンゾシクロブテン樹脂、カルド樹脂、ポリイミド樹脂等の電気絶縁性樹脂材料を含有する塗布液、あるいは、これらの電気絶縁性樹脂材料とガラス繊維とを組み合わせたものを含有する塗布液を公知の塗布方法で塗布し、その後、加熱、紫外線照射、電子線照射等の所定の硬化処理を施すことにより行うことができる。

【0088】

絶縁層 14 A 上への導体層 15 A の形成は、例えば、以下のように行うことができる。まず、絶縁層 14 A 上にスパッタリング法等の公知の真空成膜法により導電材料薄膜を形成する。導電材料としては、例えば、銅、銀、金、クロム、アルミニウム、ニッケル等を挙げることができる。次に、導電材料薄膜上に感光性のレジストを塗布し、所望のパターン露光、現像を行うことによりレジストパターンを形成する。その後、このレジストパターンをマスクとして導電材料薄膜をエッチングすることにより、導体層 15 A を形成することができる。

【0089】

次に、導体層 15 A 上に絶縁層 14 B を介して導体層 15 B を形成し、また、絶縁層 14 B を介して上下に位置する導体層 15 A と導体層 15 B の所望部位を層間接続体 16 A で接続する（図 6（B））。この導体層 15 B の形成においても、積層構造の厚み方向で

、上記の実装領域 I A（図示せず）に重複する導体層 1 5 B の面積が、実装領域 I A の面積の 6 0 ～ 9 5 %、好ましくは 7 0 ～ 9 5 % となるようにする。

【0 0 9 0】

ここでは、感光性の絶縁材料を用いて絶縁層 1 4 B となる感光性絶縁層を形成し、この感光性絶縁層を所定のマスクを介して露光し、現像することにより、層間接続体 1 6 A を形成するための孔部を導体層 1 5 A の所定位置に有する絶縁層 1 4 B を形成する。そして、洗浄後、上記の孔部と絶縁層 1 4 B 上に、スパッタリング法等の公知の真空成膜法により導電材料薄膜を形成し、この導電材料薄膜にレジスト層を形成し、所望のパターン露光、現像を行うことによりレジストパターンを形成する。次に、このレジストパターンをマスクとして、導電材料薄膜をエッチングすることにより、導体層 1 5 B、層間接続体 1 6 A を形成することができる。

10

【0 0 9 1】

また、絶縁層 1 4 B、導体層 1 5 B、層間接続体 1 6 A の形成は、以下のように行うこともできる。すなわち、導体層 1 5 A を被覆するように絶縁層 1 4 B を形成し、この絶縁層 1 4 B に、炭酸ガスレーザー、UV-YAG レーザー等を用いて、層間接続体 1 6 A を形成するための孔部を形成する。そして、洗浄後、上記の孔部と絶縁層 1 4 B 上に、スパッタリング法等の公知の真空成膜法により導電材料薄膜を形成する。次いで、この導電材料薄膜上にドライフィルムレジストをラミネートして所望のパターン露光、現像を行うことによりレジストパターンを形成する。次に、このレジストパターンをマスクとして、導電材料薄膜をエッチングすることにより、導体層 1 5 B、層間接続体 1 6 A を形成することができる。

20

【0 0 9 2】

次いで、同様の工程で、導体層 1 5 B 上に絶縁層 1 4 C を介して導体層 1 5 C を形成し、また、絶縁層 1 4 C を介して上下に位置する導体層 1 5 B と導体層 1 5 C の所望部位を層間接続体 1 6 B で接続する。さらに、この工程を繰り返すことにより、最終的に、導体層 1 5 E 上に絶縁層 1 4 F を介して電極パッド 1 7 を有する導体層 1 5 F を形成し、また、絶縁層 1 4 F を介して上下に位置する導体層 1 5 E と導体層 1 5 F の所望部位を層間接続体 1 6 E で接続する（図 6（C））。これにより実装部品 1 1 が製造される。この導体層 1 5 C ～ 1 5 E の形成においても、積層構造の厚み方向で、上記の実装領域 I A（図示せず）に重複する各導体層 1 5 C ～ 1 5 E の面積が、実装領域 I A の面積の 6 0 ～ 9 5 %、好ましくは 7 0 ～ 9 5 % となるようにする。

30

【0 0 9 3】

また、本開示の実装部品の製造方法では、導体層 1 5 E の形成において、その後の工程で形成される導体層 1 5 F が有する電極パッド 1 7 と重複する導体層 1 5 E の面積を、電極パッド 1 7 の面積の 5 0 % 以上、好ましくは 7 5 % 以上とすることが好適である。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生をより確実に防止できる実装部品 1 1 を簡易かつ確実に製造することができる。したがって、実装部品 1 1 を多層配線基板にフリップチップ実装して一体化する際に、相互の電極を確実に接続することができる。

【0 0 9 4】

40

また、本開示の実装部品の製造方法では、多層構造の厚み方向で、予め設定した実装領域 I A（図示せず）と重複する各導体層 1 5 A ～ 1 5 E の面積が、実装部品 1 1 の最表面 1 1 a に近い導体層ほど大きくなるようにすることが好適である。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生をさらに確実に防止できる実装部品 1 1 を簡易かつ確実に製造することができる。したがって、実装部品 1 1 を多層配線基板にフリップチップ実装して一体化する際に、多層配線基板と実装部品の相互の電極接続を安定して行うことができる。

【0 0 9 5】

また、本開示の実装部品の製造方法では、各導体層 1 5 A ～ 1 5 E の形成では、信号を伝送する信号パターン、電源電位を維持する電源パターンおよびグランド電位を維持する

50

グランドパターンの少なくとも１種を含む回路パターンを形成し、回路パターンを構成しないダミーパターンは形成しないことが好適である。これにより、ダミーパターンに起因する寄生容量成分の発生を防止し、信号伝搬を阻害する要因を排除した実装部品の製造が可能となる。

【００９６】

また前記のフォトリソグラフィ技術に加え昨今インプリントリソグラフィ技術により絶縁材上に所望のパターンを形成する手法も開発されている。図７を用いて本開示の実施形態の変形例に係る実装部品の製造方法を説明する。

【００９７】

図７は、本開示の実装部品の製造方法の変形例を説明するための工程図であり、上述の実装部品１１の製造を例としている。なお、本変形例において、第１実施形態と同様の構成については同一の符号を付し、その詳細な説明を省略する。

【００９８】

本開示の実装部品の製造方法では、まず、基材１２の一方の面１２Ａに絶縁層１４Ａを形成するとともに、この絶縁層１４Ａの所望の部位に導体層１５Ａを形成するためのインプリントモールド３０Ａを準備する（図７（Ａ））。インプリントモールド３０Ａは、第１面３１Ａ及びそれに対向する第２面３１Ｂを有する基材３１と、基材３１の第１面３１Ａ上に形成されてなる凸部３２とを有する。凸部３２は、絶縁層１４Ａ上に導体層１５Ａに対応する凹部を形成する。

【００９９】

この絶縁層１４Ａ上への導体層１５Ａに対応する凹部の形成では、製造目的である実装部品１１の最表面１１ａとなる絶縁層１４Ｆに電極パッド１７を配置する実装領域ＩＡ（図示せず）を予め設定する。そして、以後の工程で形成される積層構造の厚み方向（図７に矢印ａで示す方向）で、この実装領域ＩＡに重複する導体層１５Ａの面積が、実装領域ＩＡの面積の６０～９５％、好ましくは７０～９５％となるようにする。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生を防止できる実装部品１１を簡易かつ確実に製造することができる。したがって、実装部品１１を多層配線基板にフリップチップ実装して一体化する際に、多層配線基板と実装部品の相互の電極接続を安定して行うことができる。

【０１００】

凸部３２の寸法及びピッチは、特に限定されるものではなく、実装部品１１における導体層１５Ａの寸法及びピッチに応じて適宜設定され得るが、実装部品１１に優れた高周波特性が求められる場合、例えば、凸部３２の寸法及びピッチは、０．５～２０μｍ程度に設定され得る。

【０１０１】

基材１２としては、シリコン、ガラス等を使用することができ、厚みは、例えば、５０～１０００μｍ程度とすることができる。絶縁層１４Ａを構成する材料としては、電気絶縁性を有する材料を用いることができ、例えば、エポキシ系樹脂材料、フェノール系樹脂材料、ポリイミド系樹脂材料、ポリスルホン系樹脂材料、ポリエステル系樹脂材料、ポリカーボネート系樹脂材料等が挙げられる。絶縁層１４Ａの厚さは、好ましくは３～３０μｍ程度である。

【０１０２】

基材１２上の絶縁層１４Ａにインプリントモールド３０Ａを押し当ててインプリントモールド３０Ａの凸部３２に対応する凹部を形成し、その状態で絶縁層１４Ａを硬化させる（図７（Ｂ））。絶縁層１４Ａを硬化させる方法としては、絶縁層１４Ａを構成する樹脂材料の硬化特性に応じて適宜選択すればよく、例えば、絶縁層１４Ａが紫外線硬化性樹脂により構成される場合、絶縁層１４Ａにインプリントモールド３０Ａを押し当てた状態で紫外線を照射することで、当該絶縁層１４Ａを硬化させることができる。

【０１０３】

硬化した絶縁層１４Ａからインプリントモールド３０Ａを剥離する（図７（Ｃ））。こ

10

20

30

40

50

れにより、導体層 1 5 A を形成するための凹部が形成されてなる絶縁層 1 4 A が作製される。

【0104】

この絶縁層 1 4 A のインプリントモールド 3 0 A の凸部 3 2 に対応する凹部に、導体層 1 5 A を形成する（図 7（D））。絶縁層 1 4 A 上への導体層 1 5 A の形成は、例えば、以下のように行うことができる。まず、絶縁層 1 4 A 上にスパッタリング法等の公知の真空成膜法により導電材料薄膜を形成する。導電材料としては、例えば、銅、銀、金、クロム、アルミニウム、ニッケル等を挙げることができる。次に、導電材料薄膜上に、金、銀、銅等の金属フィラーを含む導電性ペーストを印刷法によって塗布充填し、焼成処理を施して導体層 1 5 A を形成することができる。

10

【0105】

導電性ペーストに含まれる金属フィラーの平均粒子径は、例えば、50 nm 超程度、好ましくは 60～300 nm 程度である。導電性ペーストの金属フィラー濃度は、例えば、30～80 質量％程度である。導電性ペーストの金属フィラー濃度が上記範囲であることで、金属層を厚く形成することができるため、1 回の塗布及び焼成処理により、絶縁層 1 4 A の凹部を埋める導体層 1 5 A を形成することができる。

【0106】

なお、本実施形態において、導電性ペーストに含まれる金属フィラーの平均粒子径とは、粒径解析ソフト（例えば、粒子解析 ver. 3. 5（日鉄住金テクノロジー社製）、画像解析ソフト A 像くん（旭化成エンジニアリング社製）等）を用いて算出された個数平均粒子径を意味するものとする。ここで金属フィラーの粒子径 L_2 とは、金属フィラーの投影像の短径 d_2 および長径 D_2 の平均を示す（式 2）。

20

$$L_2 = (d_2 + D_2) / 2 \quad (\text{式 2})$$

金属フィラーの平均粒子径は、金属フィラー 10 個当たりの粒子径 L_2 の平均値を算出することで得ることができる。

【0107】

導電性ペーストの焼成温度及び焼成時間は、導電性ペーストに含まれる金属フィラーを焼結させることができ、かつ導電性ペーストに含まれる溶剤等を揮発させることができる限りにおいて特に制限はなく、例えば、150～250℃で0.5～2時間程度である。

【0108】

30

絶縁層 1 4 A 上を覆う導体層 1 5 A に対し、絶縁層 1 4 A を露出させ得る程度に研磨処理を施すことで、導体層 1 5 A が形成される（図 7（E））。

【0109】

次に、導体層 1 5 A 上に絶縁層 1 4 B を形成するとともに、この絶縁層 1 4 B の所望の部位に導体層 1 5 B と、絶縁層 1 4 B を介して上下に位置する導体層 1 5 A と導体層 1 5 B の所望の部位に層間接続体 1 6 A とを形成するためのインプリントモールド 3 0 B を準備する（図 7（F））。インプリントモールド 3 0 B は、第 1 面 3 1 A 及びそれに対向する第 2 面 3 1 B を有する基材 3 1 と、基材 3 1 の第 1 面 3 1 A 上に形成されてなる凸部 3 2 とを有する。凸部 3 2 は、導体層 1 5 B に対応する凹部を絶縁層 1 4 B 上に形成するための第 1 の凸部 3 2 A と、層間接続体 1 6 A に対応する孔部を絶縁層 1 4 B 上に形成するための第 2 の凸部 3 2 B とを含む。導体層 1 5 B と層間接続体 1 6 A とが電氣的に接続するように、第 1 の凸部 3 2 A と第 2 の凸部 3 2 B とは連結し、絶縁層 1 4 B 上に形成される第 1 の凸部 3 2 A に対応する凹部と第 2 の凸部 3 2 B に対応する孔部は連続する。この導体層 1 5 B の形成においても、積層構造の厚み方向で、上記の実装領域 I A（図示せず）に重複する導体層 1 5 B の面積が、実装領域 I A の面積の 60～95%、好ましくは 70～95% となるようにする。

40

【0110】

同様の工程で、絶縁層 1 4 B にインプリントモールド 3 0 B を押し当ててインプリントモールド 3 0 B の凸部 3 2 に対応する凹部を形成し、その状態で絶縁層 1 4 B を硬化させる。硬化した絶縁層 1 4 B からインプリントモールド 3 0 B を剥離することで、導体層 1

50

5 Bを形成するための凹部と層間接続体 1 6 Aを形成するための孔部が形成されてなる絶縁層 1 4 Bが作製される。上記の孔部と絶縁層 1 4 B上に、スパッタリング法等の公知の真空成膜法により導電材料薄膜を形成し、この導電材料薄膜上に、金、銀、銅等の金属フィラーを含む導電性ペーストを印刷法によって塗布充填し、焼成処理を施して導体層 1 5 Bおよび層間接続体 1 6 Aを形成することができる。

【0 1 1 1】

導体層 1 5 B上に絶縁層 1 4 Cを介して導体層 1 5 Cを形成し、また、絶縁層 1 4 Cを介して上下に位置する導体層 1 5 Bと導体層 1 5 Cの所望部位を層間接続体 1 6 Bで接続する。さらに、この工程を繰り返すことにより、最終的に、導体層 1 5 E上に絶縁層 1 4 Fを介して電極パッド 1 7を有する導体層 1 5 Fを形成し、また、絶縁層 1 4 Fを介して上下に位置する導体層 1 5 Eと導体層 1 5 Fの所望部位を層間接続体 1 6 Eで接続する。これにより実装部品 1 1が製造される。この導体層 1 5 C～1 5 Eの形成においても、積層構造の厚み方向で、上記の実装領域 I A（図示せず）に重複する各導体層 1 5 C～1 5 Eの面積が、実装領域 I Aの面積の 6 0～9 5 %、好ましくは 7 0～9 5 %となるようにする。

10

【0 1 1 2】

また、本開示の実装部品の製造方法では、導体層 1 5 Eの形成において、その後の工程で形成される導体層 1 5 Fが有する電極パッド 1 7と重複する導体層 1 5 Eの面積を、電極パッド 1 7の面積の 5 0 %以上、好ましくは 7 5 %以上とすることが好適である。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生をより確実に防止できる実装部品 1 1を簡易かつ確実に製造することができる。したがって、実装部品 1 1を多層配線基板にフリップチップ実装して一体化する際に、相互の電極を確実に接続することができる。

20

【0 1 1 3】

また、本開示の実装部品の製造方法では、多層構造の厚み方向で、予め設定した実装領域 I A（図示せず）と重複する各導体層 1 5 A～1 5 Eの面積が、実装部品 1 1の最表面 1 1 aに近い導体層ほど大きくなるようにすることが好適である。これにより、実装部位に対して適度に荷重を加えても内部構造の破壊発生をさらに確実に防止できる実装部品 1 1を簡易かつ確実に製造することができる。したがって、実装部品 1 1を多層配線基板にフリップチップ実装して一体化する際に、多層配線基板と実装部品の相互の電極接続を安定して行うことができる。

30

【0 1 1 4】

また、本開示の実装部品の製造方法では、各導体層 1 5 A～1 5 Eの形成では、信号を伝送する信号パターン、電源電位を維持する電源パターンおよびグランド電位を維持するグランドパターンの少なくとも 1 種を含む回路パターンを形成し、回路パターンを構成しないダミーパターンは形成しないことが好適である。これにより、ダミーパターンに起因する寄生容量成分の発生を防止し、信号伝搬を阻害する要因を排除した実装部品の製造が可能となる。

【0 1 1 5】

また、本開示の実装部品の製造方法では、フォトリソグラフィ法に比べ廃液が少なく安価に実施することができる。またインプリントモールド 3 0 Bのように、凸部 3 2を導体層 1 5 Bに対応する凹部を絶縁層 1 4 B上に形成するための第 1 の凸部 3 2 Aと、層間接続体 1 6 Aに対応する孔部を絶縁層 1 4 B上に形成するための第 2 の凸部 3 2 Bとの複数段にすることで、複数層のリソグラフィを一度の工程で実施することができる。例えば、導体層 1 5 Bと層間接続体 1 6 Aとを形成する場合、フォトリソグラフィ法では各々の工程で形成する必要があるのに対し、インプリントリソグラフィ法では一括に形成可能であり、工程削減によるコスト低減が可能となる。また、インプリントリソグラフィ法はフォトリソグラフィ法に比べ微細なパターン形成が可能であり、本願発明のように形成パターンの粗密を操作する用途に対して製品設計の自由度が高く特に有効である。

40

【0 1 1 6】

50

上述の実装部品の製造方法の実施形態は例示であり、本開示はこのような実施形態に限定されるものではない。例えば、各導体層 15A～15Eにおける回路パターンは、信号パターン、電源パターン、グランドパターンの少なくとも1種とともに、キャパシタ、レジスタ（抵抗）、インダクタ、トランス、LCR回路等の受動部品を構成するものであってもよい。さらに、回路パターンは、オペアンプ等のアクティブフィルタ素子、ロジック、メモリ素子等の能動部品を構成するものであってもよい。

【0117】

また、本開示の実装部品の製造方法では、導体層 15A～15Eがダミーパターンを含有することを排除するものでなく、この場合、例えば、ダミーパターンと信号伝搬に供される信号パターンとの間に電源パターンやグランドパターンが存在する場合、ダミーパターンに起因する寄生容量成分の発生が抑制される。また、電源パターンやグランドパターンが存在しない場合であっても、信号パターンとダミーパターンの離間距離を、例えば、信号パターン形状の3～5倍程度以上の距離とすることにより、寄生容量成分の発生を抑制することができ好適である。

【0118】

[電子装置]

図8は、本開示の電子装置の一実施形態を示す概略部分断面図である。図8において、電子装置1は、実装部品11を多層配線基板100に導電材料110を介してフリップチップ実装し、実装部品11と多層配線基板100との間隙に絶縁材料29が存在するものである。この実施形態では、実装部品11は、上述の本開示の実装部品であり、ここでの説明は省略する。

【0119】

多層配線基板100は、コア基材22と、このコア基材22の両面に複数の導体層25が絶縁層24を介して積層した多層構造を有している。コア基材22は、このコア基材22を貫通する複数の表裏導通部材23と、コア基材22の表面（図示例では、実装部品11が実装されている面側）において所定の表裏導通部材23と電氣的に接続している導体層23a、コア基材22の裏面において所定の表裏導通部材23と電氣的に接続している導体層23a'を有している。このようなコア基材は、例えば、ガラス、ポリアミド樹脂等の電気絶縁性材料であってよい。

【0120】

このコア基材22の表面側（図示例では、実装部品11が実装されている面側）には、絶縁層24A、24Bを介して、導体層25A、25Bが積層されており、絶縁層24Aを介して上下に位置する導体層23aと導体層25Aを電氣的に接続する層間接続体26A、絶縁層24Bを介して上下に位置する導体層25Aと導体層25Bを電氣的に接続する層間接続体26Bを備えている。

【0121】

また、コア基材22の裏面側には、絶縁層24A'、24B'を介して、導体層25A'、25B'が積層されており、絶縁層24A'を介して上下に位置する導体層23a'と導体層25A'を電氣的に接続する層間接続体26A'、絶縁層24B'を介して上下に位置する導体層25A'と導体層25B'を接続する層間接続体26B'を備えている。そして、導体層25B'の全域、あるいは、所望の部位を被覆するソルダーレジスト28を備えている。

【0122】

多層配線基板100では、実装部品11が実装されている最表面100aの絶縁層24Bに実装領域（図示せず）が画定されており、この実装領域には複数の電極パッド27が位置している。そして、多層配線基板100において、最表面100aに位置する導体層25Bを除く各導体層25A、23a、23a'、25A'、25B'において、多層構造の厚み方向（図7に矢印aで示す方向）で実装領域と重複する導体層の面積は、実装領域の面積の60～95%、好ましくは75～95%であることが好適である。

【0123】

実装部品 11 を多層配線基板 100 にフリップチップ実装するための導電材料 110 は、金等の導電材料を使用することができる。例えば、このような導電材料 110 を実装部品 11 の電極パッド 17 に予め配設し、熱圧着することによりフリップチップ実装を行うことができる。

【0124】

実装部品 11 と多層配線基板 100 との間隙に位置する絶縁材料 29 は、エポキシ樹脂等の熱硬化性樹脂、あるいは、熱硬化性樹脂にフィラーを含有させたものを使用することができる。例えば、多層配線基板 100 の最表面 100a に熱硬化性樹脂を塗布し、実装部品 11 の電極パッド 17 に予め配設された導電材料 110 を多層配線基板 100 の電極パッド 27 に熱圧着して一体化した後、加熱硬化することにより絶縁材料 29 とすることができる。また、実装部品 11 の電極パッド 17 に予め配設された導電材料 110 を、多層配線基板 100 の電極パッド 27 に熱圧着して一体化した後、実装部品 11 と多層配線基板 100 との間隙に熱硬化性樹脂を充填し、その後、加熱硬化することにより絶縁材料 29 とすることができる。

10

【0125】

このような本開示の電子装置は、多層配線基板と実装部品の相互の電極接続が確実であり、回路接続安定性が高く、また、実装部品の破壊が防止され、発明の電子装置は信頼性が高いものである。さらに、実装部位を構成する各導体層が回路を構成し、ダミーパターンが存在しない場合には、電気信号に対する寄生容量成分を発生して信号伝搬を阻害するような要因が排除され、発明の電子装置は更に信頼性が高いものとなる。

20

【0126】

上述の電子装置の実施形態は例示であり、本開示はこのような実施形態に限定されるものではない。例えば、多層配線基板 100 は、プリント配線基板、インターポーザ、マザーボード等であってもよい。

【0127】

<第2実施形態>

[配線基板]

本開示の第2実施形態に係る配線基板について、図面を参照しながら説明する。図9は、本開示の一実施形態に係る配線基板の概略構成を示す断面図であり、図10は、本開示の一実施形態に係る配線基板におけるビア導体近傍の概略構成を示す部分拡大断面図である。

30

【0128】

図9に示すように、本実施形態に係る配線基板 200 は、第1の配線層 2 と、絶縁膜 3 と、第2の配線層 4 とがこの順に設けられてなり、絶縁膜 3 の厚さ方向に貫通して第1の配線層 2 と第2の配線層 4 とを電氣的に接続するビア導体 5 を備える。なお、本実施形態においては、2層の配線層 2, 4 及びそれらを電氣的に接続する1つのビア導体 5 を有する配線基板を例に挙げて説明するが、このような態様に限定されるものではなく、3層以上の配線層を有するものであってもよい。かかる配線基板においては、各配線層の間に絶縁膜を介在させるとともに、各配線層間を電氣的に接続するビア導体を設ければよい。

【0129】

40

第1の配線層 2 及び第2の配線層 4 の間に位置する絶縁膜 3 を構成する材料としては、電氣的絶縁性を有する材料である限り特に制限はなく、例えば、エポキシ系樹脂材料、フェノール系樹脂材料、ポリイミド系樹脂材料、ポリスルホン系樹脂材料、ポリエステル系樹脂材料、ポリカーボネート系樹脂材料等が挙げられる。絶縁膜 3 の厚さは、例えば、3 ~ 30 μm 程度に設定され得る。

【0130】

第2の配線層 4 は、配線部 41 と、ビア導体 5 を介して第1の配線層 2 に電氣的に接続されるランド部 42 とを含む。第2の配線層 4 及びビア導体 5 は、厚さ方向の断面視において、外側から金属層 61、第1の焼結金属層 62 及び第2の焼結金属層 63 を有する。言い換えると、配線基板 200 は、絶縁膜 3 に設けられた凹部の内側の表面に接するよう

50

に金属層61が配置され、金属層61に接するように第1の焼結金属層62が配置され、第1の焼結金属層62に接するように第2の焼結金属層63が配置された第2の配線層4及びビア導体5を備える。すなわち本実施形態に係る配線基板200は、第2の焼結金属層63を第1の焼結金属層62が囲い、第1の焼結金属層62を金属層61が囲うように配置された第2の配線層4及びビア導体5を備える。

【0131】

金属層61は、隣接する配線部41間における導電材料のマイグレーションによる短絡、特に、配線部41の寸法及びピッチが小さくなるほど（10μm以下程度）に生じやすくなる導電材料のマイグレーションによる短絡を防止し、配線部41間の電氣的絶縁性を確保する機能を果たす層である。金属層61を構成する材料としては、例えば、チタン（Ti）、クロム（Cr）、モリブデン（Mo）、タングステン（W）、インジウム（In）、ニオブ（Nb）、コバルト（Co）等を主成分とする合金等が挙げられる。金属層61を構成する材料としては、例えば、チタン（Ti）、窒化チタン（TiN）、クロム（Cr）、窒化クロム（CrN）、モリブデン（Mo）等を主成分とすることがより好ましい。金属層61が、チタン（Ti）、窒化チタン（TiN）、クロム（Cr）、窒化クロム（CrN）、モリブデン（Mo）等を含むことで、導電材料の絶縁膜3へのマイグレーションを防止し、かつ後述する配線部41を形成する化学機械研磨の工程において金属層61が化学機械研磨のストッパー層として機能するため、絶縁膜3の凹部に充填された配線部41を構成する導電材料の研削を抑制することができる。金属層61を形成する方法は、特に限定されるものではなく、例えば、スパッタリング、無電解めっき等を挙げることができる。金属層61はスパッタリング又は無電解めっき等により形成されるため、第1の焼結金属層62及び第2の焼結金属層63よりも緻密で導電率の大きい金属層として構成される。

【0132】

第1の焼結金属層62及び第2の焼結金属層63は、それぞれ、第1の金属フィラー及び第2の金属フィラーを含む導電性ペーストを焼結してなるものである。第1の焼結金属層62及び第2の焼結金属層63は、それぞれ、第1の金属粒子及び第2の金属粒子によって構成される。第1の金属粒子及び第2の金属粒子としては、例えば、金、銀、銅等の粒子が挙げられ、互いに同一の金属粒子であってもよいし、異なる金属粒子であってもよい。

【0133】

第1の焼結金属層62を構成する第1の金属粒子の平均粒子径は、第2の焼結金属層63を構成する第2の金属粒子の平均粒子径よりも小さい。すなわち、第1の焼結金属層62は、第2の焼結金属層63よりも緻密な金属層である。なお、第1の焼結金属層62及び第2の焼結金属層63のそれぞれを構成する第1の金属粒子及び第2の金属粒子の平均粒子径は、第1の焼結金属層62及び第2の焼結金属層63の任意の切断面の電子顕微鏡画像を取得し、当該電子顕微鏡画像から平均粒子径を算出するソフトウェア（例えば、粒子解析ver. 3.5（日鉄住金テクノロジー社製）、画像解析ソフトA像くん（旭化成エンジニアリング社製）等）を用いて、個数平均粒子径として求められ得る。

【0134】

ここで第1の金属粒子及び第2の金属粒子の粒子径L1とは、第1の焼結金属層62及び第2の焼結金属層63の任意の切断面において観察される、それぞれの第1の金属粒子及び第2の金属粒子の短径d1および長径D1の平均を示す（式1）。

$$L1 = (d1 + D1) / 2 \quad (\text{式1})$$

第1の金属粒子及び第2の金属粒子の平均粒子径は、第1の焼結金属層62及び第2の焼結金属層63の任意の切断面において観察される任意の第1の金属粒子及び第2の金属粒子の10個当たりの粒子径L1の平均値を算出することで得ることができる。

【0135】

ビア導体5の第1の焼結金属層62は、金属層61を介して第1の配線層2に電氣的に接続される。そして、第1の焼結金属層62が緻密な金属層として構成されていることで

、第1の焼結金属層62の導電率が第2の焼結金属層63の導電率よりも大きくなる。そのため、第1の配線層2及び第2の配線層4間の電氣的接続信頼性を向上させることができる。

【0136】

また、本実施形態に係る配線基板200の配線部41に高周波電流が流れるとき、いわゆる表皮効果により配線部41を構成する導体の外表面に電流が集中する。本実施形態に係る配線基板200においては、電流の集中する配線部41の外表面側が緻密な金属層（導電率の大きい第1の焼結金属層62）により構成されることで、配線部41の抵抗を増大させ難くなるため、高周波特性を向上させ得るという効果が奏される。本実施形態に係る配線基板200においては、電流の集中する最外表面が最も緻密である金属層61（より導電率の大きい金属層61）により構成されることで、配線部41の抵抗を増大させ難くなるため、高周波特性をさらに向上させ得るという効果が奏される。言い換えると、第1の焼結金属層62が第2の焼結金属層63より緻密な金属層として構成されていることで、第1の焼結金属層62の導電率が第2の焼結金属層63の導電率よりも大きくなる。さらに金属層61が第1の焼結金属層62より緻密な金属層として構成されていることで、金属層61の導電率が第1の焼結金属層62の導電率よりも大きくなる。第2の焼結金属層63、第1の焼結金属層62、金属層61の順に導電性の高い材料を選択することで、表皮効果による信号の特性変化を抑制することができる。

10

【0137】

ビア導体5における第1の焼結金属層62の底面部62Aと側壁部62Bとの間を連続する角部62Cは、ビア導体5の高さ T_5 の $1/4$ 以上の曲率半径を有する。同様に、ランド部42における第1の焼結金属層62の底面部62Dと側壁部62Eとの間を連続する角部62Fもまた、ランド部42の高さ T_{42} の $1/4$ 以上の曲率半径を有する。このように、当該角部62C、62Fが所定の曲率半径を有することで、当該角部62C、62Fにボイド（空隙）を生じさせることのない、緻密な第1の焼結金属層62とすることができ、電氣的接続信頼性及び高周波特性を向上させることができる。

20

【0138】

なお、第2の配線層4の配線部41においても同様に、配線部41における第1の焼結金属層62の底面部と側壁部との間を連続する角部は、配線部41の高さの $1/4$ 以上の曲率半径を有する。

30

【0139】

上述した構成を有する配線基板200においては、第2の配線層4及びビア導体5の有する第1の焼結金属層62が、その内側に位置する第2の焼結金属層63よりも緻密な金属層として構成されるため、優れた電氣的接続信頼性及び高周波特性が奏される。

【0140】

[配線基板の製造方法]

上記構成を有する配線基板200は、下記のようにして製造することができる。図11及び図12は、本実施形態に係る配線基板の製造方法の各工程を断面図にて示す工程フロー図である。

【0141】

40

まず、第1の配線層2上に絶縁層3'を形成するとともに、当該絶縁層3'に第2の配線層4及びビア導体5を形成するためのインプリントモールド50を準備する（図11（A）参照）。絶縁層3'を構成する材料としては、電気絶縁性を有する材料を用いることができ、例えば、エポキシ系樹脂材料、フェノール系樹脂材料、ポリイミド系樹脂材料、ポリスルホン系樹脂材料、ポリエステル系樹脂材料、ポリカーボネート系樹脂材料等が挙げられる。絶縁層3'の厚さは、好ましくは $3\sim 30\mu\text{m}$ 程度である。

【0142】

インプリントモールド50は、第1面51A及びそれに対向する第2面51Bを有する基材51と、基材51の第1面51A上に形成されてなる凸部52とを有する。凸部52は、第2の配線層4（配線部41及びランド部42）に対応する凹部を絶縁層3'に形成

50

するための第1の凸部52Aと、ビア導体5に対応する貫通孔を絶縁層3'に形成するための第2の凸部52Bとを含む。第2の凸部52Bは、第1面51A上に形成されている複数の第1の凸部52Aのうちの一部の第1の凸部52A（ランド部42に対応する凹部を形成するための第1の凸部52A）上に設けられており、基材51の厚さ方向の断面視において当該第1の凸部52Aよりも狭幅である。

【0143】

第1の凸部52Aの寸法及びピッチは、特に限定されるものではなく、配線基板200における第2の配線層4の寸法及びピッチに応じて適宜設定され得るが、配線基板200に優れた高周波特性が求められる場合、例えば、第1の凸部52Aの寸法及びピッチは、0.5～20μm程度に設定され得る。

10

【0144】

第1の配線層2上の絶縁層3'にインプリントモールド50を押し当ててインプリントモールド50の凸部52（第1の凸部52A及び第2の凸部52B）に対応する凹部及び貫通孔（第2の凸部52Bに対応する狭幅の第1の貫通孔、及びそれに連続する、第1の凸部52Aに対応する広幅の第2の貫通孔）を形成し、その状態で絶縁層3'を硬化させる（図11（B）参照）。絶縁層3'を硬化させる方法としては、絶縁層3'を構成する樹脂材料の硬化特性に応じて適宜選択すればよく、例えば、絶縁層3'が紫外線硬化性樹脂により構成される場合、絶縁層3'にインプリントモールド50を押し当てた状態で紫外線を照射することで、当該絶縁層3'を硬化させることができる。

【0145】

20

硬化した絶縁層3'からインプリントモールド50を剥離する（図11（C）参照）。これにより、第2の配線層4及びビア導体5を形成するための凹部及び貫通孔が形成されてなる絶縁膜3が作製される。

【0146】

なお、本実施形態においては、絶縁膜3に凹部及び貫通孔を形成するために、所定の凸部52を有するインプリントモールド50を用いる態様を例に挙げているが、このような態様に限定されるものではなく、例えば、フォトリソグラフィ、レーザーによる切削等の手法を用いて、絶縁膜3に凹部及び貫通孔を形成してもよい。

【0147】

続いて、絶縁膜3上に金属層61を形成する（図12（A）参照）。金属層61を構成する材料（金属材料）としては、例えば、Ti、Cr、Mo、W、In、Nb、Co等が挙げられる。金属層61を形成することで、第1の配線層2とビア導体5との電気的接続信頼性を高めることができる。配線基板200に優れた高周波特性が求められ、第2の配線層4の寸法及びピッチが0.5～20μm程度に設定される場合には、第2の配線層4における隣接する配線部41間における導体材料のマイグレーションによる短絡を防止すべく、金属層61を構成する材料として、Ti、Mo等を用いるのが好ましい。金属層61を構成する材料としては、Ti、TiN、Cr、CrN、Mo等を用いることがさらに好ましい。金属層61が、Ti、TiN、Cr、CrN、Mo等を含むことで、第2の配線層4における隣接する配線部41間における導電材料のマイグレーションによる短絡を防止し、かつ後述する配線部41を形成する化学機械研磨の工程において金属層61が化学機械研磨のストッパー層として機能するため、絶縁膜3の凹部に充填された配線部41を構成する導電材料の研削を抑制することができる。金属層61の膜厚は、特に限定されるものではないが、10～1000nm程度に設定され得る。金属層61を形成する方法は、特に限定されるものではなく、例えば、スパッタリング、無電解めっき等を挙げることができる。

30

40

【0148】

金属層61上に、金、銀、銅等の第1の金属フィラーを含む第1の導電性ペーストを塗布して第1の金属層を形成し、当該第1の金属層に焼成処理を施して第1の焼結金属層62を形成する（図12（B）参照）。第1の導電性ペーストに含まれる第1の金属フィラーの平均粒子径は、後述する第2の金属層を形成するための第2の導電性ペーストに含

50

れる第2の金属フィラーの平均粒子径よりも小さく、例えば、50 nm以下程度、好ましくは10～40 nm程度である。第1の導電性ペーストにおける第1の金属フィラー濃度は、第2の導電性ペーストの第2の金属フィラー濃度よりも低く、例えば10～15質量%程度である。第1の導電性ペーストに含まれる第1の金属フィラーの平均粒子径が、第2の導電性ペーストに含まれる第2の金属フィラーの平均粒子径よりも小さいことで、第1の焼結金属層62が相対的に緻密に形成されるため、ビア導体5と第1の配線層2との電氣的接続信頼性を向上させることができるとともに、優れた高周波特性が奏され得る。また、第1の導電性ペーストの第1の金属フィラー濃度が10～15質量%程度であることで、第1の導電性ペーストの粘度を相対的に低くすることができ、第1の導電性ペーストの塗布により形成された第1の金属層を焼成して得られる第1の焼結金属層62において、側壁部と底面部との間を連続する角部に、側壁部の高さの1/4以上の曲率半径を有する湾曲部を形成することができ、当該角部において緻密な第1の焼結金属層62を形成することができる。第1の焼結金属層62の膜厚は、例えば、100～1000 nm程度である。

10

【0149】

第1の金属層の焼成温度及び焼成時間は、第1の導電性ペーストに含まれる金属フィラーを焼結させることができ、かつ第1の導電性ペーストに含まれる溶剤等を揮発させることができる限りにおいて特に制限はなく、例えば、150～250℃で0.5～2時間程度である。

【0150】

20

続いて、第1の焼結金属層62上に、金、銀、銅等の第2の金属フィラーを含む第2の導電性ペーストを塗布して、絶縁膜3の凹部及び貫通孔を埋める第2の金属層を形成し、当該第2の金属層に焼成処理を施して第2の焼結金属層63を形成する（図12（C）参照）。第2の金属フィラーは、第1の金属フィラーと同一材料であってもよいし、異なる材料であってもよい。第2の導電性ペーストに含まれる第2の金属フィラーの平均粒子径は、上記第1の導電性ペーストに含まれる第1の金属フィラーの平均粒子径よりも大きく、例えば、50 nm超程度、好ましくは60～300 nm程度である。第2の導電性ペーストの第2の金属フィラー濃度は、第1の導電性ペーストの第1の金属フィラー濃度よりも高く、例えば30～80質量%程度である。第2の導電性ペーストの第2の金属フィラー濃度が高いことで、第2の金属層を厚く形成することができるため、1回の塗布及び焼成処理により、絶縁膜3の凹部及び貫通孔を埋める第2の焼結金属層63を形成することができる。

30

【0151】

なお、本実施形態において、第1の導電性ペースト及び第2の導電性ペーストのそれぞれに含まれる第1の金属フィラー及び第2の金属フィラーの平均粒子径とは、粒径解析ソフト（例えば、粒子解析ver. 3.5（日鉄住金テクノロジー社製）、画像解析ソフトA像くん（旭化成エンジニアリング社製）等）を用いて算出された個数平均粒子径を意味するものとする。ここで第1の金属フィラー及び第2の金属フィラーの粒子径L2とは、第1の金属フィラー及び第2の金属フィラーの投影像の短径d2および長径D2の平均を示す（式2）。

40

$$L2 = (d2 + D2) / 2 \quad (\text{式2})$$

第1の金属フィラー及び第2の金属フィラーの平均粒子径は、第1の金属フィラー及び第2の金属フィラーの10個当たりの粒子径L2の平均値を算出することで得ることができる。

【0152】

第2の金属層の焼成温度及び焼成時間は、第2の導電性ペーストに含まれる第2の金属フィラーを焼結させることができ、かつ第2の導電性ペーストに含まれる溶剤等を揮発させることができる限りにおいて特に制限はなく、例えば、150～250℃で0.5～2時間程度である。

【0153】

50

最後に、金属層 6 1、第 1 の焼結金属層 6 2 及び第 2 の焼結金属層 6 3 に対し、絶縁膜 3 を露出させ得る程度に研磨処理を施すことで、第 2 の配線層 4 と、第 1 の配線層 2 及び第 2 の配線層 4 を電氣的に接続するビア導体 5 とが形成され、配線基板 2 0 0 が製造される（図 1 2（D）参照）。

【0154】

上述した第 2 実施形態に係る配線基板の製造方法によれば、相対的に平均粒子径が小さい第 1 の金属フィラーを低濃度で含む第 1 の導電性ペーストを用いて第 1 の焼結金属層 6 2 を形成し、その内側に相対的に平均粒子径が大きい第 2 の金属フィラーを高濃度で含む第 2 の導電性ペーストを用いて第 2 の焼結金属層 6 3 を形成するため、電氣的接続信頼性及び高周波特性に優れた配線基板 2 0 0 を、高い歩留まりで製造することができる。

10

【0155】

<第 3 実施形態>

[配線基板]

本開示の第 3 実施形態に係る配線基板について、図面を参照しながら説明する。図 1 3 は、本開示の一実施形態に係る配線基板の概略構成を示す断面図である。なお、第 3 実施形態において、第 2 実施形態と同様の構成については同一の符号を付し、その詳細な説明を省略する。

【0156】

図 1 3 に示すように、本実施形態に係る配線基板 3 0 0 は、第 1 の配線層 2 と、絶縁膜 3 と、第 2 の配線層 4 とがこの順に設けられてなり、絶縁膜 3 の厚さ方向に貫通して第 1 の配線層 2 と第 2 の配線層 4 とを電氣的に接続するビア導体 5 を備える。

20

【0157】

第 2 の配線層 4 は、配線部 4 1 と、ビア導体 5 を介して第 1 の配線層 2 に電氣的に接続されるランド部 4 2 とを含む。第 2 の配線層 4 及びビア導体 5 は、厚さ方向の断面視において、外側から金属層 6 1 と、スパッタ金属層又は無電解めっき金属層 6 2 ' と、焼結金属層 6 3 とを有する。言い換えると、配線基板 3 0 0 は、絶縁膜 3 に設けられた凹部の内側の表面に接するように金属層 6 1 が配置され、金属層 6 1 に接するようにスパッタ金属層又は無電解めっき金属層 6 2 ' が配置され、スパッタ金属層又は無電解めっき金属層 6 2 ' に接するように焼結金属層 6 3 が配置された第 2 の配線層 4 及びビア導体 5 を備える。すなわち本実施形態に係る配線基板 3 0 0 は、焼結金属層 6 3 をスパッタ金属層又は無電解めっき金属層 6 2 ' が囲い、スパッタ金属層又は無電解めっき金属層 6 2 ' を金属層 6 1 が囲うように配置された第 2 の配線層 4 及びビア導体 5 を備える。

30

【0158】

スパッタ金属層又は無電解めっき金属層 6 2 ' は、当該金属層を構成する金属材料（金、銀、銅等）のスパッタリング又は無電解めっきにより形成されるため、焼結金属層 6 3 よりも緻密な金属層として構成される。ビア導体 5 のスパッタ金属層又は無電解めっき金属層 6 2 ' は、金属層 6 1 を介して第 1 の配線層 2 に電氣的に接続される。そして、スパッタ金属層又は無電解めっき金属層 6 2 ' が緻密な金属層として構成されていることで、スパッタ金属層又は無電解めっき金属層 6 2 ' の導電率が焼結金属層 6 3 の導電率よりも大きくなる。そのため、第 1 の配線層 2 及び第 2 の配線層 4 間の電氣的接続信頼性を向上させることができる。

40

【0159】

また、本実施形態に係る配線基板 3 0 0 の配線部 4 1 に高周波電流が流れるとき、いわゆる表皮効果により配線部 4 1 を構成する導体の外表面に電流が集中する。本実施形態に係る配線基板 3 0 0 においては、電流の集中する配線部 4 1 の外表面側が緻密な金属層（焼結金属層 6 3 よりも導電率の大きいスパッタ金属層又は無電解めっき金属層 6 2 '）により構成されることで、配線部 4 1 の抵抗を増大させ難くなるため、高周波特性を向上させ得るという効果が奏される。本実施形態に係る配線基板 2 0 0 においては、電流の集中する最外表面が最も緻密である金属層 6 1（より導電率の大きい金属層 6 1）により構成されることで、配線部 4 1 の抵抗を増大させ難くなるため、高周波特性をさらに向上させ

50

得るという効果が奏される。言い換えると、スパッタ金属層又は無電解めっき金属層 6 2 ' が焼結金属層 6 3 より緻密な金属層として構成されていることで、スパッタ金属層又は無電解めっき金属層 6 2 ' の導電率が焼結金属層 6 3 の導電率よりも大きくなる。さらに金属層 6 1 がスパッタ金属層又は無電解めっき金属層 6 2 ' より緻密な金属層として構成されていることで、金属層 6 1 の導電率がスパッタ金属層又は無電解めっき金属層 6 2 ' の導電率よりも大きくなる。焼結金属層 6 3、スパッタ金属層又は無電解めっき金属層 6 2 '、金属層 6 1 の順に導電性の高い材料を選択することで、表皮効果による信号の特性変化を抑制することができる。

【0160】

上述した構成を有する配線基板 3 0 0 においては、第 2 の配線層 4 及びビア導体 5 の有するスパッタ金属層又は無電解めっき金属層 6 2 ' が、その内側に位置する焼結金属層 6 3 よりも緻密な金属層として構成されるため、優れた電氣的接続信頼性及び高周波特性が奏される。

【0161】

[配線基板の製造方法]

上記構成を有する配線基板 3 0 0 は、下記のようにして製造することができる。図 1 1 及び図 1 4 は、本実施形態に係る配線基板の製造方法の各工程を断面図にて示す工程フロー図である。

【0162】

まず、第 2 実施形態と同様にして、第 1 の配線層 2 上に、第 2 の配線層 4 及びビア導体 5 を形成するための凹部及び貫通孔が形成されてなる絶縁膜 3 を作製する（図 1 1 (A) ~ (C) 参照）。

【0163】

続いて、絶縁膜 3 上に金属層 6 1 を形成する（図 1 4 (A) 参照）。金属層 6 1 を構成する材料（金属材料）としては、例えば、Ti、Cr、Mo、W、In、Nb、Co 等が挙げられる。金属層 6 1 を形成することで、第 1 の配線層 2 とビア導体 5 との電氣的接続信頼性を高めることができる。配線基板 3 0 0 に優れた高周波特性が求められ、第 2 の配線層 4 の寸法及びピッチが 0.5 ~ 20 μm 程度に設定される場合には、第 2 の配線層 4 における隣接する配線部 4 1 間における導体材料のマイグレーションによる短絡を防止すべく、金属層 6 1 を構成する材料として、Ti、Mo 等を用いるのが好ましい。金属層 6 1 を構成する材料としては、Ti、TiN、Cr、CrN、Mo 等を用いることがさらに好ましい。金属層 6 1 が、Ti、TiN、Cr、CrN、Mo 等を含むことで、第 2 の配線層 4 における隣接する配線部 4 1 間における導電材料のマイグレーションによる短絡を防止し、かつ後述する配線部 4 1 を形成する化学機械研磨の工程において金属層 6 1 が化学機械研磨のストッパー層として機能するため、絶縁膜 3 の凹部に充填された配線部 4 1 を構成する導電材料の研削を抑制することができる。金属層 6 1 の膜厚は、特に限定されるものではないが、10 ~ 1000 nm 程度に設定され得る。金属層 6 1 を形成する方法は、特に限定されるものではなく、例えば、スパッタリング、無電解めっき等を挙げることができる。

【0164】

金属層 6 1 上に、金、銀、銅等の金属材料のスパッタリング又は無電解めっきにより、スパッタ金属層又は無電解めっき金属層 6 2 ' を形成する（図 1 4 (B) 参照）。スパッタ金属層又は無電解めっき金属層 6 2 ' の膜厚は、例えば、100 ~ 1000 nm 程度である。

【0165】

続いて、スパッタ金属層又は無電解めっき金属層 6 2 ' 上に、金、銀、銅等の金属フィラーを含む導電性ペーストを塗布して、絶縁膜 3 の凹部及び貫通孔を埋める金属層を形成し、当該金属層に焼成処理を施して焼結金属層 6 3 を形成する（図 1 4 (C) 参照）。

【0166】

導電性ペーストに含まれる金属フィラーの平均粒子径は、例えば、50 nm 超程度、好

10

20

30

40

50

ましくは60～300nm程度である。導電性ペーストの金属フィラー濃度は、例えば、30～80質量%程度である。導電性ペーストの金属フィラー濃度が上記範囲であることで、金属層を厚く形成することができるため、1回の塗布及び焼成処理により、絶縁膜3の凹部及び貫通孔を埋める焼結金属層63を形成することができる。

【0167】

なお、本実施形態において、導電性ペーストに含まれる金属フィラーの平均粒子径とは、粒径解析ソフト（例えば、粒子解析ver. 3.5（日鉄住金テクノロジー社製）、画像解析ソフトA像くん（旭化成エンジニアリング社製）等）を用いて算出された個数平均粒子径を意味するものとする。ここで金属フィラーの粒子径L2とは、金属フィラーの投影像の短径d2および長径D2の平均を示す（式2）。

$$L2 = (d2 + D2) / 2 \quad (\text{式2})$$

金属フィラーの平均粒子径は、金属フィラー10個当たりの粒子径L2の平均値を算出することで得ることができる。

【0168】

金属層の焼成温度及び焼成時間は、導電性ペーストに含まれる金属フィラーを焼結させることができ、かつ導電性ペーストに含まれる溶剤等を揮発させることができる限りにおいて特に制限はなく、例えば、150～250℃で0.5～2時間程度である。

【0169】

最後に、金属層61、スパッタ金属層又は無電解めっき金属層62'及び焼結金属層63に対し、絶縁膜3を露出させ得る程度に研磨処理を施すことで、第2の配線層4と、第1の配線層2及び第2の配線層4を電氣的に接続するビア導体5とが形成され、配線基板300が製造される（図14（D）参照）。

【0170】

上述した本実施形態に係る配線基板の製造方法によれば、スパッタリング又は無電解めっきによりスパッタ金属層又は無電解めっき金属層62'を形成し、その内側に所定の平均粒子径の金属フィラーを高濃度で含む導電性ペーストを用いて焼結金属層63を形成するため、電氣的接続信頼性及び高周波特性に優れた配線基板300を、高い歩留まりで製造することができる。

【0171】

<第4実施形態>

図15または図16を用いて、本開示の第4実施形態に係る配線基板400の構成及び配線基板400の製造方法について説明する。

【0172】

[配線基板の構成]

図15は、本開示の一実施形態に係る配線基板の一例を示す（A）上面図及び（B）断面図である。図15（A）及び（B）に示すように、配線基板400は、第1の絶縁層70と、伝送線路（第1の配線）80と、接地導体（第2の配線、第3の配線）82とを備える。第1の絶縁層70には、複数のトレンチ72が設けられている。複数のトレンチ72には、それぞれ伝送線路80または接地導体82が配置される。本実施形態において、伝送線路80は2本の接地導体82に挟まれて配置される。すなわち、伝送線路80の両側に接地導体82が配置される。伝送線路80は4本配置したが、これに限定されない。1本以上配置されればよい。

【0173】

図15（A）に示すように、伝送線路80及び接地導体82の平面形状は、第1の絶縁層70の第1側102から、第1側102とは反対側の第2側104に向かって複数のラインがそれぞれ独立に伸びるラインアンドスペース形状を例示したが、この形状に限定されない。伝送線路80及び接地導体82の平面形状は例えば、複数のラインがそれぞれ異なる方向に伸び、一部のラインが交差する又は一部のラインが連結してもよい。また、接地導体82の平面形状はライン状に限らず、円形状又は多角形状であってもよい。また、接地導体82の平面形状はライン状及び円形状又は多角形状等の組み合わせであってもよい

10

20

30

40

50

。また、図15(A)では、第1の絶縁層70が方形であるが、この形に限定されない。

【0174】

第1の絶縁層70の材料は、電気絶縁性を有する材料であればよい。第1の絶縁層70の材料としては、例えば、エポキシ系樹脂材料、フェノール系樹脂材料、ポリイミド系樹脂材料、ポリスルホン系樹脂材料、ポリエステル系樹脂材料、ポリカーボネイト系樹脂材料等を用いることができる。なお、第1の絶縁層70は、単一の層によって構成された例を図示したが、これに限定されず、複数の基材又は層が積層された構造であってもよい。

【0175】

第1の絶縁層70の厚さは、特に制限はないが、例えば、 $3\mu\text{m}$ 以上 $30\mu\text{m}$ 以下の厚さの基材を使用することができる。第1の絶縁層70の厚さが上記下限よりも薄くなると、基材のたわみが大きくなるため、製造過程におけるハンドリングが困難になる。一方、第1の絶縁層70の厚さが上記上限よりも厚くなると、基材の重量が増加し、ハンドリングを行う装置への負担が大きくなる。また、配線基板400を多層配線基板として用いる場合、第1の絶縁層70の厚さがより厚いほど、各層間を電氣的に接続するビア導体を形成するためのビアがより深くなる。

【0176】

図15(A)及び(B)に示すように、伝送線路80及び接地導体82はそれぞれ、第1の導電体74と、第2の導電体76とを有する。第1の導電体74は、トレンチ72の内側の表面に配置される。第2の導電体76は、トレンチ72に配置され、第1の導電体74と接している。

【0177】

第1の導電体74の材料と、第2の導電体76の材料とは、導電性を有し、且つ後に説明する条件を満たしていればよい。第2の導電体76は、第1の導電体74の導電率より低い導電率を有する。第1の導電体74の導電率は $5 \times 10^7 \text{ S/m}$ 以上であればよい。第2の導電体76の導電率は、 $1 \times 10^7 \text{ S/m}$ から $2 \times 10^7 \text{ S/m}$ の範囲とすることができる。

【0178】

本実施形態において第1の導電体74の材料は銅であるがこれに限定されない。第1の導電体74の材料は、金、銀、銅、白金、ニッケル、ロジウム、ルテニウム、又はイリジウム等を用いることができる。第2の導電体76の材料は銅ナノ粒子ペースト焼結体であるが、これに限定されない。径 200nm 以下の金属ナノ粒子等を含むペーストを低温焼結したものであればよい。金属としては、例えば、金、銀、銅等を用いることができる。金属ナノ粒子は融点が低い。このため金属ナノ粒子を含むペーストを焼結することによって、含有金属は凝集後融解し、導電率が向上する。銅ナノ粒子ペースト焼結体は、含有金属の粒子径が大きくなった状態で凝集することになり、空隙(ボイド)を含む第2の導電体76はポーラス(多孔質)な状態となる。

【0179】

本実施形態において、第1の導電体74の厚さは $0.4\mu\text{m}$ である。しかしながらこれに限定されず、第1の導電体74の厚さは用途に応じて適宜選択でき、伝送線路80の幅の $1/8$ 以上であればよい。

【0180】

本実施形態において、伝送線路80の幅は $3\mu\text{m}$ である。しかしながらこれに限定されず、伝送線路80の幅は、用途に応じて適宜選択でき、例えば $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の範囲で選択することができる。

【0181】

本実施形態において、伝送線路80の高さは $2\mu\text{m}$ である。しかしながらこれに限定されず、伝送線路80の高さは、用途に応じて適宜選択でき、例えば $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の範囲で選択することができる。

【0182】

伝送線路80が配置されるトレンチ72のアスペクト比は、 0.1 以上 5 以下になるよう

10

20

30

40

50

に選択されるとよい。ここで、トレンチ72のアスペクト比は、開口部幅に対する深さとして定義される。トレンチ72の平面形状が図15に示す形状とは異なる場合、トレンチ72のアスペクト比は、開口部のうち最も幅が狭い箇所の幅に対する深さとして定義されてもよい。伝送線路80が配置されるトレンチ72のアスペクト比が上記下限よりも小さいと、配線基板400における伝送線路80の微細パターンを形成することが困難になる。伝送線路80が配置されるトレンチ72のアスペクト比が上記上限よりも大きいと、第1の導電体74と、第2の導電体76とをトレンチ72に充填することが困難になる。

【0183】

以上のように、本実施形態に係る配線基板400は、第1の絶縁層70に設けられたトレンチ72の内側の表面に接するように、より高い導電率を有する第1の導電体74が配置され、第1の導電体74に接するようにより低い導電率を有する第2の導電体76が配置された伝送線路80を備える。言い換えると、本実施形態に係る配線基板400は、より低い導電率を有する第2の導電体76を、より高い導電率を有する第1の導電体74が囲うように配置された伝送線路80を備える。このような構成をとることによって、本実施形態に係る配線基板400は、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性を改善することができ、より高速な信号伝達が可能となる。

【0184】

[配線基板400の製造方法]

図16を用いて、本開示の一実施形態に係る配線基板の製造方法を説明する。図16において、図15に示す要素と同じ要素には同一の符号を付した。

【0185】

図16(A)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70にトレンチ72を形成する工程を示す図である。第1の絶縁層70に、フォトリソグラフィ法により、トレンチ72が形成される領域を露出するようにレジストパターンを形成する。レジストパターンから露出した第1の絶縁層70に対するエッチングを行い、トレンチ72を形成する。レジストパターンを除去することで、図16(A)に示す断面構造の基材を得ることができる。しかしながらこれに限定されず、第1の絶縁層70にトレンチ72を形成する方法としては、インプリント法などの方法を用いることもできる。

【0186】

図16(B)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上に第1の導電体74を形成する工程を示す図である。図16(B)に示すように、第1の絶縁層70上の略全面に第1の導電体74を形成する。この時、第1の導電体74の厚さは、所定の膜厚になるよう制御する。本実施形態において第1の導電体74は、銅を用いてスパッタリング法によって形成する。第1の導電体74を形成する方法としては、プラズマCVD法を用いることもできる。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、伝送線路80が配置されるトレンチ72の領域にのみ形成してもよい。

【0187】

図16(C)は、本開示の一実施形態に係る配線基板の製造方法において、第2の導電体76を形成する工程を示す図である。図16(C)に示すように、第1の導電体74上の略全面に第2の導電体76を形成する。本実施形態において第2の導電体76は、径200nm以下の銅ナノ粒子を含むペーストを用いて形成する。銅ナノ粒子ペーストを印刷法によって印刷することで、トレンチ72を銅ナノ粒子ペーストで充填する。その後、例えば、180℃で60分焼結することで、第2の導電体76を形成する。

【0188】

図16(D)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上を研磨する工程を示す図である。図16(D)に示すように、第1の絶縁層70上の略全面を研磨する。本実施形態において、第1の絶縁層70の表面は化学機械研磨法(chemical mechanical polishing)を用いて研磨した。第

10

20

30

40

50

1の絶縁層70上を研磨する方法としては、機械研磨法を用いることもできる。第1の絶縁層70上を研磨することで、トレンチ72内以外の第1の導電体74及び第2の導電体76を除去する。これによって、トレンチ72内の第1の導電体74及び第2の導電体76が、伝送線路80及び接地導体82として形成される。

【0189】

以上のように、本実施形態に係る配線基板400の製造方法によると、第1の導電体74を所定の膜厚になるよう制御するという簡易な方法によって、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性が改善された配線基板400を形成することができる。第2の導電体76は、銅ナノ粒子ペーストを印刷法によって印刷することで形成することができ、低コストでの高密度配線が可能となる。

10

【0190】

<第5実施形態>

第4実施形態において、第1の導電体74の厚さは、トレンチ72の内側の表面において均一であった。第5実施形態において、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の側壁部が底部より厚い。

【0191】

図17または図18を用いて、本開示の第5実施形態に係る配線基板500の構成、及び配線基板500の製造方法について説明する。ここで、第4実施形態と同様である部分は、その詳しい説明を省略する。

【0192】

[配線基板の構成]

図17は、本開示の一実施形態に係る配線基板の一例を示す(A)上面図及び(B)断面図である。図17(A)及び(B)に示すように、配線基板500は、第1の絶縁層70と、伝送線路(第1の配線)80と、接地導体(第2の配線、第3の配線)82とを備える。第1の絶縁層70には、複数のトレンチ72が設けられている。複数のトレンチ72には、それぞれ伝送線路80または接地導体82が配置される。本実施形態において、伝送線路80は2本の接地導体82に挟まれて配置される。すなわち、伝送線路80の両側に接地導体82が配置される。伝送線路80は4本配置したが、これに限定されない。1本以上配置されればよい。

20

【0193】

図17(A)及び(B)に示すように、伝送線路80及び接地導体82はそれぞれ、第1の導電体74と、第2の導電体76とを有する。第1の導電体74は、トレンチ72の内側の表面に配置される。第2の導電体76は、トレンチ72に配置され、第1の導電体74と接している。

30

【0194】

第1の導電体74の材料と、第2の導電体76の材料とは、導電性を有し、且つ後に説明する条件を満たしていればよい。第2の導電体76は、第1の導電体74の導電率より低い導電率を有する。第1の導電体74の導電率は $5 \times 10^7 \text{ S/m}$ 以上であればよい。第2の導電体76の導電率は、 $1 \times 10^7 \text{ S/m}$ から $2 \times 10^7 \text{ S/m}$ の範囲とすることができる。

40

【0195】

本実施形態において第1の導電体74の材料は銅であるがこれに限定されない。第1の導電体74の材料は、金、銀、銅、白金、ニッケル、ロジウム、ルテニウム、又はイリジウム等を用いることができる。第2の導電体76の材料は銅ナノ粒子ペースト焼結体であるが、これに限定されない。径200nm以下の金属ナノ粒子等を含むペーストを低温焼結したものであればよい。金属としては、例えば、金、銀、銅等を用いることができる。金属ナノ粒子は融点が低い。このため金属ナノ粒子を含むペーストを焼結することによって、含有金属は凝集後融解し、導電率が向上する。銅ナノ粒子ペースト焼結体は、含有金属の粒子径が大きくなった状態で凝集することになり、空隙(ボイド)を含む第2の導電体76はポーラス(多孔質)な状態となる。

50

【0196】

本実施形態において、伝送線路80の幅は3 μ mである。しかしながらこれに限定されず、伝送線路80の幅は、用途に応じて適宜選択でき、例えば0.5 μ m以上10 μ m以下の範囲で選択することができる。

【0197】

本実施形態において、第1の導電体74の厚さは0.4 μ m以上である。しかしながらこれに限定されず、第1の導電体74の厚さは用途に応じて適宜選択でき、伝送線路80の幅の1/8以上であればよい。さらに、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の側壁部が底部より厚い。すなわち伝送線路80において、第1の導電体74の厚さは、接地導体82に近接する側面部が底部より厚い。

10

【0198】

以上のように、本実施形態に係る配線基板500は、第1の絶縁層70に設けられたトレンチ72の内側の表面に接するように、より高い導電率を有する第1の導電体74が配置され、第1の導電体74に接するようにより低い導電率を有する第2の導電体76が配置された伝送線路80を備える。さらに第1の導電体74の厚さは、接地導体82に近接するトレンチ72の側壁部が底部より厚い。言い換えると、本実施形態に係る配線基板500は、より低い導電率を有する第2の導電体76を、より高い導電率を有する第1の導電体74が囲うように配置され、さらに第1の導電体74の接地導体82に近接する側面部が底部より厚い伝送線路80を備える。このような構成をとることによって、本実施形態に係る配線基板500は、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性をさらに改善することができ、より高速な信号伝達が可能となる。

20

【0199】

[配線基板500の製造方法]

図18を用いて、本開示の一実施形態に係る配線基板の製造方法を説明する。図18において、図17に示す要素と同じ要素には同一の符号を付した。

【0200】

図18(A)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70にトレンチ72を形成する工程を示す図である。第1の絶縁層70に、フォトリソグラフィ法により、トレンチ72が形成される領域を露出するようにレジストパターンを形成する。レジストパターンから露出した第1の絶縁層70に対するエッチングを行い、トレンチ72を形成する。レジストパターンを除去することで、図18(A)に示す断面構造の基材を得ることができる。第1の絶縁層70にトレンチ72を形成する方法としては、インプリント法などの方法を用いることもできる。

30

【0201】

図18(B)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上に第1の導電体74を形成する工程を示す図である。図18(B)に示すように、第1の絶縁層70上の略全面に第1の導電体74を形成する。この時、第1の導電体74の厚さは、後述する図18(D)の工程とあわせて所定の膜厚になるよう制御する。本実施形態において第1の導電体74は、銅を用いてスパッタリング法によって形成する。第1の導電体74を形成する方法としては、プラズマCVD法を用いることもできる。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、伝送線路80が配置されるトレンチ72の領域にのみ形成してもよい。

40

【0202】

図18(C)は、本開示の一実施形態に係る配線基板の製造方法において第1の導電体74をエッチングする工程を示す図である。第1の導電体74に、フォトリソグラフィ法により、トレンチ72底部を露出するようにレジストパターンを形成する。レジストパターンから露出した第1の導電体74に対するエッチングを行い、トレンチ72底部の第1の導電体74を選択的に除去する。レジストパターンを除去することで、図18(C)に示す断面構造の基材を得ることができる。

50

【0203】

図18(D)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上に、さらに第1の導電体74を形成する工程を示す図である。図18(D)に示すように、第1の絶縁層70上の略全面に第1の導電体74を形成する。この時、第1の導電体74の厚さは、前述した図18(B)の工程とあわせて所定の膜厚になるよう制御する。図18(B)～(D)の工程によって、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の側壁部が底部より厚く形成される。本実施形態において第1の導電体74は、銅を用いてスパッタリング法によって形成する。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、伝送線路80が配置されるトレンチ72の領域にのみ形成してもよい。

10

【0204】

図18(E)は、本開示の一実施形態に係る配線基板の製造方法において、第2の導電体76を形成する工程を示す図である。図18(E)に示すように、第1の導電体74上の略全面に第2の導電体76を形成する。本実施形態において第2の導電体76は、径200nm以下の銅ナノ粒子を含むペーストを用いて形成する。銅ナノ粒子ペーストを印刷法によって印刷することで、トレンチ72を銅ナノ粒子ペーストで充填する。その後、例えば、180℃で60分焼結することで、第2の導電体76を形成する。

【0205】

図18(F)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上を研磨する工程を示す図である。図18(F)に示すように、第1の絶縁層70上の略全面を研磨する。本実施形態において、第1の絶縁層70の表面は化学機械研磨法(chemical mechanical polishing)を用いて研磨した。第1の絶縁層70上を研磨する方法としては、機械研磨法を用いることもできる。第1の絶縁層70上を研磨することで、トレンチ72内以外の第1の導電体74及び第2の導電体76を除去する。これによって、トレンチ72内の第1の導電体74及び第2の導電体76が、伝送線路80及び接地導体82として形成される。

20

【0206】

以上のように、本実施形態に係る配線基板500の製造方法によると、第1の導電体74を所定の膜厚になるよう制御するという簡易な方法によって、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性が改善された配線基板500を形成することができる。さらに、第1の導電体74の厚さを、接地導体82に近接する側面部が底部より厚くなるよう制御することで、伝送線路80の高周波帯域における伝送特性がより改善された配線基板500を形成することができる。第2の導電体76は、銅ナノ粒子ペーストを印刷法によって印刷することで形成することができ、低コストでの高密度配線が可能となる。

30

【0207】

<第6実施形態>

第4実施形態において、第1の導電体74の厚さは、トレンチ72の内側の表面において均一であった。第6実施形態において、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の底部が側壁部より厚い。

40

【0208】

図19または図20を用いて、本開示の第6実施形態に係る配線基板600の構成、及び配線基板600の製造方法について説明する。ここで、第3実施形態と同様である部分は、その詳しい説明を省略する。

【0209】

[配線基板の構成]

図19は、本開示の一実施形態に係る配線基板の一例を示す(A)上面図及び(B)断面図である。図19(A)及び(B)に示すように、配線基板600は、第1の絶縁層70と、伝送線路(第1の配線)80と、接地導体(第2の配線)82とを備える。第1の絶縁層70には、複数のトレンチ72が設けられている。複数のトレンチ72には、それぞ

50

れ伝送線路 80 が配置される。本実施形態において接地導体 82 は、第 1 の絶縁層 70 の伝送線路 80 が配置される面とは反対側の面に配置される。伝送線路 80 は 4 本配置したが、これに限定されない。1 本以上配置されればよい。

【0210】

図 19 (A) 及び (B) に示すように、伝送線路 80 はそれぞれ、第 1 の導電体 74 と、第 2 の導電体 76 とを有する。第 1 の導電体 74 は、トレンチ 72 の内側の表面に配置される。第 2 の導電体 76 は、トレンチ 72 に配置され、第 1 の導電体 74 と接している。接地導体 82 は、例えば、第 1 の導電体 74、または第 2 の導電体 76 のみで形成されてもよい。

【0211】

第 1 の導電体 74 の材料と、第 2 の導電体 76 の材料とは、導電性を有し、且つ後に説明する条件を満たしていればよい。第 2 の導電体 76 は、第 1 の導電体 74 の導電率より低い導電率を有する。第 1 の導電体 74 の導電率は $5 \times 10^7 \text{ S/m}$ 以上であればよい。第 2 の導電体 76 の導電率は、 $1 \times 10^7 \text{ S/m}$ から $2 \times 10^7 \text{ S/m}$ の範囲とすることができる。

【0212】

本実施形態において第 1 の導電体 74 の材料は銅であるがこれに限定されない。第 1 の導電体 74 の材料は、金、銀、銅、白金、ニッケル、ロジウム、ルテニウム、又はイリジウム等を用いることができる。第 2 の導電体 76 の材料は銅ナノ粒子ペースト焼結体であるが、これに限定されない。径 200 nm 以下の金属ナノ粒子等を含むペーストを低温焼結したものであればよい。金属としては、例えば、金、銀、銅等を用いることができる。金属ナノ粒子は融点が高い。このため金属ナノ粒子を含むペーストを焼結することによって、含有金属は凝集後融解し、導電率が向上する。銅ナノ粒子ペースト焼結体は、含有金属の粒子径が大きくなった状態で凝集することになり、空隙（ボイド）を含む第 2 の導電体 76 はポーラス（多孔質）な状態となる。

【0213】

本実施形態において、伝送線路 80 の幅は $3 \mu\text{m}$ である。しかしながらこれに限定されず、伝送線路 80 の幅は、用途に応じて適宜選択でき、例えば $0.5 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の範囲で選択することができる。

【0214】

本実施形態において、第 1 の導電体 74 の厚さは $0.4 \mu\text{m}$ 以上である。しかしながらこれに限定されず、第 1 の導電体 74 の厚さは用途に応じて適宜選択でき、伝送線路 80 の幅の $1/8$ 以上であればよい。さらに、第 1 の導電体 74 の厚さは、接地導体 82 に近接するトレンチ 72 の底部が側壁部より厚い。すなわち伝送線路 80 において、第 1 の導電体 74 の厚さは、接地導体 82 に近接する底部が側面部より厚い。

【0215】

以上のように、本実施形態に係る配線基板 600 は、第 1 の絶縁層 70 に設けられたトレンチ 72 の内側の表面に接するように、より高い導電率を有する第 1 の導電体 74 が配置され、第 1 の導電体 74 に接するようにより低い導電率を有する第 2 の導電体 76 が配置された伝送線路 80 を備える。さらに第 1 の導電体 74 の厚さは、接地導体 82 に近接するトレンチ 72 の底部が側壁部より厚い。言い換えると、本実施形態に係る配線基板 600 は、より低い導電率を有する第 2 の導電体 76 を、より高い導電率を有する第 1 の導電体 74 が囲うように配置され、さらに第 1 の導電体 74 の接地導体 82 に近接する底部が側面部より厚い伝送線路 80 を備える。このような構成をとることによって、本実施形態に係る配線基板 600 は、低い導電率を有する第 2 の導電体 76 が配置された伝送線路 80 の高周波帯域における伝送特性をさらに改善することができ、より高速な信号伝達が可能となる。

【0216】

[配線基板 600 の製造方法]

図 20 を用いて、本開示の一実施形態に係る配線基板の製造方法を説明する。図 20 にお

10

20

30

40

50

いて、図19に示す要素と同じ要素には同一の符号を付した。

【0217】

図20(A)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70にトレンチ72を形成する工程を示す図である。第1の絶縁層70に、フォトリソグラフィ法により、トレンチ72が形成される領域を露出するようにレジストパターンを形成する。レジストパターンから露出した第1の絶縁層70に対するエッチングを行い、トレンチ72を形成する。レジストパターンを除去することで、図20(A)に示す断面構造の基材を得ることができる。第1の絶縁層70にトレンチ72を形成する方法としては、インプリント法などの方法を用いることもできる。

【0218】

図20(B)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上に第1の導電体74を形成する工程を示す図である。図20(B)に示すように、第1の絶縁層70上の略全面に第1の導電体74を形成する。この時、第1の導電体74の厚さは、所定の膜厚になるよう制御する。本実施形態において第1の導電体74は、銅を用いてロングスロースパッタリング法によって形成する。これによって、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の底部が側壁部より厚く形成される。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、伝送線路80が配置されるトレンチ72の領域にのみ形成してもよい。

【0219】

図20(C)は、本開示の一実施形態に係る配線基板の製造方法において、第2の導電体76を形成する工程を示す図である。図20(C)に示すように、第1の導電体74上の略全面に第2の導電体76を形成する。本実施形態において第2の導電体76は、径200nm以下の銅ナノ粒子を含むペーストを用いて形成する。銅ナノ粒子ペーストを印刷法によって印刷することで、トレンチ72を銅ナノ粒子ペーストで充填する。その後、例えば、180℃で60分焼結することで、第2の導電体76を形成する。

【0220】

図20(D)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上を研磨する工程を示す図である。図20(D)に示すように、第1の絶縁層70上の略全面を研磨する。本実施形態において、第1の絶縁層70の表面は化学機械研磨法(chemical mechanical polishing)を用いて研磨した。第1の絶縁層70上を研磨する方法としては、機械研磨法を用いることもできる。第1の絶縁層70上を研磨することで、トレンチ72内以外の第1の導電体74及び第2の導電体76を除去する。これによって、トレンチ72内の第1の導電体74及び第2の導電体76が、伝送線路80として形成される。

【0221】

図20(E)は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70の伝送線路80が配置される面とは反対側の面上に第1の導電体74を形成する工程を示す図である。図20(E)に示すように、第1の絶縁層70の伝送線路80が配置される面とは反対側の略全面に第1の導電体74を形成する。本実施形態において第1の導電体74は、銅を用いてスパッタリング法によって形成する。第1の導電体74を形成する方法としては、プラズマCVD法を用いることもできる。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、所定の領域にのみに形成してもよい。

【0222】

以上のように、本実施形態に係る配線基板600の製造方法によると、第1の導電体74を所定の膜厚になるよう制御するという簡易な方法によって、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性が改善された配線基板600を形成することができる。さらに、第1の導電体74の厚さを、接地導体82に近接する底部が側面部より厚くなるよう制御することで、伝送線路80の高周波帯域における伝送特性がより改善された配線基板600を形成することができる。第2の導電体7

10

20

30

40

50

6は、銅ナノ粒子ペーストを印刷法によって印刷することで形成することができ、低コストでの高密度配線が可能となる。

【0223】

<第7実施形態>

第4実施形態において、第1の導電体74の厚さは、トレンチ72の内側の表面において均一であった。第6実施形態において、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の底部が側壁部より厚い。第7実施形態は、第6実施形態に係る配線基板700に、第2の絶縁層78及び接地導体82を積層した構成をとる。第1の導電体74は第2の導電体76を囲むように配置され、第1の導電体74の厚さは、接地導体82に近接するトレンチ72の底部及び上部が側壁部より厚い。

10

【0224】

図21または図22を用いて、本開示の第7実施形態に係る配線基板700の構成、及び配線基板700の製造方法について説明する。ここで、第1および第3実施形態と同様である部分は、その詳しい説明を省略する。

【0225】

[配線基板の構成]

図21は、本開示の一実施形態に係る配線基板の一例を示す(A)上面図及び(B)断面図である。図21(A)及び(B)に示すように、配線基板700は、第1の絶縁層70と、伝送線路(第1の配線)80と、第2の絶縁層78と、接地導体(第2の配線、第3の配線)82と、を備える。第1の絶縁層70には、複数のトレンチ72が設けられている。複数のトレンチ72には、それぞれ伝送線路80が配置される。第2の絶縁層78は、第1の絶縁層70の伝送線路80が配置される面上に配置される。第2の絶縁層78は、第1の絶縁層70上の伝送線路80が嵌るように、複数のトレンチ72を有する。本実施形態において接地導体82は、第1の絶縁層70と、第2の絶縁層78の、伝送線路80が配置される面とは反対側の面にそれぞれ配置される。伝送線路80は4本配置したが、これに限定されない。1本以上配置されればよい。

20

【0226】

第1の絶縁層70及び第2の絶縁層78の材料は、電気絶縁性を有する材料であればよい。第1の絶縁層70及び第2の絶縁層78の材料としては、例えば、エポキシ系樹脂材料、フェノール系樹脂材料、ポリイミド系樹脂材料、ポリスルホン系樹脂材料、ポリエステル系樹脂材料、ポリカーボネイト系樹脂材料等を用いることができる。なお、第1の絶縁層70及び第2の絶縁層78は、単一の層によって構成された例を図示したが、これに限定されず、複数の基材又は層が積層された構造であってもよい。

30

【0227】

図21(A)及び(B)に示すように、伝送線路80はそれぞれ、第1の導電体74と、第2の導電体76とを有する。第1の導電体74は、トレンチ72の内側の表面に配置される。第2の導電体76は、トレンチ72に配置され、第1の導電体74と接している。接地導体82は、例えば、第1の導電体74、または第2の導電体76のみで形成されてもよい。

【0228】

第1の導電体74の材料と、第2の導電体76の材料とは、導電性を有し、且つ後に説明する条件を満たしていればよい。第2の導電体76は、第1の導電体74の導電率より低い導電率を有する。第1の導電体74の導電率は $5 \times 10^7 \text{ S/m}$ 以上であればよい。第2の導電体76の導電率は、 $1 \times 10^7 \text{ S/m}$ から $2 \times 10^7 \text{ S/m}$ の範囲とすることができる。

40

【0229】

本実施形態において第1の導電体74の材料は銅であるがこれに限定されない。第1の導電体74の材料は、金、銀、銅、白金、ニッケル、ロジウム、ルテニウム、又はイリジウム等を用いることができる。第2の導電体76の材料は銅ナノ粒子ペースト焼結体であるが、これに限定されない。径200nm以下の金属ナノ粒子等を含むペーストを低温焼結

50

したものであればよい。金属としては、例えば、金、銀、銅等を用いることができる。金属ナノ粒子は融点が高い。このため金属ナノ粒子を含むペーストを焼結することによって、含有金属は凝集後融解し、導電率が向上する。銅ナノ粒子ペースト焼結体は、含有金属の粒子径が大きくなった状態で凝集することになり、空隙（ボイド）を含む第2の導電体76はポーラス（多孔質）な状態となる。

【0230】

本実施形態において、伝送線路80の幅は3 μm である。しかしながらこれに限定されず、伝送線路80の幅は、用途に応じて適宜選択でき、例えば0.5 μm 以上10 μm 以下の範囲で選択することができる。

【0231】

本実施形態において、第1の導電体74の厚さは0.4 μm 以上である。しかしながらこれに限定されず、第1の導電体74の厚さは用途に応じて適宜選択でき、伝送線路80の幅の1/8以上であればよい。さらに、第1の導電体74の厚さは、それぞれの接地導体82に近接するトレンチ72の底部及び上部が側壁部より厚い。すなわち伝送線路80において、第1の導電体74の厚さは、それぞれの接地導体82に近接する底部及び上部が側面部より厚い。

【0232】

以上のように、本実施形態に係る配線基板700は、第1の絶縁層70及び第2の絶縁層78に設けられたトレンチ72の内側の表面に接するように、より高い導電率を有する第1の導電体74が配置され、第1の導電体74に接するようにより低い導電率を有する第2の導電体76が配置された伝送線路80を備える。さらに第1の導電体74の厚さは、接地導体82に近接するトレンチ72の底部及び上部が側壁部より厚い。言い換えると、本実施形態に係る配線基板700は、より低い導電率を有する第2の導電体76を、より高い導電率を有する第1の導電体74が囲むように配置され、さらに第1の導電体74の接地導体82に近接する底部及び上部が側面部より厚い伝送線路80を備える。このような構成をとることによって、本実施形態に係る配線基板700は、低い導電率を有する第2の導電体76が配置された伝送線路80の高周波帯域における伝送特性をさらに改善することができる、より高速な信号伝達が可能となる。

【0233】

[配線基板700の製造方法]

図22を用いて、本開示の一実施形態に係る配線基板の製造方法を説明する。図22において、図21に示す要素と同じ要素には同一の符号を付した。

【0234】

図22（A）は、本開示の一実施形態に係る配線基板の製造方法において、第6実施形態に係る配線基板600を形成する工程を示す図である。第6実施形態における配線基板600の製造方法と同様であるため、その詳しい説明を省略する。

【0235】

図22（B）は、本開示の一実施形態に係る配線基板の製造方法において、第1の絶縁層70上に第1の導電体74を形成する工程を示す図である。図22（B）に示すように、第1の絶縁層70上の略全面に第1の導電体74を形成する。この時、第1の導電体74の厚さは、所定の膜厚になるよう制御する。本実施形態において第1の導電体74は、銅を用いてスパッタリング法によって形成する。第1の導電体74を形成する方法としては、プラズマCVD法を用いることもできる。また、本実施形態において第1の導電体74は、第1の絶縁層70上の略全面に形成したが、伝送線路80が配置されるトレンチ72の領域にのみ形成してもよい。

【0236】

図22（C）は、本開示の一実施形態に係る配線基板の製造方法において第1の導電体74をエッチングする工程を示す図である。第1の導電体74に、フォトリソグラフィ法により、伝送線路80が配置されるトレンチ72の領域以外を露出するようにレジストパターンを形成する。レジストパターンから露出した第1の導電体74に対するエッチングを

行い、伝送線路 80 が配置されるトレンチ 72 の領域以外の第 1 の導電体 74 を選択的に除去する。レジストパターンを除去することで、図 22 (C) に示す断面構造の基材を得ることができる。

【0237】

図 22 (D) は、本開示の一実施形態に係る配線基板の製造方法において、第 1 の絶縁層 70 上に第 2 の絶縁層 78 を積層する工程を示す図である。ここで第 2 の絶縁層 78 は、図 22 (B) 及び (C) で形成された第 1 の絶縁層 70 上第 1 の導電体 74 が嵌るように、複数のトレンチ 72 を有する。第 2 の絶縁層 78 は、第 1 の絶縁層 70 上の伝送線路 80 が嵌るように、第 1 の絶縁層 70 上に積層する。これによって伝送線路 80 は、第 1 の絶縁層 70 及び第 2 の絶縁層 78 に埋設される。

10

【0238】

図 22 (E) は、本開示の一実施形態に係る配線基板の製造方法において、第 2 の絶縁層 78 の伝送線路 80 が配置される面とは反対側の面上に第 1 の導電体 74 を形成する工程を示す図である。図 22 (E) に示すように、第 2 の絶縁層 78 の伝送線路 80 が配置される面とは反対側の略全面に第 1 の導電体 74 を形成する。本実施形態において第 1 の導電体 74 は、銅を用いてスパッタリング法によって形成する。また、本実施形態において第 1 の導電体 74 は、第 1 の絶縁層 70 上の略全面に形成したが、所定の領域にのみに形成してもよい。

【0239】

以上のように、本実施形態に係る配線基板 700 の製造方法によると、第 1 の導電体 74 を所定の膜厚になるよう制御するという簡易な方法によって、低い導電率を有する第 2 の導電体 76 が配置された伝送線路 80 の高周波帯域における伝送特性が改善された配線基板 700 を形成することができる。さらに、第 1 の導電体 74 の厚さを、接地導体 82 に近接する底部及び上部が側面部より厚くなるよう制御することで、伝送線路 80 の高周波帯域における伝送特性がより改善された配線基板 700 を形成することができる。第 2 の導電体 76 は、銅ナノ粒子ペーストを印刷法によって印刷することで形成することができ、低コストでの高密度配線が可能となる。

20

【0240】

〈変形例〉

図 23 を用いて、本開示の実施形態の変形例に係る配線基板について説明する。

30

【0241】

図 23 は、第 4 実施形態乃至第 6 実施形態の変形例に係る配線基板の一例を示す断面図である。第 4 実施形態乃至第 6 実施形態に係る配線基板は、第 1 の絶縁層 70 上に第 2 の絶縁層 78 を積層してもよい。第 4 実施形態に係る配線基板に第 2 の絶縁層 78 を積層した変形例を図 23 (A) に示す。第 5 実施形態に係る配線基板に第 2 の絶縁層 78 を積層した変形例を図 23 (B) に示す。第 6 実施形態に係る配線基板に第 2 の絶縁層 78 を積層した変形例を図 23 (C) に示す。図 23 (A) ~ (C) に示すように、第 1 の絶縁層 70 の伝送線路 80 が配置される面に第 2 の絶縁層 78 を積層する。これによって伝送線路 80 は、第 1 の絶縁層 70 及び第 2 の絶縁層 78 に埋設される。図には示さなかったが、本開示の実施形態に係る配線基板 700 は、さらに多層配線基板として積層することができる。この場合、各層間はビア導体を用いて電氣的に接続することができる。

40

【0242】

以上説明した実施形態は、本開示の理解を容易にするために記載されたものであって、本開示を限定するために記載されたものではない。したがって、上記実施形態に開示された各要素は、本開示の技術的範囲に属する全ての設計変更や均等物をも含む趣旨である。

【実施例】

【0243】

次に、具体的実施例を挙げて本開示を更に詳細に説明する。

【0244】

[実装部品の作製]

50

基材として、厚み700 μm のシリコン基材を準備し、このシリコン基材上に絶縁層を9層、導体層を9層、交互に積層して多層構造を構成し、また、絶縁層を介して上下に位置する導体層を層間接続体を介して接続して、実装部品（試料1～試料3）を製造した。尚、絶縁層の厚みは8 μm 、導体層の厚みは4nmとした。

【0245】

この実装部品では、最表面の絶縁層には、25mm $\times$ 20mmの実装領域を画定し、この実装領域には、150 μm $\times$ 150 μm の大きさの電極パッドを、格子形状の交点に位置するようにピッチ200 μm で2500個配置した。

【0246】

また、各実装部品（試料1～試料3）では、電極パッドを有する最表面の導体層の下層に位置する他の8層の導体層の回路パターン形状をそれぞれ変えることにより、上記の実装領域と厚み方向で重複する他の8層の各導体層の面積（実装領域の面積を100%としたときの面積（%）で示す）を、下記の表1に示すような値とした。

【0247】

さらに、各実装部品（試料1～試料3）では、電極パッドの直下に位置する下層の導体層を、図5（A）、図5（B）、または図5（D）に示すように変化させることにより、電極パッドの直下に位置する下層の導体層の面積（電極パッドの面積を100%としたときの面積（%）で示す）を、下記の表1に示すような値とした。

【0248】

[実装部品の評価]

次に、上記のように作製した実装部品（試料1～試料3）を、多層配線基板にはんだボールを用いてフリップチップ実装した。上記のように実装した各実装部品について、多層配線基板との接続確認を行い、接続不良の発生頻度（%）を求めて、下記の表1に示した。

【0249】

【表1】

表 1

実装部品	実装領域と重複する導体層の面積	電極パッド直下に位置する導体層の面積	接続不良の発生頻度
試料1	8%	15%	6.1%
試料2	64%	50%	0.5%
試料3	86%	75%	0%

【0250】

表1に示されるように、実装領域と厚み方向で重複する導体層の面積が60%以上であり、電極パッド直下に位置する導体層の面積が50%以上である実装部品（試料2、試料3）は、接続不良が発生しない、あるいは、接続不良が発生しても、その発生頻度が極めて低いことが確認された。しかし、実装領域と厚み方向で重複する導体層の面積が60%未満であり、電極パッド直下に位置する導体層の面積が50%未満である実装部品（試料1）は、接続不良の発生頻度が高いものであった。

【0251】

また、実装部品（試料2、試料3）の中で、実装領域と厚み方向で重複する導体層の面積が70%以上であり、電極パッドの直下に位置する下層の導体層の面積が75%以上の試料3は、接続不良の発生が確実に防止されていることが確認された。

【0252】

次に、上述した本開示に係る配線基板について、より詳細に説明する。

【0253】

本開示の実施形態に係る配線基板が備える伝送線路の高周波帯域における伝送特性を改善し、より高速な信号伝達を可能とするために、第1の導電体74及び第2の導電体76の比率を検討した。

【0254】

[実施例1]

本開示の実施例1に係る配線基板は、第4実施形態に係る配線基板と同様であることから、その詳しい説明は省略する。

【0255】

実施例1に係る配線基板における伝送線路の各パラメータは以下の通りである。

伝送線路の幅：3 μm

伝送線路の高さ：2 μm

伝送線路の長さ：10 mm

第1の導電体の厚さ：0.4 μm

第1の導電体の導電率：5.8 $\times 10^7 \text{ S/m}$

第2の導電体の幅：2.2 μm

第2の導電体の高さ：1.6 μm

第2の導電体の導電率：1.5 $\times 10^7 \text{ S/m}$

【0256】

次に上記、実施例1に示した配線基板に対する比較例について、以下に説明する。比較例1は、実施例1と比べて第1の導電体の厚さおよび第2の導電体の導電率が異なる。配線基板の製造工程は第2の導電体を形成する工程以外、実施例1と同様であるので、くわしい説明を省略する。第2の導電体を形成する工程（図16（C））において、比較例1では、電解銅めっき法によって銅をトレンチ内に充填する。これによって高い導電率を有する導電体のみが配置された伝送線路を形成する。

【0257】

[比較例1]

比較例1に係る配線基板における伝送線路の各パラメータは以下の通りである。

伝送線路の幅：3 μm

伝送線路の高さ：2 μm

伝送線路の長さ：10 mm

第1の導電体の厚さ：0.2 μm

第1の導電体の導電率：5.8 $\times 10^7 \text{ S/m}$

第2の導電体の幅：2.6 μm

第2の導電体の高さ：1.8 μm

第2の導電体の導電率：5.8 $\times 10^7 \text{ S/m}$

【0258】

比較例2は、実施例1とは第1の導電体の厚さが異なる。配線基板の製造工程は実施例1と同様であるので、説明を省略する。

【0259】

[比較例2]

実施例1と同様の工程によって得た比較例2に係る配線基板における伝送線路の各パラメータは以下の通りである。

伝送線路の幅：3 μm

伝送線路の高さ：2 μm

伝送線路の長さ：10 mm

第1の導電体の厚さ：0.2 μm

第1の導電体の導電率：5.8 $\times 10^7 \text{ S/m}$

第2の導電体の幅：2.6 μm

第2の導電体の高さ：1.8 μm

第2の導電体の導電率：1.5 $\times 10^7 \text{ S/m}$

【0260】

実施例1、比較例1及び2の配線基板を用いて、伝送線路の挿入損失をネットワークアナライザ（Key sight社製）で測定した。2ポートSパラメータを測定し、各周波数における電力の損失を算出した結果を図24に示す。

【0261】

図24に示すように、実施例1において、第1の導電体を0.4 μm 膜厚にすることによって、低い導電率を有する第2の導電体が配置された伝送線路の高周波帯域における伝送特性を改善することができた。この結果は、比較例2における高い導電率を有する導電体だけが配置された伝送線路の高周波帯域における伝送特性と同等であった。一方で、実施例2において、第1の導電体を0.2 μm 膜厚にすると、低い導電率を有する第2の導電体が配置された伝送線路の高周波帯域における伝送特性を改善することはできなかった。

【0262】

次に、比較例2の配線基板を用いて、伝送線路の断面を電子顕微鏡（SEM）で観察した。比較例2の配線基板断面からサンプルを切り出し、電子顕微鏡（SEM）を用いて観察した写真を図25に示す。

【0263】

図25は、比較例2における伝送線路断面の電子顕微鏡写真である。図25に示すように、銅ナノ粒子ペーストを材料として形成された第2の導電体は、ポーラス（多孔質）な状態であり、疎な構造が観察された。一方、銅を材料としてスパッタリング法で形成された第1の導電体74は、より密な構造が観察された。

【産業上の利用可能性】

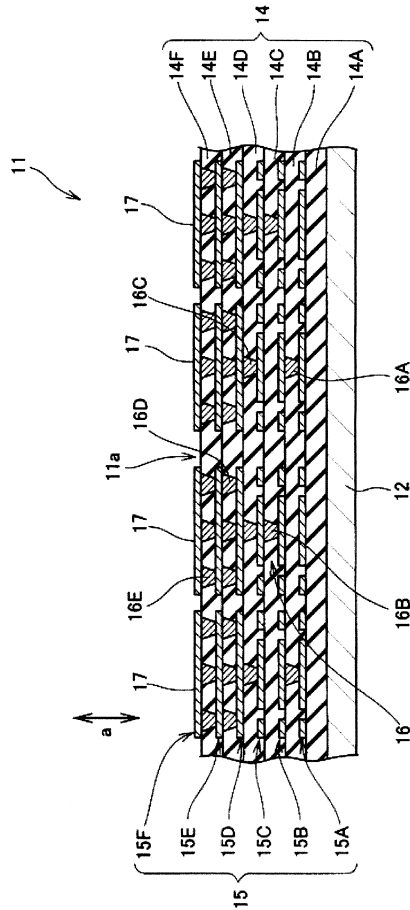
【0264】

本開示は、多層配線基板にフリップチップ実装する種々の実装部品およびその製造、実装部品を実装した電子装置において有用である。

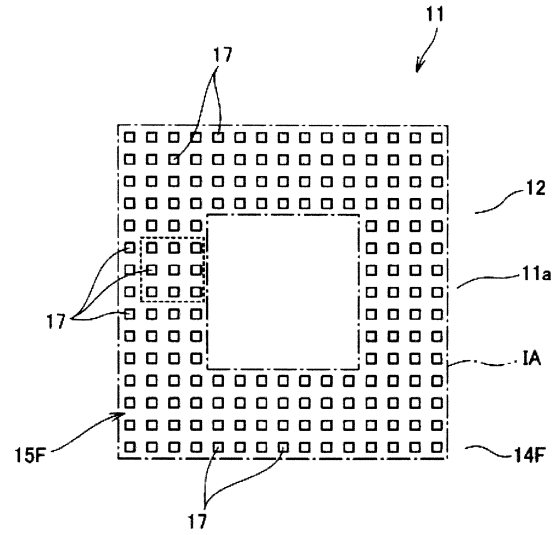
10

20

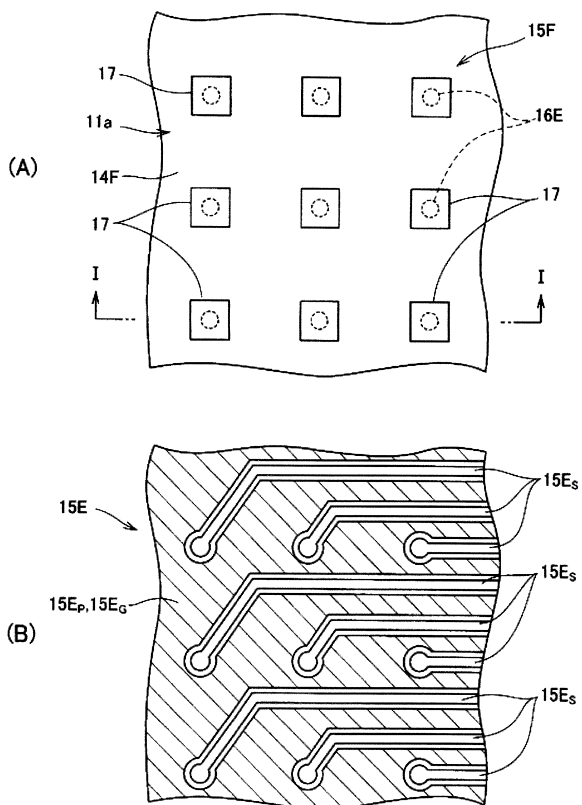
【図 1】



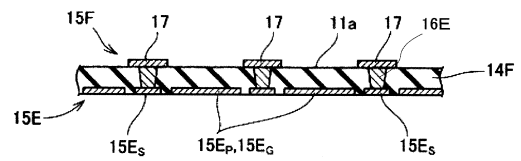
【図 2】



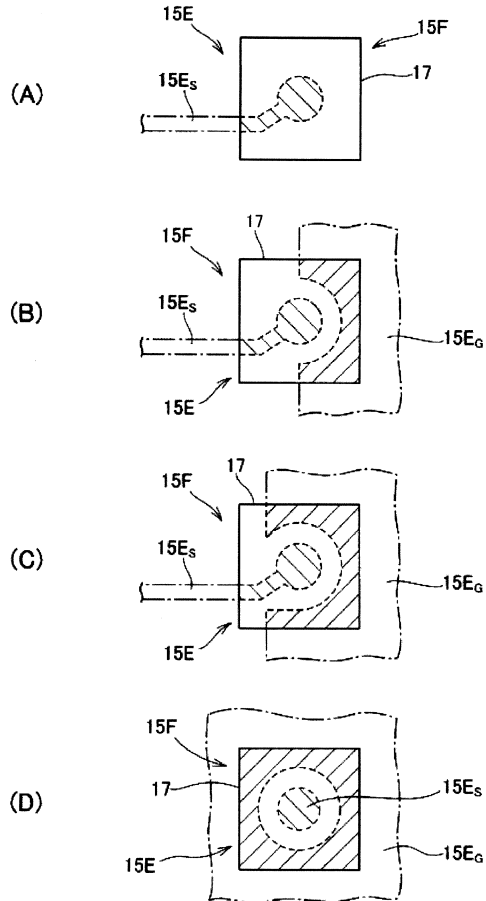
【図 3】



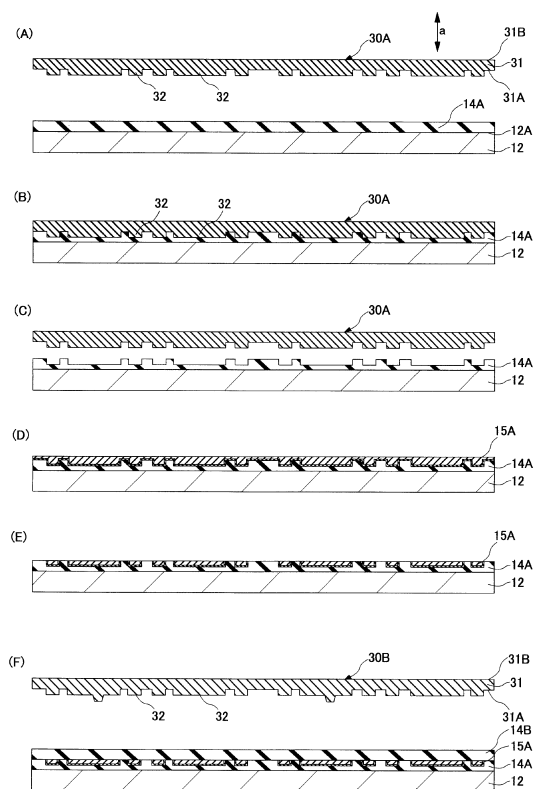
【図 4】



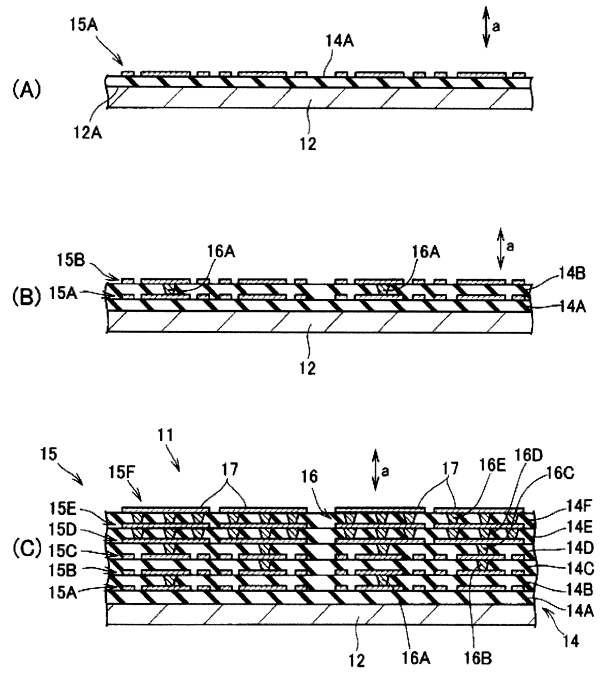
【図 5】



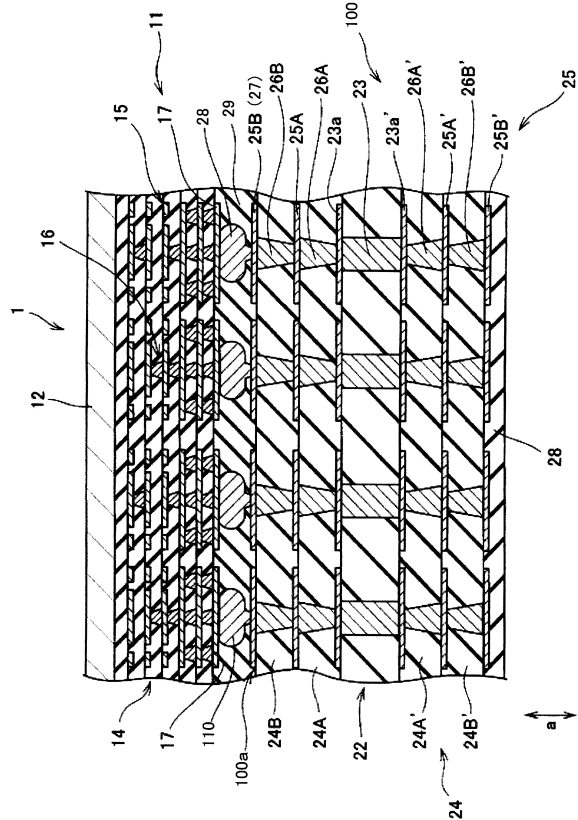
【図 7】



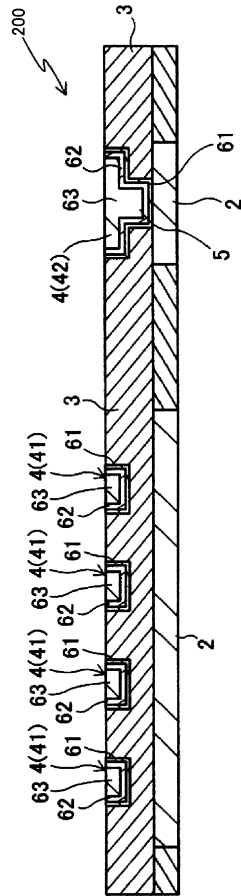
【図 6】



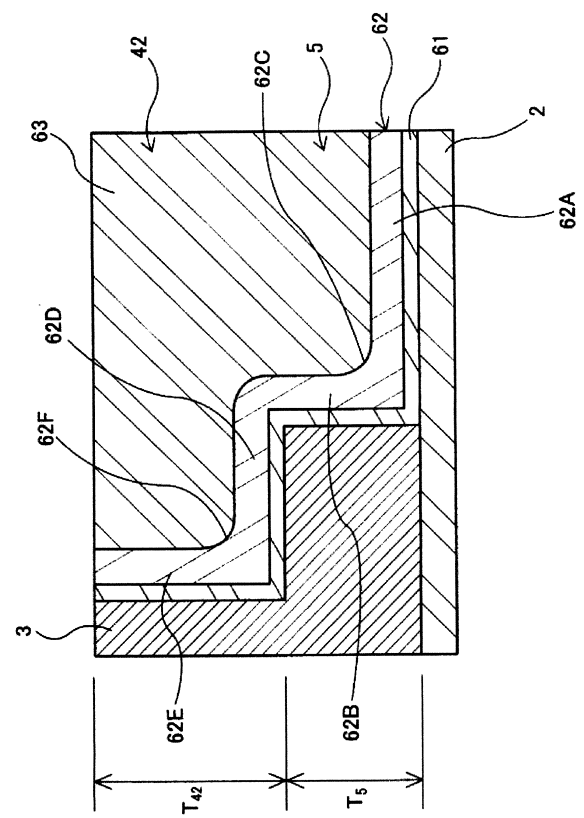
【図 8】



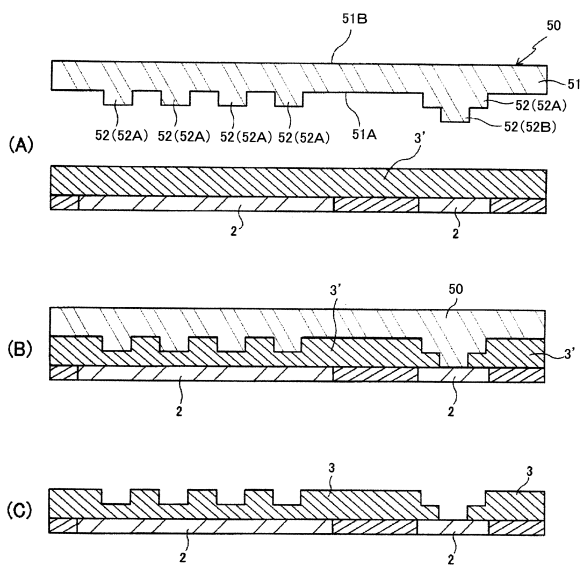
【図 9】



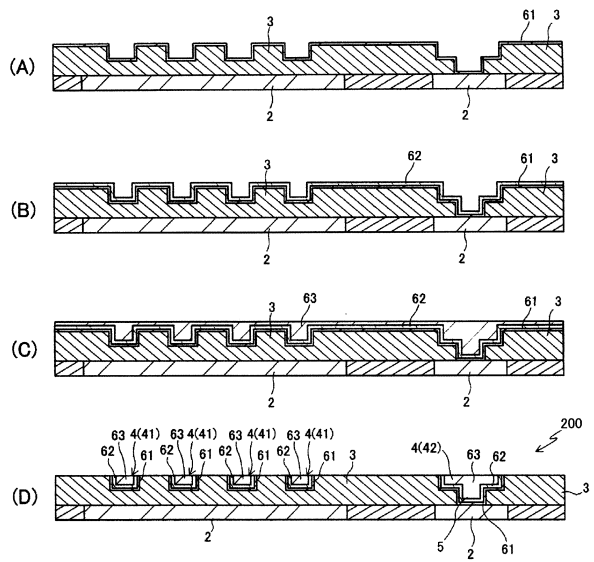
【図 10】



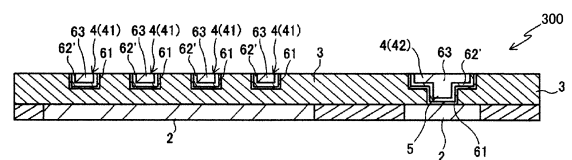
【図 1 1】



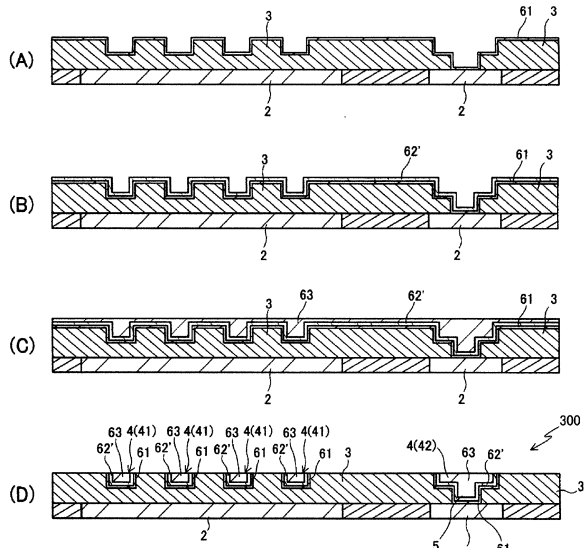
【图 1 2】



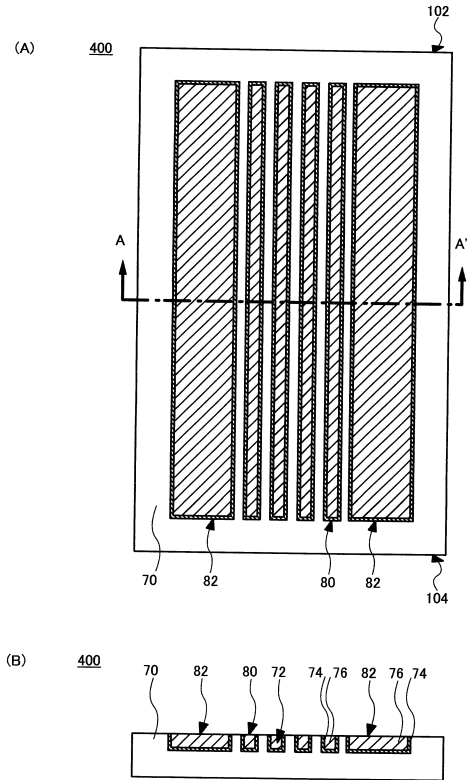
【图 13】



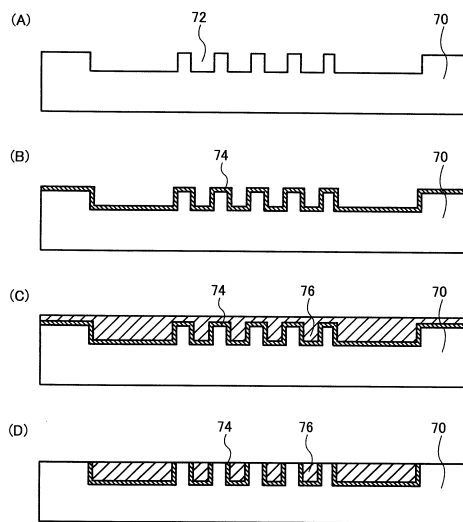
【図 14】



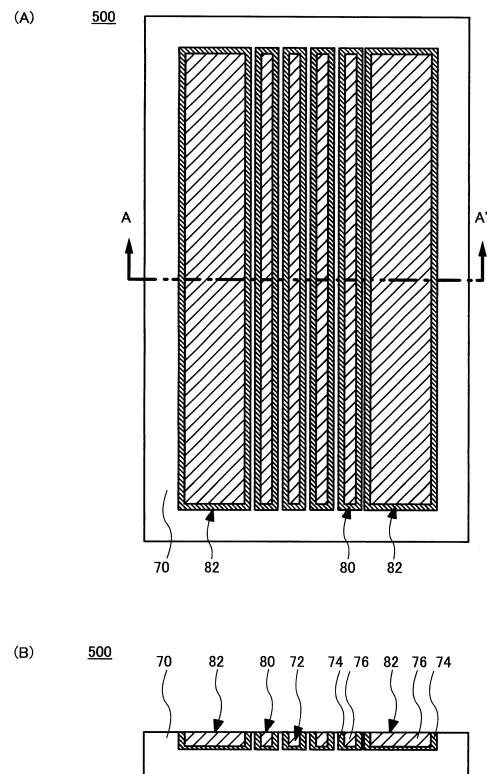
【図 15】



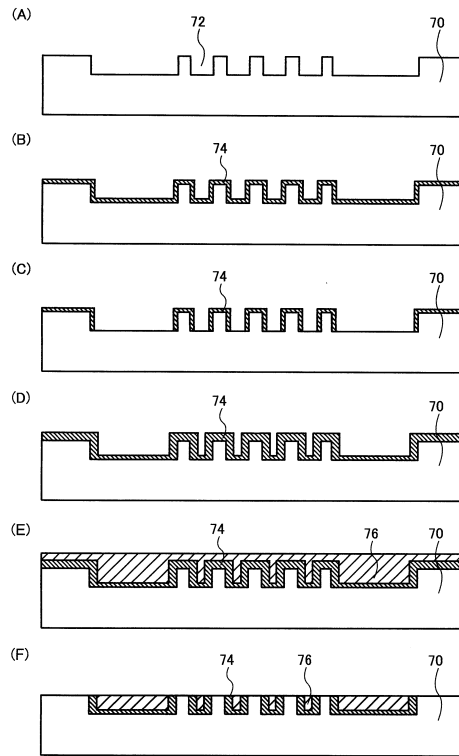
【図 16】



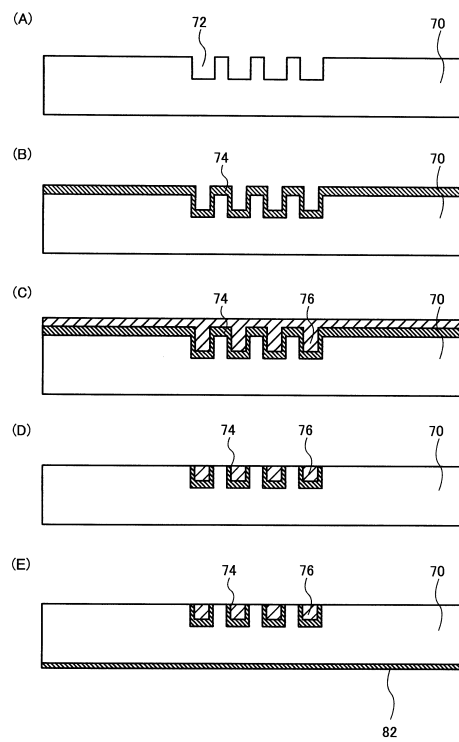
【図 17】



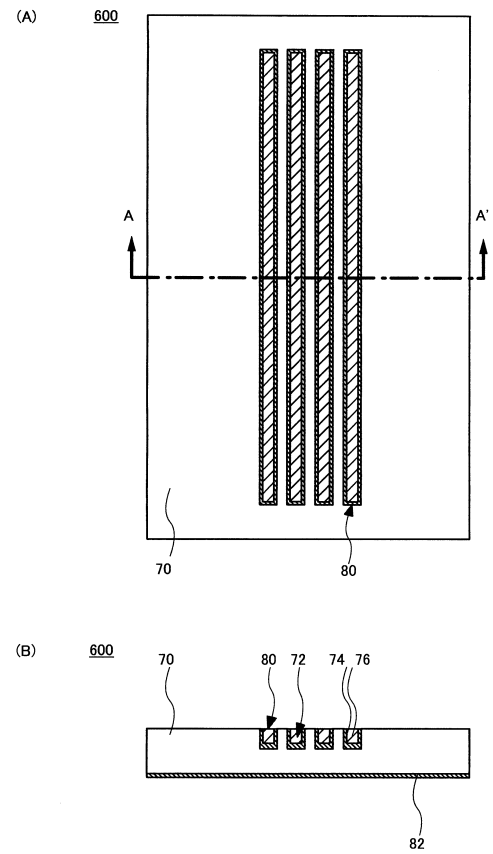
【図 18】



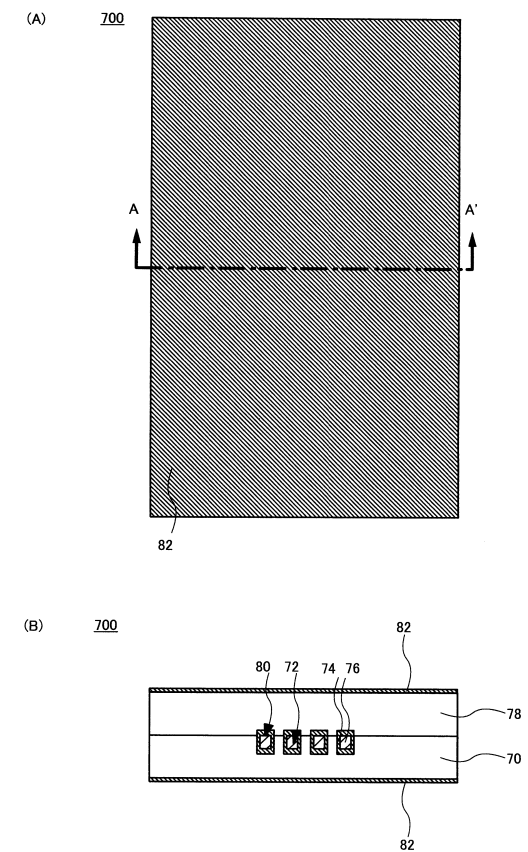
【図 20】



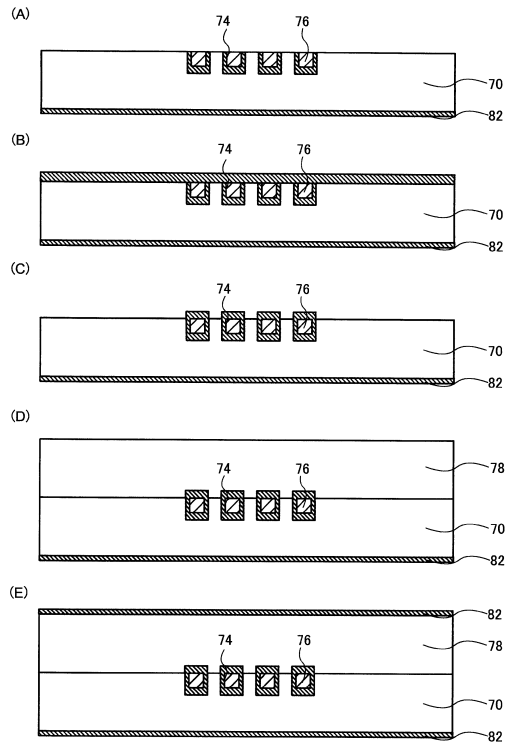
【図 19】



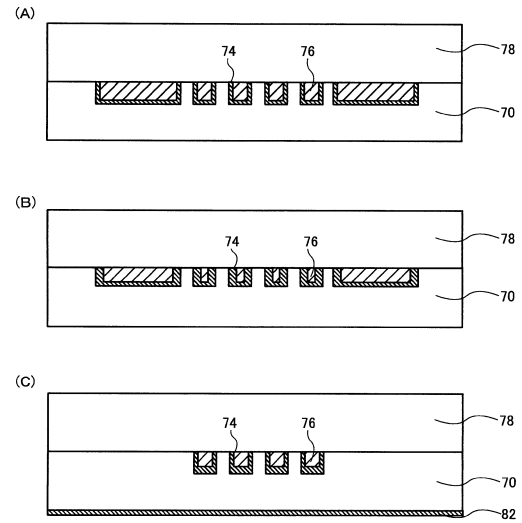
【図 21】



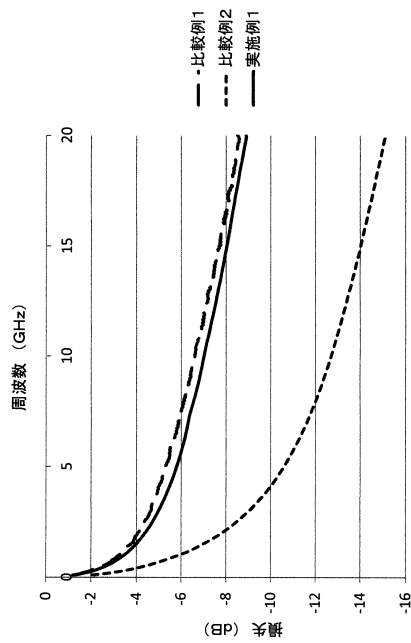
【図 2 2】



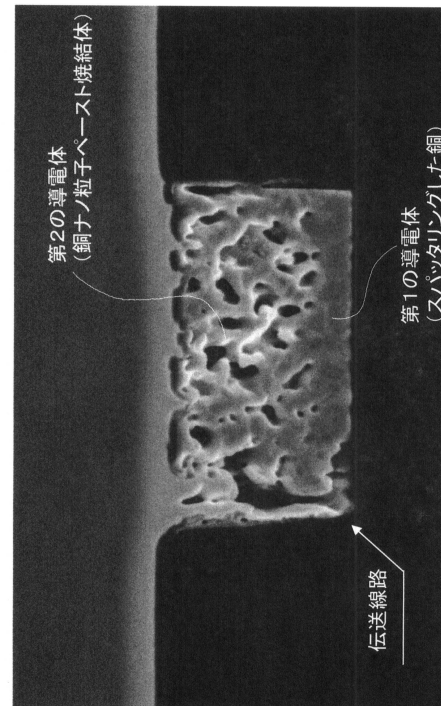
【図 2 3】



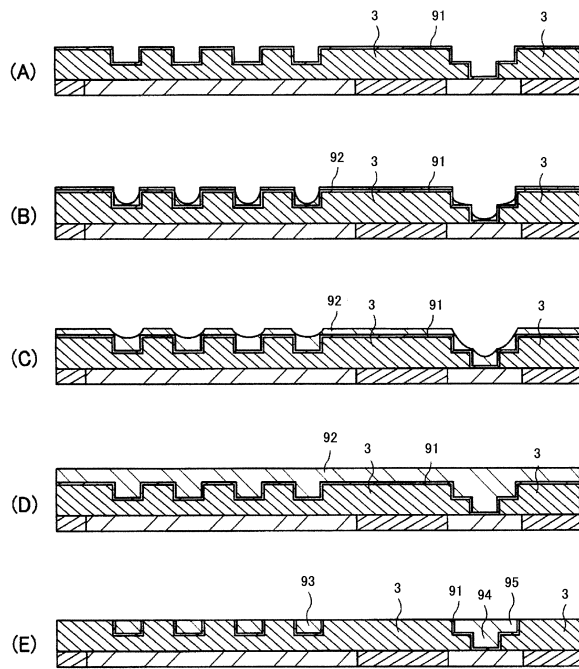
【図 2 4】



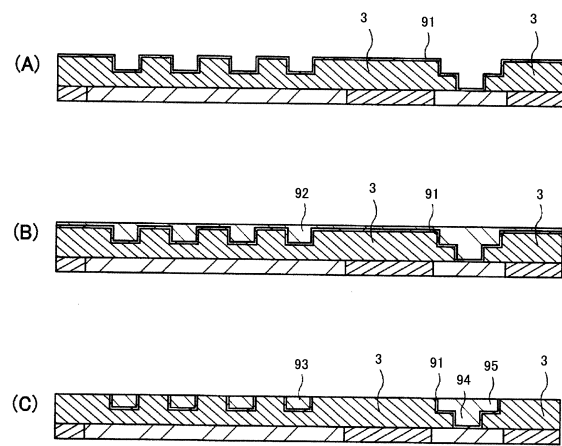
【図 2 5】



【図 26】



【図 27】



フロントページの続き

(31)優先権主張番号 特願2016-83674(P2016-83674)

(32)優先日 平成28年4月19日(2016.4.19)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2016-181571(P2016-181571)

(32)優先日 平成28年9月16日(2016.9.16)

(33)優先権主張国・地域又は機関

日本国(JP)

特許法第30条第2項適用 平成28年4月22日に2016 International Conference on Electronics Packaging (ICEP2016)にて発表

(72)発明者 相楽 秀次

東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

(72)発明者 田中 雅也

東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

審査官 豊島 洋介

(56)参考文献 特開2010-34430(JP, A)

特開2010-258416(JP, A)

特開平10-270936(JP, A)

特開2010-16061(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L23/12-23/15

H05K 3/10- 3/26

3/38

3/46