

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-249441

(P2012-249441A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl. F I テーマコード (参考)
H02M 3/28 (2006.01) H02M 3/28 W 5H730
H02M 3/28 L

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2011-119624 (P2011-119624)	(71) 出願人	000005234
(22) 出願日	平成23年5月27日 (2011. 5. 27)		富士電機株式会社
		(74) 代理人	100105854
			弁理士 廣瀬 一
		(74) 代理人	100103850
			弁理士 田中 秀▲てつ▼
		(72) 発明者	山田 隆二
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		Fターム(参考)	5H730 AA15 BB27 BB84 BB88 DD04
			DD16 EE04 EE08 EE76 FD24
			FG01

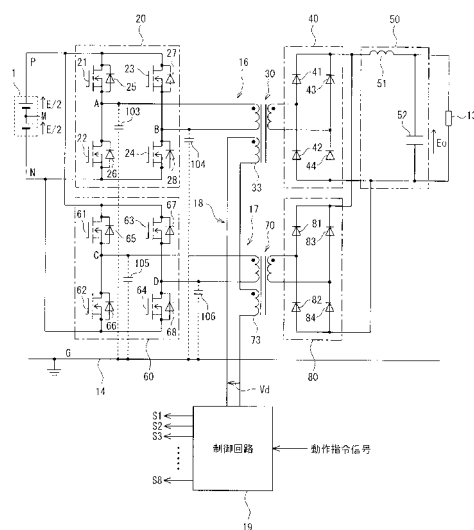
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】装置の小型化と低コスト化の実現を図るとともに、寄生キャパシタンスに伴う漏洩電流の効果的な抑制を図ることができる電力変換装置を提供する。

【解決手段】本発明は、絶縁型DC-DCコンバータ16と、絶縁型DC-DCコンバータ17と、制御回路19とを備えている。制御回路19は、絶縁型DC-DCコンバータ16、17を並列に動作させ、当該並列動作時に、対地寄生キャパシタンス103、105に流れる漏洩電流が循環する循環経路と、対地寄生キャパシタンス104、106に流れる漏洩電流が循環する循環経路とをそれぞれ形成するように、半導体スイッチング素子21～24および半導体スイッチング素子61～64のオンオフ動作を制御する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

直流電源に接続され、第 1 の半導体スイッチング素子の動作に基づき、前記直流電源の直流を電圧の異なる直流に変換して出力し、または前記直流電源の直流を交流に変換して出力する第 1 の電力変換回路と、

前記直流電源に接続され、第 2 の半導体スイッチング素子の動作に基づき、前記直流電源の直流を電圧の異なる直流に変換して出力し、または前記直流電源の直流を交流に変換して出力する第 2 の電力変換回路と、

前記第 1 の電力変換回路および前記第 2 の電力変換回路を並列に動作させ、当該並列動作時に、前記第 1 の電力変換回路に存在する第 1 の寄生容量に流れる漏洩電流と前記第 2 の電力変換回路に存在する第 2 の寄生容量に流れる漏洩電流とが循環する経路を形成するように、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の動作を制御する制御回路と、

を備えたことを特徴とする電力変換装置。

【請求項 2】

前記第 1 の電力変換回路は、

前記直流電源に接続され、前記第 1 の半導体スイッチング素子の動作により前記直流電源の直流を交流に変換し、当該変換出力を第 1 の変圧器で変圧したのちに直流に変換する第 1 の DC - DC コンバータで構成し、

前記第 2 の電力変換回路は、

前記直流電源に接続され、前記第 2 の半導体スイッチング素子の動作により前記直流電源の直流を交流に変換し、当該変換出力を第 2 の変圧器で変圧したのちに直流に変換する第 2 の DC - DC コンバータで構成したことを特徴とする請求項 1 に記載の電力変換装置。

【請求項 3】

前記第 1 の電力変換回路の電力変換過程で生成される第 1 の電圧および前記第 2 の電力変換回路の電力変換過程で生成される第 2 の電圧に基づき、前記第 1 の半導体スイッチング素子の動作と前記第 2 の半導体スイッチング素子の動作とのタイミングの誤差を検出するタイミング誤差検出手段を、さらに備え、

前記制御回路は、前記タイミング誤差検出手段が検出した誤差に応じて、前記第 1 の半導体スイッチング素子と前記第 2 の半導体スイッチング素子とを動作させるタイミングを補正することを特徴とする請求項 1 または請求項 2 に記載の電力変換装置。

【請求項 4】

前記タイミング誤差検出手段は、

前記第 1 の電力変換回路の第 1 のトランスに設けた第 1 の補助巻線と、

前記第 2 の電力変換回路の第 2 のトランスに設けた第 2 の補助巻線と、を備え、

前記第 1 の補助巻線と前記第 2 の補助巻線とを直列に接続し、当該直列に接続した 2 つの補助巻線の両端に生じる電圧を検出電圧とすることを特徴とする請求項 3 に記載の電力変換装置。

【請求項 5】

前記第 1 の寄生容量と前記第 2 の寄生容量との間に容量値の差がある場合に、寄生容量が小さい電力変換回路側にその差に応じた容量値を有するコンデンサを設けるようにしたことを特徴とする請求項 2 乃至請求項 4 のうちのいずれか 1 項に記載の電力変換装置。

【請求項 6】

前記第 1 の電力変換回路は少なくとも 1 つからなり、前記第 2 の電力変換回路は少なくとも 1 つからなることを特徴とする請求項 1 乃至請求項 5 のうちのいずれか 1 項に記載の電力変換装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体スイッチング素子を用いた電力変換装置に関する。

【背景技術】

【0002】

この種の電力変換装置としては、例えば図2に示すような絶縁型DC-DCコンバータが知られている。

この絶縁型DC-DCコンバータは、図2に示すように、MOSトランジスタからなる半導体スイッチング素子2～5と、変圧器6と、ダイオード7～10と、インダクタ11と、コンデンサ12とを備えている。

【0003】

半導体スイッチング素子2～5はブリッジ回路を構成し、このブリッジ回路は直流電源1に接続されている。また、ブリッジ回路の出力側は、変圧器6の1次巻線に接続されている。ダイオード7～10は、整流回路を構成する。この整流回路は、入力側が変圧器6の2次巻線に接続され、出力側がインダクタ11とコンデンサ12からなる平滑回路に接続されている。コンデンサ12の両端には、負荷13が接続されるようになっている。

【0004】

次に、このような構成の絶縁型DC-DCコンバータの動作について、図2および図3を参照して説明する。図3は、図2の半導体スイッチング素子のオンオフ動作の一例と、各部の電圧の波形の一例を示す図である。

図2の絶縁型DC-DCコンバータでは、例えば半導体スイッチング素子2、5を同時にオンし、次に半導体スイッチング素子3、4を同時にオンにする。そして、これらの動作を交互に繰り返す。

【0005】

ここで、半導体スイッチング素子2、3を同時にオン、あるいは半導体スイッチング素子4、5を同時にオンすると、直流電源1が短絡されて過大な電流が流れる。このため、半導体スイッチング素子2、3、および半導体スイッチング素子4、5に共にオフ指令を与える短い期間、いわゆるデッドタイムを設けている。

このような動作により、A点の直流電圧の中性点Mに対する電位は、半導体スイッチング素子2をオンにすると正となり、半導体スイッチング素子3をオンにすると負となる。同様に、B点のM点に対する電位は、半導体スイッチング素子4をオンにすると正となり、半導体スイッチング素子5をオンにすると負となる。

【0006】

変圧器6の1次電圧 E_1 は、A点の電位が正でありB点の電位が負の場合には正となり、A点の電位が負でありB点の電位が正の場合には負となる。また、A点の電位およびB点の電位が共に正または共に負の場合には0Vとなり、このときA-B間、すなわち変圧器6の1次巻線は短絡状態となる。

このような原理により、変圧器6の1次巻線の両端には正負の電圧が交互に印加され、その1次巻線には高周波の交流が印加される(図3(E)参照)。この交流の周波数は、変圧器6の小形化、騒音防止のため10kHz以上とするのが一般的である。

【0007】

変圧器6は、1次巻線に印加された交流電圧を変圧し、変圧電圧が2次巻線から出力される。変圧器6の2次電圧は、ダイオード7～10からなる整流回路で整流され、さらにインダクタ11とコンデンサ12からなる平滑回路で平滑され、負荷13に直流電圧が供給される。

図3(F)に示すように、平滑回路から出力される出力電圧 E_o は、整流回路の整流電圧 E_r の平均値とほぼ同じであり、したがって整流電圧 E_r はパルス幅に比例する。このパルス幅は、変圧器6に正または負の電圧を印加している期間におおむね等しい。このため、変圧器6の電圧印加期間を制御することにより、出力電圧 E_o を連続的に制御することができる。

【0008】

変圧器6の電圧印加期間は、半導体スイッチング素子2、3の動作タイミングと、半導

10

20

30

40

50

体スイッチング素子 4 と 5 の動作タイミングとの差によって決定される。たとえば、半導体スイッチング素子 2 と半導体スイッチング素子 4 とが全く同時にオン / オフ、すなわち位相差 0° で動作すれば、変圧器 6 の 1 次電圧 E_1 のパルス時比率は 0% となる。また、半導体スイッチング素子 2 と半導体スイッチング素子 4 とが逆のオン / オフ、すなわち位相差 180° で動作すれば、電圧 E_1 のパルス時比率は 100% となる。従って、その位相差を連続的に制御することで、出力電圧 E_o の制御が実現できる。

【0009】

ところで、図 2 に示す回路は、筐体に収納されて使用されるので、筐体のフレーム 14 との間に意図しないキャパシタンス 101、102 が存在する。フレーム 14 は接地されることが多いので、そのキャパシタンス 101、102 は、以下では対地寄生キャパシタンス（対地寄生容量）と称する。一方、図 2 に示す回路では、回路とフレーム 14 との間に意図的に接地コンデンサ 100 を設けている。

10

【0010】

次に、接地コンデンサ 100 の機能について説明する。

まず、接地コンデンサ 100 が無い場合を考えると、回路側から見た大地すなわち G 点の電位は、おおむね A 点の電位と B 点の電位との間を対地寄生キャパシタンス 101、102 で分圧した結果となる。

A 点と B 点の電位が共に P 点の電位に等しいときは、G 点の電位も P 点の電位に等しく、このため M 点から見た G 点の電位は $+(E/2)V$ となる。A 点および B 点の電位の一方が P 点、一方が N 点の電位に等しいときは、回路側から見た G 点の電位は P 点、N 点の中間電位となるので、M 点から見ると $0V$ となる。また、A 点および B 点の電位が共に N 点の電位に等しいときは G 点の電位も N 点の電位に等しく、このため M 点から見た G 点の電位は $-(E/2)V$ となる。

20

【0011】

逆に、G 点を基準に考えると、M 点の電位は $-(E/2)V$ 、 $0V$ 、 $+(E/2)V$ と変化している。すなわち、直流電源 1 は、対地電位変動を生じることになる。一般に、直流電源 1 は商用周波数の交流電源（図示しない）を整流して生成することが多く、このような対地電位変動は交流電源側への漏洩電流を発生させる等の弊害を生じさせる。

そこで、図 2 の回路では、対地寄生キャパシタンス 101、102 よりも十分大きな容量値を有する接地コンデンサ 100 で M 点を接地することにより電位を安定化させ、上記の弊害を防止するようにしている。

30

【0012】

ところで、M 点の電位変動は対地寄生キャパシタンス 101、102 の容量値（キャパシタンス）に対する接地コンデンサ 100 の容量値の比に反比例する。すなわち、M 点の電位変動を $(E/2)V$ の 10 分の 1 に抑制するためには、対地寄生キャパシタンス 101、102 の容量値に対して接地コンデンサ 100 の容量値を 10 倍に、 100 分の 1 に抑制するためには 100 倍にする必要がある。

【0013】

M 点の電位変動を十分に抑制するためには、接地コンデンサ 100 の容量値を大きくする必要はあるが、接地コンデンサ 100 は整流回路を介して交流電源と大地間にも接続されるため、交流電源と接地コンデンサ 100 との間で循環する商用周波数の漏洩電流が増加する。この漏洩電流が大きすぎると、漏電ブレーカがトリップするなどの別の問題を引き起こす。すなわち、接地コンデンサ 100 のみでは回路動作による高周波漏洩電流の抑制と、接地コンデンサ 100 による商用周波漏洩電流の抑制の両立が困難である。

40

【0014】

このため、一般的には、接地コンデンサ 100 の他にコモンモードチョーク等を併用して漏洩電流を抑制するが、これが装置の小形化や低コスト化の妨げとなる。

このような問題を解消するために、引用文献 1 に開示される技術を図 2 の絶縁型 DC - DC コンバータに適用した改良発明が考えられる。

この改良発明は、図 4 に示すように、図 2 の絶縁型 DC - DC コンバータを主回路とし

50

、その主回路に補助回路 15 を追加したものである。

この補助回路 15 は、補助スイッチ 2 a ~ 5 a と、接地コンデンサ 101 a、102 a とを備えている。この例では、補助スイッチ 2 a ~ 5 a は主回路を構成しないので、ごく小容量の半導体スイッチング素子を用いるものとする。

【0015】

そして、この補助回路 15 は、A 点と C 点、B 点と D 点がそれぞれ逆の電位変動となるように補助スイッチ 2 a ~ 5 a のオン / オフを制御する。

これにより、たとえば A 点の電位が N 点の電位から P 点の電位となり、対地寄生キャパシタンス 101 からフレーム 14 に漏洩電流が流れた場合、同時に C 点の電位が P 点の電位から N 点の電位となり、フレーム 14 から接地コンデンサ 101 a に同じ大きさの漏洩電流が流れる。

したがって、漏洩電流は、回路内において A 点、対地寄生キャパシタンス 101、G 点、接地コンデンサ 101 a、および C 点の経路で循環し、外部に流出しない。B 点 - D 点間に関しても同様である。

また、この場合、主回路から見た G 点の電位は常に P - N 間を均等分圧した点となるので M 点の電位と等しくなる。すなわち、G 点から見た M 点の電位変動も抑制される。

【先行技術文献】

【特許文献】

【0016】

【特許文献 1】特開平 8 - 340677 号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかし、改良発明では、補助スイッチのオン / オフ指令を主回路のスイッチング素子の反転とすることになるが、これでは上述したデッドタイムの存在により主回路の電位変動と補助スイッチのオン / オフのタイミングを合わせることができない。

仮に、そのタイミングを補正したとしても、半導体スイッチング素子自身の特性や素子端子間のキャパシタンスと回路の寄生インダクタンスによる共振などの影響で、A、B 点の電位変動波形は純粋な方形波にはならない。実際の電位変動波形を部品や実際の電流の異なる別の回路で再現するのは極めて困難である。

【0018】

このため、図 4 に示す改良発明では、漏洩電流のキャンセル効果には限界があるという課題がある。

そこで、本発明は、上記の課題に着目してなされたものであり、装置の小型化と低コスト化の実現を図るとともに、寄生キャパシタンスに伴う漏洩電流の効果的な抑制を図ることができる電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

上記の目的を達成するために、本発明の電力変換装置は、直流電源に接続され、第 1 の半導体スイッチング素子の動作に基づき、前記直流電源の直流を電圧の異なる直流に変換して出力し、または前記直流電源の直流を交流に変換して出力する第 1 の電力変換回路と、前記直流電源に接続され、第 2 の半導体スイッチング素子の動作に基づき、前記直流電源の直流を電圧の異なる直流に変換して出力し、または前記直流電源の直流を交流に変換して出力する第 2 の電力変換回路と、前記第 1 の電力変換回路および前記第 2 の電力変換回路を並列に動作させ、当該並列動作時に、前記第 1 の電力変換回路に存在する第 1 の寄生容量に流れる漏洩電流と前記第 2 の電力変換回路に存在する第 2 の寄生容量に流れる漏洩電流とが循環する経路を形成するように、前記第 1 の半導体スイッチング素子および第 2 の半導体スイッチング素子の動作を制御する制御回路と、を備えている。

【0020】

また、本発明の電力変換装置において、前記第 1 の電力変換回路は、前記直流電源に接

10

20

30

40

50

続され、前記第 1 の半導体スイッチング素子の動作により前記直流電源の直流を交流に変換し、当該変換出力を第 1 の変圧器で変圧したのちに直流に変換する第 1 の DC - DC コンバータで構成し、前記第 2 の電力変換回路は、前記直流電源に接続され、前記第 2 の半導体スイッチング素子の動作により前記直流電源の直流を交流に変換し、当該変換出力を第 2 の変圧器で変圧したのちに直流に変換する第 2 の DC - DC コンバータで構成するようにした。

【 0 0 2 1 】

さらに、本発明の電力変換装置では、さらに、前記第 1 の電力変換回路の電力変換過程で生成される第 1 の電圧および前記第 2 の電力変換回路の電力変換過程で生成される第 2 の電圧に基づき、前記第 1 の半導体スイッチング素子の動作と前記第 2 の半導体スイッチング素子の動作とのタイミングの誤差を検出するタイミング誤差検出手段を、備え、前記制御回路は、前記タイミング誤差検出手段が検出した誤差に応じて、前記第 1 の半導体スイッチング素子と前記第 2 の半導体スイッチング素子とを動作させるタイミングを補正する。

10

【 0 0 2 2 】

また、本発明の電力変換装置において、前記タイミング誤差検出手段は、前記第 1 の電力変換回路の第 1 のトランスに設けた第 1 の補助巻線と、前記第 2 の電力変換回路の第 2 のトランスに設けた第 2 の補助巻線とを備え、前記第 1 の補助巻線と前記第 2 の補助巻線とを直列に接続し、当該直列に接続した 2 つの補助巻線の両端に生じる電圧を検出電圧とする。

20

【 0 0 2 3 】

さらに、本発明の電力変換装置において、前記第 1 の寄生容量と前記第 2 の寄生容量との間に容量値の差がある場合に、寄生容量が小さい電力変換回路側にその差に応じた容量値を有するコンデンサを設けるようにした。

また、本発明の電力変換装置において、前記第 1 の電力変換回路は少なくとも 1 つからなり、前記第 2 の電力変換回路は少なくとも 1 つからなる。

【発明の効果】

【 0 0 2 4 】

本発明によれば、装置の小型化と低コスト化の実現を図るとともに、寄生キャパシタンスに伴う漏洩電流の効果的な抑制を図ることができる。

30

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】本発明に係る電力変換装置の実施形態の構成例を示す回路図である。

【図 2】従来の絶縁型 DC - DC コンバータの構成例を示す回路図である。

【図 3】図 2 の回路の半導体スイッチング素子の動作の状態の一例および各部の波形例を示す図である。

【図 4】改良発明の構成を示す回路図である。

【発明を実施するための形態】

【 0 0 2 6 】

以下、本発明の実施の形態を図面に基づいて説明する。

40

(実施形態の概要)

図 1 は本発明に係る電力変換装置の実施形態の構成を示す回路図である。

この実施形態に係る電力変換装置は、図 1 に示すように、絶縁型 DC - DC コンバータに適用したものである。

この実施形態は、第 1 の電力変換回路である絶縁型 DC - DC コンバータ 16 と、第 2 の電力変換回路である絶縁型 DC - DC コンバータ 17 とを備え、2 つの DC - DC コンバータ 16、17 が並列動作してそれぞれ電力変換を行い、同一の負荷 13 に電力を供給するようになっている。

【 0 0 2 7 】

また、この実施形態では、絶縁型 DC - DC コンバータ 16、17 の並列動作時に、後

50

述のように、絶縁型 DC - DC コンバータ 16 に存在する対地寄生キャパシタンスに流れる漏洩電流と、絶縁型 DC - DC コンバータ 17 に存在する対地寄生キャパシタンスに流れる漏洩電流とが循環する経路を形成するようになっている。

さらに、この実施形態は、図 2 に示す絶縁型 DC - DC コンバータを 2 つの絶縁型 DC - DC コンバータ 16、17 に分割した場合と同様の構成を採用する。このため、この実施形態は、図 2 に示す絶縁型 DC - DC コンバータと同じ電流容量とする場合には、絶縁型 DC - DC コンバータ 16、17 をその電流容量の 1 / 2 ずつの大きさにすることができる。したがって、この実施形態では、装置全体の大きさを、図 2 に示す絶縁型 DC - DC コンバータの大きさとほぼ同じにすることができる。

【0028】

10

(実施形態の構成)

次に、この実施形態の具体的な構成について、図 1 を参照して説明する。

絶縁型 DC - DC コンバータ 16 は、直流電源 1 に接続され、MOS トランジスタからなる半導体スイッチング素子 21 ~ 24 の動作により直流電源 1 の直流を交流に変換し、その変換出力を変圧器 30 で変圧したのちに直流電源 1 の電圧と異なる直流に変換して出力する。

このため、絶縁型 DC - DC コンバータ 16 は、半導体スイッチング素子 21 ~ 24 からなるブリッジ回路 20 と、変圧器 30 と、ダイオード 41 ~ 44 からなる整流回路 40 と、インダクタ 51 およびコンデンサ 52 からなる平滑回路 50 とを備えている。

【0029】

20

ここで、絶縁型 DC - DC コンバータ 16 は、図示しない筐体内に收容されるので、その回路内の A、B の各点と筐体のフレーム 14 との間に、寄生容量である対地寄生キャパシタンス 103、104 がそれぞれ存在する。

ブリッジ回路 20 の入力側は直流電源 1 に接続され、ブリッジ回路 20 の出力側は変圧器 30 の 1 次巻線の両端に接続されている。トランス 30 の 2 次巻線は、整流回路 40 の入力側に接続されている。整流回路 40 の出力側は、平滑回路 50 の入力側に接続されている。半導体スイッチング素子 21 ~ 24 のそれぞれには、ダイオード 25 ~ 28 が並列接続されている。

【0030】

絶縁型 DC - DC コンバータ 17 は、直流電源 1 に接続され、MOS トランジスタからなる半導体スイッチング素子 61 ~ 64 の動作により直流電源 1 の直流を交流に変換し、その変換出力を変圧器 70 で変圧したのちに直流電源 1 の電圧と異なる直流に変換して出力する。

30

このため、絶縁型 DC - DC コンバータ 17 は、半導体スイッチング素子 61 ~ 64 からなるブリッジ回路 60 と、変圧器 70 と、ダイオード 81 ~ 84 からなる整流回路 80 と、平滑回路 50 とを備えている。

【0031】

ここで、絶縁型 DC - DC コンバータ 17 は、図示しない筐体内に收容されるので、その回路内の C、D の各点と筐体のフレーム 14 との間に、対地寄生キャパシタンス 103、104 と同様の対地寄生キャパシタンス 105、106 がそれぞれ存在する。

40

ブリッジ回路 60 の入力側は直流電源 1 に接続され、ブリッジ回路 60 の出力側は変圧器 70 の 1 次巻線の両端に接続されている。トランス 70 の 2 次巻線は、整流回路 80 の入力側に接続されている。整流回路 80 の出力側は、平滑回路 50 の入力側に接続されている。半導体スイッチング素子 61 ~ 64 のそれぞれには、ダイオード 65 ~ 68 が並列接続されている。

【0032】

また、この実施形態では、図 1 に示すように、タイミング誤差検出回路 18 と、制御回路 19 とを備えている。

タイミング誤差検出回路 18 は、絶縁型 DC - DC コンバータ 16 の電力変換過程で生成される電圧と絶縁型 DC - DC コンバータ 17 の電力変換過程で生成される電圧とに基

50

づき、半導体スイッチング素子 2 1 ~ 2 4 のオンオフ動作と、これに対応する半導体スイッチング素子 6 1 ~ 6 4 のオンオフ動作とのタイミングの誤差を検出する。

【 0 0 3 3 】

このため、タイミング誤差検出回路 1 8 は、変圧器 3 0 の鉄心に設けた補助巻線 3 3 と変圧器 7 0 の鉄心に設けた補助巻線 7 3 とを備え、補助巻線 3 3 と補助巻線 7 3 とを直列に接続し、この直列に接続した 2 つの補助巻線 3 3 、 7 3 の両端に生じる電圧 V_d を動作タイミングの誤差に係る検出電圧として制御回路 1 9 に出力する。

制御回路 1 9 は、指令信号に基づいて、半導体スイッチング素子 2 1 ~ 2 4 をそれぞれオンオフ動作するオンオフ信号 $S_1 \sim S_4$ 、および半導体スイッチング素子 6 1 ~ 6 4 をそれぞれオンオフ動作するオンオフ信号 $S_5 \sim S_8$ を生成して出力する。

10

【 0 0 3 4 】

また、制御回路 1 9 は、電力変換の動作時に、タイミング誤差検出回路 1 8 の検出誤差である検出電圧 V_d に応じて、半導体スイッチング素子 2 1 ~ 2 4 をオンオフ動作するタイミングと、これに対応する半導体スイッチング素子 6 1 ~ 6 4 をオンオフ動作するタイミングとの誤差を、後述のように補正する。

【 0 0 3 5 】

(実施形態の動作)

次に、このような構成からなる実施形態の動作例について説明する。

この実施形態では、制御回路 1 9 が、動作指令信号に基づき、絶縁型 DC - DC コンバータ 1 6 の半導体スイッチング素子 2 1 ~ 2 4 のオンオフ動作を制御するとともに、絶縁型 DC - DC コンバータ 1 7 の半導体スイッチング素子 6 1 ~ 6 4 のオンオフ動作を制御する。

20

すなわち、制御回路 1 9 は、半導体スイッチング素子 2 1 、 2 4 を同時にオンするときには、半導体スイッチング素子 6 2 、 6 3 を同時にオンする。このときには、半導体スイッチング素子 2 2 、 2 3 、 6 1 、 6 4 は、いずれもオフとする。

【 0 0 3 6 】

一方、半導体スイッチング素子 2 2 、 2 3 を同時にオンするときには、半導体スイッチング素子 6 1 、 6 4 を同時にオンする。このときには、半導体スイッチング素子 2 1 、 2 4 、 6 2 、 6 3 は、いずれもオフとする。

いま、半導体スイッチング素子 2 1 、 2 4 が同時にオンし、半導体スイッチング素子 6 2 、 6 3 が同時にオンしたとする。

30

この場合には、絶縁型 DC - DC コンバータ 1 6 側では、直流電源 1 から変圧器 3 0 の 1 次巻線に電流が流れ、その 1 次巻線に 1 次電圧が発生する。この 1 次電圧が変圧器 3 0 で変圧されて 2 次電圧となり、この 2 次電圧は整流回路 4 0 で整流されたのち平滑回路 5 0 で平滑されて出力電圧 E_o となる。

【 0 0 3 7 】

絶縁型 DC - DC コンバータ 1 7 側では、直流電源 1 から変圧器 7 0 の 1 次巻線に電流が流れ、その 1 次巻線に 1 次電圧が発生する。この 1 次電圧が変圧器 7 0 で変圧されて 2 次電圧となり、この 2 次電圧は整流回路 8 0 で整流されたのち平滑回路 5 0 で平滑されて出力電圧 E_o となる。

40

このような動作に伴い、A 点の電位が N 点の電位から P 点の電位となり、対地寄生キャパシタンス 1 0 3 からフレーム 1 4 に漏洩電流が流れる。このときには、C 点の電位が P 点の電位から N 点の電位となり、フレーム 1 4 から対地寄生キャパシタンス 1 0 5 に同じ大きさの漏洩電流が流れる。したがって、漏洩電流は、回路内において A 点、対地寄生キャパシタンス 1 0 3 、 G 点 (フレーム 1 4) 、対地寄生キャパシタンス 1 0 5 、および C 点の経路で循環し、外部に流出しない。

【 0 0 3 8 】

次に、半導体スイッチング素子 2 2 、 2 3 が同時にオンし、半導体スイッチング素子 6 1 、 6 4 が同時にオンしたとする。

この場合には、絶縁型 DC - DC コンバータ 1 6 、 1 7 では、上記と同様な処理がなさ

50

れ、出力電圧 E_o が得られる。

また、この場合には、B 点の電位が N 点の電位から P 点の電位となり、対地寄生キャパシタンス 104 からフレーム 14 に漏洩電流が流れる。このときには、D 点の電位が P 点の電位から N 点の電位となり、フレーム 14 から対地寄生キャパシタンス 106 に同じ大きさの漏洩電流が流れる。したがって、漏洩電流は、回路内において B 点、対地寄生キャパシタンス 104、G 点、対地寄生キャパシタンス 106、および D 点の経路で循環し、外部に流出しない。

【0039】

また、このように動作する場合には、絶縁型 DC - DC コンバータ 16 から見た G 点の電位は、常に P 点と N 点との間 (P - N 間) を均等分圧した点となるので、直流電源 1 の中間点である M 点の電位と等しくなる。すなわち、G 点から見た M 点の電位変動も抑制される。

10

ところで、制御回路 19 は、半導体スイッチング素子 21 ~ 24 および半導体スイッチング素子 61 ~ 64 に対して上記のようにオンオフ動作の制御を行う。このときに、例えば、半導体スイッチング素子 21、62 に同時にオン指令を与えたとしても、信号伝達回路の遅延時間の差や、半導体スイッチング素子 21、62 自身の動作遅延時間の差などにより実際の動作に時間差が生じ得る。これにより、上述の効果が減殺されるため、必要に応じてそのオンオフ動作のタイミング補正を行う必要がある。

【0040】

そこで、この実施形態では、上記のようにタイミング誤差検出回路 18 を設け、制御回路 19 の制御動作中に、タイミング誤差検出回路 18 の検出電圧 V_d に基づいて、以下のようなタイミング補正を行うようにした。

20

すなわち、半導体スイッチング素子 21、24 をオンするときには変圧器 30 の 1 次巻線には正の電圧が印加され、このとき半導体スイッチング素子 62、63 がオンするので変圧器 70 の 1 次巻線には負の電圧が印加される。このため、変圧器 30 の補助巻線 33 に発生する電圧と、変圧器 70 の補助巻線 73 に発生する電圧とは打ち打ち消し合い、タイミング誤差検出回路 18 の検出電圧 V_d は 0 V になる。

【0041】

この状態から半導体スイッチング素子 21、24 をオフにし、変圧器 30 の 1 次巻線の電圧を 0 V にする場合には、同時に 62、63 がオフして変圧器 70 の 1 次巻線の電圧を 0 V にする。このため、変圧器 30 の補助巻線 33 に発生する電圧と変圧器 70 の補助巻線 73 に発生する電圧とは共に 0 V となり、その加算値である検出電圧 V_d は 0 V になる。一方、半導体スイッチング素子 21、24 のオフに対して半導体スイッチング素子 62、63 のオフが遅れた場合には、半導体スイッチング素子 21、24 がオフしてから半導体スイッチング素子 62、63 がオフするまでの期間は検出電圧 V_d が負の電圧となり、幅の狭い電圧パルスが発生する。この場合には、制御回路 19 は、半導体スイッチング素子 21、24 に与えるオフ指令 (オフ信号を与えるタイミング) を、その検出電圧 V_d である電圧パルスが発生しなくなるまで徐々に遅らせてその時間差をなくす。これにより、上記の遅れを解消できる。

30

【0042】

同様に、半導体スイッチング素子 22 と半導体スイッチング素子 61 との間にオンオフ動作の遅れがあり、半導体スイッチング素子 23 と半導体スイッチング素子 64 との間にオンオフ動作の遅れがある場合には、上述と同様の補正によりその遅れを解消することができる。

40

以上のように、この実施形態では、2 つの絶縁型 DC - DC コンバータ 16、17 から構成し、両 DC - DC コンバータ 16、17 のそれぞれでは同一部品を使用し、等しい電流を流している。このため、両 DC - DC コンバータ 16、17 のそれぞれの電位変動波形は寄生振動のレベルまで極めて近いものとなり、これらが上記のように漏洩電流をキャンセルし合うので、漏洩電流に対する大きな抑制効果が得られる。

【0043】

50

また、この実施形態では、絶縁型のDC-DCコンバータ16、17にそれぞれ存在する対地寄生キャパシタンス103、105の各値は等しく、同様にそれらに存在するそれぞれの対地寄生キャパシタンス104、106の各値は等しいことが望ましい。同様に、上述した漏洩電流が循環するそれぞれの循環経路は、放射ノイズ発生防止の観点から循環経路の長さができるだけ短いことが望ましい。

このため、ブリッジ回路20および変圧器30と、ブリッジ回路60および変圧器70とは、できるだけ近接して配置するとともに対称構造とし、対地寄生キャパシタンスの値を揃えとともに漏洩電流の循環経路を最短化するものとする。

【0044】

また、結果として対地寄生キャパシタンスの値に差異ができた場合、その値が小さいほうの絶縁型DC-DCコンバータにその差分に相当する接地コンデンサを設けるようにする。例えば、対地寄生キャパシタンス103の値に比べて対地寄生キャパシタンス105の値が小さい場合には、対地寄生キャパシタンス105に並列になるように接地コンデンサを設け、両者のバランスを取るようにする。

この場合の接地コンデンサは、図3の接地コンデンサ100に比べ極めて小さい容量値（たとえば千分の1）であるので、上述の問題は生じない。

【0045】

（実施形態の変形例）

（1）第1の変形例

上記の実施形態では、同じ回路からなる2つの絶縁型DC-DCコンバータ16、17で構成するようにしたが、本発明はこれに限るものではなく、以下の第1の変形例のように構成しても良い。

第1の変形例は、図1に示す回路と同じ回路からなる絶縁型DC-DCコンバータを、4、6、8・・・というように偶数個で構成するようにした。例えば、4つの絶縁型DC-DCコンバータで構成する場合には、2つの絶縁型DC-DCコンバータの動作に対し、残りの2つの絶縁型DC-DCコンバータは逆の動作をさせる。

【0046】

（2）第2の変形例

第2の変形例は、同じ回路からなる絶縁型DC-DCコンバータを、奇数個で構成するようにした。この場合には、対地寄生キャパシタンスのバランスが取ればよい。たとえば、3つの絶縁型DC-DCコンバータで構成する場合には、第1の絶縁型DC-DCコンバータの動作に対し、第2および第3の絶縁型DC-DCコンバータが逆極性の動作を行うようにする。そして、第1の絶縁型DC-DCコンバータの対地寄生キャパシタンスが、第2および第3の絶縁型DC-DCコンバータのそれぞれの対地寄生キャパシタンスの2倍となるよう調整すれば、両者のバランスを取ることができる。

【0047】

（3）第3の変形例

上記の実施形態では、整流回路40と整流回路80を別個に設け、その2つの整流回路40、80の出力を並列接続し、平滑回路50を共用するようにしたが、これに代えて、インダクタ51を2つに分割し、コンデンサ52の部分で並列接続しても良い。あるいは、整流回路40、80同士を直列接続してもかまわない。

【0048】

（4）第4の変形例

上記の実施形態では、絶縁型DC-DCコンバータ16、17を並列接続し、この並列接続部の両端を、直流電源1を両端に接続させるようにした。

しかし、たとえば、図1において、P点とM点との間に絶縁型DC-DCコンバータ16を接続し、M点とN点との間に絶縁型DC-DCコンバータ17を接続するというように、絶縁型DC-DCコンバータ16、17に直列接続するようにして良く、この場合にも上記の実施形態と同様の漏洩電流のキャンセル効果が得られる。

これは、漏洩電流がキャパシタンスを介して流れる純粋な交流であり、電位変動量には

10

20

30

40

50

依存するが直流的な電位には影響されず、したがって、絶縁型DC-DCコンバータ16と絶縁型DC-DCコンバータ17との間に直流電位差があったとしても、漏洩電流のキャンセル効果には無関係なためである。

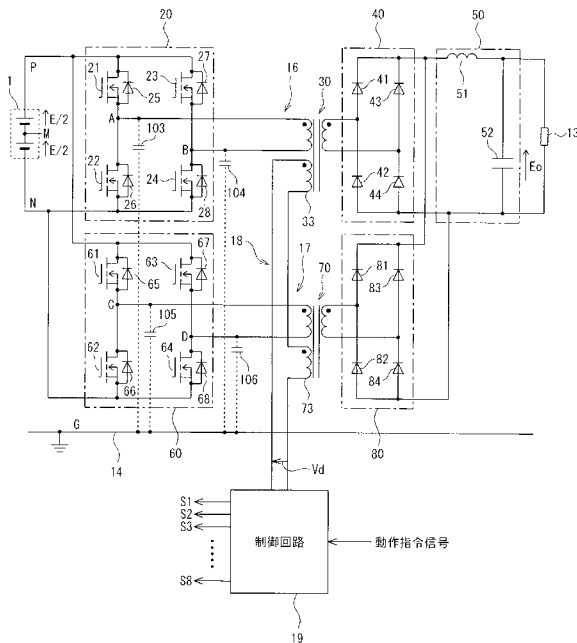
【符号の説明】

【0049】

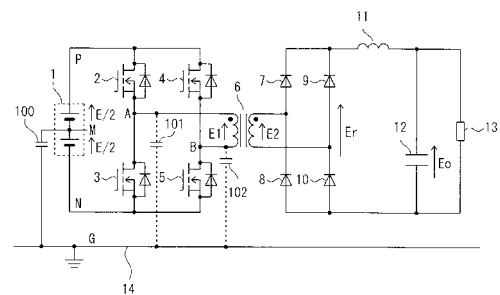
1...直流電源、13...負荷、14...フレーム、16、17...絶縁型DC-DCコンバータ16、18...タイミング誤差検出回路18、19...制御回路、20、60...ブリッジ回路、21~24、61~64...半導体スイッチング素子、30、70...変圧器、33、73...補助巻線、40、80...整流回路、41~44、81~84...ダイオード、50...平滑回路、51...インダクタ、52...コンデンサ、103~106...対地寄生キャパシタンス

10

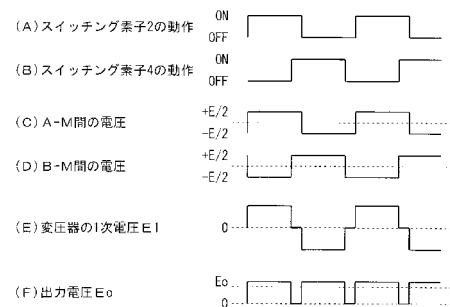
【図1】



【図2】



【図3】



【図 4】

