(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0048907
(43) 공개일자 2023년04월12일

(51) 국제특허분류(Int. Cl.)
H03D 7/14 (2006.01) *H03D 7/16* (2006.01)
(52) CPC특허분류
H03D 7/1458 (2013.01)
H03D 7/1483 (2013.01)
(21) 출원번호 10-2021-0131882
(22) 출원일자 2021년10월05일
심사청구일자 2021년10월05일

(71) 출원인
국방과학연구소
대전광역시 유성구 북유성대로488번길 160 (수남동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
전상근
서울시 성북구 안암로 145 창의관 802A호
이현규
서울시 성북구 안암로 145 고려대학교 신공학관 424호
김기철
대전광역시 유성구 북유성대로488번길 160(수남동)
(74) 대리인
리앤목특허법인

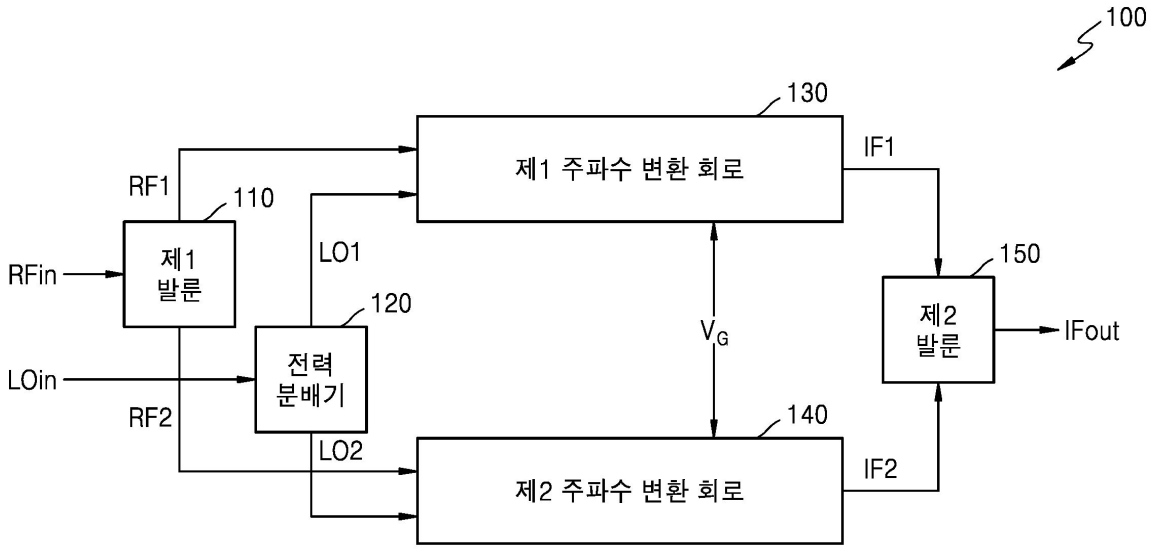
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **광대역 주파수 변환 장치**

(57) 요 약

본 발명의 일 측면에 따른 광대역 주파수 변환 장치는 라디오 주파수(RF) 입력 신호를 수신하고, 서로 반대 위상을 갖는 제1 RF 신호와 제2 RF 신호를 생성하는 제1 발룬, 국부발진 주파수(LO) 입력 신호를 수신하고, 서로 동일 위상을 갖는 제1 LO 신호와 제2 LO 신호를 생성하는 전력 분배기, 상기 제1 RF 신호와 상기 제1 LO 신호를 기초로 제1 중간 주파수(IF) 신호를 생성하는 제1 주파수 변환 회로, 상기 제2 RF 신호와 상기 제2 LO 신호를 기초로 제2 중간 주파수(IF) 신호를 생성하는 제2 주파수 변환 회로, 및 상기 제1 IF 신호와 상기 제2 IF 신호를 수신하고, 상기 제1 IF 신호와 상기 제2 IF 신호에 기초로 IF 출력 신호를 생성하는 제2 발룬을 포함한다.

대 표 도



(52) CPC특허분류
H03D 7/161 (2013.01)
H03D 2200/0023 (2013.01)
H03D 2200/0066 (2013.01)

명 세 서

청구범위

청구항 1

라디오 주파수(RF) 입력 신호를 수신하고, 서로 반대 위상을 갖는 제1 RF 신호와 제2 RF 신호를 생성하는 제1 발룬;

국부발진 주파수(LO) 입력 신호를 수신하고, 서로 동일 위상을 갖는 제1 LO 신호와 제2 LO 신호를 생성하는 전력 분배기;

상기 제1 RF 신호와 상기 제1 LO 신호를 기초로 제1 중간 주파수(IF) 신호를 생성하는 제1 주파수 변환 회로;

상기 제2 RF 신호와 상기 제2 LO 신호를 기초로 제2 중간 주파수(IF) 신호를 생성하는 제2 주파수 변환 회로; 및

상기 제1 IF 신호와 상기 제2 IF 신호를 수신하고, 상기 제1 IF 신호와 상기 제2 IF 신호에 기초로 IF 출력 신호를 생성하는 제2 발룬을 포함하는 광대역 주파수 변환 장치.

청구항 2

청구항 1에 있어서,

상기 제2 발룬은 상기 제1 IF 신호와 상기 제2 IF 신호 중 하나의 위상을 반대 위상으로 변환시키고, 상기 제1 IF 신호와 상기 제2 IF 신호 중 다른 하나와 합성함으로써 상기 IF 출력 신호를 생성하는 광대역 주파수 변환 장치.

청구항 3

청구항 1에 있어서,

상기 제1 주파수 변환 회로는,

N개의 입력 노드를 갖는 N+1개의 입력 전송선로;

N개의 출력 노드를 갖는 N+1개의 출력 전송선로; 및

상기 N개의 입력 노드와 상기 N개의 출력 노드 사이에 각각 연결되는 N개의 주파수 변환 코어부를 포함하고,

상기 N+1개의 입력 전송선로 중에서 제1 입력 전송선로를 통해 상기 제1 LO 신호가 수신되고,

상기 N+1개의 출력 전송선로 중에서 제1 출력 전송선로를 통해 상기 제1 RF 신호가 수신되고,

상기 N+1개의 출력 전송선로 중에서 제N+1 출력 전송선로를 통해 상기 제1 IF 신호가 출력되는 광대역 주파수 변환 장치.

청구항 4

청구항 1에 있어서,

상기 제2 주파수 변환 회로는,

N개의 입력 노드를 통해 서로 직렬로 연결되는 N+1개의 입력 전송선로;

N개의 출력 노드를 통해 서로 직렬로 연결되는 N+1개의 출력 전송선로; 및

상기 N개의 입력 노드와 상기 N개의 출력 노드 사이에 각각 연결되는 N개의 주파수 변환 코어부를 포함하고,

상기 N+1개의 입력 전송선로 중에서 제1 입력 전송선로를 통해 상기 제2 LO 신호가 수신되고,

상기 N+1개의 출력 전송선로 중에서 제1 출력 전송선로를 통해 상기 제2 RF 신호가 수신되고,

상기 N+1개의 출력 전송선로 중에서 제N+1 출력 전송선로를 통해 상기 제2 IF 신호가 출력되는 광대역 주파수

변환 장치.

청구항 5

청구항 3 또는 청구항 4에 있어서,

상기 제1 주파수 변환 회로 또는 상기 제2 주파수 변환 회로는 상기 제N+1 입력 전송선로에 연결되는 저주파 통과 필터(LPF)를 더 포함하고,

상기 제1 IF 신호 또는 상기 제2 IF 신호는 상기 저주파 통과 필터(LPF)를 통해 출력되는 광대역 주파수 변환 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 RF 및 mm-wave 대역에서 이용되는 주파수 변환 장치에 관한 것으로서, 더욱 구체적으로는 포트 간의 격리도를 개선한 광대역 주파수 변환 장치에 관한 것이다.

배 경 기 술

[0002] 주파수 변환 장치는 라디오 주파수(RF) 신호와 국부발진 주파수(LO) 신호를 혼합하여 중간 주파수(IF) 신호를 출력하는 장치이다. 무선 근거리 통신망(WLAN, 2.4-/5-GHz), 2세대 코드 분할 다중 접속(2G GSM, 800-/1800-MHz), 3세대 광대역 코드 분할 다중접속(3G WCDMA, 2.1-GHz), 4세대 무선 통신기술(4G LTE) 등의 다중 대역에서 동작하는 수신부의 필요성이 커짐에 따라 광대역 주파수 변환 장치에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0003] 상술한 기술적 과제들을 달성하기 위한 기술적 수단으로서, 본 발명의 일 측면에 따른 광대역 주파수 변환 장치는 라디오 주파수(RF) 입력 신호를 수신하고, 서로 반대 위상을 갖는 제1 RF 신호와 제2 RF 신호를 생성하는 제1 발룬, 국부발진 주파수(LO) 입력 신호를 수신하고, 서로 동일 위상을 갖는 제1 LO 신호와 제2 LO 신호를 생성하는 전력 분배기, 상기 제1 RF 신호와 상기 제1 LO 신호를 기초로 제1 중간 주파수(IF) 신호를 생성하는 제1 주파수 변환 회로, 상기 제2 RF 신호와 상기 제2 LO 신호를 기초로 제2 중간 주파수(IF) 신호를 생성하는 제2 주파수 변환 회로, 및 상기 제1 IF 신호와 상기 제2 IF 신호를 수신하고, 상기 제1 IF 신호와 상기 제2 IF 신호에 기초로 IF 출력 신호를 생성하는 제2 발룬을 포함한다.

[0004] 일 예에 따르면, 상기 제2 발룬은 상기 제1 IF 신호와 상기 제2 IF 신호 중 하나의 위상을 반대 위상으로 변환시키고, 상기 제1 IF 신호와 상기 제2 IF 신호 중 다른 하나와 합성함으로써 상기 IF 출력 신호를 생성할 수 있다.

[0005] 다른 예에 따르면, 상기 제1 주파수 변환 회로는 N개의 입력 노드를 통해 서로 직렬로 연결되는 N+1개의 입력 전송선로, N개의 출력 노드를 통해 서로 직렬로 연결되는 N+1개의 출력 전송선로, 및 상기 N개의 입력 노드와 상기 N개의 출력 노드 사이에 각각 연결되는 N개의 주파수 변환 코어부를 포함할 수 있다. 상기 N+1개의 입력 전송선로 중에서 제1 입력 전송선로를 통해 상기 제1 LO 신호가 수신되고, 상기 N+1개의 출력 전송선로 중에서 제1 출력 전송선로를 통해 상기 제1 RF 신호가 수신되고, 상기 N+1개의 출력 전송선로 중에서 제N+1 출력 전송선로를 통해 상기 제1 IF 신호가 출력될 수 있다.

[0006] 또 다른 예에 따르면, 상기 제2 주파수 변환 회로는 N개의 입력 노드를 갖는 N+1개의 입력 전송선로, N개의 출력 노드를 갖는 N+1개의 출력 전송선로, 및 상기 N개의 입력 노드와 상기 N개의 출력 노드 사이에 각각 연결되는 N개의 주파수 변환 코어부를 포함할 수 있다. 상기 N+1개의 입력 전송선로 중에서 제1 입력 전송선로를 통해 상기 제2 LO 신호가 수신되고, 상기 N+1개의 출력 전송선로 중에서 제1 출력 전송선로를 통해 상기 제2 RF 신호가 수신되고, 상기 N+1개의 출력 전송선로 중에서 제N+1 출력 전송선로를 통해 상기 제2 IF 신호가 출력될 수 있다.

[0007] 또 다른 예에 따르면, 상기 제1 주파수 변환 회로 또는 상기 제2 주파수 변환 회로는 상기 제N+1 입력 전송선로

에 연결되는 저주파 통과 필터(LPF)를 더 포함할 수 있다. 상기 제1 IF 신호 또는 상기 제2 IF 신호는 상기 저주파 통과 필터(LPF)를 통해 출력될 수 있다.

과제의 해결 수단

[0008] 본 발명의 광대역 주파수 변환 장치에 따르면, 라디오 주파수(RF) 신호를 수신하는 제1 입력 포트와 국부발진 주파수(LO) 신호를 수신하는 제2 입력 포트 간의 격리도, 및 국부발진 주파수(LO) 신호를 수신하는 입력 포트와 중간 주파수(IF) 신호를 출력하는 출력 포트 간의 격리도를 현저하게 향상시킬 수 있다. 이론적으로는 포트 간 격리도를 무한대로 향상시킬 수 있다. 이렇게 격리도를 향상시키더라도 각 입력 포트 및 출력 포트의 정합 특성은 변하지 않을 수 있다.

[0009] 본 발명의 광대역 주파수 변환 장치는 분산구조 주파수 변환 코어 구조로 구성되어야 하는 것은 아니며, 다양한 주파수 변환 코어 구조의 주파수 변환 장치에 적용할 수 있다.

발명의 효과

[0010] 본 발명의 광대역 주파수 변환 장치에 따르면, 라디오 주파수(RF) 신호를 수신하는 제1 입력 포트와 국부발진 주파수(LO) 신호를 수신하는 제2 입력 포트 간의 격리도, 및 국부발진 주파수(LO) 신호를 수신하는 입력 포트와 중간 주파수(IF) 신호를 출력하는 출력 포트 간의 격리도를 현저하게 향상시킬 수 있다. 이론적으로는 포트 간 격리도를 무한대로 향상시킬 수 있다. 이렇게 격리도를 향상시키더라도 각 입력 포트 및 출력 포트의 정합 특성은 변하지 않을 수 있다.

[0011] 본 발명의 광대역 주파수 변환 장치는 분산구조 주파수 변환 코어 구조로 구성되어야 하는 것은 아니며, 다양한 주파수 변환 코어 구조의 주파수 변환 장치에 적용할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명에 따른 광대역 주파수 변환 장치의 블록도를 도시한다.

도 2는 도 1의 제1 주파수 변환 회로의 회로도의 일 예를 도시한다.

도 3은 도 1의 제1 주파수 변환 회로의 회로도의 다른 예를 도시한다.

도 4는 본 발명에 따른 광대역 주파수 변환 장치의 예시적인 회로도를 도시한다.

도 5는 도 4의 회로도에서 LO 입력 포트와 RF 입력 포트 간의 격리도가 개선되는 원리를 설명하기 위한 것이다.

도 6은 도 3의 회로도에서 LO 입력 포트와 IF 출력 포트 간의 격리도가 개선되는 원리를 설명하기 위한 것이다.

도 7은 본 발명에 따른 광대역 주파수 변환 장치의 다른 회로도를 도시한다.

도 8은 도 7의 회로도에 따라 광대역 주파수 변환 장치를 구현한 칩의 사진이다.

도 9는 본 발명에 따른 광대역 주파수 변환 장치의 포트간 격리도 성능이 개선되었음을 도시한다.

도 10은 본 발명에 따른 광대역 주파수 변환 장치의 출력 전력 성능을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0013] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 개시의 기술적 사상은 다양한 형태로 변형되어 구현될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 명세서에 개시된 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 개시의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0014] 본 명세서에서 어떤 요소가 다른 요소와 "연결"되어 있다고 기술될 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라 그 중간에 다른 요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 어떤 요소가 다른 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라 또 다른 요소를 더 포함할 수 있는 것을 의미한다.

[0015] 일부 실시예들은 기능적인 블록 구성들 및 다양한 처리 단계들로 설명될 수 있다. 이러한 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 개시의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로 구성들에 의해 구현될 수 있다. 본 개시의 기능 블록들은 다양한 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 본 개시의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 개시의 기능 블록이 수행하는 기능은 복수의 기능 블록에 의해 수행되거나, 본 개시에서 복수의 기능 블록이 수행하는 기능들은 하나의 기능 블록에 의해 수행될 수도 있다. 또한, 본 개시는 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다.

[0017] 도 1은 본 발명에 따른 광대역 주파수 변환 장치의 블록도를 도시한다.

[0018] 도 1을 참조하면, 광대역 주파수 변환 장치(100)는 라디오 주파수(RF) 입력 신호(RFin)와 국부발진 주파수(LO) 입력 신호(Loin)를 수신하고, RF 입력 신호(RFin)와 LO 입력 신호(Loin)에 기초하여 중간 주파수(IF) 출력 신호(IFout)을 출력하는 장치로서, 제1 발룬(110), 전력 분배기(120), 제1 주파수 변환 회로(130), 제2 주파수 변환 회로(140) 및 제2 발룬(150)를 포함한다.

[0019] 제1 발룬(110)은 RF 입력 신호(RFin)를 수신하고, 서로 반대 위상을 갖는 제1 RF 신호(RF1)와 제2 RF 신호(RF2)를 생성한다. 제1 RF 신호(RF1)와 제2 RF 신호(RF2)는 동일한 크기를 가질 수 있으며, 예컨대, RF 입력 신호(RFin)의 절반의 크기(예컨대, -3dB)를 가질 수 있다.

[0020] 전력 분배기(120)는 LO 입력 신호(LOin)를 수신하고, 서로 동일 위상을 갖는 제1 LO 신호(LO1)와 제2 LO 신호(LO2)를 생성한다. 제1 LO 신호(LO1)와 제2 LO 신호(LO2)는 동일한 크기를 가질 수 있으며, 예컨대, LO 입력 신호(LOin)의 절반의 크기(예컨대, -3dB)를 가질 수 있다.

[0021] 제1 주파수 변환 회로(130)는 제1 RF 신호(RF1)와 제1 LO 신호(LO1)를 기초로 제1 IF 신호(IF1)를 생성한다. 제1 주파수 변환 회로(130)는 제1 LO 신호(LO1)를 기초로 제1 RF 신호(RF1)를 제1 IF 신호(IF1)로 변환하여 출력할 수 있다. 제1 주파수 변환 회로(130)는 주파수 믹서 회로로 구현될 수 있다.

[0022] 제2 주파수 변환 회로(140)는 제2 RF 신호(RF2)와 제2 LO 신호(LO2)를 기초로 제2 IF 신호(IF2)를 생성한다. 제2 주파수 변환 회로(140)는 제2 LO 신호(LO2)를 기초로 제2 RF 신호(RF2)를 제2 IF 신호(IF2)로 변환하여 출력할 수 있다. 제2 주파수 변환 회로(140)는 주파수 믹서 회로로 구현될 수 있다.

[0023] 제2 발룬(150)은 제1 IF 신호(IF1)와 제2 IF 신호(IF2)를 수신하고, 제1 IF 신호(IF1)와 제2 IF 신호(IF2)에 기초하여 IF 출력 신호(IFout)를 생성한다. 제2 발룬(150)은 제1 IF 신호(IF1)와 제2 IF 신호(IF2) 중 하나(예컨대, 제1 IF 신호(IF1))의 위상을 반대 위상으로 변환시키고, 제1 IF 신호(IF1)와 제2 IF 신호(IF2) 중 다른 하나(예컨대, 제2 IF 신호(IF2))와 합성함으로써 IF 출력 신호(IFout)를 생성할 수 있다. 제1 IF 신호(IF1)와 제2 IF 신호(IF2)는 서로 반대의 위상을 가질 수 있다. 제1 IF 신호(IF1)와 제2 IF 신호(IF2)는 서로 동일한 크기를 가질 수 있다. IF 출력 신호(IFout)의 크기는 제1 IF 신호(IF1)와 제2 IF 신호(IF2)의 2배의 크기(예컨대, +3dB)일 수 있다.

[0025] 도 2는 도 1의 제1 주파수 변환 회로의 회로도의 일 예를 도시한다.

[0026] 도 2를 참조하면, 제1 주파수 변환 회로(130)는 광대역한 변환 이득 특성을 가질 수 있도록 N개의 스테이지를 갖는 분산 구조로 구성될 수 있다. 제1 주파수 변환 회로(130)는 N개의 주파수 변환 코어부(M_1, M_2, …, M_N), N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1}), 및 N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})를 포함할 수 있다.

[0027] N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1})는 N개의 입력 노드(N_{in_1}, N_{in_2}, …, N_{in_N})를 통해 서로 직렬로 연결된다. 예컨대, 제i 입력 전송선로(TL_{in_i})와 제i+1 입력 전송선로(TL_{in_i+1})는 제i 입력 노드(N_{in_i})를 통해 서로 연결될 수 있다.

[0028] 일 예에 따르면, N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1})는 하나의 금속 스트립으로 형성될 수 있으며, N개의 주파수 변환 코어부(M_1, M_2, …, M_N)와 연결되기 위한 분기점들이 N개의 입력 노드(N_{in_1}, N_{in_2},

…, N_{in_N})로 지칭될 수 있다.

[0029] N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})는 N개의 출력 노드(N_{out_1}, N_{out_2}, …, N_{out_N})를 통해 서로 직렬로 연결된다. 예컨대, 제i 출력 전송선로(TL_{out_i})와 제i+1 출력 전송선로(TL_{out_i+1})는 제i 출력 노드(N_{out_i})를 통해 서로 연결될 수 있다.

[0030] 일 예에 따르면, N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})는 하나의 금속 스트립으로 형성될 수 있으며, N개의 주파수 변환 코어부(M_1, M_2, …, M_N)와 연결되기 위한 분기점들이 N개의 출력 노드(N_{out_1}, N_{out_2}, …, N_{out_N})로 지칭될 수 있다.

[0031] 제1 주파수 변환 회로(130)는 제1 RF 신호(RF1)와 제1 LO 신호(LO1)를 수신하고, 제1 IF 신호(IF1)를 출력할 수 있다. 제1 RF 신호(RF1)는 제1 입력 포트(P_{RF})를 통해 수신될 수 있다. 제1 입력 포트(P_{RF})는 제1 입력 전송선로(TL_{in_1})의 일 단일 수 있다. 제1 LO 신호(LO1)는 제2 입력 포트(P_{LO})를 통해 수신될 수 있다. 제2 입력 포트(P_{LO})는 제1 출력 전송선로(TL_{out_1})의 일 단일 수 있다. 제1 IF 신호(IF1)는 출력 포트(P_{LO})를 통해 출력될 수 있다. 출력 포트(P_{LO})는 제N+1 출력 전송선로(TL_{out_N+1})의 타 단일 수 있다.

[0032] N개의 주파수 변환 코어부(M_1, M_2, …, M_N) 각각은 N개의 입력 노드(N_{in_1}, N_{in_2}, …, N_{in_N}) 중에서 대응하는 입력 노드와 N개의 출력 노드(N_{out_1}, N_{out_2}, …, N_{out_N}) 중에서 대응하는 출력 노드 사이에 연결된다. 예를 들면, 제i 주파수 변환 코어부(M_i)는 제i 입력 노드(N_{in_i})와 제i 출력 노드(N_{out_i}) 사이에 연결된다.

[0033] N개의 주파수 변환 코어부(M_1, M_2, …, M_N) 중에서 제i 주파수 변환 코어부(M_i)에는 제i 입력 노드(N_{in_i})를 통해 제1 RF 신호(RF1)가 입력되고, 제i 출력 노드(N_{out_i})를 통해 제1 LO 신호(LO1)가 입력되고, 제1 IF 신호(IF1)가 출력될 수 있다.

[0034] 제1 주파수 변환 회로(130)의 제1 입력 포트(P_{RF})로 입력된 제1 RF 신호(RF1)와 제2 입력 포트(P_{LO})로 입력된 제1 LO 신호(LO1)는 분산되어 각각 N개의 주파수 변환 코어부(M_1, M_2, …, M_N)에 입력된 후 혼합되어 제1 IF 신호(IF1)가 되어 출력 포트(P_{IF})로 출력된다.

[0035] 제1 주파수 변환 회로(130)는 출력 포트(P_{IF})에 배치되는 IF 임피던스(Z_{IF})와 바이패스 커패시터($C_{bypass}1$)를 더 포함할 수 있다.

[0036] 제1 주파수 변환 회로(130)는 제N+1 입력 전송선로(TL_{in_N+1})의 타 단에 배치되는 단자 임피던스(Z_{Term}), 게이트 저항(R_G), 및 바이패스 커패시터($C_{bypass}2$)를 더 포함할 수 있다. 게이트 저항(R_G)을 통해 바이어스 전압(V_G)이 인가될 수 있다.

[0038] 도 3은 도 1의 제1 주파수 변환 회로의 회로도의 다른 예를 도시한다.

[0039] 도 3을 참조하면, 제1 주파수 변환 회로(130)는 광대역한 변환 이득 특성을 가질 수 있도록 N개의 스테이지를 갖는 분산 구조로 구성될 수 있다. 제1 주파수 변환 회로(130)는 N개의 주파수 변환 코어부(M_1, M_2, …, M_N), N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1}), N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1}), 및 저주파 통과 필터(LPF)를 포함할 수 있다.

[0040] N개의 주파수 변환 코어부(M_1, M_2, …, M_N), N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1}), 및 N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})에 대해서는 도 2를 참조하여 앞에서 설명하였으므로, 반복하지 않는다.

[0041] 저주파 통과 필터(LPF)는 제N+1 출력 전송선로(TL_{out_N+1})와 출력 포트(P_{IF}) 사이에 배치될 수 있다. 제1 IF 신호(IF1)는 저주파 통과 필터(LPF)를 통과하여 출력 포트(P_{IF})를 통해 출력될 수 있다. 저주파 통과 필터(Low-pass filter, LPF)는 제1 LO 신호(LO1)가 출력 포트(P_{IF})를 통해 출력되는 것을 방지할 수 있다.

[0042] 일반적으로 제2 입력 포트(P_{LO})를 통해 입력되는 제1 LO 신호가 가장 큰 전력을 가진다. 제2 입력 포트(P_{LO})를 통해 입력되는 제1 LO 신호(LO1)와 출력 포트(P_{IF})를 통해 출력되는 제1 IF 신호(IF1)가 N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})를 동일하게 통과하므로, 제1 LO 신호(LO1)가 출력 포트(P_{IF})로 누설될 수 있다. 저주파 통과 필터(LPF)를 출력 포트(P_{IF})앞단에 배치하여 제1 LO 신호(LO1)를 제거함으로써 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도(LO-IF 격리도)를 더욱 향상시킬 수 있다.

[0043] 제1 주파수 변환 회로(130)는 N개의 주파수 변환 코어부(M_1, M_2, …, M_N) 각각의 입출력 기생성분들을 N+1개의 입력 전송선로(TL_{in_1}, TL_{in_2}, …, TL_{in_N+1})와 N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1})의 일부로 이용할 수 있다. 그에 따라, 광대역한 입출력 정합 특성과 이에 기반된 광대역한 변환 이득을 얻을 수 있다.

[0044] 도 2와 도 3에는 제1 주파수 변환 회로(130)가 도시되었지만, 도 1의 제2 주파수 변환 회로(140)는 제2 주파수 변환 회로(140)가 제2 RF 신호(RF2)와 제2 LO 신호(LO2)를 수신하고, 제2 IF 신호(IF2)를 출력한다는 점을 제외하고, 제1 주파수 변환 회로(130)와 동일한 구조를 가질 수 있다. 제2 주파수 변환 회로(140)의 다른 예에 따른 회로도는 도 3에 도시된다.

[0045] 그러나, 본 발명에서는 제1 주파수 변환 회로(130)와 제2 주파수 변환 회로(140)가 광대역 주파수 변환 장치에 평형하게(balanced) 배치되는 구조를 갖지만, 제1 주파수 변환 회로(130)와 제2 주파수 변환 회로(140) 중 하나만으로 광대역 주파수 변환 장치를 구성하는 종래의 경우에는, 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도(LO-IF 격리도)는 저주파 통과 필터(LPF)에 의존하게 된다. 따라서, 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도(LO-IF 격리도)를 향상시키기 위해서는 저주파 통과 필터(LPF)의 구조가 더욱 복잡해져야 했다.

[0046] 게다가, 중간 주파수(IF)와 인접한 주파수 대역까지 라디오 주파수(RF) 및 국부발진 주파수(LO)를 사용할 경우 저주파 통과 필터(LPF) 만으로 충분한 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도(LO-IF 격리도)를 보장할 수 없다는 문제가 있다.

[0047] 뿐만 아니라, 제2 입력 포트(P_{LO})와 제1 입력 포트(P_{RF}) 간의 격리도(LO-RF 격리도)는 N개의 주파수 변환 코어부(M_1, M_2, …, M_N)의 격리도 성능에 의해 좌우될 수 있다. N개의 주파수 변환 코어부(M_1, M_2, …, M_N)의 LO-RF 격리도가 충분하지 못할 경우, 제1 입력 포트(P_{RF})를 통해 누설된 제1 LO 신호가 수신부의 다른 회로에 혼선을 미칠 위험성이 있다.

[0048] 일반적인 주파수 변환 장치의 경우 제1 입력 포트(P_{RF})에 제1 LO 신호를 차폐하는 대역 필터를 설치하여 제1 LO 신호를 격리시킬 수 있지만, 이는 RF 입력 정합 특성을 저하시킬 위험성이 있다. 또한, 제2 입력 포트(P_{LO})를 통해 입력되는 제1 LO 신호(LO1)의 주파수 대역과 제1 입력 포트(P_{RF})를 통해 입력되는 제1 RF 신호(RF1)의 주파수 대역이 거의 동일한 광대역 분산 주파수 변환 장치의 경우에는 이러한 방법을 적용할 수 없다.

[0050] 도 4는 본 발명에 따른 광대역 주파수 변환 장치의 예시적인 회로도를 도시한다.

[0051] 도 4를 참조하면, 광대역 주파수 변환 장치(100)는 제1 발룬(110), 전력 분배기(120), 제1 주파수 변환 회로(130), 제2 주파수 변환 회로(140) 및 제2 발룬(150)를 포함한다. 광대역 주파수 변환 장치(100)는 제1 입력 포트(P_{RF})를 통해 라디오 주파수(RF) 입력 신호(RFin)를 수신하여 제1 발룬(110)에 입력되고, 제2 입력 포트(P_{LO})를 통해 국부발진 주파수(LO) 입력 신호(Loin)를 수신하여 전력 분배기(120)에 입력된다. 광대역 주파수 변환 장치(100)는 RF 입력 신호(RFin)와 LO 입력 신호(Loin)에 기초하여 중간 주파수(IF) 출력 신호(IFout)을 생성하여 출력 포트(P_{IF})를 통해 IF 출력 신호(IFout)을 출력한다.

[0052] 제1 발룬(110)은 RF 입력 신호(RFin)를 기초로 제1 RF 신호(RF1)와 제2 RF 신호(RF2)를 생성하여 제1 주파수 변환 회로(130), 제2 주파수 변환 회로(140)에 각각 출력한다. 제1 RF 신호(RF1)와 제2 RF 신호(RF2)는 서로 반대 위상을 가질 수 있다. 즉, 제1 RF 신호(RF1)와 제2 RF 신호(RF2)는 180°의 위상 차를 갖는다. 일 예에 따르면, RF 입력 신호(RFin)의 위상은 제1 RF 신호(RF1)의 위상과 반대이고, 제2 RF 신호(RF2)의 위상과 동일할 수 있다. 다른 예에 따르면, RF 입력 신호(RFin)의 위상은 제2 RF 신호(RF2)의 위상과 반대이고, 제1 RF 신호

(RF1)의 위상과 동일할 수 있다.

[0053] 전력 분배기(120)는 LO 입력 신호(LOin)를 기초로 제1 LO 신호(LO1)와 제2 LO 신호(LO2)를 생성하여 제1 주파수 변환 회로(130), 제2 주파수 변환 회로(140)에 각각 출력한다. 1 LO 신호(LO1)와 제2 LO 신호(LO2)는 서로 동일한 위상을 가질 수 있다.

[0054] 제1 주파수 변환 회로(130)는 제1 LO 신호(LO1)를 기초로 제1 RF 신호(RF1)를 제1 IF 신호(IF1)로 변환하여 출력할 수 있다. 제1 주파수 변환 회로(130)는 주파수 믹서 회로로 구현될 수 있다. 제1 주파수 변환 회로(130)는 N개의 주파수 변환 코어부(M_{1a}, M_{2a}, …, M_{Na}), N+1개의 입력 전송선로(TL_{in_1a}, TL_{in_2a}, …, TL_{in_N+1a}), N+1개의 출력 전송선로(TL_{out_1a}, TL_{out_2a}, …, TL_{out_N+1a}), 및 저주파 통과 필터(LPFa)를 포함할 수 있다.

[0055] 제1 주파수 변환 회로(130)는 도 3의 제1 주파수 변환 회로(130)와 동일한 것으로 도시되지만, 이는 예시적이며 제1 주파수 변환 회로(130)는 도 2의 주파수 변환 회로(130)와 동일하거나 다른 종류의 광대역 주파수 변환 회로가 사용될 수 있다.

[0056] 제2 주파수 변환 회로(140)는 제2 LO 신호(LO2)를 기초로 제2 RF 신호(RF2)를 제2 IF 신호(IF2)로 변환하여 출력할 수 있다. 제2 주파수 변환 회로(140)는 주파수 믹서 회로로 구현될 수 있다. 제2 주파수 변환 회로(140)는 제1 주파수 변환 회로(140)와 실질적으로 동일한 회로 구성을 가질 수 있다. 도 3에 도시된 바와 같이, 제2 주파수 변환 회로(140)는 광대역한 변환 이득 특성을 가질 수 있도록 N개의 스테이지를 갖는 분산 구조로 구성될 수 있다. 제2 주파수 변환 회로(140)는 N개의 주파수 변환 코어부(M_{1b}, M_{2b}, …, M_{Nb}), N+1개의 입력 전송선로(TL_{in_1b}, TL_{in_2b}, …, TL_{in_N+1b}), N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b}), 및 저주파 통과 필터(LPFb)를 포함할 수 있다.

[0057] N개의 주파수 변환 코어부(M_{1b}, M_{2b}, …, M_{Nb}), N+1개의 입력 전송선로(TL_{in_1b}, TL_{in_2b}, …, TL_{in_N+1b}), N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b}), 및 저주파 통과 필터(LPFb)는 도 2 및 도 3을 참조하여 앞에서 설명된 제1 주파수 변환 회로(130)의 N개의 주파수 변환 코어부(M_1, M_2, …, M_N), N+1개의 입력 전송선로(TL_{in_1}, TL_{in_a}, …, TL_{in_N+1}), N+1개의 출력 전송선로(TL_{out_1}, TL_{out_2}, …, TL_{out_N+1}), 및 저주파 통과 필터(LPF)와 실질적으로 동일하므로, 이들에 대하여 반복하여 설명하지 않는다.

[0058] 저주파 통과 필터(LPFb)는 제N+1 출력 전송선로(TL_{out_N+1b})의 타 단에 연결될 수 있다. 제2 IF 신호(IF2)는 저주파 통과 필터(LPFb)를 통과하여 제2 발룬(150)에 출력될 수 있다. 저주파 통과 필터(Low-pass filter, LPF)는 제2 LO 신호(LO2)가 제2 발룬(150)으로 누설되는 것을 방지할 수 있다.

[0059] 일반적으로 전력 분배기(120)를 통해 입력되는 LO 신호(Loin)가 가장 큰 전력을 가진다. 전력 분배기(120)에서 제1 출력 전송선로(TL_{out_1b})로 입력되는 제2 LO 신호(LO2)와 제2 IF 신호(IF2)가 N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b})를 동일하게 통과하므로, 제2 LO 신호(LO2)가 제2 발룬(150)으로 누설될 수 있다. 저주파 통과 필터(LPFb)가 제2 LO 신호(LO2)를 제거함으로써 제2 LO 신호(LO2)가 입력되는 입력 포트와 제2 IF 신호(IF2)가 출력되는 출력 포트 간의 격리도(LO-IF 격리도)를 더욱 향상시킬 수 있다.

[0060] 제2 주파수 변환 회로(140)는 N개의 주파수 변환 코어부(M_{1b}, M_{2b}, …, M_{Nb}) 각각의 입출력 기생성분들을 N+1개의 입력 전송선로(TL_{in_1b}, TL_{in_2b}, …, TL_{in_N+1b})와 N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b})의 일부로 이용함으로써, 광대역한 입출력 정합 특성과 이에 기반된 광대역한 변환 이득을 얻을 수 있다.

[0061] 제2 발룬(150)은 제1 주파수 변환 회로(130)로부터 제1 IF 신호(IF1)를 수신하고, 제2 주파수 변환 회로(140)로부터 제2 IF 신호(IF2)를 수신하고, 제1 IF 신호(IF1)와 제2 IF 신호(IF2)에 기초하여 IF 출력 신호(IFout)를 생성하여 출력한다. 예를 들면, 제2 발룬(150)은 제1 IF 신호(IF1)의 위상을 180° 반전한 후 제2 IF 신호(IF2)와 합성함으로써 IF 출력 신호(IFout)를 생성할 수 있다. 다른 예에 따르면, 제2 발룬(150)은 제2 IF 신호(IF2)의 위상을 180° 반전한 후 제1 IF 신호(IF1)와 합성함으로써 IF 출력 신호(IFout)를 생성할 수 있다. 제1 IF 신호(IF1)와 제2 IF 신호(IF2)는 서로 동일한 크기를 가지되, 서로 반대의 위상을 가질 수 있다.

[0062] 본 발명의 광대역 주파수 변환 장치(100)는 2개의 분산구조 주파수 변환 회로(130, 140)를 포함하고, 제1 입력 포트(P_{RF})와 출력 포트(P_{IF})에 각각 제1 및 제2 발룬(110, 150)을 사용하고, 제2 입력 포트(P_{LO})에 전력 분배기(120)를 사용하여 평형(balanced) 분산구조 주파수 변환 장치를 구성한다.

[0063] 아래에서는 도 4의 회로도를 참조하여 본 발명의 광대역 주파수 변환 장치(100)에서 포트들(P_{LO}, P_{RF}, P_{IF}) 간 격리도가 개선되는 원리를 설명한다.

[0065] 도 5는 도 4의 회로도에서 LO 입력 포트와 RF 입력 포트 간의 격리도가 개선되는 원리를 설명하기 위한 것이다.

[0066] 제1 발룬(110)과 제2 발룬(150)은 하나의 입력부(in)와 2개의 출력부(out1, out2)를 갖는 발룬(balun) 소자이다. 발룬 소자는 입력부(in)로 인가된 신호를 절반의 크기(예컨대, -3dB)와 반대 위상(180°)을 갖는 2개의 신호로 분할하여 서로 다른 출력부(out1, out2)로 출력할 수 있다. 발룬 소자는 두 출력부(out1, out2)로 인가된 2개의 신호 중에서 한 신호(out1 또는 out2)의 위상을 반대 위상으로 변환시켜서 다른 신호(out2 또는 out1)와 합성하여 입력부(in)로 출력할 수 있다.

[0067] 전력 분배기(120)는 하나의 입력부(in)와 2개의 출력부(out1, out2)를 갖는 전력 분배기(divider) 소자이다. 전력 분배기 소자는 입력부(in)로 인가된 신호를 절반의 크기(3-dB)와 동일 위상(0°)을 갖는 2개의 신호로 분할하여 서로 다른 출력부(out1, out2)로 출력할 수 있다. 전력 분배기 소자는 두 출력부(out1, out2)로 인가된 2개의 신호를 하나의 신호로 합성하여 입력부(in)로 출력할 수 있다.

[0068] 도 5를 참조하면, 제2 입력 포트(P_{LO})로 입력된 LO 입력 신호(LOin)는 전력 분배기(120)를 통해 동일한 위상, 절반의 크기를 갖는 제1 및 제2 LO 신호(LO1, LO2)로 분배된다. LOin가 LOin∠0°인 경우, 제1 LO 신호(LO1)과 제2 LO 신호(LO2)는 모두 LOin/2∠0°로 나타낼 수 있다.

[0069] 제1 LO 신호(LO1)는 제1 주파수 변환 회로(130)의 N개의 주파수 변환 코어부(M_{1a}, M_{2a}, …, M_{Na})로 인가되고, 제2 LO 신호(LO2)는 제2 주파수 변환 회로(140)의 N개의 주파수 변환 코어부(M_{1b}, M_{2b}, …, M_{Nb})로 인가된다.

[0070] 제1 주파수 변환 회로(130)의 N개의 주파수 변환 코어부(M_{1a}, M_{2a}, …, M_{Na})를 통과한 제1 LO 신호(LO1)와 제2 주파수 변환 회로(140)의 N개의 주파수 변환 코어부(M_{1b}, M_{2b}, …, M_{Nb})를 통과한 제2 LO 신호(LO2)는 제1 발룬(110)의 두 출력부(out1, out2)로 각각 입력된다. 제1 LO 신호(LO1)와 제2 LO 신호(LO2)는 동일한 크기와 동일한 위상(LOin/2∠0°)을 가지므로, 제1 발룬(110)의 입력부(in), 즉, 제1 입력 포트(P_{RF})에서는 완전히 상쇄된다. 따라서, 제2 입력 포트(P_{LO})와 제1 입력 포트(P_{RF})의 격리도는 향상된다.

[0072] 도 6은 도 3의 회로도에서 LO 입력 포트와 IF 출력 포트 간의 격리도가 개선되는 원리를 설명하기 위한 것이다.

[0073] 도 6을 참조하면, 제2 입력 포트(P_{LO})로 입력된 LO 입력 신호(LOin)는 전력 분배기(120)를 통해 동일한 위상, 절반의 크기를 갖는 제1 및 제2 LO 신호(LO1, LO2)로 분배된다. LOin가 LOin∠0°인 경우, 제1 LO 신호(LO1)과 제2 LO 신호(LO2)는 모두 LOin/2∠0°로 나타낼 수 있다.

[0074] 제1 LO 신호(LO1)는 제1 주파수 변환 회로(130)의 N+1개의 출력 전송선로(TL_{out_1a}, TL_{out_2a}, …, TL_{out_N+1a})와 로우 패스 필터(LPFa)를 통과하고, 제2 LO 신호(LO2)는 제2 주파수 변환 회로(140)의 N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b})와 로우 패스 필터(LPFb)를 통과한다.

[0075] 제1 LO 신호(LO1)가 N+1개의 출력 전송선로(TL_{out_1a}, TL_{out_2a}, …, TL_{out_N+1a})와 로우 패스 필터(LPFa)를 통과하면서 G_1 LOin/2∠Θ_1° 로 표현되는 제1 LO 감쇠 신호(LO1')가 된다. 여기서 G_1는 로우 패스 필터(LPFa)의 감쇠율을 나타내고, Θ_1°는 로우 패스 필터(LPFa)의 위상 변화량을 나타낸다.

[0076] 제2 LO 신호(LO2)가 N+1개의 출력 전송선로(TL_{out_1b}, TL_{out_2b}, …, TL_{out_N+1b})와 로우 패스 필터(LPFb)를 통과하면서 G_2 LOin/2∠Θ_2° 로 표현되는 제2 LO 감쇠 신호(LO2')가 된다. 여기서 G_2는 로우 패스 필터(LPFb)의 감쇠율을 나타내고, Θ_2°는 로우 패스 필터(LPFb)의 위상 변화량을 나타낸다.

[0077] 제1 주파수 변환 회로(130)의 로우 패스 필터(LPFa)와 제2 주파수 변환 회로(140)의 로우 패스 필터(LPFb)는 동일하게 구성되므로, G_1와 G_2는 서로 실질적으로 동일하고, Θ_1°과 Θ_2°도 서로 실질적으로 동일하다. 따라서,

G_1 LOin/2∠Θ_1° 로 표현되는 제1 LO 감쇠 신호(LO1')와 G_2 LOin/2∠Θ_2° 로 표현되는 제2 LO 감쇠 신호(LO2')는 동일한 크기와 동일한 위상을 갖는다.

[0078] 제1 LO 감쇠 신호(LO1')와 제2 LO 감쇠 신호(LO2')는 제2 발룬(150)의 두 출력부(out1, out2)로 각각 입력된다. 제1 LO 감쇠 신호(LO1')와 제2 LO 감쇠 신호(LO2')는 동일한 크기와 동일한 위상을 가지므로, 제2 발룬(150)의 입력부(in), 즉, 출력 포트(P_{IF})에서는 완전히 상쇄된다. 따라서, 제2 입력 포트(P_{LO})와 출력 포트(P_{IF})의 격리도는 향상된다.

[0080] 도 7은 본 발명에 따른 광대역 주파수 변환 장치의 다른 회로도를 도시한다.

[0081] 도 7을 참조하면, 광대역 주파수 변환 장치(100a)는 제1 입력 포트(P_{RF}), 제2 입력 포트(P_{LO}) 및 출력 포트(P_{IF})를 갖는다. 광대역 주파수 변환 장치(100a)는 제1 발룬(110), 전력 분배기(120), 제1 주파수 변환 회로(130), 제2 주파수 변환 회로(140) 및 제2 발룬(150)를 포함한다.

[0082] 제1 발룬(110)은 제1 입력 포트(P_{RF})에 직렬로 연결되는 제1 및 제2 마이크로스트립(MS1, MS2), 및 제1 및 제2 마이크로스트립(MS1, MS2)과 평행하게 배치되는 제3 및 제4 마이크로스트립(MS3, MS4)을 포함한다. 제3 및 제4 마이크로스트립(MS3, MS4) 사이의 노드는 접지될 수 있다.

[0083] 전력 분배기(120)는 제2 입력 포트(P_{LO})에 공통으로 연결되는 제5 및 제6 마이크로스트립(MS5, MS6)을 포함한다.

[0084] 제1 주파수 변환 회로(130)은 제3 마이크로스트립(MS3)과 제5 마이크로스트립(MS5)에 연결된다. 제2 주파수 변환 회로(140)은 제4 마이크로스트립(MS4)과 제6 마이크로스트립(MS6)에 연결된다.

[0085] 제1 주파수 변환 회로(130)는 예시적으로 3개의 스테이지를 가질 수 있다. 제1 주파수 변환 회로(130)는 3개의 주파수 변환 코어부, 4개의 입력 전송선로, 4개의 출력 전송선로, 및 저주파 통과 필터(LPFa)를 포함한다.

[0086] 4개의 입력 전송선로는 4개의 제7 마이크로스트립들(MS7a)로 구성되고, 4개의 출력 전송선로는 4개의 제8 마이크로스트립들(MS8a)로 구성될 수 있다. 3개의 주파수 변환 코어부는 3개의 전계효과트랜지스터들(FET)들로 구성될 수 있다. 전계효과트랜지스터(FET) 각각의 게이트에는 제9 마이크로스트립(MS9a)이 연결되고, 드레인에는 제10 마이크로스트립(MS10a)이 연결되고, 소스는 접지될 수 있다.

[0087] 저주파 통과 필터(LPFa)는 인덕터(L1), 커패시터(C1) 및 저항(R1)으로 구성될 수 있다. 인덕터(L1)는 제8 마이크로스트립(MS8a)으로 구성되는 출력 전송선로의 타 단에 연결된다. 커패시터(C1)와 저항(R1)은 병렬로 연결될 수 있다. 저주파 통과 필터(LPFa)의 출력단은 바이패스 커패시터(Cb1a)를 통해 제2 발룬(150)에 연결될 수 있다.

[0088] 제8 마이크로스트립(MS8a)으로 구성되는 출력 전송선로의 일 단과 제5 마이크로스트립(MS5) 사이에 바이패스 커패시터(Cb3a)가 연결되고, 제7 마이크로스트립(MS7a)으로 구성되는 입력 전송선로의 일 단과 제3 마이크로스트립(MS3) 사이에 바이패스 커패시터(Cb4a)가 연결되고, 제7 마이크로스트립(MS7a)으로 구성되는 입력 전송선로의 타 단은 바이패스 커패시터(Cb2a)를 통해 접지될 수 있다.

[0089] 제7 마이크로스트립(MS7a)으로 구성되는 입력 전송선로와 바이패스 커패시터(Cb2a) 사이에 바이어스 전압(Vg)이 인가되는 제1 바이어스 저항(Rg1a) 및 제2 바이어스 저항(Rg2a)이 연결될 수 있다.

[0090] 제2 주파수 변환 회로(140)는 예시적으로 3개의 스테이지를 가질 수 있다. 제2 주파수 변환 회로(140)는 3개의 주파수 변환 코어부, 4개의 입력 전송선로, 4개의 출력 전송선로, 및 저주파 통과 필터(LPFb)를 포함한다.

[0091] 4개의 입력 전송선로는 4개의 제7 마이크로스트립들(MS7b)로 구성되고, 4개의 출력 전송선로는 4개의 제8 마이크로스트립들(MS8b)로 구성될 수 있다. 3개의 주파수 변환 코어부는 3개의 전계효과트랜지스터들(FET)들로 구성될 수 있다. 전계효과트랜지스터(FET) 각각의 게이트에는 제9 마이크로스트립(MS9b)이 연결되고, 드레인에는 제10 마이크로스트립(MS10b)이 연결되고, 소스는 접지될 수 있다.

[0092] 저주파 통과 필터(LPFb)는 인덕터(L2), 커패시터(C2) 및 저항(R2)으로 구성될 수 있다. 인덕터(L2)는 제8 마이크로스트립(MS8b)으로 구성되는 출력 전송선로의 타 단에 연결된다. 커패시터(C2)와 저항(R2)은 병렬로 연결될 수 있다. 저주파 통과 필터(LPFb)의 출력단은 바이패스 커패시터(Cb1b)를 통해 제2 발룬(150)에 연결될 수 있다.

[0093] 제8 마이크로스트립(MS8b)으로 구성되는 출력 전송선로의 일 단과 제6 마이크로스트립(MS6) 사이에 바이패스 커패시터(Cb3b)가 연결되고, 제7 마이크로스트립(MS7b)으로 구성되는 입력 전송선로의 일 단과 제4 마이크로스트립(MS4) 사이에 바이패스 커패시터(Cb4b)가 연결되고, 제7 마이크로스트립(MS7b)으로 구성되는 입력 전송선로의 타 단은 바이패스 커패시터(Cb2b)를 통해 접지될 수 있다.

[0094] 제7 마이크로스트립(MS7b)으로 구성되는 입력 전송선로와 바이패스 커패시터(Cb2b) 사이에 바이어스 전압(Vg)이 인가되는 제1 바이어스 저항(Rg1b) 및 제2 바이어스 저항(Rg2b)이 연결될 수 있다.

[0095] 도 8은 도 7의 회로도에 따라 광대역 주파수 변환 장치를 구현한 칩의 사진이다.

[0096] 도 8에 도시된 칩은 0.25㎛ GaAs pHEMT(부정형 고전자 이동도 트랜지스터, Pseudomorphic High Electron Mobility Transister) 공정을 사용하여 제작된 것이다.

[0097] 칩 면적과 변환 이득, 대역폭의 트레이드 오프를 고려하여 주파수 변환 코어부를 3단의 드레인-펌프형(drain-pumped) 구조로 구현한 것이다. 그러나, 이는 예시적이며, 주파수 변환 코어부는 2단 또는 4단 이상의 구조로 구현될 수도 있다.

[0099] 도 9는 본 발명에 따른 광대역 주파수 변환 장치의 포트간 격리도 성능이 개선되었음을 도시한다. 도 3에 도시된 하나의 주파수 변환 회로로 구성되는 주파수 변환 장치가 도 9에서 종래 기술로 비교되었다.

[0100] 도 9는 주파수에 따라 포트간 격리도를 도시한다. LO-RF 격리도는 제2 입력 포트(P_{LO})와 제1 입력 포트(P_{RF}) 간의 격리도를 나타내고, LO-IF 격리도는 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도를 나타낸다.

[0101] 도 9에 도시된 바와 같이, 전체 주파수 대역에서 제2 입력 포트(P_{LO})와 출력 포트(P_{IF}) 간의 격리도(LO-IF 격리도)가 현저하게 개선되었음을 확인하였다. 대부분의 주파수 대역에서 제2 입력 포트(P_{LO})와 제1 입력 포트(P_{RF}) 간의 격리도(LO-RF 격리도)가 개선되었음을 확인하였다.

[0103] 도 10은 본 발명에 따른 광대역 주파수 변환 장치의 출력 전력 성능을 나타낸다. 도 3에 도시된 하나의 주파수 변환 회로로 구성되는 주파수 변환 장치가 도 10에서 종래 기술로 비교되었다.

[0104] 도 10은 RF 입력 전력에 대한 IF 출력 전력 및 변환 이득을 도시한다.

[0105] 본 발명에 따른 광대역 주파수 변환 장치는 종래 기술에 비해 RF 입력 전력이 높아질수록 IF 출력 전력과 변환 이득이 더욱 개선됨을 확인하였다. 또한, 본 발명에 따른 광대역 주파수 변환 장치에서 최대 IF 출력 전력과 선형성이 모두 향상되었음을 확인할 수 있었다.

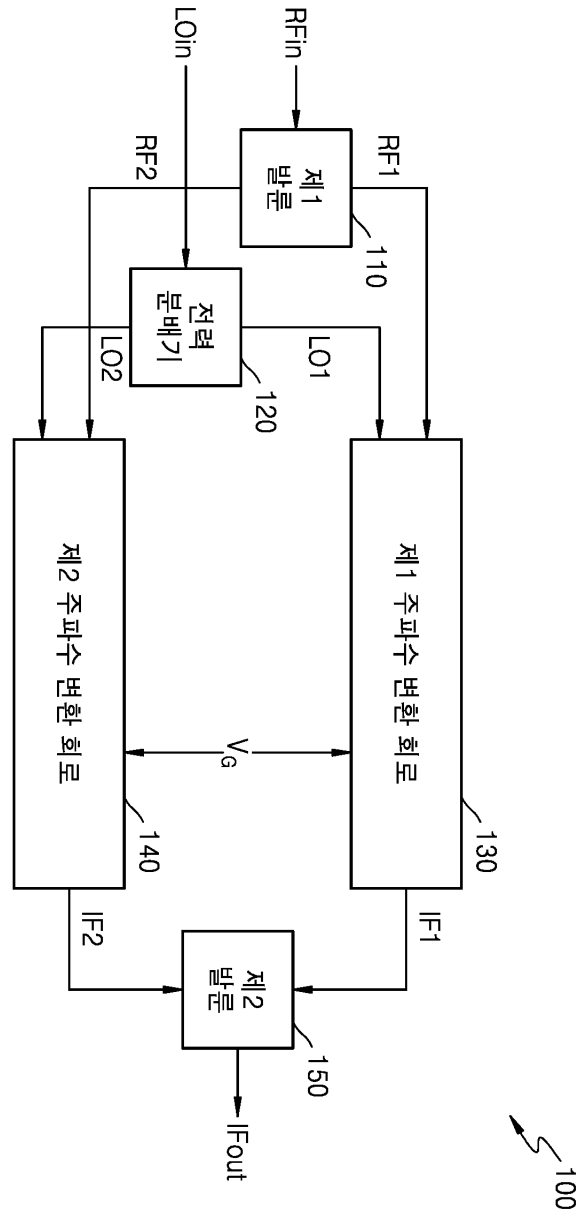
[0107] 본 명세서에서 설명되는 다양한 실시예들은 예시적이며, 서로 구별되어 독립적으로 실시되어야 하는 것은 아니다. 본 명세서에서 설명된 실시예들은 서로 조합된 형태로 실시될 수 있다.

[0108] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

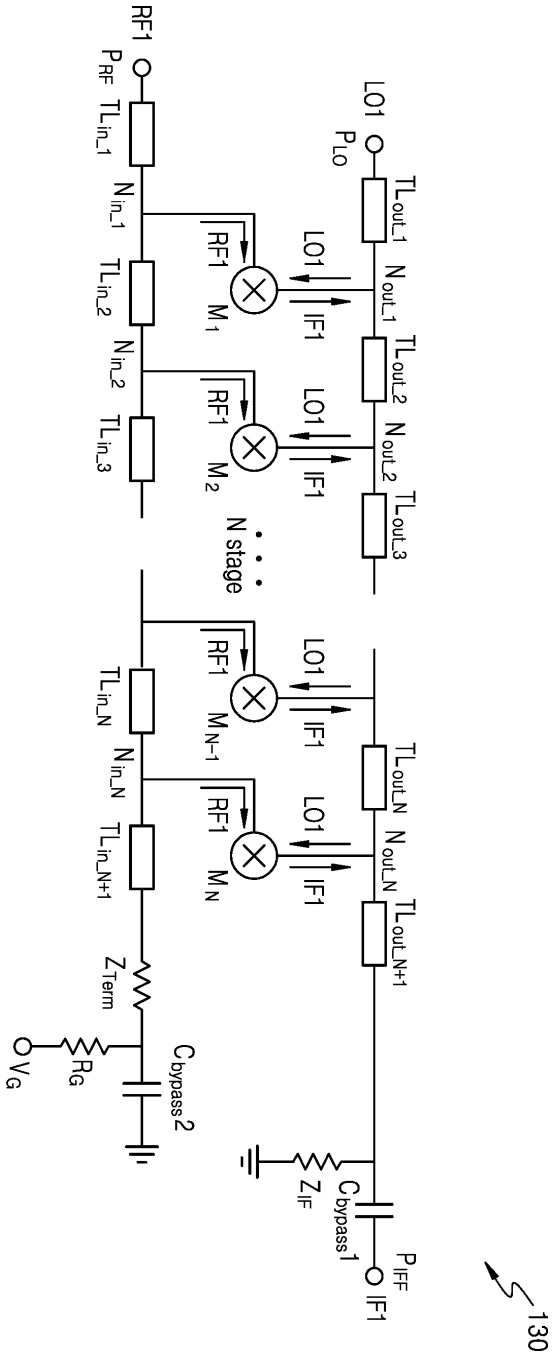
[0109] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

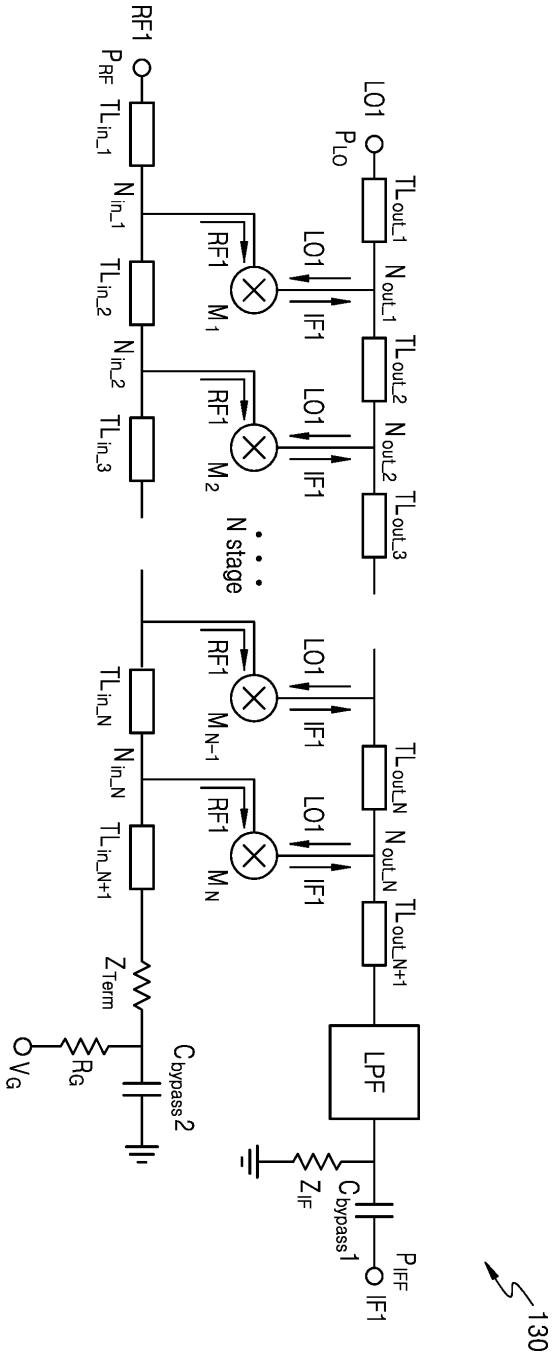
도면1


LOin
RFin
RF2
제1 발룬
RF1
110
전력 분배기
LO2
LO1
120
제2 주파수 변환 회로
제1 주파수 변환 회로
V_G
140
130
IF2
IF1
제2 발룬
150
IFout
100

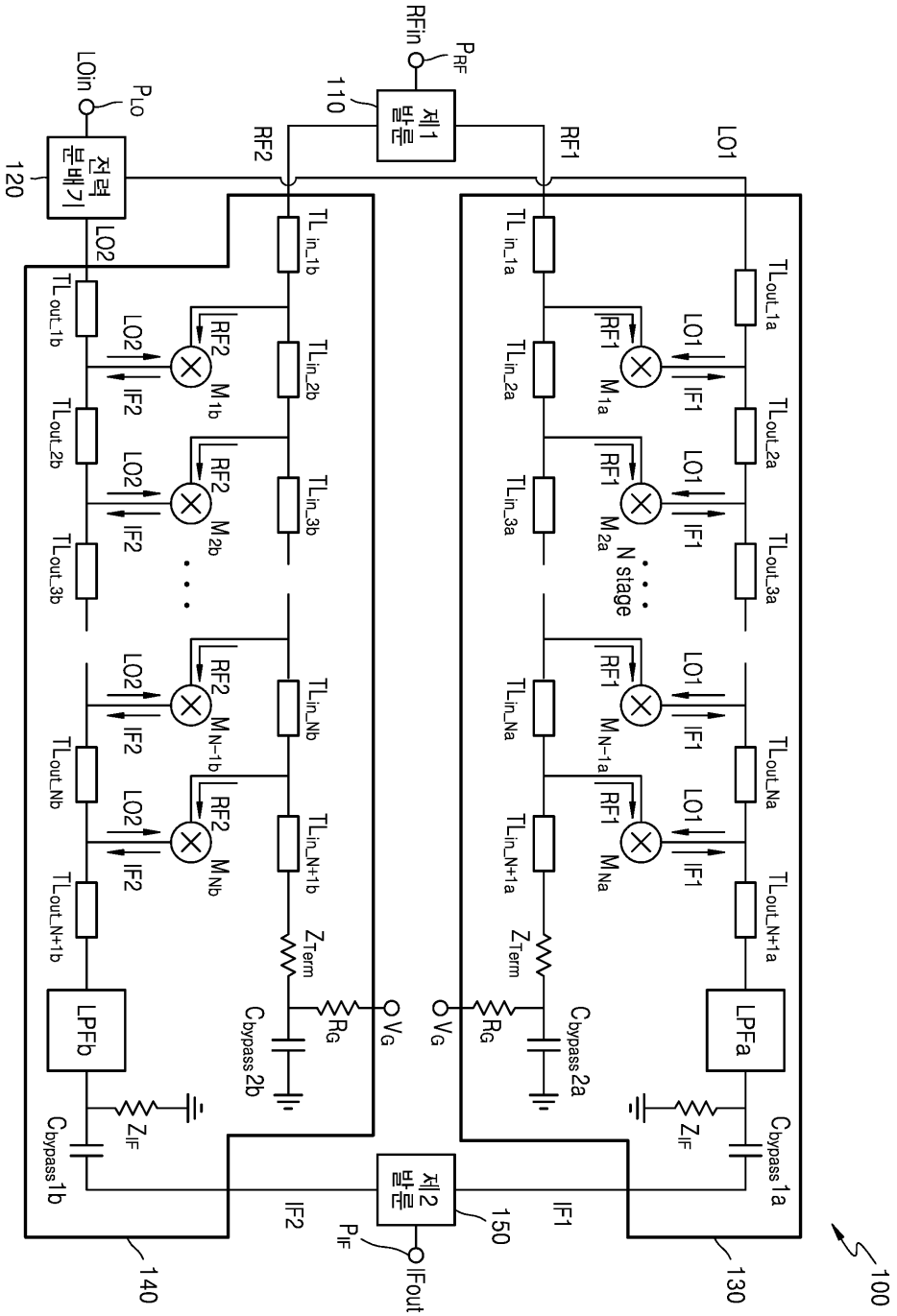
도면2


RF1
P_RF
TL_in_1
N_in_1
TL_in_2
N_in_2
TL_in_3
TL_in_N
N_in_N
TL_in_N+1
Z_Term
R_G
V_G
C_bypass 2
RF1
LO1
IF1
M_1
M_2
N stage
M_N-1
M_N
LO1
P_LO
TL_out_1
N_out_1
TL_out_2
N_out_2
TL_out_3
TL_out_N
N_out_N
TL_out_N+1
Z_IF
C_bypass 1
P_IFF
IF1
130

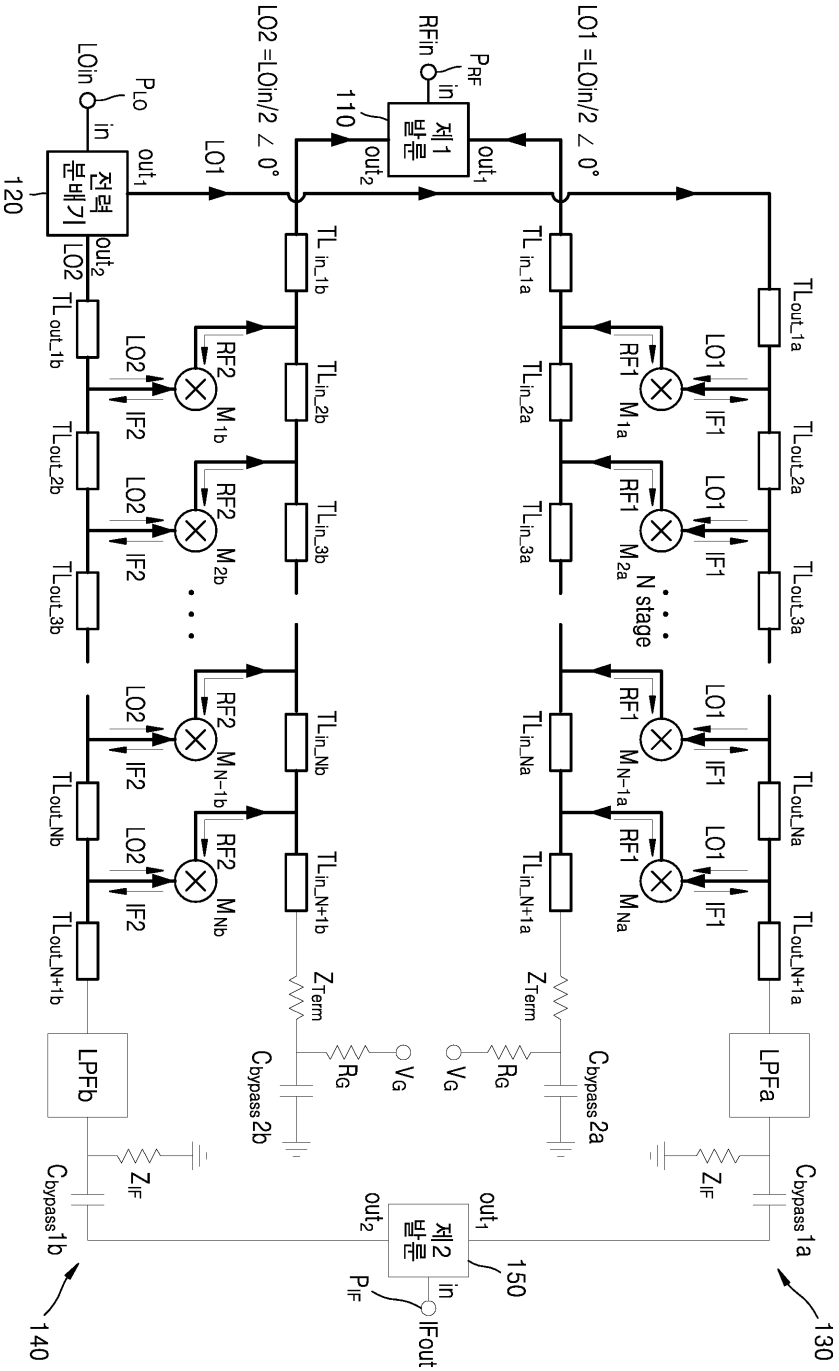
도면3


RF1
P_RF
TL_in_1
N_in_1
TL_in_2
N_in_2
TL_in_3
TL_in_N
N_in_N
TL_in_N+1
Z_Term
R_G
V_G
C_bypass2
LO1
P_LO
TL_out_1
N_out_1
TL_out_2
N_out_2
TL_out_3
TL_out_N
N_out_N
TL_out_N+1
M_1
M_2
N stage
M_N-1
M_N
LPF
Z_IF
C_bypass1
P_IFF
IF1
130

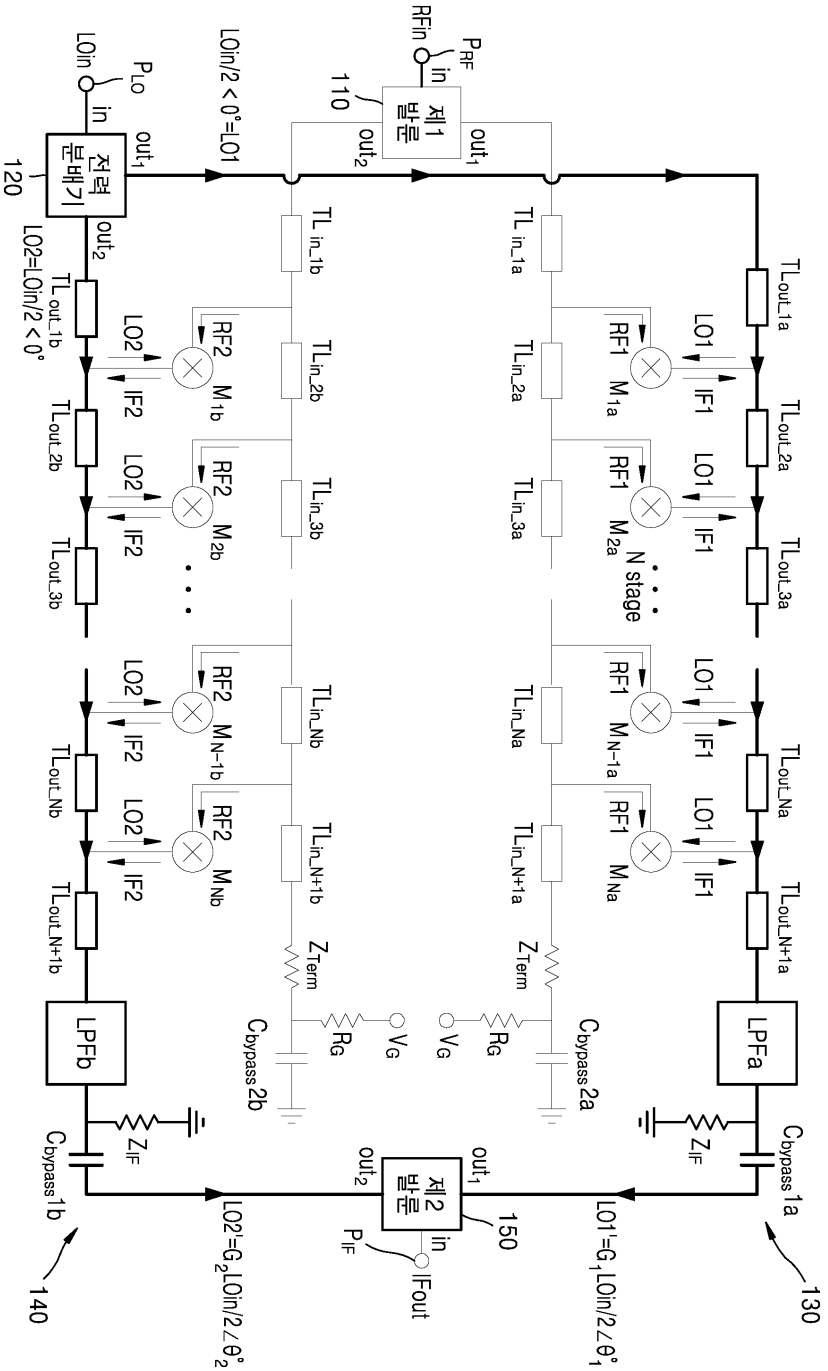
도면4


RFin
P_{RF}
110
제1 발룬
LOin
P_{LO}
120
전력 분배기
RF2
RF1
LO1
LO2
TL_{in_1b}
TL_{in_2b}
TL_{in_3b}
TL_{in_Nb}
TL_{in_N+1b}
TL_{in_1a}
TL_{in_2a}
TL_{in_3a}
TL_{in_Na}
TL_{in_N+1a}
TL_{out_1b}
TL_{out_2b}
TL_{out_3b}
TL_{out_Nb}
TL_{out_N+1b}
TL_{out_1a}
TL_{out_2a}
TL_{out_3a}
TL_{out_Na}
TL_{out_N+1a}
M_{1b}
M_{2b}
M_{N-1b}
M_{Nb}
M_{1a}
M_{2a}
M_{N-1a}
M_{Na}
N stage
IF1
IF2
Z_{Term}
R_G
V_G
$C_{bypass\,2b}$
$C_{bypass\,2a}$
LPFb
LPFa
Z_{IF}
$C_{bypass\,1b}$
$C_{bypass\,1a}$
제2 발룬
P_{IF}
IFout
140
150
130
100

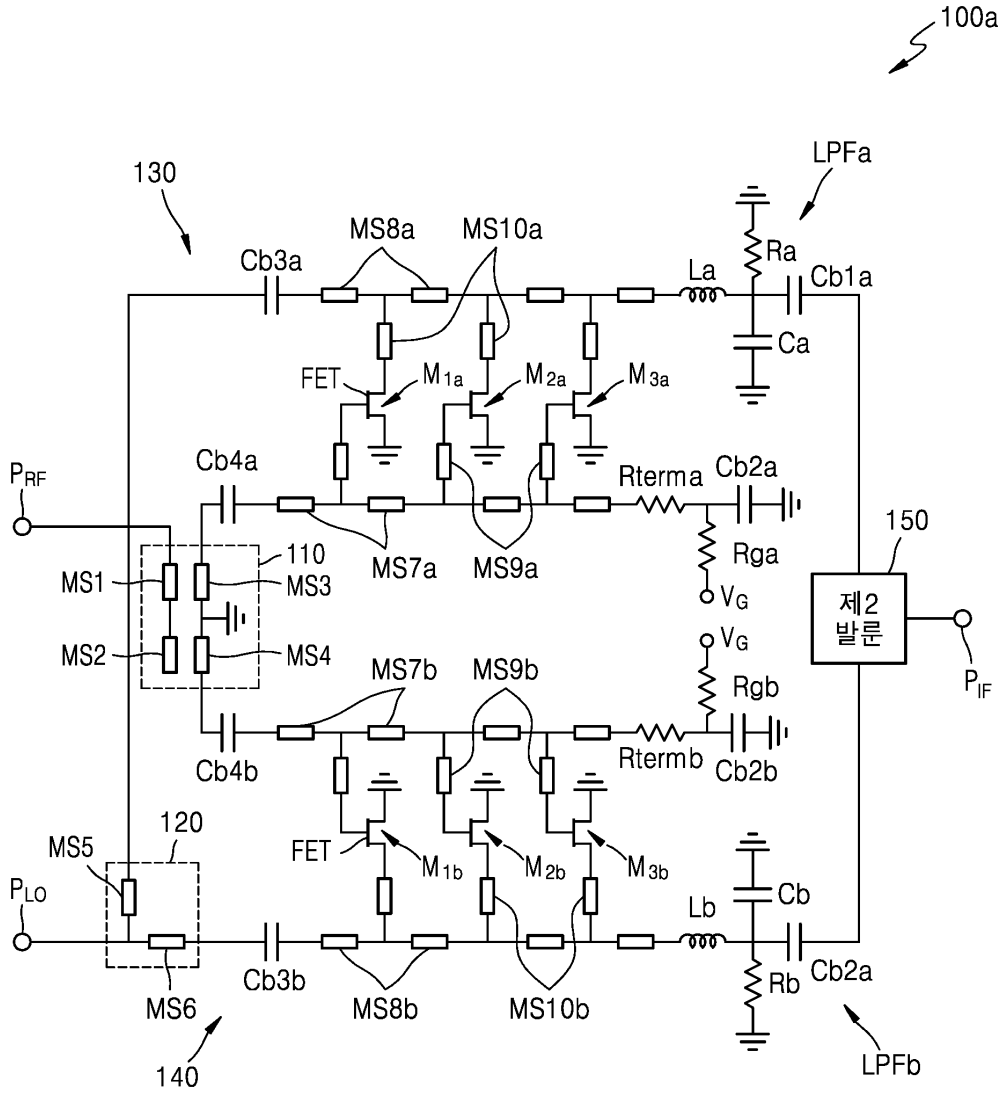
도면5


LOin
PLO
in
전력 분배기
120
out1
out2
LO1
LO2 =LOin/2 ∠ 0°
LO1 =LOin/2 ∠ 0°
RFin
PRF
in
제1 발룬
110
out1
out2
TLout_1b
TLout_2b
TLout_3b
TLout_Nb
TLout_N+1b
TLout_1a
TLout_2a
TLout_3a
TLout_Na
TLout_N+1a
TLin_1b
TLin_2b
TLin_3b
TLin_Nb
TLin_N+1b
TLin_1a
TLin_2a
TLin_3a
TLin_Na
TLin_N+1a
LO2
RF2
IF2
M1b
M2b
MN-1b
MNb
LO1
RF1
IF1
M1a
M2a
MN-1a
MNa
N stage
ZTerm
RG
VG
Cbypass2b
Cbypass2a
LPFb
LPFa
ZIF
Cbypass1b
Cbypass1a
140
130
제2 발룬
150
PIF
in
IFout

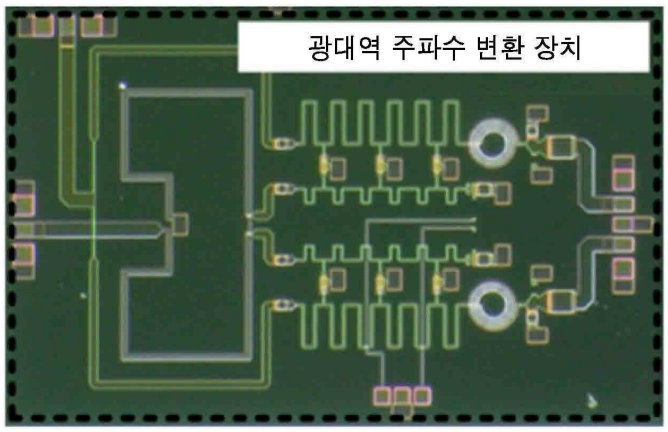
도면6


RFin
in
P_{RF}
110
제1 발룬
out1
out2
LOin
in
P_{LO}
120
전력 분배기
out1
out2
LOin/2 < 0°=LO1
LO2=LOin/2 < 0°
TL in_1b
TL in_2b
TL in_3b
TL in_Nb
TL in_N+1b
TL in_1a
TL in_2a
TL in_3a
TL in_Na
TL in_N+1a
TL out_1b
TL out_2b
TL out_3b
TL out_Nb
TL out_N+1b
TL out_1a
TL out_2a
TL out_3a
TL out_Na
TL out_N+1a
LO2
RF2
IF2
LO1
RF1
IF1
M 1b
M 2b
M N-1b
M Nb
M 1a
M 2a
M N-1a
M Na
N stage
LPFb
LPFa
Z_{Term}
R_G
V_G
C_{bypass} 2b
C_{bypass} 2a
Z_{IF}
C_{bypass} 1b
C_{bypass} 1a
140
130
150
out1
out2
제2 발룬
in
P_{IF}
IFout
$LO2'=G_2LOin/2\angle\theta_2^\circ$
$LO1'=G_1LOin/2\angle\theta_1^\circ$

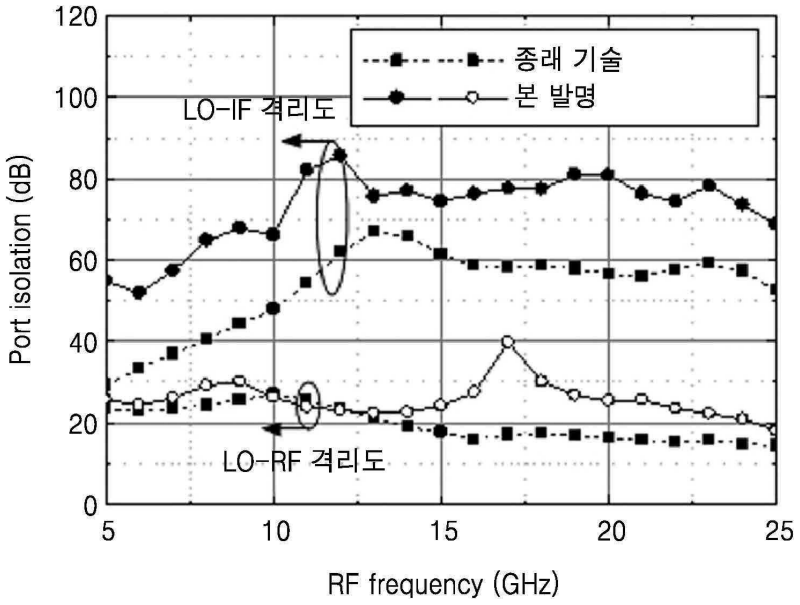
도면7


100a
130
LPFa
Cb3a
MS8a
MS10a
La
Ra
Cb1a
Ca
FET
M1a
M2a
M3a
Cb4a
PRF
Rterma
Cb2a
150
110
MS1
MS3
MS7a
MS9a
Rga
VG
제2
발룬
MS2
MS4
VG
MS7b
MS9b
Rgb
PIF
Cb4b
Rtermb
Cb2b
120
MS5
FET
M1b
M2b
M3b
PLO
Lb
Cb
Cb3b
MS8b
MS10b
Rb
Cb2a
MS6
140
LPFb

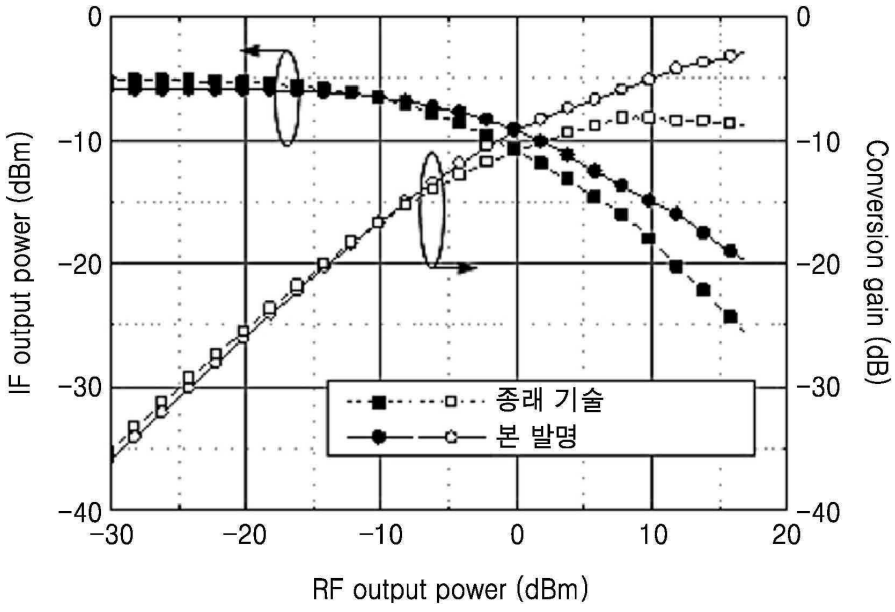
도면8


광대역 주파수 변환 장치

도면9


120
100
80
60
40
20
0
Port isolation (dB)
종래 기술
본 발명
LO-IF 격리도
LO-RF 격리도
5
10
15
20
25
RF frequency (GHz)

도면10


0
-10
-20
-30
-40
IF output power (dBm)
Conversion gain (dB)
종래 기술
본 발명
-30
-20
-10
0
10
20
RF output power (dBm)