



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월07일
(11) 등록번호 10-0967666
(24) 등록일자 2010년06월25일

(51) Int. Cl.

H01L 21/76 (2006.01)

(21) 출원번호 10-2002-0076170

(22) 출원일자 2002년12월03일

심사청구일자 2007년12월03일

(65) 공개번호 10-2004-0048450

(43) 공개일자 2004년06월10일

(56) 선행기술조사문헌

KR1019990048011 A*

KR1019990006000 A

KR1020010008607 A

KR1019990086523 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

이준현

충청북도청주시흥덕구신봉동주공아파트109동304호

(74) 대리인

강성배

전체 청구항 수 : 총 17 항

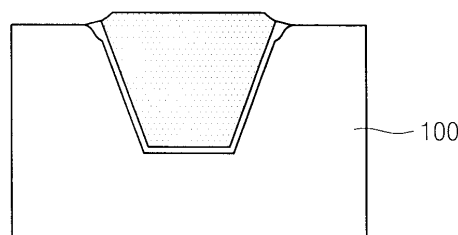
심사관 : 김영진

(54) 반도체소자의 소자분리막 형성방법

(57) 요약

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 반도체기판상에 형성된 패드질화막 및 패드산화막을 일부 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 불순물을 이온주입하여 불순물 이온주입부를 형성하는 단계; 상기 이온주입부를 산화시켜 제 1 산화막으로 성장시킴과 동시에 상기 패드질화막 아래에 산화막을 형성하는 단계; 상기 패드질화막 아래의 산화막만을 남긴 채 상기 제 1 산화막을 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 트렌치를 형성하는 단계; 상기 트렌치 표면에 제 2 산화막을 형성하는 단계; 상기 트렌치를 포함한 결과물의 상부에 평탄화용 산화막을 형성한 후 상기 패드질화막과 상기 평탄화용 산화막을 평탄화하는 단계; 및 잔류하는 상기 패드산화막과 상기 패드질화막을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성된다.

대표도 - 도2j



특허청구의 범위

청구항 1

반도체기판상에 패드질화막 및 패드산화막을 적층하고, 상기 패드 산화막과 상기 패드 질화막을 패터닝하여 액티브예정영역을 덮고 소자분리예정영역 전체를 노출하는 마스크층을 형성하는 단계;

상기 마스크층을 이용하여 상기 소자분리예정영역의 상기 반도체기판에 불순물을 이온주입하여 이온주입부를 형성하는 단계;

산화 공정으로 상기 이온주입부를 산화시켜 제 1 산화막을 형성함과 동시에 상기 마스크층 아래에 산화막을 형성하는 단계;

상기 마스크층 아래의 산화막만을 남긴채 상기 제 1 산화막을 식각하여 상기 반도체기판을 노출시키는 단계;

상기 노출된 반도체기판내에 트렌치를 형성하는 단계;

상기 트렌치 표면에 제 2 산화막을 형성하는 단계;

상기 트렌치를 포함한 전면에 평탄화용 산화막을 형성한 후 상기 마스크층과 상기 평탄화용 산화막을 평탄화하는 단계; 및

잔류하는 상기 마스크층을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 2

제 1 항에 있어서, 상기 이온주입부는 상기 이온주입부를 제외한 상기 반도체기판의 영역보다 더 빠르게 산화하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 3

제 1 항에 있어서, 상기 산화 공정을 통해 상기 마스크층 아래의 산화막은 버즈비크 모양으로 형성되는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 4

제 1 항에 있어서, 상기 마스크층 아래의 산화막은 상기 이온주입부의 이온주입 깊이에 비례하는 크기로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 5

제 1 항 또는 제 4 항에 있어서, 상기 마스크층 아래의 산화막이 상기 트렌치내 상부모서리부분을 라운딩하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 6

제 1 항에 있어서, 상기 제 1 산화막은 상기 이온주입부 형성 후 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 7

제 1 항에 있어서, 상기 제 1 산화막의 식각은 CF 계열의 가스를 메인 가스로 사용하는 활성화된 플라즈마를 이용한 식각인 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 8

제 7 항에 있어서, 상기 활성화된 플라즈마는 상기 메인 가스 외에 첨가 가스로 CHF_3 , O_2 , Ar 중 적어도 어느 하나 이상을 포함하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 9

제 1 항 또는 제 7 항에 있어서, 상기 제 1 산화막의 식각은 상기 제 1 산화막 아래의 상기 반도체 기판을 노출시킬 때까지 수행하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 10

제 1 항에 있어서, 상기 제 1 산화막의 식각은 건식식각인 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 11

제 1 항에 있어서, 상기 제 1 산화막의 식각후에도 상기 마스크층 아래의 산화막은 잔류하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 12

제 1 항에 있어서, 상기 트렌치 형성을 위한 식각은 HBr, Cl₂, O₂, H₂ 중 적어도 어느 하나 이상을 포함하는 가스를 이용한 활성화된 플라즈마를 이용한 건식식각으로 수행하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 13

제 1 항에 있어서, 상기 제 2 산화막은 산화공정에 의해 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 14

제 1 항 또는 제 13 항에 있어서, 상기 제 2 산화막은 트렌치내 하부모서리 부분을 라운딩하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 15

제 1 항에 있어서, 상기 제 2 산화막 형성 전 세정공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 16

제 15 항에 있어서, 상기 세정공정에 의해 상기 트렌치 측면의 상기 산화막이 일정 두께 제거되어 상기 산화막 아래의 상기 반도체 기판 상부 모서리 부위가 노출되는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 17

제 16항에 있어서, 상기 제 2 산화막 형성시 상기 노출된 반도체 기판의 상부 모서리 부위가 산화되어 상기 트렌치 상부 모서리 부분의 상기 반도체 기판이 라운딩되는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0010] 본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 보다 상세하게는 소자분리막 형성공정의 에지 모트형성을 방지하는 반도체소자의 소자분리막 형성방법에 관한 것이다.

[0011] 일반적으로 반도체 소자 제조공정중에서 소자분리공정인 STI(Shallow Trench Isolation)공정은 도 1a 내지 도 1f에 도시된 바와 같이 진행한다.

- [0012] 먼저, 도 1a에 도시된 바와 같이, 실리콘기판(5)상에 패드산화막(10)과 패드질화막(15)을 형성한 다음 포토레지스트(미도시)를 도포하여 포토레지스트 패턴을 형성한다.
- [0013] 이어서, 상기 포토레지스트 패턴을 마스크로 하여 CHF_3 , CF_4 , O_2 , Ar 의 혼합가스로 이루어진 활성화된 플라즈마로 상기 패드질화막(15)을 건식식각한다.
- [0014] 이때, 상기 혼합가스에는 C_xF_y 등을 포함할 수 있다. 즉, C_4F_8 , C_2F_6 , C_6F_8 등을 포함할 수 있다.
- [0015] 그 다음, 도 1b에 도시된 바와 같이 상기 패드산화막(10)과 상기 실리콘기판(5)을 소정 깊이로 건식식각하여 트렌치(17)를 형성한다. 이때, 상기 건식식각은 Cl_2 , O_2 , Ar의 혼합가스로 이루어진 활성화된 플라즈마로 수행한다. 상기 혼합가스에는 Hx등의 가스도 포함할 수 있다.
- [0016] 이어서, 산화공정을 진행하여 상기 실리콘기판(5)과 상기 패드산화막(10) 경계면의 실리콘이 산화되어 약간의 라운딩(19)을 형성한다.
- [0017] 그 다음, 도 1c에 도시된 바와 같이 상기 결과물의 전체 상부에 평탄화용 산화막(20)을 형성한다. 이때, 상기 평탄화용 산화막(20)은 트렌치(17)를 채울수 있도록 충분히 형성한다.
- [0018] 이어서, 도 1d에 도시된 바와 같이 상기 결과물의 상부에 화학적기계적연마(Chemical Mechanical Polishing : CMP)공정을 진행하여 상기 패드질화막(15)과 상기 평탄화용 산화막(20)을 연마하여 평탄화시킨다. 이로써, 잔류 패드질화막(15a)이 형성되고, 상기 평탄화용 산화막(20a)은 트렌치(17)내에 전부 채워진다.
- [0019] 그 다음, 도 1e에 도시된 바와 같이 상기 잔류패드질화막(15a)을 H_3PO_4 등으로 제거한다. 상기 H_3PO_4 는 산화막과의 선택비가 우수한 특성을 보이기 때문에 상기 평탄화용 산화막(20)과 상기 패드산화막(10)은 얇은 두께로 제거된다.
- [0020] 이어서, 도 1f에 도시된 바와 같이 게이트산화막의 증착 전에 HF 또는 $\text{HF}/\text{H}_2\text{O}$, BOE(Buffer Oxide Etchant)등으로 세정공정을 진행하여 패드 산화막(10)을 제거한다.
- [0021] 즉, 게이트산화막 증착은 반도체 트랜지스터 특성에 아주 중요한 공정이므로 게이트산화막 증착전의 잔류 패드 산화막(10) 및 이물질을 HF 또는 혼합된 불산(HF)등으로 제거한 다음 게이트산화막을 증착한다.

발명이 이루고자 하는 기술적 과제

- [0022] 이러한 세정공정을 진행하면서 에지 모트(moat)현상이 발생되는데, 이러한 에지모트가 발생하면 소자특성상 험프 및 INWE (Inverse Narrow Width Effect)가 발생하여 반도체소자의 비정상적인 동작을 유발시키는 문제점이 있다.
- [0023] 따라서, 본발명은 상기 종래기술의 제반문제점을 해결하기 위하여 안출한 것으로서, 트렌치의 코너 라운딩을 극대화시키고 험프 및 INWE등의 소자 특성을 개선할 수 있는 반도체소자의 소자분리막 형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0024] 상기 목적을 달성하기 위한 본 발명은, 반도체기판상에 형성된 패드질화막 및 패드산화막을 일부 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 불순물을 이온주입하여 불순물 이온주입부를 형성하는 단계; 상기 이온주입부를 산화시켜 제 1 산화막으로 성장시키고 동시에 상기 패드질화막 아래에 산화막을 형성하는 단계; 상기 패드질화막 아래의 산화막만을 남긴 채 상기 제 1 산화막을 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 트렌치를 형성하는 단계; 상기 트렌치 표면에 제 2 산화막을 형성하는 단계; 상기 트렌치를 포함한 결과물의 상부에 평탄화용 산화막을 형성한 후 상기 패드질화막과 상기 평탄화용 산화막을 평탄화하는 단계; 및 잔류하는 상기 패드산화막과 상기 패드질화막을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성됨을 특징으로 한다.
- [0025] (실시예)
- [0026] 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

- [0027] 먼저, 도 2a에 도시된 바와 같이 실리콘기판(100)상에 패드산화막(120)과 패드질화막(140)을 적층하고, 패드 질화막(140) 상에 포토레지스트(160)를 도포하고 액티브예정영역에만 남도록 노광 및 현상 공정으로 포토레지스트(160)를 패터닝한다.
- [0028] 그 다음, 도 2b에 도시된 바와 같이 상기 패터닝된 포토레지스트(160)를 마스크로 하여 상기 패드질화막(140)과 상기 패드산화막(120)을 건식식각하여 소자분리예정영역의 상기 실리콘기판(100)을 노출시킨다.
- 상기 식각된 패드질화막(140)과 상기 패드산화막(120)은 소자분리예정영역 전체를 노출하고, 액티브예정영역을 덮도록 형성되며, 이후 공정에서 마스크층으로 사용된다.
- [0029] 이어서, 도 2c에 도시된 바와 같이 상기 결과물의 상부에 인(P) 또는 붕소(B)를 얇은 깊이로 이온주입하여 상기 노출된 실리콘 기판(100)내에 불순물 이온주입부(180)를 형성한다.
- [0030] 여기서, 상기 이온주입공정은 종래에 반도체공정에서 이용하고 있는 5가의 인(P)과 3가의 붕소(B)를 이용하여 이온주입하여 상기 이온주입부(180)는 실리콘(Si)과 인(P)의 결합구조 또는 실리콘(Si)과 붕소(B)의 결합구조를 갖는다.
- [0031] 이러한 이온주입공정은 후속의 산화공정에서 불순물 포함안된 실리콘기판(즉, 이온주입이 안된 패드질화막(140) 아래의 실리콘기판) 보다 불순물 포함된 실리콘 기판(즉, 건식식각에 의해 노출된 실리콘기판)의 산화속도를 3 배 정도 더 빠르게 산화시키기 위한 것이다.
- [0032] 또한, 3가의 붕소 보다 5가의 인을 이온주입한 경우 상기 실리콘기판(100)은 더 빠르게 산화되므로 인을 이온주입하는 것이 바람직하다. 이때, 5가의 인 대신 3가의 붕소를 사용해도 되며 또한 3가의 붕소 또는 5가의 인에 한정하지 않아도 된다. 그 불순물 이온주입하는 이유가 상기 실리콘기판의 산화시 불순물의 함유에 의해 실리콘 결합구조가 쉽게 분리하기 위한 것이기 때문이다.
- [0033] 그 다음, 도 2d에 도시된 바와 같이, 상기 이온주입공정을 완료한 후 산화공정을 수행하여 상기 이온주입부(180)에 산화막(200)을 형성함과 동시에 상기 패드질화막(140) 아래에 버즈비크(bird's beak) 모양의 산화막(A)을 형성한다.
- [0034] 이러한 산화공정시 상기 이온주입부(180)의 실리콘은 상기 이온주입 안된 실리콘기판(A)의 실리콘 보다 산화막 성장속도가 빠르게 진행된다. 즉, 상기 산화막(200)의 성장속도는 인과 실리콘의 결합구조 > 붕소와 실리콘의 결합구조 > 단일 실리콘의 결합구조등의 순서로 차이가 있다.
- [0035] 이러한 산화막 성장속도의 차이로 인해, 상기 패드질화막(140) 아래의 버즈비크 모양의 산화막(A)은 이온주입부(180)에 형성된 산화막(200) 두께의 대략 1/3 보다 작은 폭으로 형성된다. 즉, 버즈비크가 심하게 발생되지 않는다. 이는 나중에 에지 모트를 방지하는 중요한 요인이 된다.
- [0036] 또한, 이러한 산화막 성장시 상기 버즈비크 모양의 산화막(A)은 이온주입 깊이만큼 보다 쉽게 형성하며, 후속의 산화공정에서 에지 코너의 라운딩을 원할하게 한다.
- [0037] 또한, 상기 패드질화막(140)에는 실리콘 성분이 없으므로 패드질화막 상부에는 산화막이 형성되지 않는다.
- [0038] 이어서, 도 2e에 도시된 바와 같이, 상기 실리콘기판(100)이 드러날 때 까지 상기 산화막(200)을 건식식각한다. 이때, 상기 패드질화막(140) 아래의 상기 버즈비크 모양의 산화막(200a)은 식각되지 않고 잔류된다.
- [0039] 여기서, 상기 산화막(200) 건식식각은 CF 계열의 가스를 메인 가스(main gas)로 하는 활성화된 플라즈마를 이용하여 진행한다. 상기 활성화된 플라즈마에는 CHF_3 , O_2 , Ar, N_2 중 적어도 어느 하나 이상이 포함된 첨가 가스(additive gas)가 포함될 수 있다.
- [0040] 그 다음, 도 2f에 도시된 바와 같이, 상기 패드질화막(140)을 마스크로 하여 상기 실리콘기판(100)을 소정깊이만큼 식각하여 트렌치(240)를 형성한다.
- [0041] 이때, 상기 트렌치(240) 형성을 위한 건식식각시에도 상기 잔류산화막(200a)은 식각되지 않으며, 상기 트렌치(240) 내에 에지 모서리 부분(C)과 잔류산화막(200a)의 라운딩 부분(B)을 형성한다. 이러한 건식식각은 HBr, Cl_2 , O_2 , H_2 중 적어도 어느 하나 이상이 포함된 가스로 이루어진 활성화된 플라즈마를 이용한다.
- [0042] 이어서, 도 2g에 도시된 바와 같이, 상기 결과물의 상부에 산화공정을 수행하여 상기 트렌치(240)내에 산화막(260)을 형성한다.

- [0043] 이때, 상기 잔류산화막(200a)의 라운딩 부분(B)은 더욱 라운딩되며, 상기 트렌치(240)내의 하부 모서리부분(C)은 라운딩된다.
- [0044] 여기서, 상기 산화막(260)을 일정하게 형성하기 위해 상기 산화공정을 진행하기 전에 HF용액의 세정공정을 수행하여 트렌치(240)내의 잔류 이물질을 제거한다. 이때, HF 세정공정에 의한 잔류 이물질 제거시 잔류산화막(200a)이 약간 제거되어 상기 라운딩 부분(B)에서 실리콘 기판(100)이 약간 노출된다. 그 후 상기 산화공정을 진행하면 상기 라운딩부분(B)의 실리콘 기판(100)이 산화하여 더욱 라운딩된다.
- [0045] 그 다음, 도 2h에 도시된 바와 같이 상기 결과물의 상부에 평탄화용 산화막(280)을 형성하여 상기 트렌치(240)를 채운다.
- [0046] 이어서, 도 2i에 도시된 바와 같이 상기 패드질화막(140)을 식각정지막으로 하여 상기 패드질화막(140)과 상기 평탄화용 산화막(280)을 CMP공정에 의해 평탄화시켜 잔류평탄화용 산화막(280a)과 잔류패드질화막(140a)을 형성한다.
- [0047] 이러한 CMP공정 후에도 상기 모서리 라운딩부위의 산화막(D)은 손상되지 않는다.
- [0048] 그 다음, 도 2j에 도시된 바와 같이, 인산 디핑에 의해 잔류하는 상기 패드산화막(120)과 상기 잔류패드질화막(140a)을 제거한 후에도 상기 평탄화용 산화막(280)이 모서리 라운딩부분의 산화막(D) 보다 높은 위치로 있게 한다.
- [0049] 최종적으로, 게이트 산화막 증착 전에 HF 세정공정을 진행하여 실리콘 표면에 잔류하고 있는 이물질을 제거하여 도 상기 평탄화용 산화막(280)이 모서리 라운딩부분의 산화막(D) 위로 올라와 있게 하여 에지 모트 영역이 없는 최종 프로파일을 얻는다.

발명의 효과

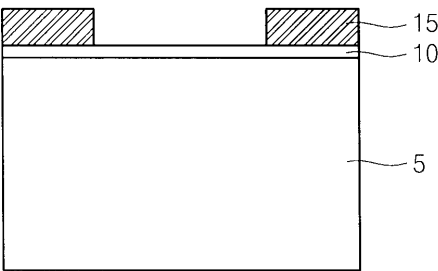
- [0050] 상술한 바와 같이, 본 발명은 트렌치의 코너 라운딩을 극대화시키고 에지 모트현상이 발생하지 않아 소자특성중 험프, INWE등의 특성이 개선된다.
- [0051] 한편, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

도면의 간단한 설명

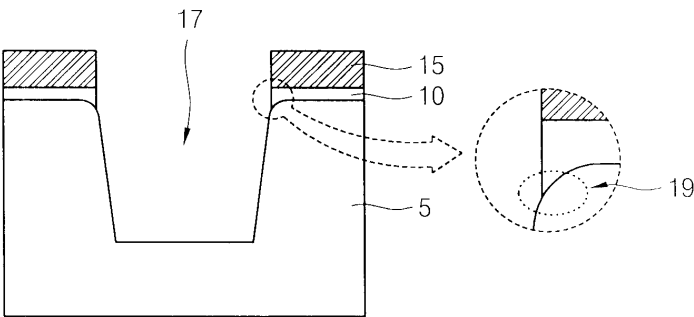
- [0001] 도 1a 내지 도 1f는 종래기술에 따른 반도체소자의 소자분리막 형성방법을 도시한 공정별 단면도.
- [0002] 도 2a 내지 도 2k는 본 발명에 따른 반도체소자의 소자분리막 형성방법을 도시한 공정별 단면도.
- [0003] (도면의 주요부분에 대한 부호설명)
- | | |
|-----------------------|----------------|
| [0004] 100 : 실리콘기판 | 120 : 패드산화막 |
| [0005] 140 : 패드질화막 | 140a : 잔류패드질화막 |
| [0006] 160 : 포토레지스트 | 180 : 이온주입부 |
| [0007] 200 : 산화막 | 200a : 잔류산화막 |
| [0008] 240 : 트렌치 | 260 : SAC산화막 |
| [0009] 280 : 평탄화용 산화막 | |

도면

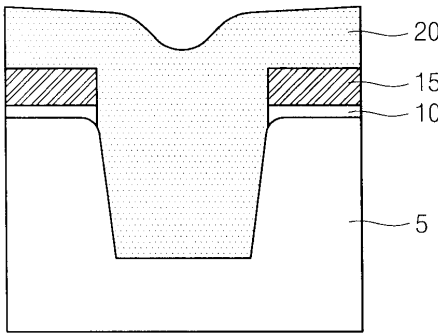
도면1a



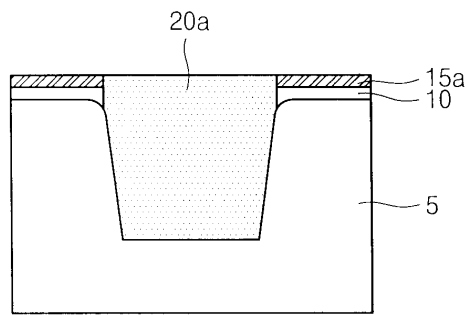
도면1b



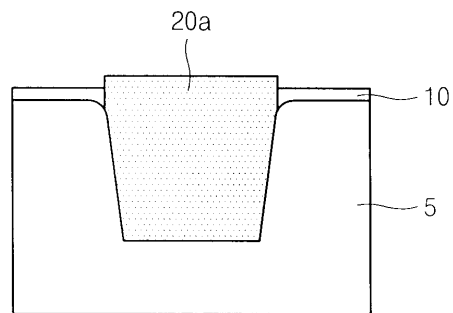
도면1c



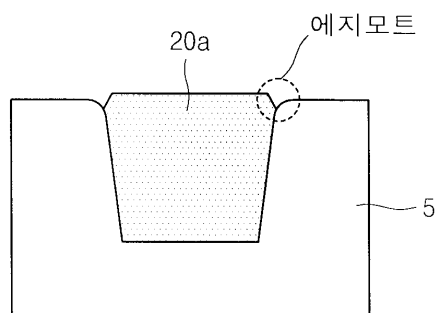
도면1d



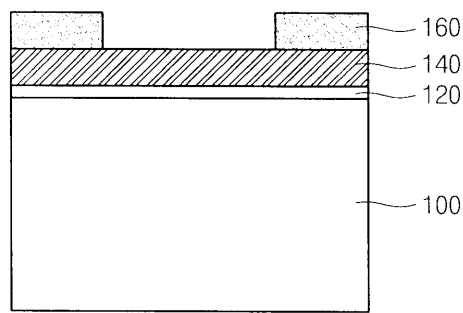
도면1e



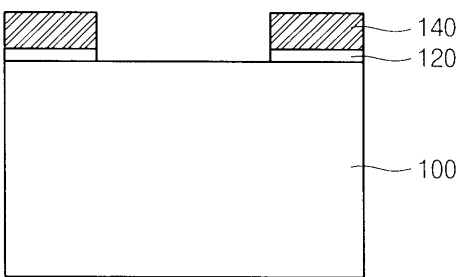
도면1f



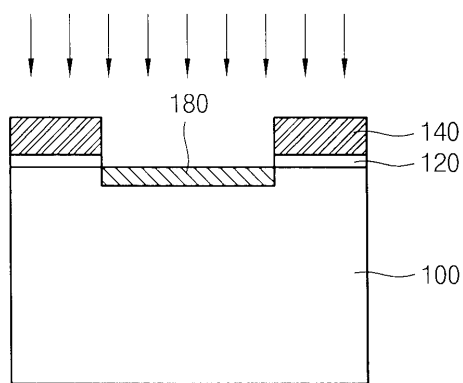
도면2a



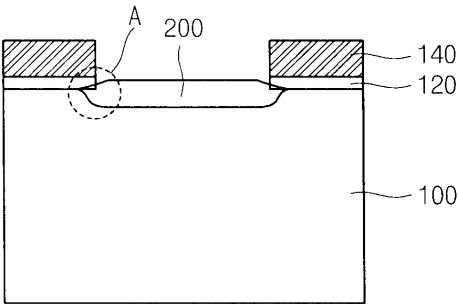
도면2b



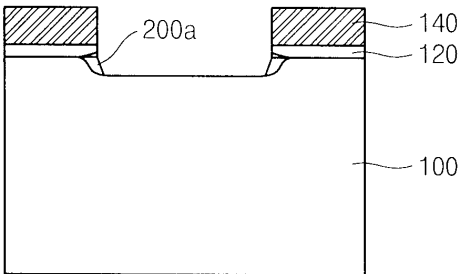
도면2c



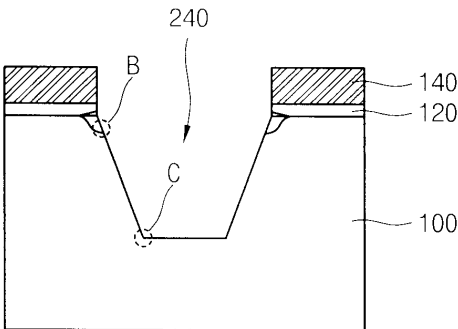
도면2d



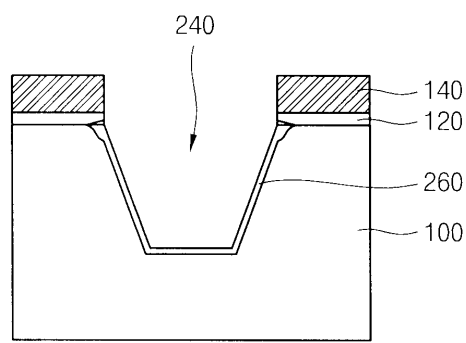
도면2e



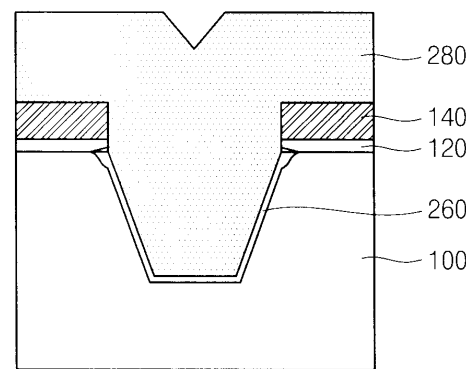
도면2f



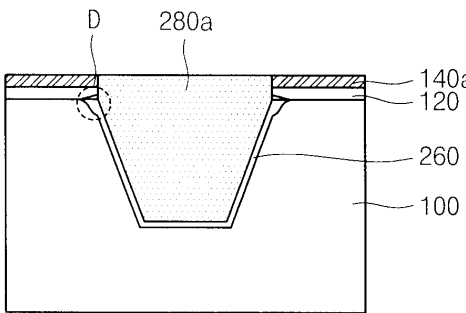
도면2g



도면2h



도면2i



도면2j

