



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201019331 A1

(43)公開日：中華民國 99 (2010) 年 05 月 16 日

(21)申請案號：098131275 (22)申請日：中華民國 98 (2009) 年 09 月 16 日

(51)Int. Cl. : **G11C16/26 (2006.01)** **G11C7/14 (2006.01)**

(30)優先權：2008/09/22 美國 12/235,254

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：錢德瑞斯卡爾 尤達 CHANDRASEKHAR, UDAY (IN)；艾貝迪法 伊伯拉漢
ABEDIFARD, EBRAHIM (US)；瓦希迪默拉維 歐拉亞 VAHIDIMOWLAVI,
ALLAHYAR (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 32 頁

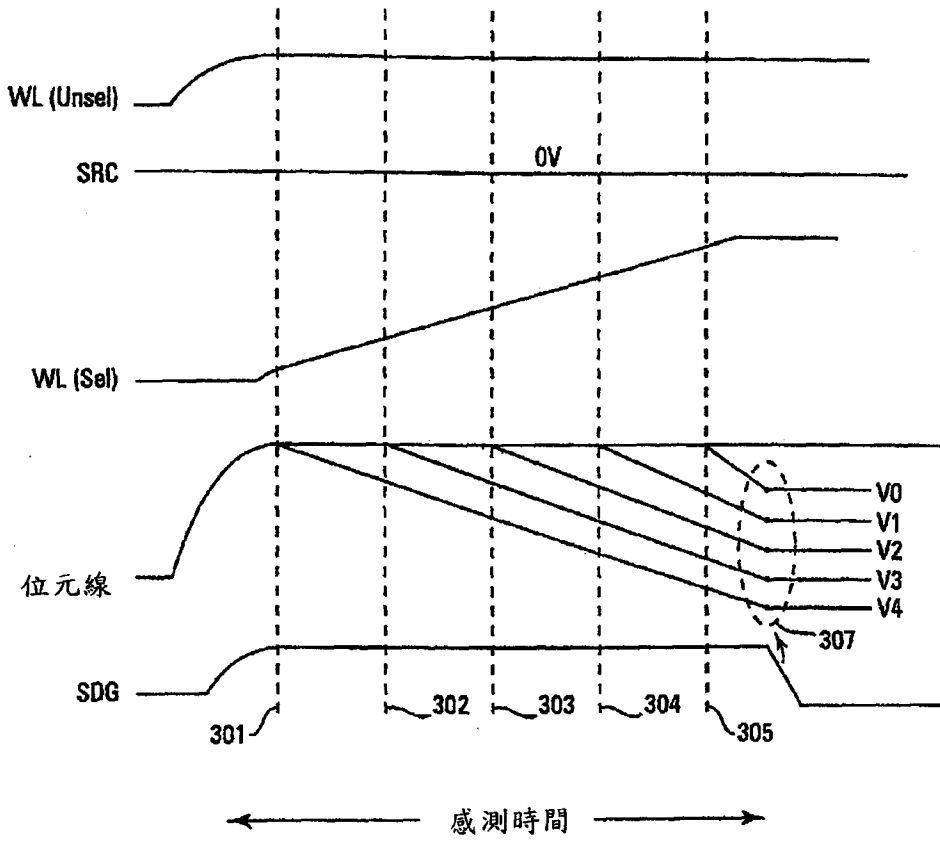
(54)名稱

非揮發性記憶體裝置中感測記憶體讀取及程式檢驗操作

SENSING FOR MEMORY READ AND PROGRAM VERIFY OPERATIONS IN A NON-VOLATILE
MEMORY DEVICE

(57)摘要

本發明揭示用於在一記憶體裝置中感測之方法、一記憶體裝置及一記憶體系統。在此一個感測方法中，執行一單個讀取操作連同與一參考臨限值準之多個感測放大器電路比較以確定一選定記憶體單元之一狀態。當一斜升電壓達到該選定記憶體單元所程式化到的臨限電壓時，該斜升電壓接通該選定記憶體單元。在一個實施例中，該所接通之記憶體單元使其相應之位元線放電。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201019331 A1

(43)公開日：中華民國 99 (2010) 年 05 月 16 日

(21)申請案號：098131275

(22)申請日：中華民國 98 (2009) 年 09 月 16 日

(51)Int. Cl. :

G11C16/26 (2006.01)

G11C7/14 (2006.01)

(30)優先權：2008/09/22

美國

12/235,254

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：錢德瑞斯卡爾 尤達 CHANDRASEKHAR, UDAY (IN)；艾貝迪法 伊伯拉漢

ABEDIFARD, EBRAHIM (US)；瓦希迪默拉維 歐拉亞 VAHIDIMOWLAVI,

ALLAHYAR (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 32 頁

(54)名稱

非揮發性記憶體裝置中感測記憶體讀取及程式檢驗操作

SENSING FOR MEMORY READ AND PROGRAM VERIFY OPERATIONS IN A NON-VOLATILE MEMORY DEVICE

(57)摘要

本發明揭示用於在一記憶體裝置中感測之方法、一記憶體裝置及一記憶體系統。在此一個感測方法中，執行一單個讀取操作連同與一參考臨限值準之多個感測放大器電路比較以確定一選定記憶體單元之一狀態。當一斜升電壓達到該選定記憶體單元所程式化到的臨限電壓時，該斜升電壓接通該選定記憶體單元。在一個實施例中，該所接通之記憶體單元使其相應之位元線放電。

六、發明說明：

【發明所屬之技術領域】

一般而言，本發明係關於記憶體裝置，且在一特定實施例中本發明係關於非揮發性記憶體裝置。

【先前技術】

在電腦或其他電子裝置中，記憶體裝置可包含內部半導體積體電路。存在諸多不同類型之記憶體，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、靜態RAM(SRAM)、同步動態RAM(SDRAM)及快閃記憶體。

快閃記憶體裝置已發展為用於廣泛範圍之電子應用之非揮發性記憶體之一普遍來源。快閃記憶體裝置通常使用允許高記憶體密度、高可靠性及低功率消耗之一單電晶體記憶體單元。快閃記憶體之普遍用途包含個人電腦、個人數位助理(PDA)、數位相機及蜂巢式電話。諸如基本輸入/輸出系統(BIOS)之程式碼及系統資料通常儲存於快閃記憶體裝置中以供在個人電腦系統中使用。

一典型之讀取操作(亦稱為一感測操作)由以下步驟組成：將記憶體塊之源極線接地以供讀取，給記憶體塊資料線(例如，位元線)預充電及給存取線(例如，字線)加偏壓以便接通除欲讀取之字線之外的所有字線。然後，將一讀取電壓施加至欲讀取之該字線且接通替代位元線之選擇閘極。若該位元線變為放電，則正被讀取之單元之臨限電壓小於字線電壓。在此情形中，該單元被抹除且處於一邏輯

1狀態中。若該位元線保持預充電，則正被讀取之該單元之臨限電壓大於施加至正被讀取之該字線之字線電壓。在此情形中，該記憶體單元被程式化且處於一邏輯0狀態中。

預充電及放電次數由位元線及字線之RC時間常數確定。因此，該讀取操作之速度由此RC時間常數確定。

一單級單元(SLC)非揮發性記憶體裝置僅具有待程式化之兩個臨限電壓位準：一經程式化狀態(亦即，邏輯0)及一經抹除狀態(亦即，邏輯1)。一兩位元多級單元(MLC)非揮發性記憶體裝置具有四個臨限電壓位準：用於經抹除狀態之一邏輯11及用於經程式化狀態之邏輯00、01、10。使用多個SLC式讀取操作確定MLC單元之狀態以確定正被讀取之單元屬於四個臨限電壓位準中之哪一位準。

MLC裝置亦可儲存多於兩個之資料位元，此需要多於四個之不同臨限電壓位準。隨著儲存於一單元上之級之數目增加，確定所儲存之資料所需之讀取操作之數目亦增加。因此，增加讀取操作之數目會增加每一單元之總讀取時間且減少記憶體之效能。隨著電腦系統之效能增加，記憶體製造商亦處於增加其記憶體效能以便齊步並進之壓力下。

由於上述原因，且由於熟習此項技術者在閱讀並理解本說明書之後將會明瞭之下述其他原因，此項技術中存在增加記憶體讀取操作效能之一需要。

【實施方式】

在本發明之以下詳細闡述中，參照形成本發明之一部分

之附圖，且該等附圖中以圖解說明之方式顯示其中可實踐本發明之具體實施例。在該等圖式中，數個視圖中所有相同編號闡述大致類似之組件。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明。亦可利用其他實施例並可在不背離本發明範疇之前提下做出結構、邏輯及電方面之改動。因此，不應以一限制意義考量以下詳細闡述，且本發明之範疇僅由隨附申請專利範圍及其等效內容界定。

圖1圖解說明一NAND架構記憶體陣列101之一部分之一示意圖，該記憶體陣列包括其上可使用用於抹除之方法之一個實施例之非揮發性記憶體單元之串聯串。儘管圖1及隨後之論述提及一NAND記憶體裝置，但本實施例並不限於此一架構而亦可用於其他記憶體裝置架構中。

記憶體陣列由配置成諸如串聯串104、105之行之非揮發性記憶體單元101(例如，浮動閘極)之一陣列組成。在每一串聯串104、105中，以汲極至源極之方式耦合單元101中之每一者。橫跨多個串聯串104、105之一存取線(例如，字線)WL0-WL31連接至一系列中之每一記憶體單元之控制閘極以給該列中之記憶體單元之該等控制閘極加偏壓。資料線(例如，位元線)BL1、BL2最終連接至感測放大器電路(未顯示)，該等感測放大器電路藉由感測一特定位元線上之電流來偵測每一單元之狀態。

每一記憶體單元串聯串104、105藉由一源極選擇閘極116、117耦合至一源極線106且藉由一汲極選擇閘極112、

113 耦合至一個別位元線 BL1、BL2。源極選擇閘極 116、117 由耦合至其控制閘極之一源極選擇閘極控制線 SG(S)118 控制。汲極選擇閘極 112、113 由一汲極選擇閘極控制線 SG(D)114 控制。

每一記憶體單元可程式化為一單級單元 (SLC) 或多級單元 (MLC)。每一單元之臨限電壓 (V_t) 指示儲存於該單元中之資料。舉例而言，在一 SLC 中， 0.5 V 之一 V_t 可指示一經程式化單元，而 -0.5 V 之一 V_t 可指示一經抹除單元。如圖 2 中所圖解說明，MLC 可具有多個 V_t 電壓範圍，每一範圍指示一不同狀態。多級單元藉由向儲存於該單元上之一特定電壓範圍指派一位元型樣來利用一傳統快閃單元之類比性質。端視向該單元指派之電壓範圍之量，此技術准許每單元儲存兩個或兩個以上位元。

本揭示內容之感測方法以一斜升電壓給耦合至正被讀取之記憶體塊之一選定字線 WL0-WL31 之記憶體單元之控制閘極加偏壓。在一個實施例中，該選定字線斜升電壓可介於 0 V 至 3.5 V 之範圍中。替代實施例可使用其他開始及停止電壓。隨後參照圖 3 至圖 6 之時序圖及圖 7 之電路闡述該感測方法之實施例。

圖 2 圖解說明一多位元 (MLC) 記憶體裝置之記憶體單元臨限電壓 (V_t) 分佈之一個實施例。此圖式顯示邏輯 11 狀態 201 係最負狀態且其通常被稱為經抹除狀態。邏輯 10 狀態 202 係最正狀態。邏輯 01 狀態 203 及邏輯 00 狀態 204 位於最負狀態與最正狀態 201、202 之間。指派給每一分佈之邏輯

狀態僅係出於圖解說明之目的。端視記憶體單元之可程式化密度，替代實施例可具有指派給每一分佈之其他邏輯狀態以及不同分佈量。

由於一程式操作，一記憶體單元之臨限電壓自經抹除狀態201移動至經程式化狀態202-204中之一者。舉例而言，若一非揮發性記憶體單元係程式化至邏輯01狀態203，則該程式操作將把記憶體單元之臨限電壓自邏輯11狀態201移動至邏輯01狀態203。在一程式檢驗操作期間，將用感測電路感測邏輯01狀態電壓範圍203中之一電壓以達成一成功之程式操作。

一單位元記憶體裝置將僅具有兩種臨限電壓分佈。一個分佈係負臨限值分佈且表示用於經抹除記憶體單元之邏輯「1」狀態。第二分佈係正、經程式化狀態，其由一邏輯「0」表示。

在圖2中所示之一程式操作期間，在每一程式脈衝之後執行一程式檢驗操作以確定該記憶體單元是否已達到目標臨限電壓。該程式檢驗由一感測操作及一讀取操作組成。在一典型之先前技術MLC記憶體裝置中，每一程式脈衝之後需要多個檢驗操作以便確定該單元之狀態。

圖3圖解說明用於在MLC讀取操作、程式檢驗操作或需要一感測方案之任何其他操作期間之感測之一方法之一個實施例之一信號時序圖。圖3中以及圖4至圖6之替代實施例中所圖解說明之電壓僅係出於圖解說明之目的。本實施例並不受限於任何特定電壓。

自頂部信號至底部信號，圖3之時序圖包含未選定字線WL(UNSEL)、源極線SRC、選定字線WL(SEL)、位元線及選擇閘極汲極控制信號SGD之加偏壓。圖1之記憶體陣列示意圖圖解說明此等信號中之每一者之位置。

該時序圖顯示首先在感測操作期間將未選定字線預充電至一 V_{pass} 電壓(例如，5 V-6 V)且將位元線預充電至大約1.5 V。在一個實施例中，通過電壓為至少4.5 V以便允許記憶體單元傳遞最大臨限電壓。在大約5.0 V下給選擇閘極汲極控制信號加偏壓以接通選擇閘極汲極電晶體。選擇閘極汲極控制信號在該感測操作持續期間(例如，20 μ s)保持在5.0 V處，然後返回降低至0 V。

一旦設定了源極、選擇閘極汲極、位元線及未選定字線上之電壓，便將一斜升電壓施加至選定字線。在一個實施例中，此斜升電壓自一最小電壓0 V變為一最大電壓3.5 V且係一緩慢斜升，該緩慢斜升使得稍後能夠以一較高之臨限電壓接通該單元以便形成與具有一較小臨限電壓之一單元之一較好電壓差。替代實施例可不僅針對該斜升電壓而且亦針對剛剛闡述之其他信號使用其他電壓。

當斜升信號之電壓達到耦合至選定字線之每一記憶體單元之經程式化臨限電壓時，該記憶體單元接通且使其所耦合到的位元線放電。此過程由圖3之位元線信號及垂直虛線301-305顯示，該等虛線表示每一記憶體單元在其下接通之一臨限電壓V0-V4。

舉例而言，斜升字線電壓上升至一第一臨限電壓301，

該第一臨限電壓導致一第一記憶體單元接通以致使其位元線放電至V4。該斜升電壓繼續至一第二臨限電壓302，該第二臨限電壓接通一第二記憶體單元以致使其位元線放電至V3。該斜升電壓繼續至一第三臨限電壓303，該第三臨限電壓接通一第三記憶體單元以致使其位元線放電至V2。該斜升電壓繼續至一第四臨限電壓304，該第四臨限電壓接通一第四記憶體單元以致使其位元線放電至V1。最終，該斜升電壓達到一第五臨限電壓305，該第五臨限電壓接通一第五記憶體單元以致使其位元線放電至V0。

當圖3之選擇閘極汲極信號返回為低時，關斷選擇閘極汲極電晶體且因此關斷每一記憶體單元串聯串對其相應之位元線之存取。此係各個臨限電壓V0-V4於其相應之位元線上穩定之點307。

在一讀取操作期間使用一位元線箝位控制電壓(BLCLAMP)以區別與一電路組合之各個臨限電壓位準V0-V4以用於讀取該等臨限電壓。隨後分別參照圖5及圖7更詳細地闡述BLCLAMP電壓及其相關聯電路之操作。

圖4圖解說明用於MLC讀取操作、程式檢驗操作或需要一感測方案之任何其他操作期間之感測之一方法之一替代實施例之一信號時序圖。此時序圖圖解說明與圖3之實施例相同之信號，但以一不同方式給此等信號加偏壓。

將未選定字線預充電至6-7 V。對於此實施例，將該等未選定字線預充電為比源極電壓高至少4 V以便使最高臨限電壓通過。選擇閘極汲極控制信號在感測時間期間(例

如，30 μ s)上升至大約6 V。將源極線預充電至大約3 V且首先將位元線接地。

隨著選定字線上之電壓斜線上升，位元線在斜升電壓達到選定記憶體單元之相應位元線之臨限電壓時得到充電。如在先前實施例中，五個不同記憶體單元之不同臨限電壓V0-V4係圖解說明為五個垂直虛線401-405。當斜升選定字線電壓達到每一臨限電壓401-405時，相應之記憶體單元接通、導電且透過源極線給其相應之位元線充電。

作為一操作實例，圖4顯示當斜升字線電壓達到致使一第一位元線充電至V0之一第一臨限電壓401時，一第一記憶體單元接通。當該斜升字線電壓達到致使一第二位元線充電至V1之一第二臨限電壓402時，一第二記憶體單元接通。當該斜升字線電壓達到致使一第三位元線充電至V2之一第三臨限電壓403時，一第三記憶體單元接通。當該斜升字線電壓達到致使一第四位元線充電至V3之一第四臨限電壓404時，一第四記憶體單元接通。最終，當該斜升字線電壓達到致使一第五位元線充電至V4之一第五臨限電壓405時，一第五記憶體單元接通。

當該感測操作已完成時，選擇閘極汲極控制信號返回降低至0 V。此係各個臨限電壓V0-V4於其相應之位元線上穩定之點407。

在一讀取操作期間使用一位元線箝位控制電壓BLCLAMP來區別與一電路組合之各個臨限電壓位準V0-V4以用於讀取該等臨限電壓。隨後分別參照圖5及圖7更詳細

地闡述BLCLAMP電壓及其相關聯電路之操作。

圖5圖解說明用於讀取如由圖3及圖4之實施例產生之一MLC記憶體之不同電壓位準之一方法之一個實施例之一時序圖。該時序圖之感測時間501部分可囊括圖3之實施例或圖4之實施例。因此，圖5中所圖解說明之讀取操作在此等感測操作中之一者之後發生。隨後與圖7之讀取電路同時地論述圖5之時序圖。

在該讀取操作期間，將不同之電壓位準施加至圖7之BLCLAMP電晶體701以便在各個臨限電壓V0-V4之間加以區分。施加至BLCLAMP電晶體701之控制閘極之電壓愈大，來自位元線之被允許以自位元線至感測放大器電路之方式穿過該電晶體以用於讀取之電壓愈大。

在圖5之時序圖中可見，一第一讀取脈衝READ L3跟隨在感測操作501之後。此脈衝係施加至BLCLAMP控制閘極之最低讀取脈衝。此脈衝用於讀取係該感測操作之最低臨限電壓之電壓位準L3。

READ L2脈衝跟隨在初始脈衝之後。READ L2脈衝具有大於READ L3脈衝之一振幅且因此讀取一稍大之臨限電壓。一READ L1跟隨在READ L2脈衝之後且用於給BLCLAMP電晶體加偏壓以便讀取最大之經程式化記憶體單元。所示之最終脈衝用於讀取一經抹除之記憶體單元。在一個實施例中，此係最大之脈衝，此乃因一經抹除之記憶體單元具有任一記憶體單元之最大臨限電壓。

圖5中所示之脈衝僅係出於圖解說明之目的。此等脈衝

之品質及振幅回應於欲讀取之臨限電壓之數目及所讀取之臨限電壓之振幅而變化。

再次參照圖7之讀取電路，一BOOST信號透過一電容器703耦合至該電路。在某些實施例中，該BOOST信號可用於增加來自位元線之信號之振幅以使得感測放大器電路更佳地將其讀取。完成此而不會影響該信號中所含有之資訊。

一位元線控制BLC電晶體705由一控制信號用來啟用及停用讀取功能。此電晶體705之控制閘極上之一邏輯高(例如，5 V)使得來位元線之信號能夠被感測放大器電路讀取。

圖7之讀取電路耦合至一感測放大器電路，該感測放大器電路執行BLCLAMP及BLC信號允許穿過的所偵測之臨限電壓與一參考臨限電壓之比較。在一MLC記憶體裝置中，該感測放大器需要針對每一單元執行多個比較。由於每一單元可儲存兩個或兩個以上之資料位元，因此每一位元可具有至少四個可能之臨限電壓位準。該感測放大器電路應能夠在每一不同之臨限電壓位準之間加以區分。

圖7之讀取電路僅係出於圖解說明之目的。諸多不同之電路可用於使該感測器電路能夠自一位元線讀取一信號。

圖6圖解說明用於MLC讀取操作、程式檢驗操作或需要一感測方案之任何其他操作期間之感測之一方法之另一替代實施例之一信號時序圖。除了該讀取操作係與感測操作大致同時執行之外，該感測方案大致類似於圖3中所圖解

說明之實施例。

在圖6之實施例中，將源極接地且將未選定字線預充電至大約5 V-6 V。在一個實施例中，將未選定字線預充電至至少4.5 V以便使最大臨限電壓通過。將位元線預充電至大約1.5 V且使選擇閘極汲極控制信號變高(例如，5 V)以接通選擇閘極汲極電晶體。

隨著選定字線斜升電壓自0 V增加至其最大電壓(例如，3.5 V)，在字線斜升電壓期間之不同時間下產生BLCLAMP脈衝。在一個實施例中，將BLCLAMP脈衝施加至與圖7中所圖解說明及先前所闡述之讀取電路相同之讀取電路。

BLCLAMP電晶體701藉由BLCLAMP脈衝之選通用於檢查選定記憶體單元藉由斜升電壓之接通。該記憶體單元已接通之事實指示該斜升電壓已達到該記憶體單元之臨限電壓。每當BLCLAMP電晶體701接通時，感測放大器電路即執行所偵測之電壓與一參考電壓之一比較以確定該記憶體單元之當前臨限電壓。

圖8圖解說明一記憶體裝置800之一功能性方塊圖。記憶體裝置800耦合至一外部控制器810。控制器810可係一微處理器或某一其他類型之控制電路。記憶體裝置800及控制器810形成一記憶體系統820之一部分。記憶體裝置800已被簡化以集中於該記憶體之有助於理解本發明之特徵上。

記憶體裝置800包含一非揮發性記憶體單元陣列830，例如先前在圖3中所圖解說明之一個陣列。記憶體陣列830係

配置成字線列及位元線行組成之記憶庫。在一個實施例中，記憶體陣列830之行由記憶體單元串聯串組成，如圖1中所圖解說明。如此項技術中所眾所周知，單元至位元線之連接確定陣列係一NAND架構、一AND架構還是一NOR架構。

提供位址緩衝器電路840以鎖存經由I/O電路860提供之位址信號。由一列解碼器844及一行解碼器846接收並解碼位址信號以存取記憶體陣列830。得益於本闡述之熟習此項技術者將瞭解，位址輸入連接之數目相依於記憶體陣列830之密度及架構。亦即，該等位址之數目隨著所增加之記憶體單元計數及所增加之記憶庫與塊計數兩者而增加。

記憶體裝置800藉由使用感測放大器電路850感測記憶體陣列行中之電壓或電流改變來讀取記憶體陣列830中之資料。在一個實施例中，感測放大器電路850經耦合以讀取且鎖存來自記憶體陣列830之一資料列。包含資料輸入及輸出緩衝器電路860以用於經由複數個資料連接862與控制器810進行雙向資料通信以及位址通信。提供寫入電路855以將資料寫入至記憶體陣列。

記憶體控制電路870將自外部控制器810提供於控制連接872上之信號解碼。此等信號用於控制記憶體陣列830上之操作，包含資料讀取、資料寫入(程式化)及抹除操作。記憶體控制電路870可係產生記憶體控制信號之一狀態機、一定序器，或某一其他類型之控制電路。在一個實施例中，記憶體控制電路870經組態以執行本發明之感測方法

之該等實施例。

圖8中所圖解說明之快閃記憶體裝置已經簡化以促進對記憶體特徵之一基本理解。熟習此項技術者已知快閃記憶體之內部電路及功能之一更詳細理解。

結論

總而言之，一或多個實施例使用一單個讀取操作及多個比較以確定一記憶體單元已程式化至多個臨限電壓中之哪一者。可藉由由一感測放大器將位元線電壓與一參考臨限電壓進行比較來將此完成。該感測放大器中之多個比較操作之執行快於選定位元線及字線之先前技術充電及放電。

儘管本文已圖解說明並闡述具體實施例，但熟習此項技術者將瞭解，旨在達成相同目的之任一配置均可替代所示之具體實施例。熟習此項技術者將明瞭本發明之諸多修改。因此，此申請案意欲涵蓋本發明之任何修改或變化形式。其明顯意圖係本發明僅由以下申請專利範圍及其等效內容限制。

【圖式簡單說明】

圖1顯示記憶體單元之串聯NAND串之一個實施例之示意圖；

圖2顯示根據圖1之記憶體單元之一 V_t 分佈之一個實施例；

圖3顯示用於MLC讀取及程式檢驗操作之感測之一方法之一個實施例之一信號時序圖；

圖4顯示用於MLC讀取及程式檢驗操作之感測之一方法

之一替代實施例之一信號時序圖；

圖5顯示用於讀取MLC記憶體之不同級之一方法之一個實施例之一信號時序圖；

圖6顯示用於感測MLC讀取及程式檢驗操作之一方法之另一替代實施例之一信號時序圖；

圖7顯示用於根據圖5及圖6之時序圖讀取MLC記憶體之一電路；及

圖8顯示併入用於感測之方法之本實施例之一記憶體系統之一個實施例之一方塊圖。

【主要元件符號說明】

- 101 記憶體陣列(記憶體單元)
- 104 串聯串
- 105 串聯串
- 106 源極線
- 112 汲極選擇閘極
- 113 汲極選擇閘極
- 114 汲極選擇閘極控制線SG(D)
- 116 源極選擇閘極
- 117 源極選擇閘極
- 118 源極選擇閘極控制線SG(S)
- 701 BLCLAMP電晶體
- 703 電容器
- 705 電晶體
- 800 記憶體裝置

- 810 外部控制器
- 820 記憶體系統
- 830 非揮發性記憶體單元陣列
- 840 位址緩衝器電路
- 844 列解碼器
- 846 行解碼器
- 850 感測放大器電路
- 855 寫入電路
- 860 資料輸入及輸出緩衝器電路
- 862 資料連接
- 870 記憶體控制電路
- 872 控制連接

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98131275

※申請日： 98.9.16 ※IPC 分類：G11C 16/26 (2006.01)

一、發明名稱：(中文/英文) G11C 7/14 (2006.01)

非揮發性記憶體裝置中感測記憶體讀取及程式檢驗操作

SENSING FOR MEMORY READ AND PROGRAM VERIFY
OPERATIONS IN A NON-VOLATILE MEMORY DEVICE

二、中文發明摘要：

本發明揭示用於在一記憶體裝置中感測之方法、一記憶體裝置及一記憶體系統。在此一個感測方法中，執行一單個讀取操作連同與一參考臨限值準之多個感測放大器電路比較以確定一選定記憶體單元之一狀態。當一斜升電壓達到該選定記憶體單元所程式化到的臨限電壓時，該斜升電壓接通該選定記憶體單元。在一個實施例中，該所接通之記憶體單元使其相應之位元線放電。

三、英文發明摘要：

Methods for sensing in a memory device, a memory device, and a memory system are disclosed. In one such sensing method, a single read operation with multiple sense amplifier circuit comparisons to a reference threshold level are performed to determine a state of a selected memory cell. A ramped voltage turns on the selected memory cell when the ramped voltage reaches the threshold voltage to which the selected memory cell is programmed. In one embodiment, the turned on memory cell discharges its respective bit line.

七、申請專利範圍：

1. 一種用於在一記憶體裝置中進行感測之方法，該方法包括：

將未選定記憶體單元預充電至一通過電壓；

將至少一個資料線預充電至一第一電壓位準；

將一源極線接地；及

將一斜升電壓施加至至少一個選定記憶體單元，當該斜升電壓隨後達到大致等於該至少一個選定記憶體單元之一臨限電壓之一電壓位準時，該斜升電壓接通該至少一個選定記憶體單元，其中該所接通之記憶體單元使耦合至該所接通之記憶體單元之該至少一個資料線放電。

2. 如請求項1之方法，且其進一步包含在該感測之後產生至少一個讀取脈衝以讀取一電壓位準。
3. 如請求項1之方法，其中預充電包括給耦合至該等未選定記憶體單元之控制閘極之一存取線預充電。
4. 如請求項2之方法，其中該至少一個讀取脈衝包括用於正被讀取之每一電壓位準之一不同讀取脈衝。
5. 如請求項2之方法，且其進一步包含將每一讀取電壓位準與一參考電壓位準進行比較。
6. 如請求項1之方法，且其進一步包含在該感測期間產生至少一個讀取脈衝以讀取一電壓位準。
7. 如請求項1之方法，其中在施加該斜升電壓時之不同時間下產生不同讀取脈衝。
8. 如請求項1之方法，其中將該至少一個資料線自該第一

電壓位準放電至指示該臨限電壓之一第二電壓位準。

9. 如請求項1之方法，且其進一步包括：

接通選擇閘極電晶體，該等選擇閘極電晶體中之每一者將複數個選定記憶體單元中之一相應一者耦合至一不同之資料線。

10. 如請求項9之方法，其中在該感測之後關斷該等選擇閘極汲極電晶體。

11. 如請求項9之方法，其中在該等資料線上之該等電壓穩定時關斷該等選擇閘極汲極電晶體。

12. 如請求項1之方法，且其進一步包含在該感測期間產生複數個讀取脈衝，其中每一讀取脈衝使感測電路能夠感測指示該臨限電壓之該電壓。

13. 如請求項12之方法，且其進一步包含該感測電路執行指示該臨限電壓之每一所感測電壓與至少一個參考電壓之間的複數個比較操作。

14. 如請求項12之方法，其中每一讀取脈衝係由一不同之電壓振幅組成。

15. 如請求項14之方法，其中每一相繼之讀取脈衝皆具有大於前一讀取脈衝之一電壓振幅。

16. 一種非揮發性記憶體裝置，其包括：

一記憶體陣列，其包括耦合至字線及位元線之複數個記憶體單元，該記憶體陣列進一步包括一源極線；及

記憶體控制電路，其耦合至該記憶體陣列且經組態以控制一感測操作，該感測操作給未選定字線預充電、將

該源極線接地、接通選擇閘極電晶體並控制耦合至一選定字線之一斜升電壓之產生，其中當該斜升電壓達到每一選定記憶體單元之一臨限電壓時，接通耦合至該選定字線之每一選定記憶體單元，以使得每一所接通之記憶體單元使其所耦合到的一位元線放電。

17. 如請求項 16 之非揮發性記憶體裝置，其中該裝置係一 NAND 快閃記憶體裝置且該複數個記憶體單元係浮動閘極記憶體單元。

18. 一種記憶體系統，其包括：

一控制器，其用於產生記憶體控制信號；及

一非揮發性記憶體裝置，其耦合至該控制器且回應於該等記憶體控制信號而操作，該記憶體裝置包括：

一記憶體陣列，其包括耦合至一源極線之複數個記憶體單元；及

記憶體控制電路，其耦合至該記憶體陣列以回應於該等記憶體控制信號而控制該記憶體陣列之操作，其中該控制電路經組態以控制一感測操作，該感測操作給未選定記憶體單元預充電、給該源極線預充電、接通一選擇閘極及極電晶體以使選定記憶體單元能夠對一資料線進行存取並控制耦合至選定記憶體單元之一斜升電壓，該等選定記憶體單元在該斜升電壓達到該選定記憶體單元程式化到的一臨限電壓時接通以使得該所接通之記憶體單元給其相應之資料線充電。

19. 如請求項 18 之記憶體系統，其中該複數個記憶體單元係

耦合至成列之字線及成行之位元線，其中記憶體單元行係由記憶體單元之一NAND串聯串組成。

20. 如請求項18之記憶體系統，其中該等記憶體控制信號包括程式化及抹除控制信號。

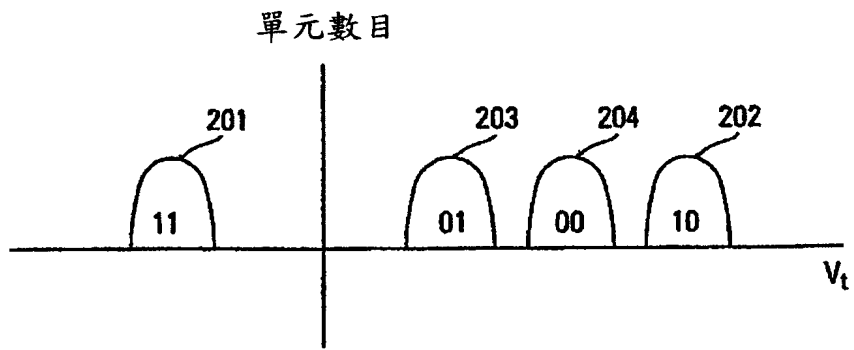


圖2

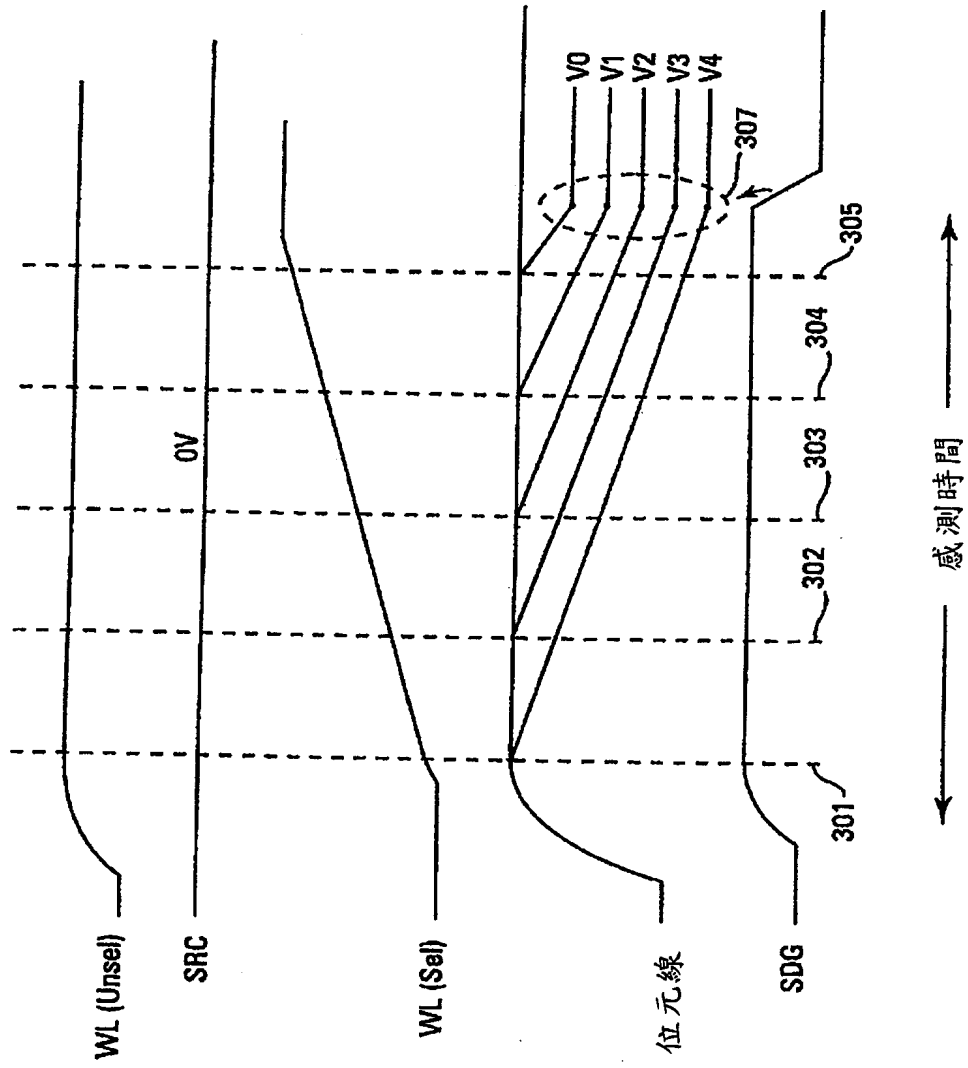


圖 3

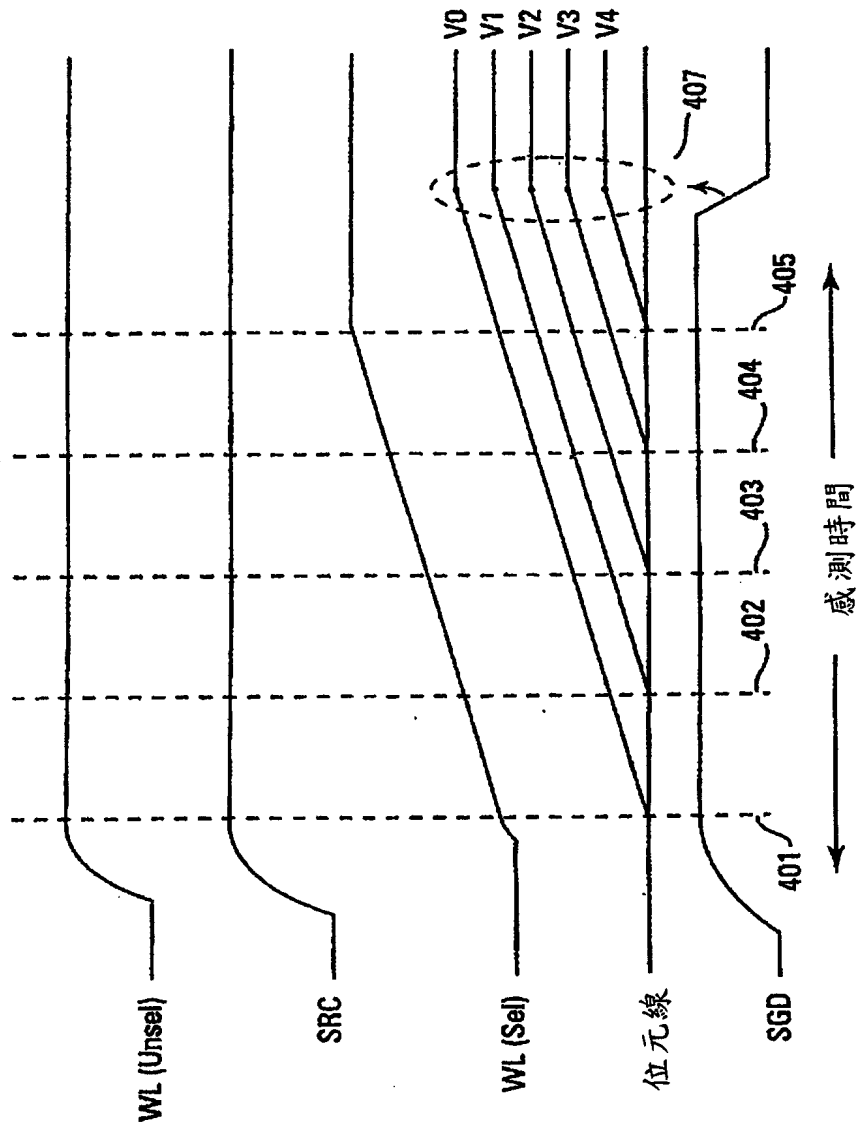


圖 4

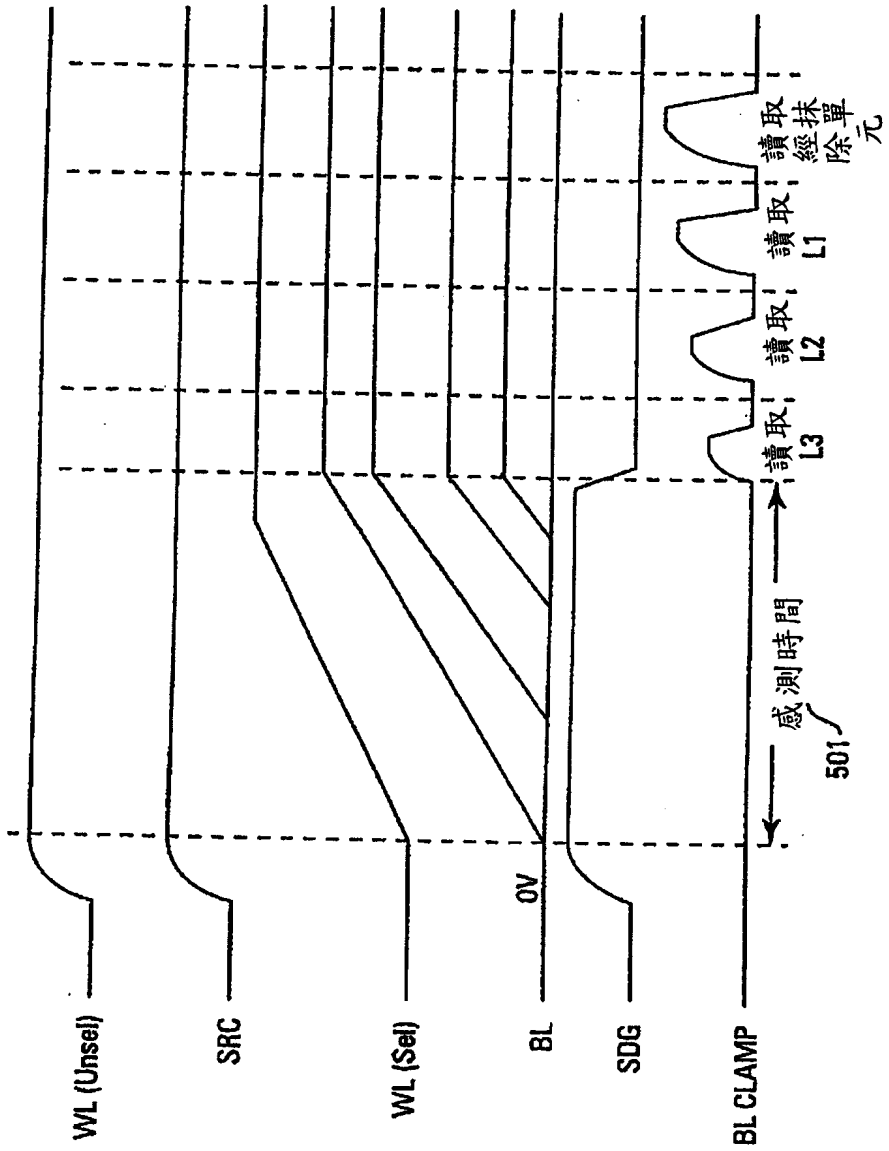


圖 5

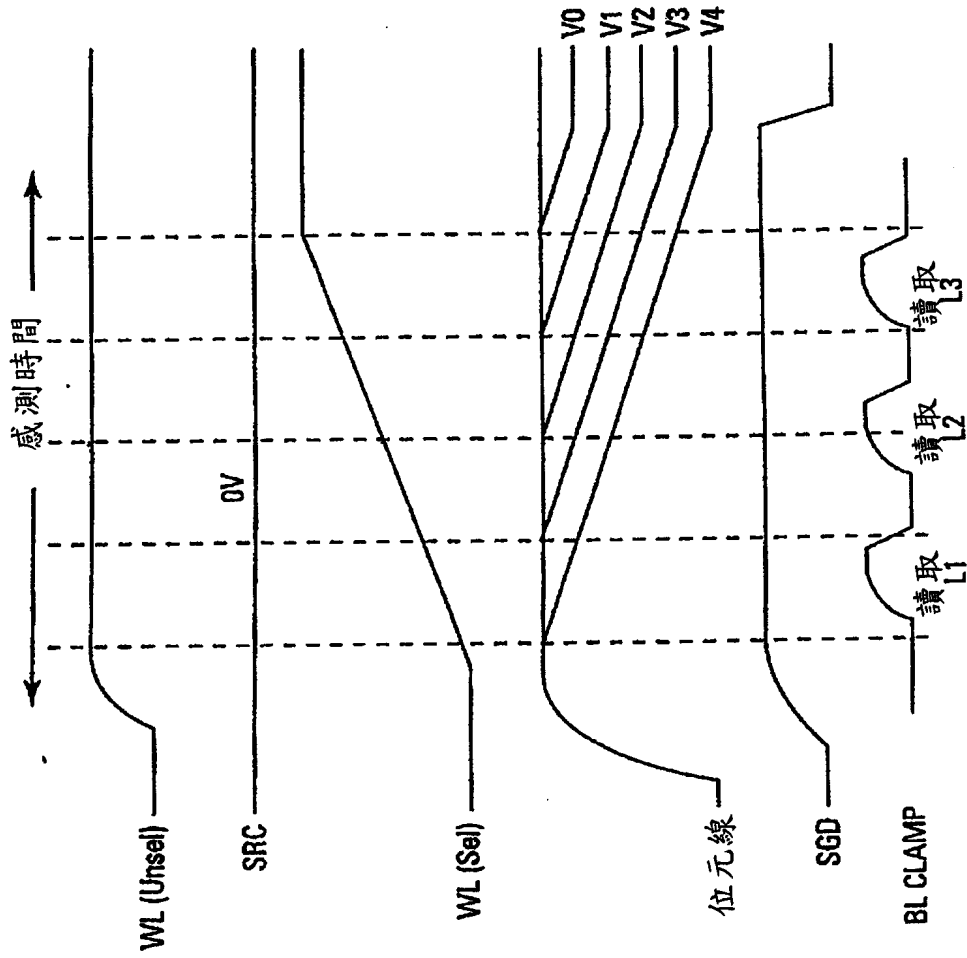


圖 6

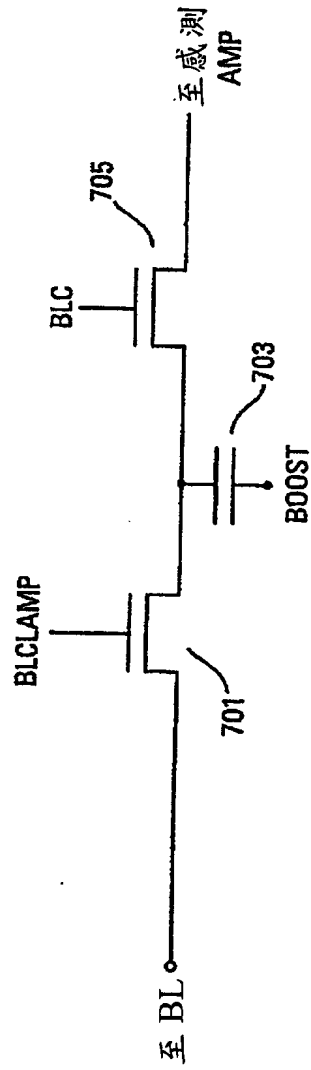


圖 7

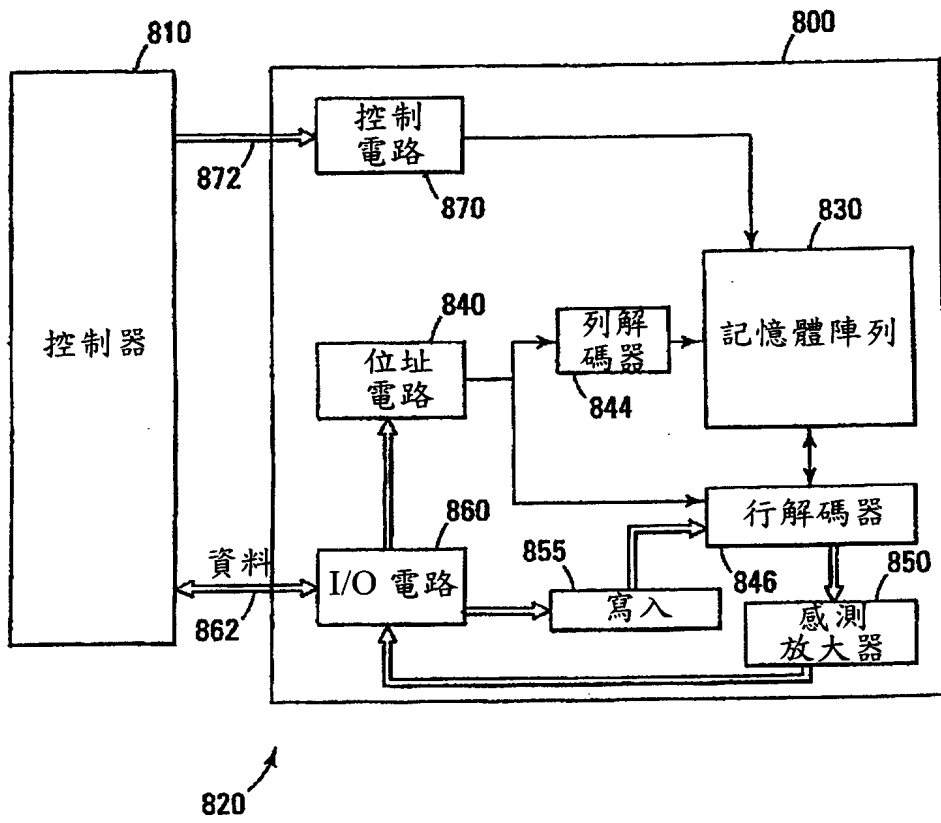


圖 8

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)