

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 2 月 17 日 (2005.2.17)

【公開番号】特開 2002-50947 (P2002-50947A)

【公開日】平成 14 年 2 月 15 日 (2002.2.15)

【出願番号】特願 2000-232739 (P2000-232739)

【国際特許分類第 7 版】

H 0 3 K 17/08

H 0 1 L 27/04

H 0 1 L 21/822

H 0 3 K 17/687

H 0 3 K 19/003

H 0 3 K 19/0944

【F I】

H 0 3 K 17/08 C

H 0 3 K 19/003 E

H 0 1 L 27/04 B

H 0 1 L 27/04 H

H 0 3 K 17/687 A

H 0 3 K 19/094 A

【手続補正書】

【提出日】平成 16 年 3 月 15 日 (2004.3.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

p チャンネルまたは n チャンネルのいずれか一方の導電型の MOS トランジスタが集積形成され、かつ出力端子、制御端子、共通端子を有する半導体集積回路であって、
 上記出力端子にドレイン、上記制御端子にゲート、上記共通端子にソースがそれぞれ接続されて、上記出力端子と共通端子との間に通電される電流を上記制御端子に与えられる制御電圧によって制御するパワー MOS トランジスタと、
 前記電流を電圧に変換する電流検出用回路と、
 ゲート・ソース間しきい値電圧が少なくとも等価的に異なるように形成され、かつそれぞれのドレインとゲートが互いに同電位となるように共通接続された一対の MOS トランジスタを有し、両トランジスタのドレインが共通接続され、この共通接続点が電流制限回路を介して上記制御端子に接続されることにより、各トランジスタにそれぞれ上記制御端子からドレイン電流が供給されるとともに、上記しきい値電圧が低い方のトランジスタのソースがインピーダンス回路を介して上記共通端子に接続され、かつ上記しきい値電圧が高い方のトランジスタのソースが上記共通端子に接続されることにより、上記インピーダンス回路の両端から両トランジスタのゲート・ソース間しきい値電圧の差をパラメータとする基準電圧を発生する基準電圧発生回路と、
 上記制御端子と上記共通端子との間に与えられる制御電圧によって動作し、上記電流検出用回路から得られる電流検出電圧と上記基準電圧を比較する比較回路と、
 上記比較回路の比較出力を受けて上記パワー MOS トランジスタのゲート電圧を制御するゲート制御用 MOS トランジスタが、

同一半導体基板に形成されていることを特徴とする半導体集積回路。

【請求項 2】

前記パワー MOS トランジスタにカレントミラー接続されて前記電流を所定のミラー比で流す電流検出用 MOS トランジスタを有し、前記電流検出用回路はその電流検出用トランジスタに流れるミラー電流を電圧に変換することを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記半導体基板に形成されているトランジスタがすべて n チャネル MOS トランジスタであることを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】

前記基準電圧発生回路が前記比較回路の最低動作電圧よりも低い入力電圧を受けることによって予め設定された基準電圧を発生するように構成されていることを特徴とする請求項 1 から 3 のいずれかに記載の半導体集積回路。

【請求項 5】

前記比較回路は、その出力状態を自己保持するラッチ機能を含んでいることを特徴とする請求項 1 から 4 のいずれかに記載の半導体集積回路。

【請求項 6】

前記パワー MOS トランジスタのゲートに抵抗素子が直列に挿入されるとともに、このゲート直列抵抗素子のゲート側と共通端子の間に前記ゲート制御用 MOS トランジスタのドレインとソースが並列に接続されて、上記パワー MOS トランジスタのゲート電圧を制御する回路を形成していることを特徴とする請求項 1 から 5 のいずれかに記載の半導体集積回路。

【請求項 7】

前記基準電圧発生回路が前記比較回路の最低動作電圧よりも低い入力電圧で所定の基準電圧を発生するように、前記一对の MOS トランジスタのゲート・ソース間しきい値電圧またはそのしきい値電圧の差によって生成される基準電圧が設定されていることを特徴とする請求項 1 から 6 のいずれかに記載の半導体集積回路。

【請求項 8】

前記電流制限回路が高抵抗の多結晶シリコン層によって形成されていることを特徴とする請求項 1 から 7 のいずれかに記載の半導体集積回路。

【請求項 9】

前記パワー MOS トランジスタが多結晶シリコンゲートを用いて形成されていることを特徴とする請求項 1 から 8 のいずれかに記載の半導体集積回路。

【請求項 10】

前記基準電圧発生回路を形成する一对の MOS トランジスタは、チャネル層の不純物濃度を異ならせることによって互いに異なるゲート・ソース間しきい値を付与されていることを特徴とする請求項 1 から 9 のいずれかに記載の半導体集積回路。

【請求項 11】

前記基準電圧発生回路を形成する一对の MOS トランジスタは、ゲート幅とチャネル長の比を異ならせることによって互いに異なるゲート・ソース間しきい値を付与されていることを特徴とする請求項 1 から 10 のいずれかに記載の半導体集積回路。

【請求項 12】

前記基準電圧発生回路を形成する一对の MOS トランジスタは、ドレインに直列に介在する抵抗によって互いに異なるゲート・ソース間しきい値が等価的に付与されていることを特徴とする請求項 1 から 11 のいずれかに記載の半導体集積回路。

【請求項 13】

前記制御端子に与えられる制御電圧によって動作する温度検出回路と、この温度検出回路が所定以上の温度を検出したときに出力状態を反転させて自己保持するラッチ回路と、このラッチ回路の保持出力をゲートに受けて前記パワー MOS トランジスタのゲート電圧を制御するゲート電圧制御用 MOS トランジスタが前記半導体基板に形成されていることを

特徴とする請求項 1 から 1 2 の半導体集積回路。

【請求項 1 4】

前記基準電圧発生回路において、ソースがインピーダンス回路を介して共通端子に接続されている一方の MOS トランジスタは、そのバックゲートが共通端子と同電位に接続されていることを特徴とする請求項 1 から 1 3 のいずれかに記載の半導体集積回路。

【請求項 1 5】

前記出力端子は前記半導体基板から、前記共通端子はパワー MOS トランジスタ上に形成された絶縁膜上の電極層からそれぞれ取り出されることを特徴とする請求項 1 から 1 4 のいずれかに記載の半導体集積回路。

【請求項 1 6】

前記 MOS トランジスタは、p チャネル導電型の MOS トランジスタで構成されることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 1 7】

前記 MOS トランジスタは、n チャネル導電型の MOS トランジスタで構成されることを特徴とする請求項 1 に記載の半導体集積回路。