



(12) 发明专利申请

(10) 申请公布号 CN 104582330 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201410857632. X

H05K 3/42(2006. 01)

(22) 申请日 2014. 12. 31

(71) 申请人 广州兴森快捷电路科技有限公司

地址 510663 广东省广州市广州高新技术产
业开发区科学城光谱中路 33 号

申请人 宜兴硅谷电子科技有限公司
深圳市兴森快捷电路科技股份有限
公司

(72) 发明人 袁凯华 李艳国 刘昭亮

(74) 专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 吴平

(51) Int. Cl.

H05K 3/46(2006. 01)

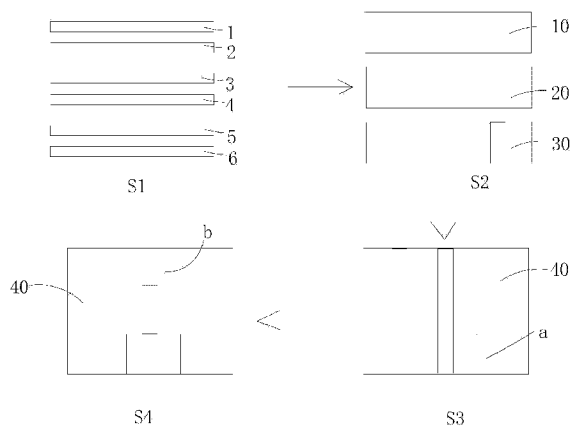
权利要求书1页 说明书3页 附图3页

(54) 发明名称

埋盲孔结构的 ATE 板的制作方法

(57) 摘要

本发明涉及一种埋盲孔结构的 ATE 板的制作方法。包括子板制作步骤：该子板包括三对芯板，先是该子板内层图形的制作，即内层微小线路；将三对芯板压合成第一多层板、第二多层板和第三多层板。多层板制作步骤：对第一多层板和第三多层板钻盲孔。总压合步骤：将第一多层板、第二多层板和第三多层板压合成第四多层板，对该第四多层板钻通孔；钻该通孔时，小间距 (Pitch) 须采用微小机械通孔来钻孔。埋孔步骤：对第四多层板钻控深孔，实现埋孔。钻控深孔时，需将深度控制在不钻到第二多层板的表层。本发明避免采用叠孔流程，采用微小机械通孔、微小线路走线的方式，有效地改善了埋盲孔 ATE 板叠孔报废率高和对位偏差引起的对位问题。



1. 一种埋盲孔结构的 ATE 板的制作方法, 其特征在于, 包括依序进行的以下步骤:

子板制作步骤: 该子板包括依次排列的第一芯板、第二芯板、第三芯板、第四芯板、第五芯板和第六芯板; 首先该子板内层图形的制作工序, 该子板内层图形包括内层微小线路; 该第一芯板和第二芯板压合成第一多层板、该第五芯板和第六芯板压合成第三多层板的工序; 该第一多层板和第三多层板经过处理后产生涨缩值;

多层板制作步骤: 该第一多层板、和第三多层板钻盲孔的工序; 该第一多层板和第三多层板的图形制作的工序;

总压合步骤: 将依次排列的该第一多层板、第三芯板、第四芯板和第三多层板压合成第四多层板的工序; 对该第四多层板钻通孔的工序, 钻该通孔时, 小间距采用微小机械通孔钻孔;

埋孔制作步骤: 该第四多层板钻控深孔的工序, 实现埋孔; 钻控深孔时, 该控深孔的深度控制在不钻到该第二多层板的外表层。

2. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 在该总压合步骤之前, 根据该第一多层板和第三多层板的涨缩值进行对该第三芯板和第四芯板的图形拉伸。

3. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 还包括该子板制作步骤中, 该第三芯板和第四芯板压合成第二多层板;

在该多层板制作步骤中该第二多层板图形制作工序;

在该总压合步骤中, 将依次排列的该第一多层板、第二多层板和第三多层板压合成该第四多层板的工序。

4. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 在该子板制作步骤中还包括对该子板进行内层蚀刻、内层 AOI 和棕化的工序。

5. 如权利要求 1 或 3 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 该第一多层板、第二多层板和第三多层板图形制作工序之前, 还包括对该第一多层板、第二多层板和第三多层板依次进行沉铜、全板电镀的工序; 以及该第一多层板、第二多层板和第三多层板图形制作工序之后依次进行线路蚀刻、内层 AOI 和棕化的工序。

6. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 在该总压合步骤中该第四多层板的沉铜、全板电镀和镀锡的工序。

7. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 在该埋孔制作步骤之后, 该第四多层板的外层图形制作、图形电镀、外层蚀刻、外层 AOI、阻焊、字符、外形、电子测试的工序。

8. 如权利要求 1 所述的埋盲孔结构的 ATE 板的制作方法, 其特征在于, 该微小机械通孔的孔径小于等于 6mil。

埋盲孔结构的 ATE 板的制作方法

技术领域

[0001] 本发明涉及一种 ATE 板的工艺方法,尤其涉及一种复杂埋盲孔结构的小间距 (Pitch) ATE 板的制作方法。

背景技术

[0002] 随着智能手机和平板电脑等移动智能终端向小型化、智能化、节能化等方面发展,芯片的高性能、集成化趋势越来越明显,对芯片制造的技术要求也越来越严苛。因此,芯片呈现出多样化、更新换代快等特点,对于用于芯片测试的 ATE 板的制造技术需求也越来越高。参阅图 1 和图 2,在 ATE 板上设计通孔、埋孔、盲孔结构,间距 (Pitch) 越来越小则是必然趋势,既减少了层数,也减少了生产成本。通常的通孔、埋孔、盲孔结构的 ATE,一般的通埋盲孔在顶层至第 n 层,第 n+1 层至第 m 层,第 m+1 层至底层,间距 (Pitch) 的距离一般在 0.50mm 以上;其中还包括多个层板分几步骤来完成钻孔,再将其孔对齐叠放的叠孔方式。这种设计对于常规的结构是没问题的,参阅图 3 和图 4,但当埋盲结构更加复杂、间距 (Pitch) 更小,如 pitch 0.40mm,且其之间需要走线时,采用现有的常规方法制作,易造成以下问题:(1) 盲孔的制作困难,叠孔的合格率受到相应的影响;(2) 小间距 (Pitch) 且走线的情况下,易造成内层短路,影响综合合格率。

发明内容

[0003] 本发明的目的在于克服上述现有技术的不足之处而提供一种通过避免采用“叠孔”的流程,采用微小机械通孔、微小线路走线的方式的埋盲孔结构的 ATE 板的制作方法。

[0004] 为解决上述技术问题,本发明提供如下技术方案:

[0005] 一种埋盲孔结构的 ATE 板的制作方法,包括依序进行的以下步骤:

[0006] 子板制作步骤:该子板包括依次排列的第一芯板、第二芯板、第三芯板、第四芯板、第五芯板和第六芯板;首先该子板内层图形的制作工序,该子板内层图形包括内层微小线路;该第一芯板和第二芯板压合成第一多层板、该第五芯板和第六芯板压合成第三多层板的工序;该第一多层板和第三多层板经过处理后产生涨缩值;

[0007] 多层板制作步骤:该第一多层板、和第三多层板钻盲孔的工序;该第一多层板和第三多层板的图形制作的工序;

[0008] 总压合步骤:将依次排列的该第一多层板、第三芯板、第四芯板和第三多层板压合成第四多层板的工序;对该第四多层板钻通孔的工序,钻该通孔时,小间距采用微小机械通孔钻孔;

[0009] 埋孔制作步骤:该第四多层板钻控深孔的工序,实现埋孔;钻控深孔时,该控深孔的深度控制在不钻到该第二多层板的外表层。

[0010] 在进一步优化的具体实施方式中,在该总压合步骤之前,根据该第一多层板和第三多层板的涨缩值进行对该第三芯板和第四芯板的图形拉伸。

[0011] 在进一步优化的具体实施方式中,还包括该子板制作步骤中,该第三芯板和第四

芯板压合成第二多层板；

[0012] 在该多层板制作步骤中该第二多层板图形制作工序；

[0013] 在该总压合步骤中，将依次排列的该第一多层板、第二多层板和第三多层板压合成该第四多层板的工序。

[0014] 在进一步优化的具体实施方式中，在该子板制作步骤中还包括对该子板进行内层蚀刻、内层 AOI 和棕化的工序。

[0015] 在进一步优化的具体实施方式中，该第一多层板、第二多层板和第三多层板图形制作工序之前，还包括对该第一多层板、第二多层板和第三多层板依次进行沉铜、全板电镀的工序；以及该第一多层板、第二多层板和第三多层板图形制作工序之后依次进行线路蚀刻、内层 AOI 和棕化的工序。

[0016] 在进一步优化的具体实施方式中，在该总压合步骤中该第四多层板的沉铜、全板电镀和镀锡的工序。

[0017] 在进一步优化的具体实施方式中，在该埋孔制作步骤之后，该第四多层板的外层图形制作、图形电镀、外层蚀刻、外层 AOI、阻焊、字符、外形、电子测试的工序。

[0018] 在进一步优化的具体实施方式中，该微小机械通孔的孔径小于等于 6mil。

[0019] 采用上述技术方案后，本发明至少具有如下有益效果：

[0020] 本发明埋盲孔结构的 ATE 板的制作方法是一种针对复杂埋盲孔结构、间距 (Pitch) 更小，且需要走线的 ATE 板的制作方法，先对子板的内层的微小电路图形制作工序，再通过对子板的第一次压合和第二次的总压合，对总压合后的多层板进行通孔、盲孔、埋孔的工序，该钻通埋盲孔采用微小机械通孔，该 ATE 板的制作方法避免采用“叠孔”的流程，有效地改善了埋盲孔 ATE 板的叠孔报废率高，以及对位偏差引起的对位问题。

附图说明

[0021] 图 1 是现有技术的 ATE 板埋盲孔结构示意图。

[0022] 图 2 是现有技术的埋盲孔结构的间距示意图。

[0023] 图 3 是现有技术一种复杂 ATE 板埋盲孔结构示意图。

[0024] 图 4 是现有技术一种复杂埋盲孔的小间距结构示意图。

[0025] 图 5 是本发明实施例中 ATE 板制作方法的流程示意图。

[0026] 图 6 是本发明实施例中子板压合步骤的示意图。

[0027] 其中，1、第一芯板，2、第二芯板，3、第三芯板，4、第四芯板，10、第一多层板，20、第二多层板，30、第三多层板，40、第四多层板，a、盲孔，b、控深孔。

具体实施方式

[0028] 需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的技术特征可相互结合，下面结合附图和具体实施例对本发明作进一步详细说明。

[0029] 参阅图 5 所示，本发明是一种埋盲孔结构的 ATE 板的制作方法，其制作步骤包括：

[0030] 步骤 S1、子板制作步骤：该子板包括第一芯板 1、第二芯板 2、第三芯板 3、第四芯板 4、第五芯板 5 和第六芯板 6，首先是该子板内层图形的制作，该子板内层图形包括内层微小线路；该第一芯板 1 和第二芯板 2 压合成第一多层板 10、该第三芯板 3 和第四芯板 4 压合

成第二多层板 20、该第五芯板 5 和第六芯板 6 压合成第三多层板 30。在对该子板压合成多层板之前还依次包括以下工艺流程：该子板内层蚀刻、该子板内层 A0I 和该子板棕化。

[0031] 步骤 S2、多层板制作步骤：对该第一多层板 10、和第三多层板 30 钻盲孔 a；接着是对该第一多层板 10、第二多层板 20 和第三多层板 30 依次进行沉铜、全板电镀、图形制作、线路蚀刻、内层 A0I 和棕化。

[0032] 步骤 S3、总压合步骤：将该第一多层板 10、第二多层板 20 和第三多层板 30 压合成第四多层板 40，对该第四多层板 40 钻通孔；钻该通孔时，小间距 (Pitch) 须采用微小机械通孔来钻孔。然后是第四多层板 40 沉铜、全板电镀、以及镀锡。该步骤 S3 中的该微小机械通孔的孔径为 6mil。

[0033] 步骤 S4、埋孔步骤：对第四多层板 40 钻控深孔 b，实现埋孔。钻控深孔 b 时，需将深度控制在不钻到第二多层板 20 的表层。然后是外层图形的制作、图形电镀、外层蚀刻、外层 A0I、阻焊、字符、外形、电子测试，最好进行终检、包装和出货。

[0034] 在优选的实施例中，见附图 6，步骤 S1 的子板制作步骤中，该第三芯板 3 和第四芯板 4 可先不进行压合，该第三芯板 3 和第四芯板 4 在步骤 S3 的总压合步骤中直接进行压合。该第三芯板 3 和第四芯板 4 在步骤 S3 的总压合步骤进行之前，需根据该第一多层板 10 和第三多层板 30 的实际涨缩值，及与其相对应的关系进行对该第三芯板 3 和第四芯板 4 的图形拉伸。

[0035] 在优选的实施例中，步骤 S3 中的微小机械通孔的孔径还可以是小于 6mil。

[0036] 在本发明的制作方法中该第一芯板 1、第二芯板 2、第三芯板 3、第四芯板 4、第五芯板 5 和第六芯板 6 可以是一层或以上的层板，在本发明的制作方法中其他控制要点与现有的技术控制点类似，不在赘述。

[0037] 相对于现有技术，本发明一种埋盲孔结构的 ATE 板的制作方法是一种针对复杂埋盲孔结构且小间距 (Pitch) 的 ATE 板的制作方法，由于避免采用“叠孔”的流程，采用微小机械通孔、微小线路走线的方式，有效地改善了埋盲孔 ATE 板的叠孔报废率高，对位偏差引起的对位问题，以及走线易造成内层短路的问题。

[0038] 尽管已经示出和描述了本发明的实施例，对于本领域的普通技术人员而言，可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型，本发明的范围由所附权利要求及其等同范围限定。

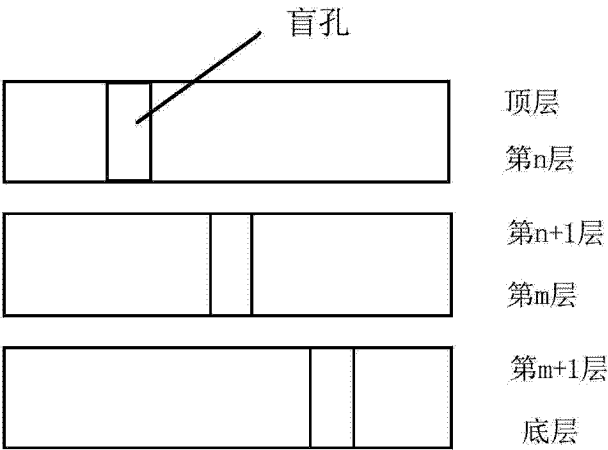


图 1

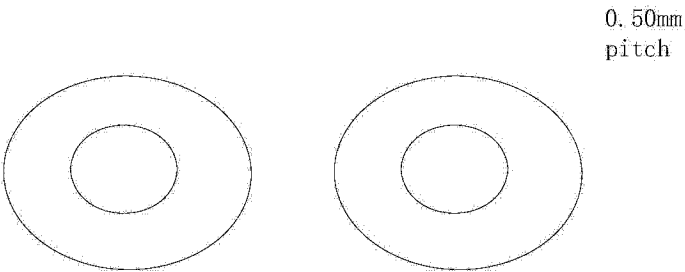


图 2

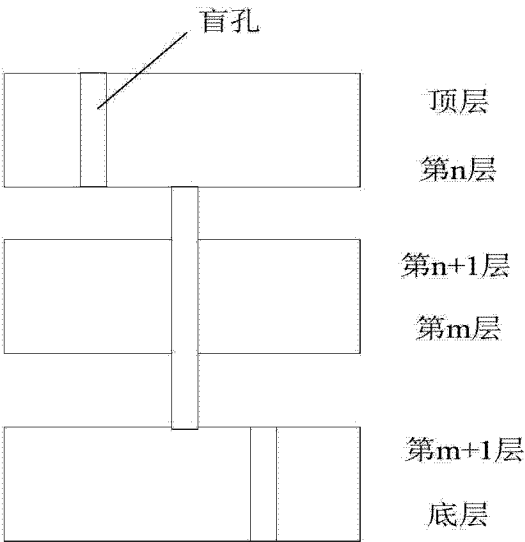


图 3

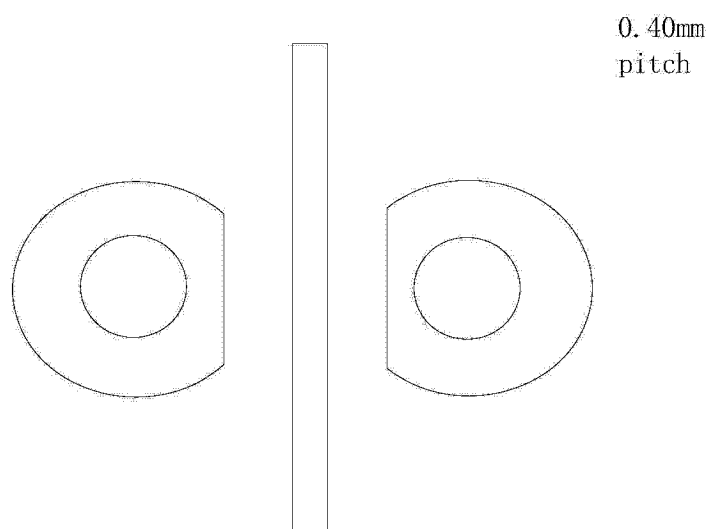


图 4

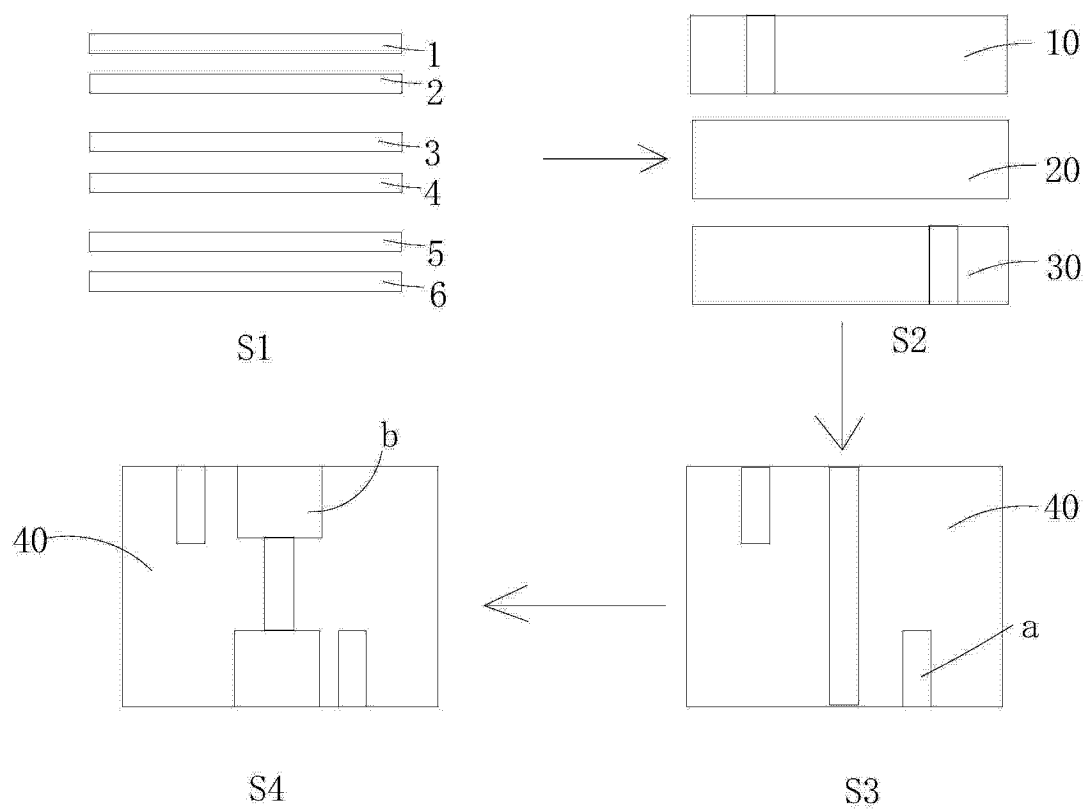


图 5

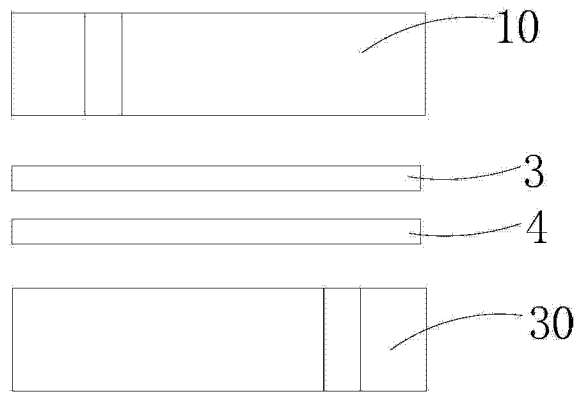


图 6