(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월27일
(11) 등록번호 10-1812896
(24) 등록일자 2017년12월20일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H01L 27/32* (2006.01)
H01L 51/00 (2006.01) *H01L 51/52* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/502 (2013.01)
H01L 27/3209 (2013.01)
(21) 출원번호 10-2016-0123173
(22) 출원일자 2016년09월26일
심사청구일자 2016년09월26일
(56) 선행기술조사문헌
KR1020160066721 A*
JP2001053329 A*
KR1020160074376 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장진
서울특별시 서초구 잠원로 88, 302동 908호(잠원동, 신반포아파트)
황은사
서울특별시 동대문구 경희대로 26, 푸른솔문화관 129호(회기동, 경희대학교)
김효민
서울특별시 동대문구 경희대로 26 (회기동, 경희대학교)
(74) 대리인
김연권

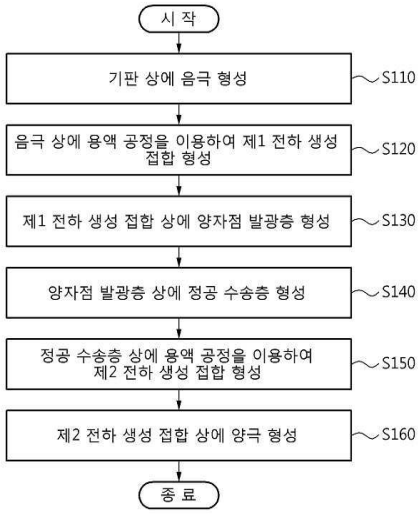
전체 청구항 수 : 총 17 항 심사관 : 복상문

(54) 발명의 명칭 **용액 공정형 전하 생성 접합을 포함하는 양자점 발광소자 및 그 제조 방법**

(57) 요 약

본 발명은 전하 생성 접합층을 포함하는 양자점 발광소자의 구조 및 그 제조방법을 개시한다. 본 발명의 일 실시예에 따른 음극, p형 반도체층 및 n형 반도체층을 포함하는 제1 전하 생성 접합층, 양자점 발광층, 정공 수송층, p형 반도체층 및 n형 반도체층을 포함하는 제2 전하 생성 접합층 및 양극을 포함하고, 상기 제1 전하 생성 접합층 및 제2 전하 생성 접합층을 용액 공정으로 형성하여 전하의 생성 및 주입을 안정화하고, 공정 시간을 단축시키며, 양자점 발광소자의 양극 또는 음극의 일함수 (Work-function)에 대한 문제점을 개선할 수 있는 것을 특징으로 한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 51/0003 (2013.01)
H01L 51/002 (2013.01)
H01L 51/5036 (2013.01)
H01L 51/5088 (2013.01)
H01L 51/5092 (2013.01)
H01L 51/5278 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/323 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 10045269
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업융합원천기술개발
연구과제명 AMOLED TV용 soluble TFT 및 화소 형성 소재/공정 기술 개발
기 여 율 1/1
주관기관 경희대학교 산학협력단
연구기간 2013.05.01 ~ 2018.04.30

명 세 서

청구범위

청구항 1

양자점 발광소자에 있어서,

양극;

상기 양극 상에 형성된 제1 전하 생성 접합층;

상기 제1 전하 생성 접합층 상에 형성된 제1 양자점 발광층;

상기 제1 양자점 발광층 상에 형성된 제1 정공 수송층;

상기 제1 정공 수송층 상에 형성된 제2 전하 생성 접합층;

상기 제2 전하 생성 접합층 상에 형성된 제2 양자점 발광층;

상기 제2 양자점 발광층 상에 형성된 제2 정공 수송층;

상기 제2 정공 수송층 상에 형성된 제3 전하 생성 접합층; 및

상기 제3 전하 생성 접합층 상에 형성된 음극을 포함하고,

상기 제1 전하 생성 접합층 내지 상기 제3 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조인 것을 특징으로 하는 양자점 발광소자.

청구항 2

제1항에 있어서,

상기 제1 전하 생성 접합층 내지 상기 제3 전하 생성 접합층은,

용액 공정을 이용하여 형성되는 것을 특징으로 하는 양자점 발광소자.

청구항 3

제1항에 있어서,

상기 p형 반도체층은,

PEDOT:PSS 또는 첨가물이 혼합된 PEDOT:PSS 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 4

제3항에 있어서,

상기 첨가물은,

그라핀 옥사이드(graphene oxide, GO), 탄소나노튜브 (carbon nanotube, CNT), 바나듐 옥사이드 (vanadium oxide, V_2O_5), 텅스텐 옥사이드 (tungsten oxide, WO_x), 폴리옥시에틸렌 트리데실 에테르(polyoxyethylene tridecyl ether, PTE) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 5

제3항에 있어서,

상기 첨가물은,

상기 PEDOT:PSS 내에 1 부피% 내지 50 부피%로 포함되는 것을 특징으로 하는 양자점 발광소자.

청구항 6

제1항에 있어서,

상기 p형 반도체층은,

산화니켈(NiO) 또는 제1 도펀트로 도핑된 산화니켈(NiO) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 7

제6항에 있어서,

상기 제1 도펀트는,

Sn(주석), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 8

제6항에 있어서,

상기 제1 도펀트는,

상기 산화니켈(NiO) 내에 0.1 atomic% 내지 50 atomic%로 포함되는 것을 특징으로 하는 양자점 발광소자.

청구항 9

제1항에 있어서,

상기 p형 반도체층은,

산화구리(CuO) 또는 제2 도펀트가 도핑된 산화구리(CuO) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 10

제9항에 있어서,

상기 제2 도펀트는,

니켈(Ni), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 11

제9항에 있어서,

상기 제2 도펀트는,

상기 산화구리(CuO) 내에 0.1 atomic% 내지 50 atomic%로 포함되는 것을 특징으로 하는 양자점 발광소자.

청구항 12

제1항에 있어서,

상기 n형 반도체층은,

산화아연(ZnO) 또는 제3 도펀트가 도핑된 산화아연(ZnO) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 13

제12항에 있어서,

상기 제3 도펀트는,

세슘(Cs), 리튬(Li), 알루미늄(Al), 마그네슘(Mg), 인듐(In) 및 갈륨(Ga) 중 적어도 하나 이상을 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 14

제12항에 있어서,

상기 제3 도펀트는,

상기 산화아연(ZnO) 내에 0.1 atomic% 내지 50 atomic%로 포함되는 것을 특징으로 하는 양자점 발광소자.

청구항 15

삭제

청구항 16

삭제

청구항 17

양자점 발광소자에 있어서,

양극;

상기 양극 상에 형성되는 제1 전하 생성 접합층;

상기 제1 전하 생성 접합층 상에 형성되는 발광 유닛; 및

상기 발광 유닛 상에 형성되는 형성되는 음극;

을 포함하고,

상기 발광 유닛은 양자점 발광층, 정공 수송층 및 제2 전하 생성 접합층을 순차적으로 포함하고,

상기 제1 전하 생성 접합층 및 상기 제2 전하 생성 접합층을 2개 이상 포함하는 것을 특징으로 하는 양자점 발광소자.

청구항 18

제17항에 있어서,

상기 제1 전하 생성 접합층 및 상기 제2 전하 생성 접합층은,

용액 공정을 이용하여 형성하는 것을 특징으로 하는 양자점 발광소자.

청구항 19

양자점 발광소자 제조 방법에 있어서,

양극을 형성하는 단계;

상기 양극 상에 제1 전하 생성 접합층을 형성하는 단계;

상기 제1 전하 생성 접합층 상에 제1 양자점 발광층을 형성하는 단계;

상기 제1 양자점 발광층 상에 제1 정공 수송층을 형성하는 단계;

상기 제1 정공 수송층 상에 제2 전하 생성 접합층을 형성하는 단계;

상기 제2 전하 생성 접합층 상에 제2 양자점 발광층을 형성하는 단계;

상기 제2 양자점 발광층 상에 제2 정공 수송층을 형성하는 단계;

상기 제2 정공 수송층 상에 제3 전하 생성 접합층을 형성하는 단계; 및

상기 제3 전하 생성 접합층 상에 음극을 형성하는 단계를 포함하고,

상기 제1 전하 생성 접합층 내지 상기 제3 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조인 것을 특징으로 하는 양자점 발광소자 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 용액 공정에 의해 형성된 전하 생성 접합을 포함하는 양자점 발광소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0003] 발광소자(Light Emitting Device:LED)는 질화갈륨(GaN)계 화합물 반도체로 만들어진 다이오드에 전류가 흐를 때 전자와 홀이 결합하면서 빛을 발하는 현상을 이용한 소자로서, 광소자 및 고출력 전자 소자 개발 분야에서 큰 주목을 받고 있다.

[0004] 최근 들어 고성능, 장수명의 양자점 발광소자 및 유기 발광소자를 제작하기 위한 개발이 꾸준히 이루어지고 있다. 그러기 위해서는 발광소자로의 전하 주입, 주입된 전하의 수송 및 발광소자 내에서의 추가적인 전하의 생성이 매우 중요하다.

[0005] 그리하여, 발광소자 내에 전하가 다음 수송층으로 이동하기 위한 에너지 장벽을 감소시켜주는 역할을 하는 전하 생성 접합층을 추가하였다.

[0006] 그러나, 이러한 전하 생성 접합층으로 사용되는 저분자 P-N 접합층은 액상 형태로 만들기가 매우 어려워 진공 증착 공정으로만 형성하였다.

[0007] 하지만 진공 증착 공정은 대면적 디스플레이 제작 시 기판이나 마스크가 휘어질 수 있고, 저분자를 기화시키기 위한 긴 Tack time (약 1시간)이 필요하다는 단점을 가지고 있다. 그러므로 저비용투자, 대면적 공정이 가능한 전하 생성 접합층을 제작하기 위한 손쉬운 방법이 필요하다.

[0008] 또한, 발광소자는 2개 이상의 발광 유닛을 적층하여 제작하는 텐덤(Tandem) 발광소자의 경우, 각 발광 유닛의

층(layer) 수가 서로 상이하여 공정이 복잡해지는 문제점이 있고, 각 발광 유닛의 구성 물질이 서로 상이하여 재료 원가가 상승되는 문제점이 있으며, 층(layer) 수가 증가하여 구동전압이 상승하여 효율이 저하되는 문제점이 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국 특허등록공보 제10-0540548호, "양자점 발광 소자 및 그의 제조 방법"

(특허문헌 0002) 대한민국 특허등록공보 제10-0642431호, "무기 전자수송층을 포함하는 양자점 발광 다이오드"

(특허문헌 0003) 대한민국 특허등록공보 제10-2016-0071924호", "유기 발광 표시 장치 및 이의 제조 방법

발명의 내용

해결하려는 과제

[0011] 본 발명의 실시예들은 p형 반도체와 n형 반도체층으로 구성된 전하 생성 접합을 포함하는 양자점 발광소자를 형성함으로써, p형 반도체층과 n형 반도체층의 계면에서 전하를 생성하여, 전하의 생성 및 주입을 안정화시키기 위한 것이다.

[0012] 본 발명의 실시예들은 p형 반도체층과 n형 반도체층으로 구성된 전하 생성 접합을 용액 공정으로 형성하여, 공정 시간을 단축시키고, 양자점 발광소자의 상부 전극 또는 하부 전극의 일함수 (Work-function)에 대한 문제점을 개선하기 위한 것이다

[0013] 본 발명의 실시예들은 텐덤(Tandem) 구조의 양자점 발광소자를 형성하여, 저비용으로 고성능의 양자점 발광소자를 제작하기 위한 것이다.

과제의 해결 수단

[0015] 본 발명의 제1 실시예에 따른 양자점 발광소자는 음극, 상기 음극 상에 형성된 제1 전하 생성 접합층, 상기 제1 전하 생성 접합층 상에 형성된 양자점 발광층, 상기 양자점 발광층 상에 형성된 정공 수송층, 상기 정공 수송층 상에 형성된 제2 전하 생성 접합층; 및 상기 제2 전하 생성 접합층 상에 형성된 양극을 포함하고, 상기 제1 전하 생성 접합층 및 상기 제2 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조이다.

[0016] 상기 제1 전하 생성 접합층 및 상기 제2 전하 생성 접합층은 용액 공정을 이용하여 형성될 수 있다.

[0017] 상기 p형 반도체층은, PEDOT:PSS 또는 첨가물이 혼합된 PEDOT:PSS 중 적어도 하나 이상을 포함할 수 있다.

[0018] 상기 첨가물은 그라핀 옥사이드(graphene oxide, GO), 탄소나노튜브 (carbon nanotube, CNT), 바나듐 옥사이드 (vanadium oxide, V205), 텅스텐 옥사이드 (tungsten oxide, WOx), 폴리옥시에틸렌 트리데실 에테르 (polyoxyethylene tridecyl ether, PTE) 중 적어도 하나 이상을 포함할 수 있다.

[0019] 상기 첨가물은 PEDOT:PSS 내에 1 부피% 내지 50 부피%를 포함할 수 있다.

[0020] 상기 p형 반도체층은 산화니켈(NiO) 또는 제1 도펀트로 도핑된 산화니켈(NiO) 중 적어도 하나 이상을 포함 할 수 있다.

[0021] 상기 제1 도펀트는 Sn(주석), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함 할 수 있다.

[0022] 상기 제1 도펀트는 상기 산화니켈(NiO) 내에 0.1 atomic% 내지 50 atomic%를 포함 할 수 있다.

[0023] 상기 p형 반도체층은 산화구리(CuO) 또는 제2 도펀트가 도핑된 산화구리(CuO) 중 적어도 하나 이상을 포함 할 수 있다.

[0024] 상기 제2 도펀트는 니켈(Ni), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함 할 수 있다.

[0025] 상기 제2 도펀트는 상기 산화구리(CuO) 내에 0.1 atomic% 내지 50 atomic%를 포함 할 수 있다.

[0026] n형 반도체층은 산화아연(ZnO) 또는 제3 도펀트가 도핑된 산화아연(ZnO) 중 적어도 하나 이상을 포함 할 수 있다.

[0027] 상기 제3 도펀트는 세슘(Cs), 리튬(Li), 알루미늄(Al), 마그네슘(Mg), 인듐(In) 및 갈륨(Ga) 중 적어도 하나 이상을 포함 할 수 있다.

[0028] 상기 제3 도펀트는 상기 산화아연(ZnO) 내에 0.1 atomic% 내지 50 atomic%를 포함 할 수 있다.

[0029] 본 발명의 제2 실시예에 따른 양자점 발광소자는 양극, 상기 양극 상에 형성된 제1 전하 생성 접합층, 상기 제1 전하 생성 접합층 상에 형성된 제1 양자점 발광층, 상기 제1 양자점 발광층 상에 형성된 제1 정공 수송층, 상기 제1 정공 수송층 상에 형성된 제2 전하 생성 접합층, 상기 제2 전하 생성 접합층 상에 형성된 제2 양자점 발광층, 상기 제2 양자점 발광층 상에 형성된 제2 정공 수송층, 상기 제2 정공 수송층 상에 형성된 제3 전하 생성 접합층 및 상기 제3 전하 생성 접합층 상에 형성된 음극을 포함하고, 상기 제1 전하 생성 접합층 내지 상기 제3 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조이다.

[0030] 상기 제1 전하 생성 접합층 내지 상기 제3 전하 생성 접합층은 용액 공정을 이용하여 형성될 수 있다.

[0031] 본 발명의 실시예에 따른 양자점 발광소자는 양극, 음극, 양자점 발광층, 정공 수송층 및 전하 생성 접합층을 포함하고, 상기 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조이며, 상기 전하 생성 접합층을 2개 이상 포함한다.

[0032] 상기 전하 생성 접합층은 용액 공정을 이용하여 형성될 수 있다.

[0033] 본 발명의 실시예에 따른 양자점 발광소자 제조 방법은 음극을 형성하는 단계, 상기 음극 상에 제1 전하 생성 접합층을 형성하는 단계, 상기 제1 전하 생성 접합층 상에 양자점 발광층을 형성하는 단계, 상기 양자점 발광층 상에 정공 수송층을 형성하는 단계, 상기 정공 수송층 상에 제2 전하 생성 접합층을 형성하는 단계 및 상기 제2 전하 생성 접합층 상에 양극을 형성하는 단계를 포함하고, 상기 제1 전하 생성 접합층 및 상기 제2 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조이다.

발명의 효과

[0035] 본 발명의 실시예에 따른 양자점 발광소자는 p형 반도체층과 n형 반도체층으로 구성된 전하 생성 접합을 포함함으로써, p형 반도체층과 n형 반도체층의 계면에서 전하가 생성되어, 전하의 생성 및 주입이 안정화될 수 있다.

[0036] 본 발명의 실시예에 따른 양자점 발광소자는 p형 반도체층과 n형 반도체층으로 구성된 전하 생성 접합을 용액 공정으로 형성하여, 공정 시간을 단축시키고, 양자점 발광소자의 상부 전극 또는 하부 전극의 일함수 (Work-function)에 대한 문제점을 개선할 수 있다.

[0037] 본 발명의 실시예에 따른 양자점 발광소자는 텐덤(Tandem) 구조의 양자점 발광소자를 형성하여, 저비용으로 고성능의 양자점 발광소자를 제작할 수 있다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 제조 방법을 도시한 흐름도이다.

도 2는 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 구조의 단면을 도시한 것이다.

도 3은 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 탠덤 양자점 발광소자 의 단면을 도시한 것이다.

도 4는 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 탠덤 양자점 발광소자의 단면을 도시한 것이다.

도 5a 내지 도 5d는 비교예에 따른 양자점 발광소자의 소자 특성을 도시한 그래프이다.

도 6a 내지 도 6d는 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 소자 특성을 도시한 그래프이다.

도 7a 내지 도 7d는 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 n형 반도체층의

열처리 조건에 따른 양자점 발광소자 특성을 도시한 그래프이다.

도 8a 내지 도 8d는 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 서로 다른 반도체 특성을 지니는 양극 하부에 삽입하였을 시의 양자점 발광소자 특성을 도시한 그래프이다.

도 9a 내지 도 9d는 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 양극, 음극 및 2개의 양자점 발광층 사이에 삽입하였을 시의 양자점 발광소자 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0040] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0041] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0042] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.

[0043] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포함적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0044] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.

[0045] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

[0046] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.

[0047] 한편, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0048] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0049] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0050] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0051] 이하에서는, 도 1을 참조하여 제1 실시예에 따른 양자점 발광소자의 제조 방법을 설명하기로 한다.

[0053] 도 1은 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 제조 방법을 도시한 흐름도이다.

[0054] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 양자점 발광소자는 음극을 형성하는 단계(S110), 음극 상에 용액 공정을 이용하여 제1 전하 생성 접합층을 형성하는 단계(S120), 제1 전하 생성 접합층 상에 양자점 발광층을 형성하는 단계(S130), 양자점 발광층 상에 정공 수송층을 형성하는 단계(S140), 정공 수송층 상에 용액 공정을 이용하여 제2 전하 생성 접합층을 형성하는 단계(S150) 및 제2 전하 생성 접합층 상에 양극을 형성하는 단계(S160)를 포함한다.

[0055] 제1 전하 생성 접합층 및 제2 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조로 형성될 수 있다.

[0056] 또한, 제1 전하 생성 접합층 및 제2 전하 생성 접합층은 용액 공정을 이용하여 형성되고, 이로 인해 대면적 공정이 가능하며, 공정시간을 단축시킬 수 있고, 상하부 전극 (양극 및 음극)의 반도체 특성에 대한 제한을 감소시킬 수 있다.

[0057] 도 1을 참조하면, 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 제조방법은 단계 S110에서, 기판 상에 음극을 형성한다.

[0058] 기판은 발광소자를 형성하기 위한 베이스 기판으로서, 당 분야에서 사용하는 기판으로서 그 재질을 특별하게 한정하는 것은 아니나, 실리콘, 유리, 플라스틱 또는 금속 호일(foil)과 같은 다양한 재질을 사용할 수 있다.

[0059] 예를 들어, 플라스틱 기판으로는 PET(polyethylene terephthalate), PEN(polyethylenenaphthelate), PP(polypropylene), PC(polycarbonate), PI(Polyimide), TAC(tri acetyl cellulose) 및 PES(polyethersulfone)를 포함할 수 있고, 알루미늄 포일(aluminum foil) 및 스테인리스 스틸 포일(stainlesssteel foil) 중 어느 하나를 포함하는 플렉서블(flexible) 기판이 이용될 수 있다.

[0060] 음극은 소자에 전자를 제공하는 전극으로서, 금속 물질, 이온화된 금속 물질, 합금 물질, 소정의 액체 속에서 콜로이드(colloid) 상태인 금속 잉크 물질, 투명 금속 산화물이 사용될 수 있다.

[0061] 금속 물질의 구체적인 예로서는 리튬(Li), 마그네슘(Mg), 알루미늄(Al), 알루미늄-리튬(Al-Li), 칼슘(Ca), 마그네슘-인듐(Mg-In), 마그네슘-은(Mg-Ag), 플래티넘(Pt), 금(Au), 니켈(Ni), 구리(Cu), 바륨(Ba), 은(Ag), 인듐(In), 루테늄(Ru), 납(Pd), 로듐(Rh), 이리듐(Ir), 오스뮴(Os) 및 세슘(Cs)이 사용될 수 있다. 또한, 금속 물질로 탄소(C), 전도성 고분자 또는 이들의 조합이 사용될 수도 있다.

[0062] 또한, 투명 금속 산화물은 ITO(Indium Tin Oxide), FTO(Fluorine-doped Tin Oxide), ATO(Antimony Tin Oxide) 및 AZO(Aluminum doped Zinc Oxide)을 포함할 수 있다. 여기서, ITO는 일반적으로는 양극을 형성하는 물질로 사용되지만, 인버티드 태양전지 구조에서는 ITO를 음극 형성의 재료로 사용하여, 투명한 음극을 형성할 수도 있다. 상기 투명 금속산화물 전극의 경우, 졸 겔(sol-gel), 분무열분해(spray pyrolysis), 스퍼터링(sputtering), ALD(Atomic Layer Deposition) 또는 전자 빔 증착(e-beam evaporation) 공정을 적용하여 형성될 수 있다.

[0063] 음극은 진공증착공정(CVD; Chemical Vapor Deposition)과 같은 증착법을 이용하거나, 메탈 플레이크(flake) 또는 파티클(particle)에 바인더(binder)가 혼합되어 있는 페이스트 메탈 잉크를 프린팅하는 방식과 같은 도포법을 사용하여 형성될 수 있고, 전극을 형성할 수 있는 방법이면 이에 제한되지 않는다.

[0064] 이후, 단계 S120에서, 음극 상에 용액 공정을 이용하여 제1 전하 생성 접합층을 형성한다.

[0065] 제1 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조로 형성되어 있는 p-n 접합 구조를 가질 수 있다.

[0066] 이로 인해, 전자들이 밴드 벤딩(band bending)으로 인하여 HOMO(highest occupied molecular orbital)로부터 LUMO(lowest unoccupied molecular orbital)로 터널링(tunnel)될 수 있다. 이 터널링 프로세스는 양자점 발광소자에 전하 캐리어(전자 또는 정공)를 공급하는데, 음극 측에 있는 제1 전하 생성 접합층의 경우 공급되는 전하 캐리어는 전자이다.

[0067] 또한, 제1 전하 생성 접합층은 전하 캐리어를 공급한다는 점에서 전극(음극 및 양극) 사이에 금속을 함유하는 것과 유사한 효과를 나타낼 수 있다.

[0068] 음극에서부터 전자를 주입하는 것은 음극 물질의 일함수에 결정적으로 의존한다. 음극을 형성하기 전에 음극을 세정하거나, 음극 표면을 준비하는 것은 음극의 일함수에 강력한 영향을 미칠 수 있고, 이로 인해 주입 장벽에

도 강력한 영향을 미칠 수 있다.

[0069] 본 발명의 제1 실시예에 따른 제1 전하 생성 접합층은 양자점 발광소자의 전하 주입 특성을 음극의 일함수(work function)로부터 분리하여 양자점 발광소자의 전하 주입 특성을 향상시킬 수 있다.

[0070] 제1 전하 생성 접합층은 용액 공정을 이용하여 형성될 수 있다. 구체적으로 제1 전하 생성 접합층은 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating) 중 선택되는 어느 하나의 용액 공정을 이용하여 형성될 수 있다.

[0071] 제1 전하 생성 접합층은 바람직하게는 스핀 코팅을 이용하여 형성될 수 있고, 스핀 코팅은 용액을 일정량 떨어뜨리고 기판을 고속으로 회전시켜서 용액에 가해지는 원심력으로 코팅하는 방법이다.

[0072] 제1 전하 생성 접합층은 용액 공정으로 형성되어 대면적 공정이 가능하고, 공정 시간을 단축시킬 수 있으며, 상하부 전극 (양극 및 음극)의 반도체 특성에 대한 제한을 감소시킬 수 있다.

[0073] 제1 전하 생성 접합층에 사용되는 p형 반도체층으로는 PEDOT:PSS 또는 첨가물이 혼합된 PEDOT:PSS이 사용될 수 있고, 첨가물은 그라핀 옥사이드(graphene oxide, GO), 탄소나노튜브 (carbon nanotube, CNT), 바나듐 옥사이드 (vanadium oxide, V_2O_5), 텅스텐 옥사이드 (tungsten oxide, WOx), 폴리옥시에틸렌 트리데실 에테르 (polyoxyethylene tridecyl ether, PTE) 중 적어도 하나 이상을 포함할 수 있다.

[0074] 첨가물은 PEDOT:PSS 내에 1 부피% 내지 50 부피%로 포함될 수 있다.

[0075] 첨가물의 함유량이 1 부피% 이하이면 너무 소량 첨가되어 효과를 나타내지 못하는 문제점이 있고, 50 부피%를 초과하면 p형 반도체층의 특성이 저하되어, 전하 생성이 감소되는 문제점이 있다.

[0076] 또한, p형 반도체층은 산화니켈(NiO) 또는 제1 도펀트로 도핑된 산화니켈(NiO) 중 적어도 하나 이상을 포함할 수 있고, 제1 도펀트는 Sn(주석), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함할 수 있다.

[0077] 제1 도펀트는 산화니켈(NiO) 내에 0.1 atomic% 내지 50 atomic%로 포함될 수 있다.

[0078] 제1 도펀트의 함유량이 0.1 atomic% 이하이면 너무 소량 첨가되어 효과를 나타내지 못하는 문제점이 있고, 50 atomic%를 초과하면 p형 반도체층의 특성이 저하되어, 전하 생성이 감소하는 문제점이 있다.

[0079] 또한, p형 반도체층는 산화구리(CuO) 또는 제2 도펀트가 도핑된 산화구리(CuO) 중 적어도 하나 이상을 포함할 수 있고, 제2 도펀트는 니켈(Ni), 구리(Cu), 리튬(Li) 및 아연(Zn) 중 적어도 하나 이상을 포함 수 있다.

[0080] 제2 도펀트는 산화구리(CuO) 내에 0.1 atomic% 내지 50 atomic%로 포함될 수 있다.

[0081] 제2 도펀트의 함유량이 0.1 atomic% 이하이면 너무 소량 첨가되어 효과를 나타내지 못하는 문제점이 있고, 50 atomic%를 초과하면 p형 반도체층의 특성이 저하되어, 전하 생성이 감소하는 문제점 이 있다.

[0082] 제1 전하 생성 접합층에 사용되는 n형 반도체층은 산화아연(ZnO) 또는 제3 도펀트가 도핑된 산화아연(ZnO) 중 적어도 하나 이상을 포함할 수 있고, 제3 도펀트는 세슘(Cs), 리튬(Li), 알루미늄(Al), 마그네슘(Mg), 인듐(In) 및 갈륨(Ga) 중 적어도 하나 이상을 포함할 수 있다.

[0083] 제3 도펀트는 산화아연(ZnO) 내에 0.1 atomic% 내지 50 atomic%로 포함될 수 있다.

[0084] 제3 도펀트의 함유량이 0.1 atomic% 이하이면 너무 소량 첨가되어 효과를 나타내지 못하는 문제점이 있고, 50 atomic%를 초과하면 p형 반도체층의 특성이 저하되어, 전하 생성이 감소하는 문제점이 있다.

[0085] 제1 전하 생성 접합층에 포함되는 산화니켈(NiO), 산화구리(CuO) 및 산화아연(ZnO)은 졸겔(Sol-gel) 또는 나노입자(Nanoparticle) 형태 중 적어도 하나의 방식으로 생성 될 수 있다.

[0086] 발광소자는 금속의 일함수에 의존하여 전하 주입 특성을 갖게 되고, 단일 p형 반도체층 또는 n형 반도체층의 전하 주입층을 포함하는 발광소자의 경우, 상/하부 전극(양극 또는 음극)의 일함수로 인한 에너지 장벽으로 인해 전하의 주입이 원활하지 않다는 문제점이 발생하게 된다.

[0087] 그러나, 본 발명의 실시예에 따른 제1 전하 생성 접합층을 형성하면, p형 반도체층 및 n형 반도체층의 계면에서 전하가 생성되므로, 서로 다른 일함수를 가지는 금속을 전극으로 사용하더라도 그에 대한 영향을 받지 않는다. 즉, 본 발명의 실시예에 따른 제1 전하 생성 접합층에 의해 p형 반도체층 및 n형 반도체층의 계면에서 전하 생성이 일어나므로 전하 생성 및 주입이 안정화될 수 있다.

[0088] 이후, 단계 S130에서, 제1 전하 생성 접합층 상에 양자점(Quantum dot) 발광층을 형성한다.

[0089] 양자점 발광층은 양극에서 주입된 홀과 음극에서 주입된 전자가 만나 엑시톤(exciton)을 형성하고, 이때 형성된 엑시톤이 특정한 파장을 갖는 빛을 발생시키는 발광층으로 사용될 수 있다.

[0090] 양자점 발광층은 II-VI족 반도체 화합물, III-V족 반도체 화합물, IV-VI족 반도체 화합물, IV족 원소 또는 화합물 및 이들의 조합으로 이루어진 군에서 선택되는 적어도 하나 이상의 반도체 물질을 사용할 수 있다.

[0091] II-VI족 반도체 화합물은 CdSe, CdS, ZnS, CdTe, ZnSe, ZnTe, ZnO, HgS, HgSe, HgTe 및 이들의 혼합물로 이루어진 군에서 선택되는 이원소 화합물; CdSeS, CdSeTe, CdSTe, ZnSeS, ZnSeTe, ZnSTe, HgSeS, HgSeTe, HgSTe, CdZnS, CdZnSe, CdZnTe, CdHgS, CdHgSe, CdHgTe, HgZnS, HgZnSe, HgZnTe 및 이들의 혼합물로 이루어진 군에서 선택되는 삼원소 화합물 및 CdZnSeS, CdZnSeTe, CdZnSTe, CdHgSeS, CdHgSeTe, CdHgSTe, HgZnSeS, HgZnSeTe, HgZnSTe, 및 이들의 혼합물로 이루어진 군에서 선택되는 사원소 화합물로 이루어진 군에서 선택되는 적어도 하나 이상의 물질이 사용될 수 있다.

[0092] III-V족 반도체 화합물은 GaN, GaP, GaAs, GaSb, AlN, AlP, AlAs, AlSb, InN, InP, InAs, InSb 및 이들의 혼합물로 이루어진 군에서 선택되는 이원소 화합물, GaNP, GaNAs, GaNSb, GaPAs, GaPSb, AlNP, AlNAs, AlNSb, AlPAs, AlPSb, InNP, InNAs, InNSb, InPAs, InPSb, GaAlNP 및 이들의 혼합물로 이루어진 군에서 선택되는 삼원소 화합물 및 GaAlNAs, GaAlNSb, GaAlPAs, GaAlPSb, GaInNP, GaInNAs, GaInNSb, GaInPAs, GaInPSb, InAlNP, InAlNAs, InAlNSb, InAlPAs, InAlPSb 및 이들의 혼합물로 이루어진 군에서 선택되는 사원소 화합물로 이루어진 군에서 선택되는 적어도 하나 이상의 물질이 사용될 수 있다.

[0093] IV-VI족 반도체 화합물은 SnS, SnSe, SnTe, PbS, PbSe, PbTe 및 이들의 혼합물로 이루어진 군에서 선택되는 이원소 화합물, SnSeS, SnSeTe, SnSTe, PbSeS, PbSeTe, PbSTe, SnPbS, SnPbSe, SnPbTe 및 이들의 혼합물로 이루어진 군에서 선택되는 삼원소 화합물 및 SnPbSSe, SnPbSeTe, SnPbSTe, 및 이들의 혼합물로 이루어진 군에서 선택되는 사원소 화합물로 이루어진 군에서 선택되는 적어도 하나 이상의 물질이 사용될 수 있다.

[0094] IV족 원소 또는 화합물은 Si, Ge, 및 이들의 혼합물로 이루어진 군에서 선택되는 원소 화합물 및 SiC, SiGe, 및 이들의 혼합물로 이루어진 군에서 선택되는 이원소 화합물로 이루어진 군에서 선택되는 적어도 하나 이상의 물질이 사용될 수 있다.

[0095] 바람직하게는, 양자점 발광층은 CdSe/CdS/ZnS이 사용될 수 있다.

[0096] 그러나, 실시예에 따라서는 발광층으로 유기화합물(Organic compound)층, 산화층(oxide layer), 질화층(nitride layer), 반도체층(semiconductor layer), 유기화합물층(organic compound layer), 무기화합물층(inorganic compound layer), 인광층(phosphor layer) 및 염료층(dye layer) 중 어느 하나를 포함할 수 있다.

[0097] 양자점 발광층은 진공 증착법 (vacuum deposition), 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition), 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting)을 이용하여 형성될 수 있다.

[0098] 이후, 단계 S140에서 양자점 발광층 상에 정공 수송층을 형성한다.

[0099] 정공 수송층은 정공을 양자점 발광층으로 이동시키는 층으로서, 유기 물질 또는 무기 물질을 이용하여 진공 증착 공정 또는 용액공정에 의해 형성될 수 있다.

[0100] 정공 수송층은 정공이 양자점 발광층으로 효과적으로 전달되게 하고, 양자점 발광층에서 정공과 전자의 밀도가 균형을 이루도록 하여 발광효율이 높일 수 있다.

[0101] 또한, 음극에서 양자점 발광층으로 주입된 전자가 정공 수송층/양자점 발광층 계면에 존재하는 에너지 장벽에 의해 양자점 발광층에 갇히게 되어 전자와 정공의 재결합 확률이 높아지므로 발광 효율이 향상될 수 있다.

[0102] 또한, 정공 수송층은 양자점 발광층과 제2 전하 생성 접합층 사이에 형성되어 제2 전하 생성 접합층의 효과를 더욱 향상시킨다.

[0103] 정공 수송층은 정공 수송을 위한 층으로 PEDOT:PSS로 형성될 수 있고, PEDOT:PSS에 텅스텐 옥사이드(WO_3), 그라

핀 옥사이드(GO), 탄소나노튜브(CNT), 몰리브덴 옥사이드(MoOx), 바나듐 옥사이드(V_2O_5), 니켈 옥사이드(NiOx)와 같은 첨가물을 혼합하여 형성될 수 있으나, 이에 제한되지 않고, 다양한 유기 물질 또는 무기 물질로 형성될 수 있다.

[0104] 이후, 단계 S150에서 정공 수송층 상에 용액 공정을 이용하여 제2 전하 생성 접합층을 형성한다.

[0105] 제2 전하 생성 접합층은 p형 반도체층 및 n형 반도체층이 순차적으로 형성된 레이어-바이-레이어 구조로 형성되어 있는 pn 접합 구조를 가질 수 있다.

[0106] 이로 인해, 밴드벤딩(band bending)으로 인하여 전자들이 HOMO(highest occupied molecular orbital)로부터 LUMO(lowest unoccupied molecular orbital)로 터널링(tunnel) 할 수 있도록 한다. 이 터널링 프로세스는 양자점 발광소자에 전하 캐리어(전자 또는 정공)를 공급하는데, 양극 측에 있는 제2 전하 생성층의 경우 공급되는 전하 캐리어는 정공이다.

[0107] 또한, 제2 전하 생성 접합층은 전하 캐리어를 공급한다는 점에서 전극(음극 및 양극) 사이에 금속을 함유하는 것과 유사한 효과를 나타낼 수 있다.

[0108] 양극에서부터 정공을 주입하는 것은 양극 물질의 일함수에 결정적으로 의존한다. 양극을 형성하기 전에 양극을 세정하거나, 양극 표면을 준비하는 것은 양극의 일함수에 강력한 영향을 미칠 수 있고, 이로 인해 주입 장벽에도 강력한 영향을 미칠 수 있다.

[0109] 본 발명의 제1 실시예에 따른 제2 전하 생성 접합층은 양자점 발광소자의 전하 주입 특성을 양극의 일함수(work function)로부터 분리하여 양자점 발광소자의 전하 주입 특성을 향상시킬 수 있다.

[0110] 또한, 제2 전하 생성 접합층은 양극 방향에 형성된 n형 반도체층과 양자점 발광층 쪽에 형성된 p형 반도체층을 포함하여 전하 수송을 위한 정공과 전자 수송 간 전환이 가능해지게 한다.

[0111] 제2 전하 생성 접합층은 용액 공정을 이용하여 형성될 수 있다. 구체적으로 제2 전하 생성 접합층은 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating) 중 선택되는 어느 하나의 용액 공정을 이용하여 형성될 수 있다.

[0112] 발광소자는 금속의 일함수에 의존하여 전하 주입 특성을 갖게 되고, 단일 p형 반도체층 또는 n형 반도체층의 전하 주입층을 포함하는 발광소자의 경우, 상/하부 전극(양극 또는 음극)의 일함수로 인한 에너지 장벽으로 인해 전하의 주입이 원활하지 않다는 문제점이 발생하게 된다.

[0113] 그러나, 본 발명의 실시예에 따른 제2 전하 생성 접합층을 형성하면, p형 반도체층 및 n형 반도체층의 계면에서 전하가 생성되므로, 서로 다른 일함수를 가지는 금속을 전극으로 사용하더라도 그에 대한 영향을 받지 않는다. 즉, 본 발명의 실시예에 따른 제2 전하 생성 접합층에 의해 p형 반도체층 및 n형 반도체층의 계면에서 전하 생성이 일어나므로 전하 생성 및 주입이 안정화될 수 있다.

[0114] 마지막으로, 단계 S160에서 제2 전하 생성 접합층 상에 양극을 형성한다.

[0115] 양극은 소자에 정공을 제공하는 전극으로서, 투과형 전극, 반사형 전극, 금속 페이스트 또는 소정의 액체 속에서 콜로이드 상태인 금속 잉크 물질을 스크린 인쇄와 같은 용액공정을 통하여 형성될 수 있다.

[0116] 투과형 전극 물질로는 투명하고 전도성이 우수한 산화인듐주석(ITO), 산화인듐아연(IZO), 산화주석(SnO2), 산화아연(ZnO), 금속산화물/금속/금속산화물 다중층, 그래핀 (graphene) 및 카본 나노 튜브 (carbon nano tube) 중 적어도 어느 하나일 수 있다.

[0117] 반사형 전극 물질로는 마그네슘(Mg), 알루미늄(Al), 은(Ag), Ag/ITO, Ag/IZO, 알루미늄-리튬(Al-Li), 칼슘(Ca), 마그네슘-인듐(Mg-In) 및 마그네슘-은(Mg-Ag) 중 적어도 어느 하나일 수 있다.

[0118] 금속 페이스트는 은 페이스트(Ag paste), 알루미늄 페이스트(Al paste), 금 페이스트(Au paste) 및 구리 페이스트(Cu paste) 물질 중 어느 하나이거나 합금의 형태일 수 있다.

[0119] 금속 잉크 물질은, 은(Ag) 잉크, 알루미늄(Al) 잉크, 금(Au) 잉크, 칼슘(Ca) 잉크, 마그네슘(Mg) 잉크, 리튬(Li) 잉크 및 세슘(Cs) 잉크 중 적어도 어느 하나일 수 있고, 상기 금속 잉크 물질에 포함된 금속 물질은 용액 내부에서 이온화된 상태일 수 있다.

[0120] 이러한 양극은 기판 상에 종래에 잘 알려진 진공증착공정(CVD; Chemical Vapor Deposition)과 같은 증착법을 이

용하거나, 메탈 플레이크(flake) 내지 파티클(particle)이 바인더(binder)와 혼합된 페이스트 메탈 잉크를 프린팅하는 방식의 도포법과 같은 방법을 사용하여 형성할 수 있고, 전극을 형성할 수 있는 방법이면 이에 제한되지 않고 사용할 수 있다.

[0122] 도 2는 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 구조를 도시한 단면도이다.

[0123] 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 2개 이상의 전하 생성 접합층을 포함할 수 있고, 도 2는 2개의 전하 생성 접합층(220a, 220b, 250a, 250b)을 포함하는 양자점 발광소자를 도시하였다.

[0124] 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(200)는 음극(210) 상에는 제1 전하 생성 접합층(220a, 220b)이 형성되고, 제1 전하 생성 접합층(220a, 220b) 상에는 양자점 발광층(230)이 형성된다.

[0125] 양자점 발광층(230) 상에는 정공 수송층(240)이 형성되고, 정공 수송층(240) 상에는 제2 전하 생성 접합층(250a, 250b)이 형성되고, 제2 전하 생성 접합층(250a, 250b) 상에는 양극(260)이 형성된다.

[0126] 제1 전하 생성 접합층(220a, 220b)은 제1 p형 반도체층(220a) 및 제1 n형 반도체층(220b)을 포함하고, 제2 전하 생성 접합층(250a, 250b)은 제2 p형 반도체층(250a) 및 제2 n형 반도체층(250b)을 포함하며, 순차적으로 형성된 레이어-바이-레이어 구조로 형성되어 있다.

[0127] 본 발명의 제1 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(200)는 도 1과 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.

[0128] 이하에서는, 도 3을 참조하여, 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 탠덤 양자점 발광소자(300)를 설명하기로 한다.

[0130] 도 3은 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자를 도시한 단면도이다.

[0131] 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 2개 이상의 전하 생성 접합층을 포함할 수 있고, 도 3은 3개의 전하 생성 접합층(320a, 320b, 350a, 350b, 380a, 380b)을 포함하는 양자점 발광소자를 도시하였다.

[0132] 도 3을 참조하면, 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(300)는 양극(310) 상에는 제1 전하 생성 접합층(320a, 320b)이 형성되고, 제1 전하 생성 접합층(320a, 320b) 상에는 제1 양자점 발광층(330)이 형성되고, 제1 양자점 발광층(330) 상에는 제1 정공 수송층(340)이 형성되고, 제1 정공 수송층(340) 상에는 제2 전하 생성 접합층(350a, 350b)이 형성된다.

[0133] 제2 전하 생성 접합층(350a, 350b) 상에는 제2 양자점 발광층(360)이 형성되고, 제2 양자점 발광층(360) 상에는 제2 정공 수송층(370)이 형성되며, 제2 정공 수송층(370) 상에는 제3 전하 생성 접합층(380a, 380b)이 형성되고, 제3 전하 생성 접합층(380a, 380b) 상에는 음극(390)이 형성된다.

[0134] 제1 전하 생성 접합층(320a, 320b) 내지 제3 전하 생성 접합층(380a, 380b)은 순차적으로 형성된 레이어-바이-레이어 구조의 제1 내지 제3 p형 반도체층(320a, 350a, 380a) 및 제1 내지 제3 n형 반도체층(320b, 350b, 380b)을 포함한다.

[0135] 제1 전하 생성 접합층(320a, 320b) 내지 제3 전하 생성 접합층(380a, 380b)은 용액 공정을 이용하여 형성될 수 있다.

[0136] 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(300)는 양자점 발광층을 2개 포함하고, 전하 생성 접합층을 3개 포함하는 것을 제외하면, 본 발명의 제1 실시예와 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.

[0137] 본 발명의 제2 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(300)를 2개의 양자점 발광층을 포함하는 텐덤(Tandem) 구조로 형성되어, 저비용으로 고성능을 갖는 양자점 발광소자로 제작될 수 있다.

[0138] 이하에서는, 도 4을 참조하여, 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(400)를 설명하기로 한다.

[0140] 도 4는 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자를 도시한 단면도이다.

[0141] 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 2개 이상의 전하 생성 접합층을 포함할 수 있고, 도 4는 4개의 전하 생성 접합층(420a, 420b, 450a, 450b, 480a, 480b)을 포함하는 양자점 발광소자를 도시하였다.

[0142] 도 4를 참조하면, 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(400)는 양극(410) 상에는 제1 전하 생성 접합층(420a, 420b)이 형성되고, 제1 전하 생성 접합층(420a, 320b) 상에는 제1 양자점 발광층(430)이 형성되고, 제1 양자점 발광층(430) 상에는 제1 정공 수송층(440)이 형성되고, 제1 정공 수송층(440) 상에는 제2 전하 생성 접합층(450a, 450b)이 형성된다.

[0143] 제2 전하 생성 접합층(450a, 450b) 상에는 제2 양자점 발광층(460)이 형성되고, 제2 양자점 발광층(460) 상에는 제2 정공 수송층(470)이 형성되며, 제2 정공 수송층(470) 상에는 제3 전하 생성 접합층(480a, 480b)이 형성된다.

[0144] 제3 전하 생성 접합층(480a, 480b) 상에는 제3 양자점 발광층(490)이 형성되고, 제3 양자점 발광층(490) 상에는 제3 정공 수송층(500)이 형성되고, 제3 정공 수송층(500) 상에는 제4 전하 생성 접합층(510a, 510b)이 형성되고, 제4 전하 생성 접합층(510a, 510b) 상에는 음극(520)이 형성된다.

[0145] 제1 전하 생성 접합층(420a, 420b) 내지 제4 전하 생성 접합층(510a, 510b)은 순차적으로 형성된 레이어-바이-레이어 구조의 제1 내지 제4 p형 반도체층(240a, 450a, 480a, 510a) 및 제1 내지 제4 n형 반도체층(240b, 450b, 480b, 510b)층 가진다.

[0146] 제1 전하 생성 접합층(420a, 420b) 내지 제4 전하 생성 접합층(510a, 510b)은 용액 공정을 이용하여 형성될 수 있다.

[0147] 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(400)는 양자점 발광층을 3개 포함하고, 전하 생성 접합층을 4개 포함하는 것을 제외하면, 본 발명의 제1 실시예와 동일하므로 중복되는 구성요소에 대한 상세한 설명은 제외하기로 한다.

[0148] 본 발명의 제3 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자(400)는 3개의 양자점 발광층을 포함하는 텐덤(Tandem) 구조로 형성되어, 저비용으로 고성능을 갖는 양자점 발광소자로 제작될 수 있다.

[0150] **비교예**

[0151] 유리 기판상에 음극을 형성한 다음, 형성된 음극 상에 전자 주입을 위해 2 at% Li doped ZnO를 스핀 코팅을 이용하여 50 nm 두께로 형성하였다. 형성된 전자주입층 상에는 양자점 구조의 발광층을 스핀 코팅을 이용하여 30 nm 두께로 형성하였고, 양자점 발광층 상에는 정공 수송층을 스핀 코팅을 이용하여 20 nm 두께로 형성하였으며, 정공 수송층 상에는 정공주입을 위해 PEDOT:PSS를 스핀 코팅을 이용하여 20 nm 두께로 형성하였다. 형성된 정공주입층 상에는 양극을 형성하기 위해 진공 증착 방식으로 알루미늄(Al)을 성막하였다.

[0153] **제조예**

[0154] 2 atomic%의 Li을 산화아연에 도핑한 LZO은 에탄올을 용매로 사용하고, PEDOT:PSS는 물을 용매로 사용하였다. 준비된 용액은 알루미늄을 사용하는 음극 상에 질소 또는 공기 분위기 하에서 용액공정으로 프린팅하여, 2 atomic% LZO와 PEDOT:PSS가 순차적으로 형성된 레어버-바이-레이어 구조로 형성된 전하 생성 접합층이 사용되었다.

[0155] 이후, 전하 생성 접합층 상에 양자점 발광층, 정공 수송층, 전하 생성 접합층 및 양극을 순차적으로 형성하였다.

[0156] 양자점 발광층으로는 CdSe/CdS/ZnS (core/shell/shell type) 구조의 양자점 물질을 사용되고, 정공 수송층으로는 4,4,4-tris(N-carbazolyl)triphenylamine (TCTA), 4,4'-bis[N-(naphthyl)-N-phenylamino]biphenyl (NPB)가 사용되었으며, 양극으로는 알루미늄이 사용되었다.

[0158] 도 5a 내지 도 5d는 비교예에 따른 양자점 발광소자의 소자 특성을 도시한 그래프이다.

[0159] 도 5a는 전압(Voltage)에 따른 전류 밀도(Current density)를 도시한 그래프이고, 도 5b는 전압에 따른 휘도(Luminance)을 도시한 그래프이고, 도 5c는 휘도에 따른 전류 밀도를 도시한 그래프이고, 5d는 휘도에 따른 전력 효율(Power efficiency)을 도시한 그래프이다.

[0160] 비교예에 따른 양자점 발광소자는, V_T (1cd/m^2 의 빛이 발광할 때의 전압) 및 V_D (1,000 cd/m^2 세기의 빛이 발광할 때의 전압)는 각각 5.5 V와 7.3V로 측정되었다. 또한, 최대 전류 효율 및 전력 효율은 각각 10.9 cd/A와 4.6 lm/W로 측정되었다.

[0161] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 소자 특성을 도시한 그래프이다.

[0162] 도 6a는 전압(Voltage)에 따른 전류 밀도(Current density)를 도시한 그래프이고, 도 6b는 전압에 따른 휘도(Luminance)을 도시한 그래프이고, 도 6c는 휘도에 따른 전류 밀도를 도시한 그래프이고, 5d는 휘도에 따른 전력 효율(Power efficiency)을 도시한 그래프이다.

[0163] [표 1]은 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 소자 특성을 값으로 도시한 표이다.

[0164] [표 1]

[0165]

	V_T (V)	V_D (V)	C/E_{max} (cd/A)	P/E_{max} (lm/W)
기존 구조	5.5	7.3	10.9	4.6
전하생성접합 구조 (음극위와 양극아래)	5.8	11.3	10.5	4.5

[0166] [표 1]을 참조하면 V_T는 1cd/m^2 의 빛이 발광할 때의 전압을 나타내고, V_D는 1,000 cd/m^2 세기의 빛이 발광할 때의 전압을 나타내며, CE는 1A의 전류로 얼만큼의 빛이 날 수 있는지에 대한 효율을 나타내고, PE는 1W의 전력으로 빛이 어느 정도의 빛이 발생시킬 수 있는지에 대한 효율을 나타낸다.

[0167] 도 6a 내지 도 6d 및 [표 1]을 참조하면, 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 비교예와 유사한 특성을 보인다.

[0168] 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 V_T 및 V_D는 각각 5.8 V와 11.3V로 측정되었다. 또한, 최대 전류효율 및 전력효율은 각각 10.5 cd/A와 4.5 lm/W로 측정되었고, 이를 통해, 본 발명의 실시예에 따른 양자점 발광소자는 비교예와 매우 유사한 소자 특성을 나타낸다는 것을 알 수 있다.

[0169] 도 7a 내지 도 7d는 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자의 n형 반도체층의 열처리 조건에 따른 양자점 발광소자 특성을 도시한 그래프이다.

[0170] 도 7a는 전압(Voltage)에 따른 전류 밀도(Current density)를 도시한 그래프이고, 도 7b는 전압에 따른 휘도(Luminance)을 도시한 그래프이고, 도 7c는 휘도에 따른 전류 밀도를 도시한 그래프이고, 6d는 휘도에 따른 전력 효율(Power efficiency)을 도시한 그래프이다.

[0171] 도 7a 내지 도 7d를 참조하면, 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 n형 반도체층의 공정 조건에 제약 없이 구동이 가능하다는 것을 확인할 수 있다.

[0172] 또한, n형 반도체층의 열처리 환경에 무관하게 전하 생성 접합층 형성이 가능하다는 것을 확인할 수 있다. 하지만 바람직하게는 고효율의 양자점 발광소자를 제작하기 위해서는 2% Li doped ZnO의 열처리 환경이 N_2 이어야 한다.

[0174] 도 8a 내지 도 8d는 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 서로 다른 반도체 특성을 지니는 양극의 하부에 형성하였을 시의 양자점 발광소자 특성을 도시한 그래프이다.

[0175] 도 8a는 전압(Voltage)에 따른 전류 밀도(Current density)를 도시한 그래프이고, 도 8b는 전압에 따른 휘도(Luminance)을 도시한 그래프이고, 도 8c는 휘도에 따른 전류 밀도를 도시한 그래프이고, 8d는 휘도에 따른 전력 효율(Power efficiency)을 도시한 그래프이다.

[0176] [표 2]는 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 서로 다른 반도체 특성을 지니는 양극의 하부에 형성하였을 시의 양자점 발광소자 특성을 값으로 도시한 표이다.

[0177] [표 2]

	V_T (V)	V_D (V)	C/E_{max} (cd/A)	P/E_{max} (lm/W)
Al	5.7	10.2	12.1	5.7
Liq:Al	5.8	10.9	12.5	5.9
Ag	5.6	9.3	11.9	6.1

[0178]

[0179] 도 8a 내지 도 8d 및 [표 2]를 참조하면, 전하 생성 접합층 기반의 양자점 발광소자는 양극의 일함수에 상관없이 유사한 소자 특성을 갖는 것을 확인할 수 있다.

[0180] 양극으로써 Al, LiF/Al 및 Ag를 사용하였고, 각 금속의 일함수는 4.3 eV, 2.9 eV 및 4.8 eV를 가진다. 본 발명의 실시예에 따른 전하 생성 접합층 기반의 양자점 발광소자는 상부에 형성된 전극(양극)의 일함수에 상관없이 유사한 특성을 나타내는 것을 확인할 수 있고, 이로 인해 전하 생성 접합층은 상/하부 전극(양극 또는 음극)의 일함수를 보정하는 특징을 가진 다는 것을 알 수 있다.

[0181] 도 9a 내지 도 9d는 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 양극, 음극 및 2개의 양자점 발광층 사이에 삽입하였을 시의 양자점 발광소자 특성을 도시한 그래프이다.

[0182] 도 9a는 전압(Voltage)에 따른 전류 밀도(Current density)를 도시한 그래프이고, 도 9b는 전압에 따른 휘도(Luminance)을 도시한 그래프이고, 도 9c는 파장(Wavelength)에 따른 EL 강도(EL intensity)전류 밀도를 도시한 그래프이고, 9d는 CIE 표색계를 도시한 도면이다.

[0183] [표 3]은 본 발명의 실시예에 따른 양자점 발광소자의 전하 생성 접합층을 양극, 음극 및 2개의 양자점 발광층 사이에 삽입하였을 시의 양자점 발광소자 특성을 값으로 도시한 표이다.

[0184] [표 3]

	V_T (V)	V_D (V)	C/E_{max} (cd/A)	P/E_{max} (lm/W)
Tandem QLED	10.4	-	10.3	2.1

[0185]

[0186] 도 9a 내지 도 9d 및 [표 3]을 참조하면, 전하 생성 접합층 기반의 텐덤형 양자점 발광소자는 소자 특성이 향상되는 것을 확인할 수 있다.

[0187] 본 발명의 실시예에 따른 텐덤 구조의 양자점 발광소자를 제조하기 위해서는, 첫번째 양자점 발광층으로 녹색 양자점을 사용하고, 두번째 양자점 발광층으로 적색 양자점을 사용하였다. 전술한 2개의 양자점 발광층 사이에는 용액공정 기반의 전하 생성 접합층이 삽입되었다.

[0188] 녹색 및 적색의 빛을 내기 위해서 비교예에 따른 양자점 발광소자를 사용한다면, 각각의 양자점 발광소자를 별도로 제작하여야 하고, 이 때의 기본 CIE 표색계가 도 9d에 도시되어 있다.

[0189] 도 9d를 참조하면, 본 발명의 실시예에 따른 텐덤 구조의 양자점 발광소자는 녹색 발광빛 및 적색 발광빛이 동시에 섞인 노란색의 빛을 발광한다는 것을 확인할 수 있다.

[0190] 즉, 본 발명의 실시예에 따른 텐덤 구조의 양자점 발광소자는 앞서 전술한 2개의 양자점 발광층이 동시에 빛을 내어 노란색의 빛을 나타나게 된다.

[0191] 이로 인해, 본 발명의 실시예에 따른 전하 생성 접합층을 포함하는 양자점 발광소자는 2개의 양자점 발광층 사이 형성된 전하 생성 접합층으로 인하여 2개의 양자점 발광층에서 발광 효율이 향상된다는 것을 확인할 수 있다.

[0193] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니고, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0194] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되고, 후술하는 특허청구범위뿐 아니라

이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0196] 200, 300, 400 : 양자점 발광소자

210, 390, 520 : 음극

220a, 320a, 420a : 제1 p형 반도체층

220b, 320b, 420b : 제1 n형 반도체층

230 : 양자점 발광층

240 : 정공 수송층

330, 430 : 제1 양자점 발광층

340, 440 : 제1 정공 수송층

250a, 350a, 450a : 제2 p형 반도체층

250b, 350b, 450b : 제2 n형 반도체층

260, 310, 420: 양극

360, 460 : 제2 양자점 발광층

370, 470 : 제2 정공 수송층

380a, 480a : 제3 p형 반도체층

380b, 480b : 제3 n형 반도체층

490 : 제3 양자점 발광층

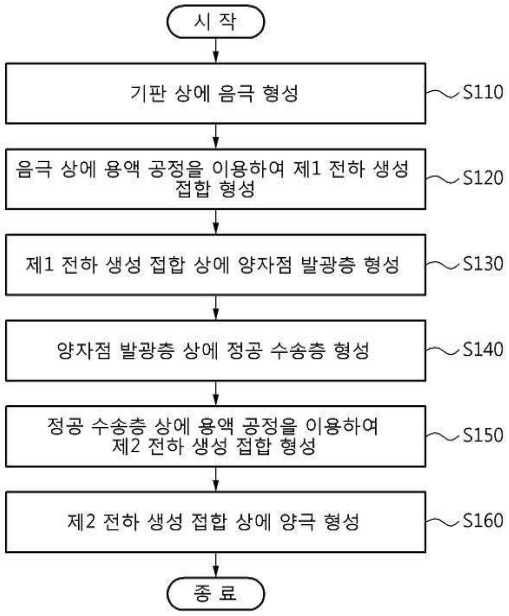
500 : 제3 전공 수송층

510a : 제3 p형 반도체층

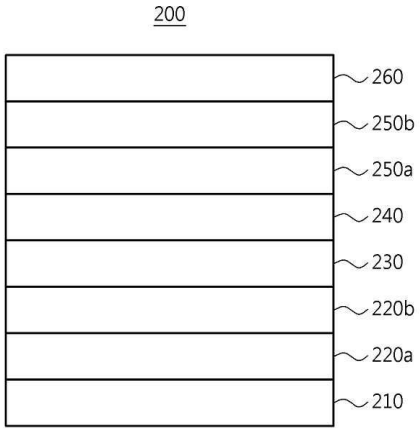
510b : 제3 n형 반도체층

도면

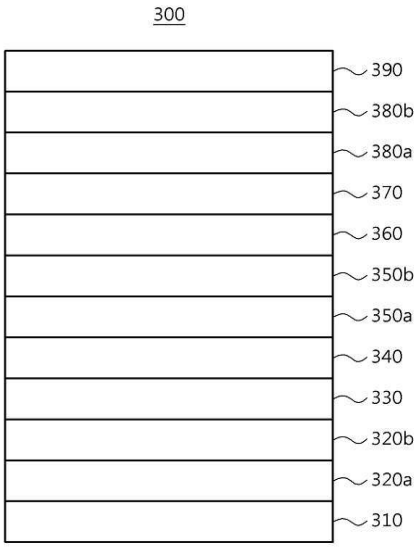
도면1


시 작
기판 상에 음극 형성
S110
음극 상에 용액 공정을 이용하여 제1 전하 생성 접합 형성
S120
제1 전하 생성 접합 상에 양자점 발광층 형성
S130
양자점 발광층 상에 정공 수송층 형성
S140
정공 수송층 상에 용액 공정을 이용하여 제2 전하 생성 접합 형성
S150
제2 전하 생성 접합 상에 양극 형성
S160
종 료

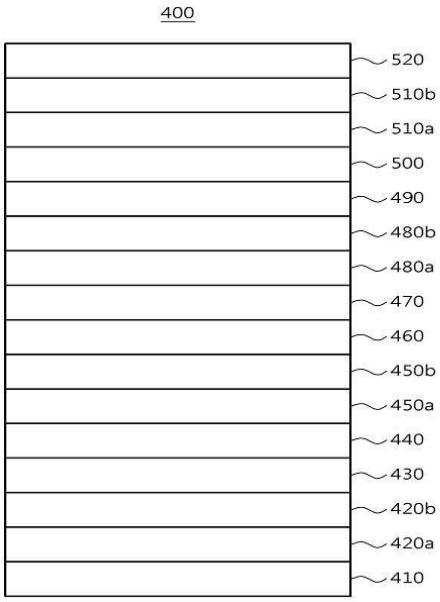
도면2


200
260
250b
250a
240
230
220b
220a
210

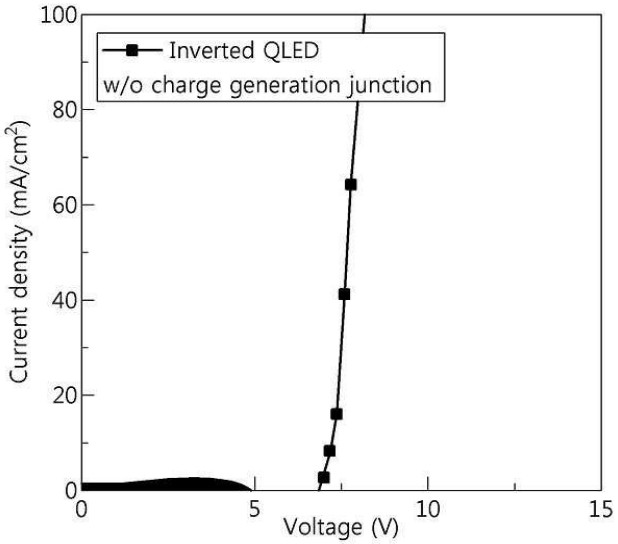
도면3


300
390
380b
380a
370
360
350b
350a
340
330
320b
320a
310

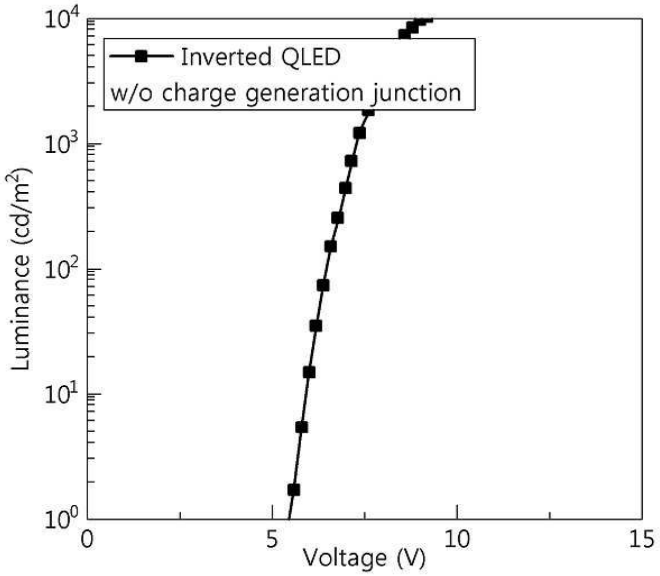
도면4


400
520
510b
510a
500
490
480b
480a
470
460
450b
450a
440
430
420b
420a
410

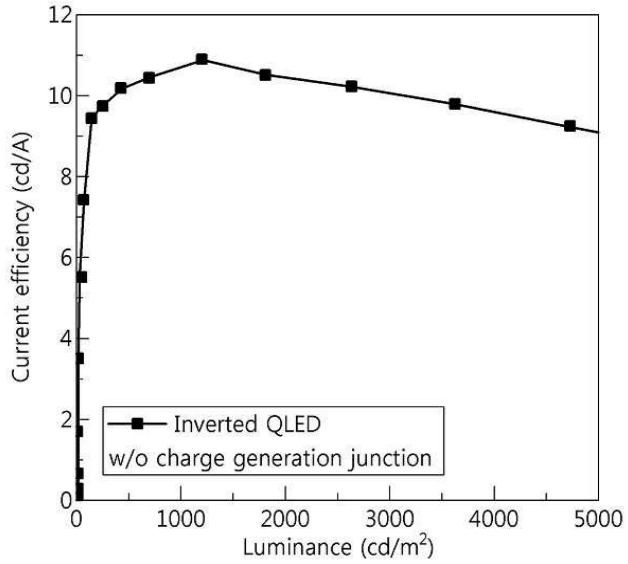
도면5a


Inverted QLED
w/o charge generation junction
Current density (mA/cm²)
Voltage (V)
0
20
40
60
80
100
0
5
10
15

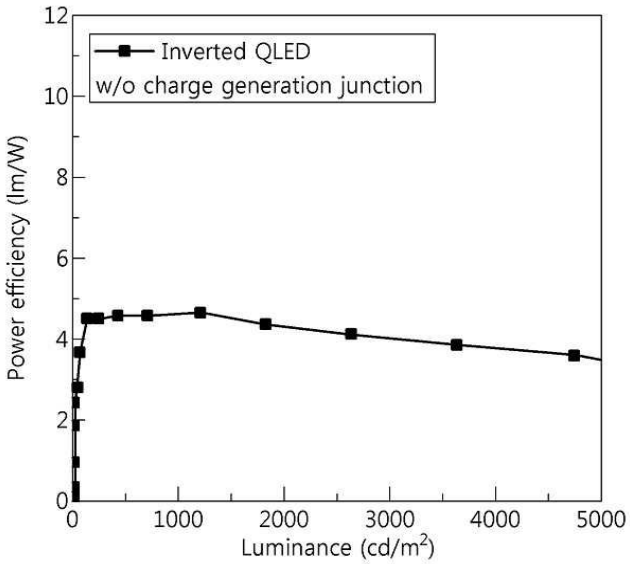
도면5b


Inverted QLED
w/o charge generation junction
Luminance (cd/m²)
Voltage (V)
10⁰
10¹
10²
10³
10⁴
0
5
10
15

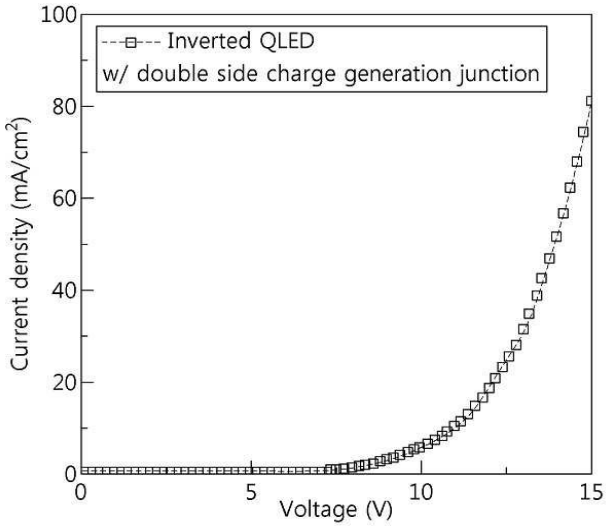
도면5c


Current efficiency (cd/A)
Luminance (cd/m2)
Inverted QLED
w/o charge generation junction
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

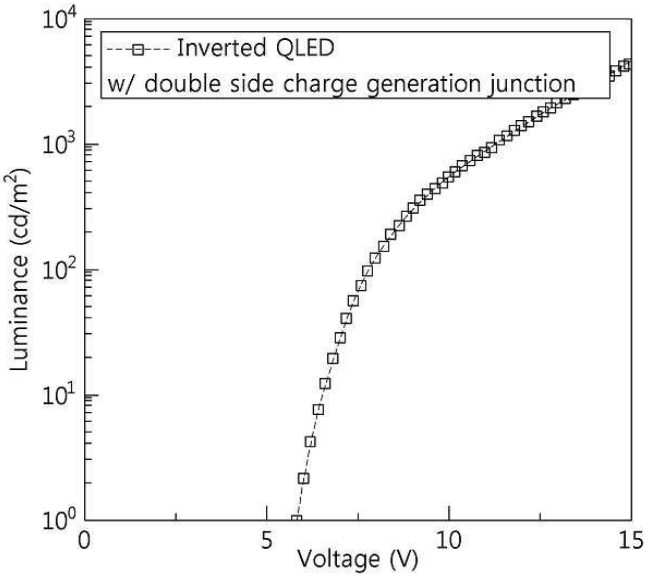
도면5d


Power efficiency (lm/W)
Luminance (cd/m2)
Inverted QLED
w/o charge generation junction
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

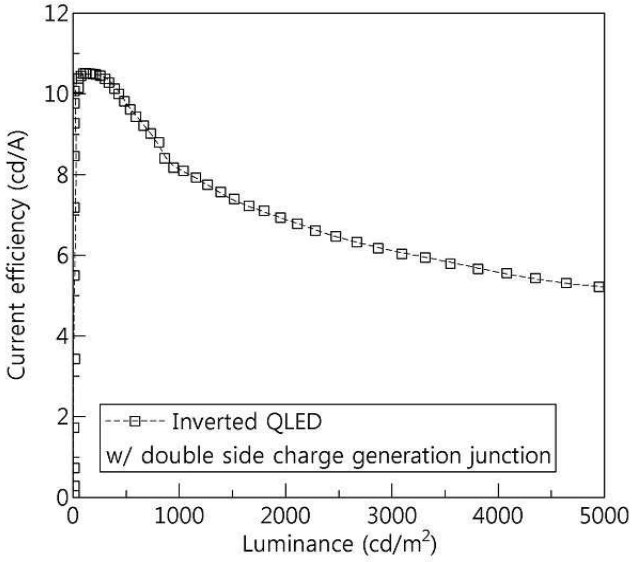
도면6a


Inverted QLED
w/ double side charge generation junction
Current density (mA/cm2)
Voltage (V)
0
20
40
60
80
100
0
5
10
15

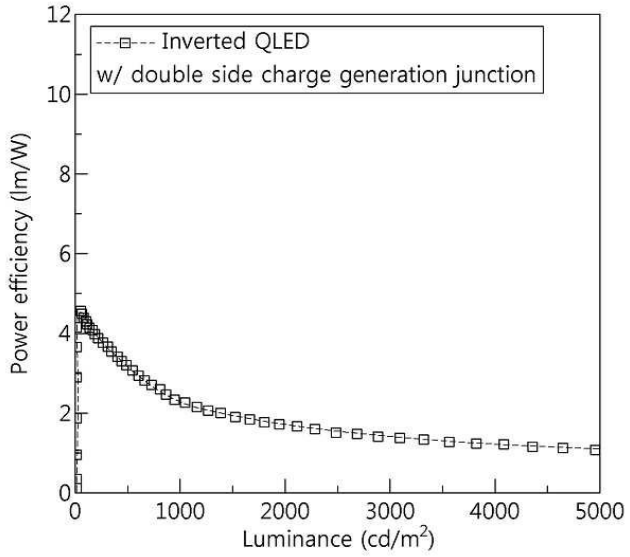
도면6b


Inverted QLED
w/ double side charge generation junction
Luminance (cd/m2)
Voltage (V)
10^0
10^1
10^2
10^3
10^4
0
5
10
15

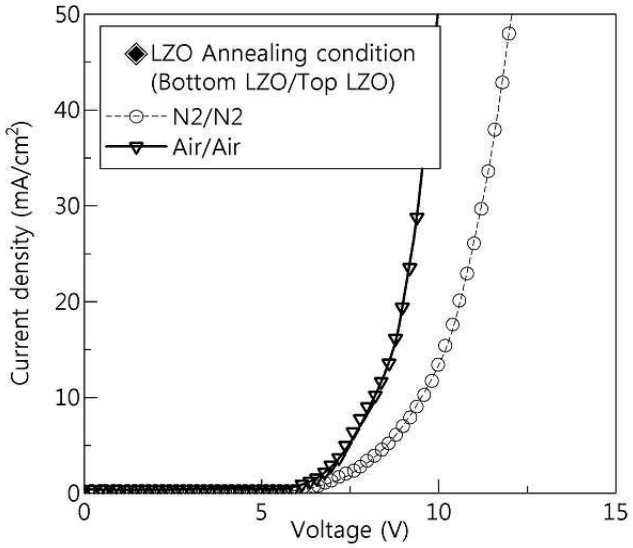
도면6c


Current efficiency (cd/A)
Luminance (cd/m2)
Inverted QLED
w/ double side charge generation junction
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

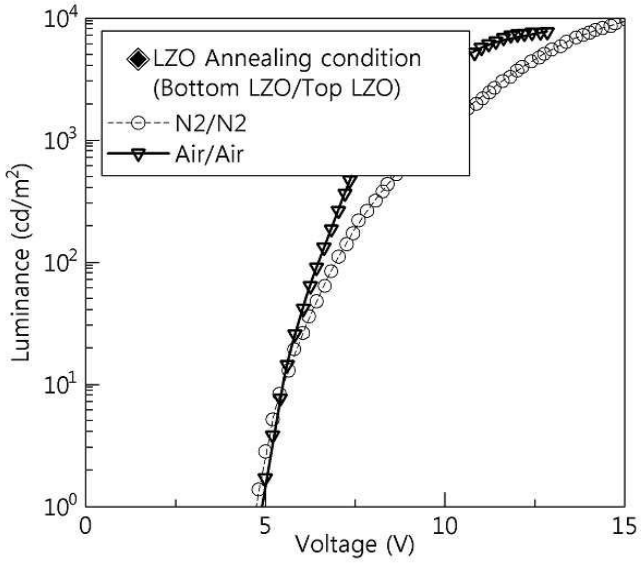
도면6d


Power efficiency (lm/W)
Luminance (cd/m2)
Inverted QLED
w/ double side charge generation junction
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

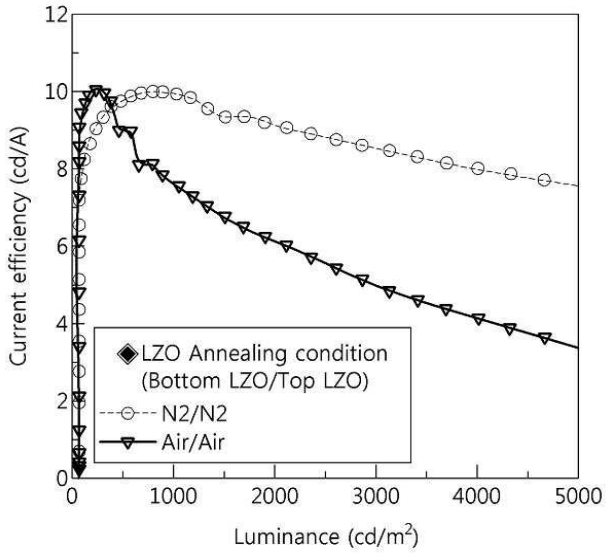
도면7a


LZO Annealing condition
(Bottom LZO/Top LZO)
N2/N2
Air/Air
Current density (mA/cm²)
Voltage (V)
0
10
20
30
40
50
0
5
10
15

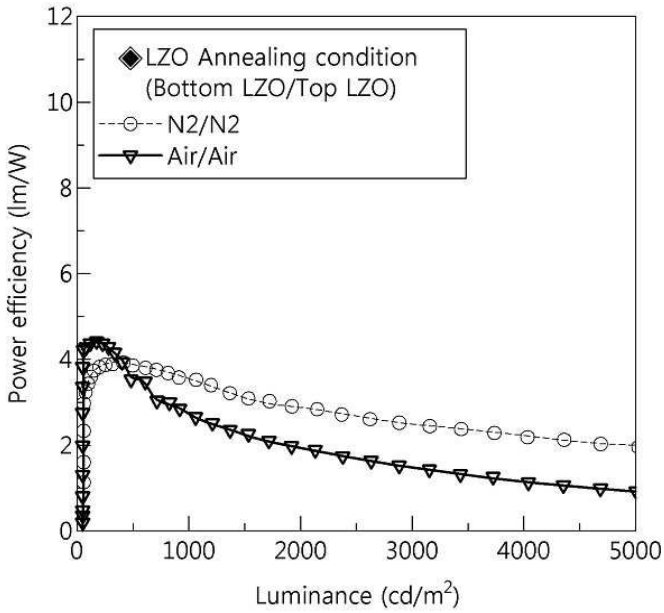
도면7b


LZO Annealing condition
(Bottom LZO/Top LZO)
N2/N2
Air/Air
Luminance (cd/m²)
Voltage (V)
10⁰
10¹
10²
10³
10⁴
0
5
10
15

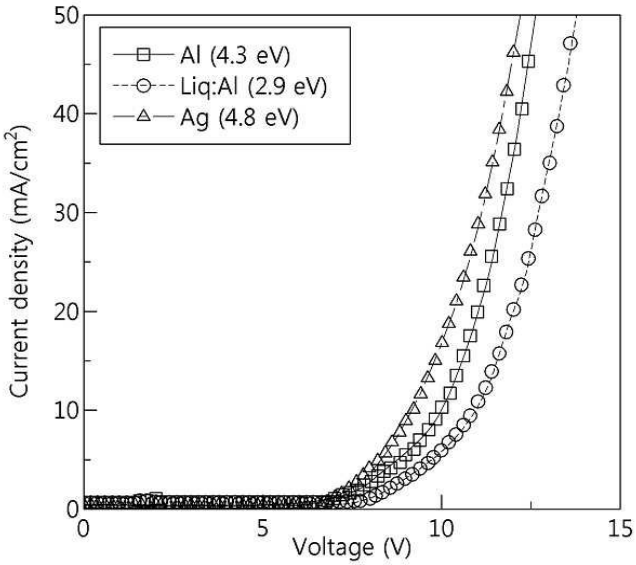
도면7c


Current efficiency (cd/A)
Luminance (cd/m2)
LZO Annealing condition
(Bottom LZO/Top LZO)
N2/N2
Air/Air
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

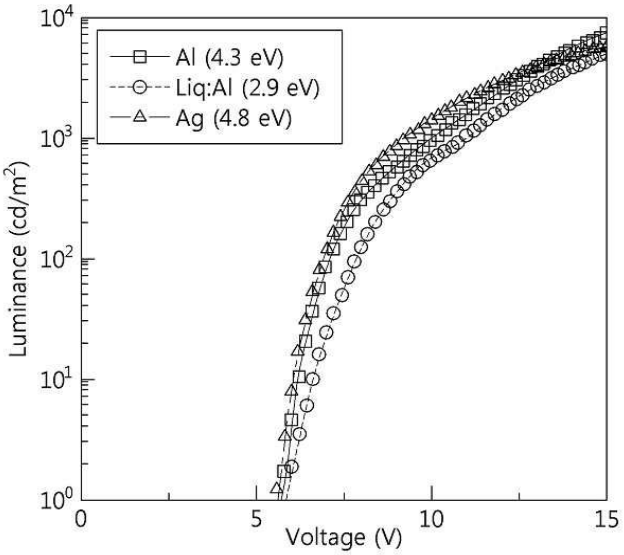
도면7d


Power efficiency (lm/W)
Luminance (cd/m2)
LZO Annealing condition
(Bottom LZO/Top LZO)
N2/N2
Air/Air
0
2
4
6
8
10
12
0
1000
2000
3000
4000
5000

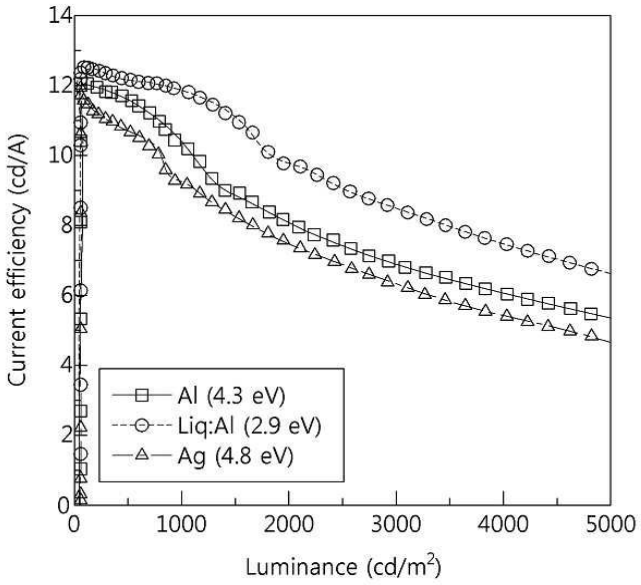
도면8a


Al (4.3 eV)
Liq:Al (2.9 eV)
Ag (4.8 eV)
Current density (mA/cm²)
Voltage (V)
0
10
20
30
40
50
0
5
10
15

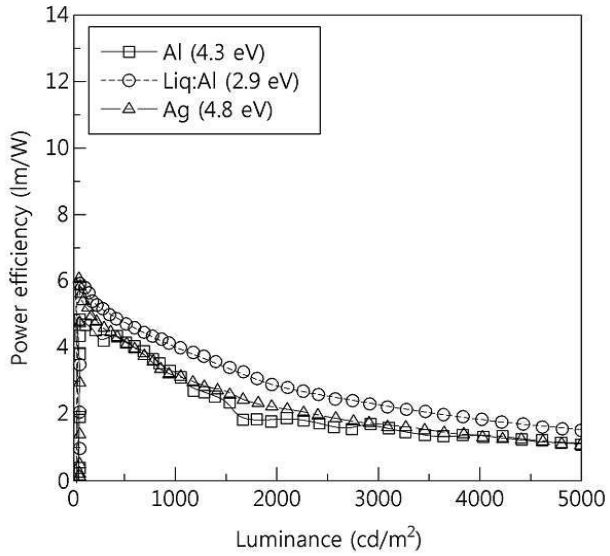
도면8b


Al (4.3 eV)
Liq:Al (2.9 eV)
Ag (4.8 eV)
Luminance (cd/m²)
Voltage (V)
10⁰
10¹
10²
10³
10⁴
0
5
10
15

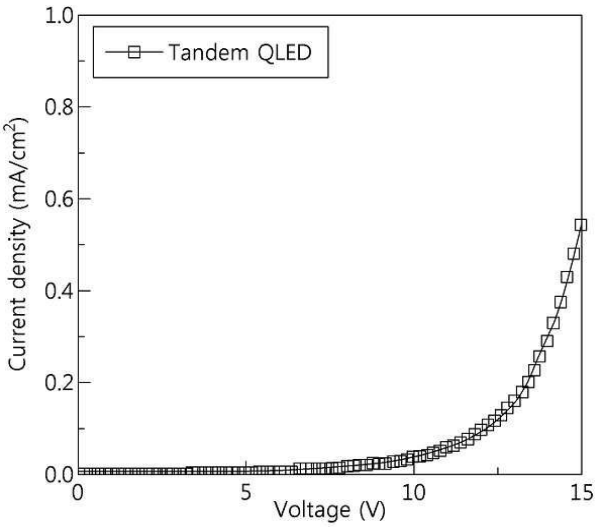
도면8c


Current efficiency (cd/A)
Luminance (cd/m2)
Al (4.3 eV)
Liq:Al (2.9 eV)
Ag (4.8 eV)
0
2
4
6
8
10
12
14
0
1000
2000
3000
4000
5000

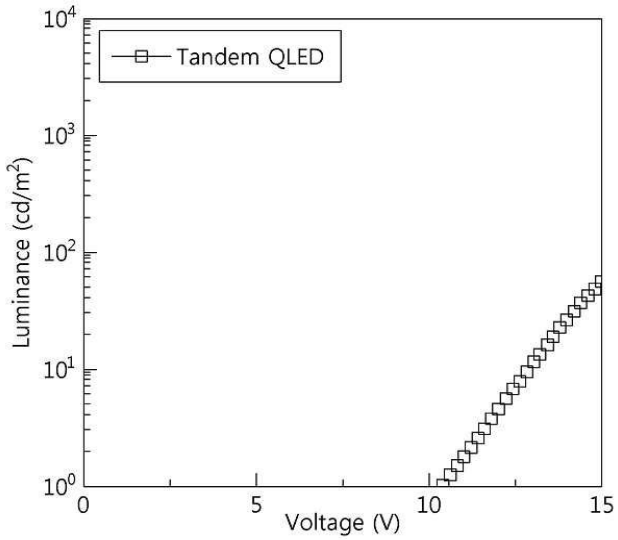
도면8d


Power efficiency (lm/W)
Luminance (cd/m2)
Al (4.3 eV)
Liq:Al (2.9 eV)
Ag (4.8 eV)
0
2
4
6
8
10
12
14
0
1000
2000
3000
4000
5000

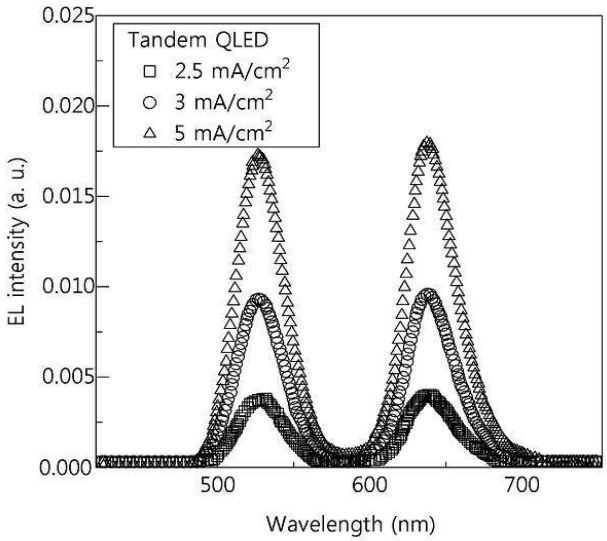
도면9a


Tandem QLED
Current density (mA/cm^2)
Voltage (V)
1.0
0.8
0.6
0.4
0.2
0.0
0
5
10
15

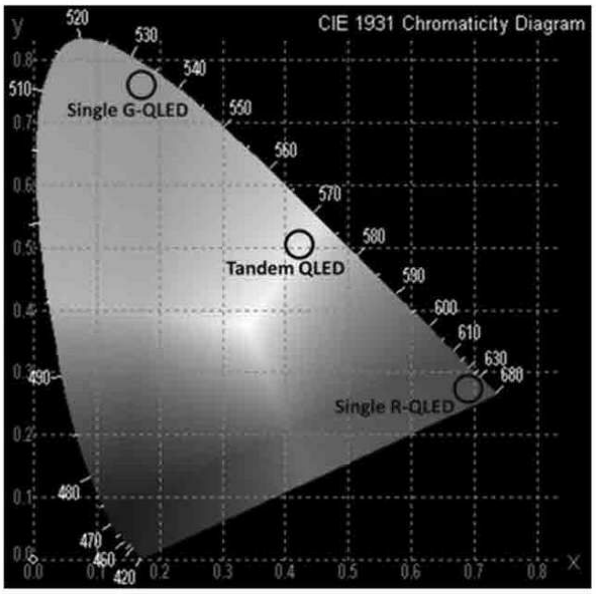
도면9b


Tandem QLED
Luminance (cd/m^2)
Voltage (V)
10^4
10^3
10^2
10^1
10^0
0
5
10
15

도면9c


Tandem QLED
2.5 mA/cm2
3 mA/cm2
5 mA/cm2
EL intensity (a. u.)
0.025
0.020
0.015
0.010
0.005
0.000
500
600
700
Wavelength (nm)

도면9d


CIE 1931 Chromaticity Diagram
Single G-QLED
Tandem QLED
Single R-QLED
520
530
540
550
560
570
580
590
600
610
630
680
510
490
480
470
460
420
y
x