(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5542623号
(P5542623)

(45)発行日　平成26年7月9日(2014.7.9)　(24)登録日　平成26年5月16日(2014.5.16)

(51)Int.Cl.　F I
H01L 21/336 (2006.01)　H01L 29/78　301D
H01L 29/78 (2006.01)

請求項の数 3　(全 14 頁)

(21)出願番号　特願2010-250536(P2010-250536)
(22)出願日　平成22年11月9日(2010.11.9)
(65)公開番号　特開2012-104581(P2012-104581A)
(43)公開日　平成24年5月31日(2012.5.31)
審査請求日　平成25年2月14日(2013.2.14)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108062
弁理士　日向寺　雅彦
(72)発明者　山田　翼
東京都港区芝浦一丁目１番１号　株式会社東芝内

審査官　市川　武宜

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】
【請求項１】
第１の領域と、前記第１の領域に対して離間した第２の領域とを有する半導体層と、
前記第１の領域の表面に設けられた第１導電形のソース領域と、
前記第１の領域の表面に前記ソース領域に隣接して設けられた第２導電形のバックゲート領域と、
前記第２の領域の表面に設けられた第１導電形のドレイン領域と、
前記第１の領域と前記第２の領域との間の前記半導体層の表面上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ソース領域及び前記バックゲート領域に接して設けられたソース電極と、
前記ドレイン領域に接して設けられたドレイン電極と、
を備え、
前記バックゲート領域は、平面視で前記ソース領域から離間し前記ソース領域よりも前記ドレイン領域側に突出した領域を有し、
前記ゲート電極は、前記バックゲート領域の前記突出した領域の上を部分的に欠いた平面パターンを有することを特徴とする半導体装置。
【請求項２】
前記ゲート電極において、前記バックゲート領域と前記ドレイン領域との間の部分の長さは、前記ソース領域と前記ドレイン領域との間の部分の長さよりも短いことを特徴とす

る請求項１記載の半導体装置。
【請求項３】
半導体層における第１の領域と第２の領域との間の表面上に、ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、ゲート電極を形成する工程と、
前記第１の領域の表面に第１導電形のソース領域を、前記第２の領域の表面に第１導電形のドレイン領域を形成する工程と、
前記第１の領域の表面に、前記ソース領域よりも前記ドレイン領域側の端を前記ドレイン領域側に突出させて前記ソース領域に隣接した第２導電形のバックゲート領域を形成する工程と、
前記ソース領域及び前記バックゲート領域上にソース電極を形成する工程と、
前記ドレイン領域上にドレイン電極を形成する工程と、
を備え、
前記ゲート電極における前記第１の領域側の一部を、平面視で凹状に形成し、
前記バックゲート領域を形成する工程は、前記ソース領域に対応する部分の上を覆い前記ゲート電極の前記凹状に形成した部分を露出させる開口を有する第１のマスクを前記ゲート電極の上に形成し、前記第１のマスクと前記ゲート電極とをマスクにして、前記ゲート電極の前記凹状に形成した部分であって前記ソース領域に対応する部分から離間した部分の下に第２導電形不純物を導入する工程を含むことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、半導体装置及びその製造方法に関する。
【背景技術】
【０００２】
横型ＭＯＳ（Metal-Oxide-Semiconductor）トランジスタ構造のパワーデバイスにおいて、アバランシェ降伏による正孔電流が増大すると、ドレイン領域をコレクタ、ボディ領域をベース、ソース領域をエミッタとした横型寄生バイポーラトランジスタがターンオンすることがある。横型寄生バイポーラトランジスタがターンオンしてしまうと、ゲートによる制御が不可能となり、ＭＯＳトランジスタは破壊にいたる。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】米国特許第６７０７１０４号明細書
【発明の概要】
【発明が解決しようとする課題】
【０００４】
寄生動作を抑制し破壊耐量を向上させた半導体装置及びその製造方法を提供する。
【課題を解決するための手段】
【０００５】
実施形態によれば、半導体装置は、第１の領域と、前記第１の領域に対して離間した第２の領域とを有する半導体層と、前記第１の領域の表面に設けられた第１導電形のソース領域と、前記第１の領域の表面に前記ソース領域に隣接して設けられた第２導電形のバックゲート領域と、前記第２の領域の表面に設けられた第１導電形のドレイン領域と、前記第１の領域と前記第２の領域との間の前記半導体層の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域及び前記バックゲート領域に接して設けられたソース電極と、前記ドレイン領域に接して設けられたドレイン電極と、を備え、前記バックゲート領域は、平面視で前記ソース領域から離間し前記ソース領域よりも前記ドレイン領域側に突出した領域を有し、前記ゲート電極は、前記バックゲ

ート領域の前記突出した領域の上を部分的に欠いた平面パターンを有する。

【図面の簡単な説明】

【０００６】

【図１】第１実施形態に係る半導体装置の模式平面図。

【図２】（ａ）は図１におけるＡ－Ａ’断面図であり、（ｂ）は図１におけるＢ－Ｂ’断面図。

【図３】第１実施形態に係る半導体装置の製造方法を示す模式断面図。

【図４】第１実施形態に係る半導体装置の製造方法を示す模式断面図。

【図５】第１実施形態に係る半導体装置の製造方法を示す模式平面図。

【図６】第２実施形態に係る半導体装置の模式平面図。

【図７】（ａ）は図６におけるＣ－Ｃ’断面図であり、（ｂ）は図６におけるＤ－Ｄ’断面図。

【図８】第２実施形態に係る半導体装置の製造方法を示す模式断面図。

【図９】第２実施形態に係る半導体装置の製造方法を示す模式断面図。

【図１０】第２実施形態に係る半導体装置の製造方法を示す模式断面図。

【図１１】第２実施形態に係る半導体装置の製造方法を示す模式平面図。

【発明を実施するための形態】

【０００７】

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。

【０００８】

以下の実施形態では第１導電形をｎ形、第２導電形をｐ形として説明するが、第１導電形をｐ形、第２導電形をｎ形としてもよい。また、半導体としてはシリコンが用いられる。あるいは、シリコン以外の半導体（例えばＳｉＣ、ＧａＮ等の化合物半導体）を用いてもよい。

【０００９】

（第１実施形態）

図１は、第１実施形態に係る半導体装置の模式平面図であり、ドレイン領域２５、ソース領域２４、バックゲート領域２６およびゲート電極２８の平面レイアウトを示す。

図２（ａ）は図１におけるＡ－Ａ’断面図であり、図２（ｂ）は図１におけるＢ－Ｂ’断面図である。

【００１０】

本実施形態の半導体装置は、図２（ａ）及び（ｂ）に示すように、ｐ形のボディ領域２２とｎ形のドリフト領域２３を含む半導体層を備える。ボディ領域２２及びドリフト領域２３は、ｐ形の基板２１の表面側に設けられている。ボディ領域２２とドリフト領域２３は、ゲート電極２８の下で隣接している。あるいは、ボディ領域２２とドリフト領域２３は、隣接していなくてもよい。

【００１１】

ボディ領域２２の表面に、n^+形のソース領域２４及びp^+形のバックゲート領域２６が設けられている。ドリフト領域２３の表面には、n^+形のドレイン領域２５が設けられている。ドレイン領域２５は、ドリフト領域２３よりもｎ形不純物濃度が高い。バックゲート領域２６は、ボディ領域２２よりもｐ形不純物濃度が高い。

【００１２】

また、本実施形態の半導体層は、図１に示す平面視にてゲート電極２８を間に挟んで離間した第１の領域１１と第２の領域１２とを有する。ソース領域２４及びバックゲート領域２６は、第１の領域１１に設けられている。ドレイン領域２５は、第２の領域１２に設けられている。

【００１３】

第１の領域１１と第２の領域１２との間の半導体層の表面上には、ゲート絶縁膜２７を介してゲート電極２８が設けられている。ゲート電極２８の下には、ゲート絶縁膜２７を

介して、ボディ領域２２とドリフト領域２３が存在する。

【００１４】

図２（ａ）に示すように、ソース領域２４とドリフト領域２３との間に、ボディ領域２２が介在している。図２（ｂ）に示すように、バックゲート領域２６とドリフト領域２３との間に、ボディ領域２２が介在している。図２（ａ）及び（ｂ）に示すように、ボディ領域２２とドレイン領域２５との間に、ドリフト領域２３が介在している。

【００１５】

ここで、第１の領域１１と第２の領域１２とを結ぶ方向であって、ゲートオン時に主電流が流れる方向（図１における横方向）をゲート長方向とする。そのゲート長方向に対して直交する方向（図１における縦方向）をゲート幅方向とする。

【００１６】

ソース領域２４とバックゲート領域２６とは、ゲート幅方向に交互にレイアウトされている。バックゲート領域２６は、図１に示す平面視で、ソース領域２４よりもドレイン領域２５側に突出した突出領域２６ａを有する。すなわち、バックゲート領域２６のドレイン領域２５側の端は、ソース領域２４のドレイン領域２５側の端よりも、ドレイン領域２５側に位置する。バックゲート領域２６におけるゲート長方向の長さは、ゲート幅方向の長さよりも長い。

【００１７】

ゲート電極２８は、バックゲート領域２６の突出領域２６ａの上を部分的に欠いた平面パターンを有する。すなわち、ゲート電極２８における第１の領域１１側の一部が、図１に示す平面視で、第１の領域１１側に開口した凹状に形成されている。

【００１８】

ゲート電極２８の凹状部２８ａの下に、バックゲート領域２６の突出領域２６ａが形成されている。ゲート電極２８において、バックゲート領域２６とドレイン領域２５との間の部分の長さは、ソース領域２４とドレイン領域２５との間の部分の長さよりも短い。

【００１９】

前述した各半導体領域が形成された半導体層の表面上には、図２（ａ）及び（ｂ）に示すように、ゲート電極２８を覆うように、層間絶縁膜３１が設けられている。層間絶縁膜３１の表面上には、ソース電極３３とドレイン電極３５が設けられている。ソース電極３３とドレイン電極３５とは、図示しない絶縁層によって絶縁分離されている。

【００２０】

ソース電極３３の下には、層間絶縁膜３１を貫通してソース領域２４に達するソースコンタクト電極３２が形成されている。ソース電極３３は、ソースコンタクト電極３２を介して、ソース領域２４と電気的に接続されている。

【００２１】

また、ソース電極３３は、層間絶縁膜３１を介して、バックゲート領域２６上にも設けられている。そのソース電極３３の下には、層間絶縁膜３１を貫通してバックゲート領域２６に達するバックゲートコンタクト電極３６が形成され、バックゲート領域２６は、バックゲートコンタクト電極３６を介して、ソース電極３３と電気的に接続されている。

【００２２】

ドレイン電極３５の下には、層間絶縁膜３１を貫通してドレイン領域２５に達するドレインコンタクト電極３４が形成されている。ドレイン電極３５は、ドレインコンタクト電極３４を介して、ドレイン領域２５と電気的に接続されている。

【００２３】

相対的に、ドレイン電極３５に高電位、ソース電極３３に低電位が印加された状態で、ゲート電極２８に所望のゲート電位が印加されると、ゲート電極２８の下のボディ領域２２の表面側に反転層（ｎチャネル）が形成される。例えば、ソース電極３３には、グランド電位または負電位が印加され、ゲート電極２８には正のゲート電位が印加される。ドレイン電極３５には、ゲート電位よりも高い正電位が印加される。

【００２４】

これにより、ソース領域２４、ｎチャネル、ドリフト領域２３およびドレイン領域２５を介して、ソース電極３３とドレイン電極３５間に電流が流れ、オン状態になる。ボディ領域２２の不純物濃度の制御により、しきい値電圧が調整される。

【００２５】

本実施形態の半導体装置は、ＭＯＳトランジスタのチャネルを二重拡散で形成して高耐圧化を図ったＤＭＯＳ（double diffusion Metal-Oxide-Semiconductor）構造を有する。すなわち、比較的ｎ形不純物濃度が低いドリフト領域２３が設けられている。これにより、ゲートオフ時、ドリフト領域２３が空乏化することで電界を緩和し、高耐圧が得られる。ドリフト領域２３のｎ形不純物濃度や横方向長さを調整することで、所望の耐圧を実現できる。

【００２６】

また、アバランシェブレークダウンが発生すると、正孔電流は、バックゲート領域２６及びバックゲートコンタクト電極３６を介してソース電極３３へと流れる。これにより、素子破壊を防ぐことができる。

【００２７】

一般にＤＭＯＳにおいて、ボディ領域はバックゲート領域に比べて不純物濃度が低く、抵抗が高い。このため、バックゲート領域が、ボディ領域とドリフト領域との境界から遠くなると、ドレイン領域をコレクタ、ボディ領域をベース、ソース領域をエミッタとした寄生バイポーラトランジスタにおけるベース・エミッタ間のｐｎ接合が順方向にバイアスされやすくなり、寄生バイポーラトランジスタが動作しやすくなる。

【００２８】

ゲートオフ時、ゲート電極２８の下方におけるドレイン領域２５側の部分で特に電界が高くなりやすく、その部分でアバランシェブレークダウンが起きやすい。

【００２９】

本実施形態では、バックゲート領域２６が、ソース領域２４よりもドレイン領域２５側に突出して設けられている。すなわち、バックゲート領域２６が、ソース領域２４よりも、アバランシェブレークダウンポイントに近い。

【００３０】

このため、アバランシェ電流（正孔電流）が、バックゲート領域２６を介してソース電極３３に抜けやすくなる。これにより、寄生バイポーラトランジスタのベース抵抗が低くなり、寄生バイポーラトランジスタがターンオンし難くなる。この結果、破壊耐量が向上する。

【００３１】

また、破壊耐量が上がることにより、バックゲート領域２６の面積比率を縮小でき、素子面積の縮小を図れる。

【００３２】

バックゲート領域２６におけるゲート長方向の長さは、ゲート幅方向の長さよりも長い。したがって、ソース領域２４の面積の低減を抑えてオン抵抗の増大を抑制しつつ、破壊耐量を向上できる。

【００３３】

次に、図３（ａ）～図５を参照して、第１実施形態の半導体装置の製造方法について説明する。なお、図３（ａ）～図４（ｂ）は、図１におけるＢ－Ｂ’断面に対応する。

【００３４】

まず、例えば図示しないマスクを用いたイオン注入法により、ｐ形不純物とｎ形不純物をそれぞれ基板２１に注入する。イオン注入後、熱処理を行うことで、図３（ａ）に示すように、ｐ形のボディ領域２２とｎ形のドリフト領域２３が形成される。

【００３５】

次に、図３（ｂ）に示すように、ボディ領域２２とドリフト領域２３を含む半導体層の表面上にゲート絶縁膜２７を形成し、そのゲート絶縁膜２７上にゲート電極２８を形成する。この後、ゲート電極２８及びゲート絶縁膜２７を、図４（ａ）に示すようにパターニ

ングする。
【００３６】
例えばゲート電極２８上に形成したレジストマスクに選択的に露光及び現像を行って、レジストパターンを形成し、そのレジストパターンをマスクにして、ゲート電極２８を選択的にエッチングする。
【００３７】
ゲート電極２８は、図１に示すように、部分的に凹状部２８ａを有する平面形状にパターニングされる。
【００３８】
ゲート電極２８のパターニング後、図４（ｂ）に示すように、ボディ領域２２の表面にバックゲート領域２６が形成される。
【００３９】
例えば、図５に示すマスク４０を用いたイオン注入法により、ｐ形不純物が導入される。マスク４０には、マスク開口４０ａが形成されている。マスク開口４０ａからは、ゲート電極２８の凹状部２８ａが露出している。さらに、第１の領域１１における凹状部２８ａの横の部分もマスク開口４０ａから露出している。マスク４０は、ソース領域２４が形成される領域とドレイン領域２５が形成される領域を覆っている。
【００４０】
マスク開口４０ａから露出している領域にｐ形不純物を注入した後、熱処理を行うことで、ドレイン領域２５側に突出した突出領域２６ａを含むバックゲート領域２６が形成される。
【００４１】
ゲート電極２８のパターニング時に凹状部２８ａを形成し、そのゲート電極２８をパターニングした後にイオン注入を行うことで、バックゲート領域２６のドレイン領域２５側に突出した突出領域２６ａを自己整合的に形成することができる。
【００４２】
共にｎ$^{+}$形であるソース領域２４とドレイン領域２５は、別のマスクを用いたイオン注入法により同時に形成される。ソース領域２４及びドレイン領域２５の形成時、バックゲート領域２６が形成される領域はマスクで覆われている。なお、ソース領域２４及びドレイン領域２５は、バックゲート領域２６より先に形成してもよい。
【００４３】
その後、図２（ａ）及び（ｂ）に示すように、層間絶縁膜３１、コンタクト電極３２、３４、３６、ソース電極３３、ドレイン電極３５などが形成される。
【００４４】
（第２実施形態）
図６は、第２実施形態に係る半導体装置の模式平面図であり、ドレイン領域２５、ソース領域２４、バックゲート領域４６およびゲート電極２８の平面レイアウトを示す。
図７（ａ）は図６におけるＣ－Ｃ’断面図であり、図７（ｂ）は図６におけるＤ－Ｄ’断面図である。
【００４５】
本実施形態の半導体装置は、図７（ａ）及び（ｂ）に示すように、ｐ形のボディ領域２２とｎ形のドリフト領域２３を含む半導体層を備える。ボディ領域２２及びドリフト領域２３は、ｐ形の基板２１の表面側に設けられている。
【００４６】
ボディ領域２２の表面に、ｎ$^{+}$形のソース領域２４及びｐ$^{+}$形のバックゲート領域４６が設けられている。バックゲート領域４６は、ボディ領域２２よりもｐ形不純物濃度が高い。ドリフト領域２３の表面には、ｎ$^{+}$形のドレイン領域２５が設けられている。
【００４７】
また、本実施形態の半導体層は、図６に示す平面視にてゲート電極２８を間に挟んで離間した第１の領域５１と第２の領域５２とを有する。ソース領域２４及びバックゲート領

域４６は、第１の領域５１に設けられている。ドレイン領域２５は、第２の領域５２に設けられている。

【００４８】

第１の領域５１と第２の領域５２との間の半導体層の表面上には、ゲート絶縁膜２７を介してゲート電極２８が設けられている。ゲート電極２８の下には、ゲート絶縁膜２７を介して、ボディ領域２２とドリフト領域２３が存在する。ゲート電極２８の下方において、ボディ領域２２とドリフト領域２３との間には、ｐ形の基板２１が介在している。あるいは、ボディ領域２２とドリフト領域２３とが隣接していてもよい。

【００４９】

ドリフト領域２３の表面には、例えばＳＴＩ（Shallow Trench Isolation）構造のフィールド絶縁膜４７が設けられている。フィールド絶縁膜４７は、ドレイン領域２５におけるゲート電極２８側に隣接している。

【００５０】

図７（ａ）に示すように、ソース領域２４と基板２１との間に、ボディ領域２２が介在している。図７（ｂ）に示すように、バックゲート領域４６と基板２１との間に、ボディ領域２２が介在している。

【００５１】

本実施形態においても、第１の領域５１と第２の領域５２とを結ぶ方向であって、ゲートオン時に主電流が流れる方向（図６における横方向）をゲート長方向とする。そのゲート長方向に対して直交する方向（図６における縦方向）をゲート幅方向とする。

【００５２】

図６に示すように、バックゲート領域４６は、ソース領域２４に挟まれてゲート幅方向に延びる領域４６ａと、その領域４６ａに対して交差してゲート長方向に延びる領域４６ｂとを有する。さらに、領域４６ｂは、ソース領域２４よりもドレイン領域２５側に突出した突出領域４６ｃを有する。すなわち、バックゲート領域４６のドレイン領域２５側の端は、ソース領域２４のドレイン領域２５側の端よりも、ドレイン領域２５側に位置する。

【００５３】

ゲート電極２８は、バックゲート領域４６の突出領域４６ｃの上を部分的に欠いた平面パターンを有する。すなわち、ゲート電極２８における第１の領域５１側の一部が、図６に示す平面視で、第１の領域５１側に開口した凹状に形成されている。

【００５４】

ゲート電極２８の凹状部２８ａの下に、バックゲート領域４６の突出領域４６ｃが形成されている。ゲート電極２８において、バックゲート領域４６の突出領域４６ｃとドレイン領域２５との間の部分の長さは、ソース領域２４とドレイン領域２５との間の部分の長さよりも短い。

【００５５】

前述した各半導体領域が形成された半導体層の表面上には、図７（ａ）及び（ｂ）に示すように、ゲート電極２８を覆うように、層間絶縁膜３１が設けられている。層間絶縁膜３１の表面上には、ソース電極３３とドレイン電極３５が設けられている。ソース電極３３とドレイン電極３５とは、図示しない絶縁層によって絶縁分離されている。

【００５６】

ソース電極３３の下には、層間絶縁膜３１を貫通してソース領域２４及びバックゲート領域４６に達するコンタクト電極３２が形成されている。ソース電極３３は、コンタクト電極３２を介して、ソース領域２４及びバックゲート領域４６と電気的に接続されている。

【００５７】

ドレイン電極３５の下には、層間絶縁膜３１を貫通してドレイン領域２５に達するコンタクト電極３４が形成されている。ドレイン電極３５は、コンタクト電極３４を介して、ドレイン領域２５と電気的に接続されている。

【００５８】
相対的に、ドレイン電極３５に高電位、ソース電極３３に低電位が印加された状態で、ゲート電極２８に所望のゲート電位が印加されると、ゲート電極２８の下のボディ領域２２及びｐ形基板２１の表面側に反転層（ｎチャネル）が形成される。例えば、ソース電極３３には、グランド電位または負電位が印加され、ゲート電極２８には正のゲート電位が印加される。ドレイン電極３５には、ゲート電位よりも高い正電位が印加される。
【００５９】
これにより、ソース領域２４、ｎチャネル、ドリフト領域２３およびドレイン領域２５を介して、ソース電極３３とドレイン電極３５間に電流が流れ、オン状態になる。ボディ領域２２の不純物濃度の制御により、しきい値電圧が調整される。
【００６０】
また、ゲートオフ時、ドリフト領域２３が空乏化することで電界を緩和し、高耐圧が得られる。さらに、ゲート電極２８のドレイン端側に発生する高電界をフィールド絶縁膜４７に負担させることができるため、より耐圧を向上できる。
【００６１】
また、バックゲート領域４６が、ソース領域２４よりもドレイン領域２５側に突出して設けられている。すなわち、バックゲート領域４６が、ソース領域２４よりも、アバランシェブレークダウンポイントに近い。
【００６２】
このため、アバランシェ電流（正孔電流）が、バックゲート領域４６を介してソース電極３３に抜けやすくなる。これにより、寄生バイポーラトランジスタのベース抵抗が低くなり、寄生バイポーラトランジスタがターンオンし難くなる。この結果、破壊耐量が向上する。
【００６３】
また、破壊耐量が上がることにより、バックゲート領域４６の面積比率を縮小でき、素子面積の縮小を図れる。
【００６４】
次に、図８（ａ）～図１１を参照して、第２実施形態の半導体装置の製造方法について説明する。なお、図８（ａ）～図１０（ｂ）は、図６におけるＤ－Ｄ’断面に対応する。
【００６５】
まず、図８（ａ）に示すように、例えばＲＩＥ（Reactive Ion Etching）法で、基板２１の表面にトレンチｔを形成する。この後、トレンチｔ内に、図８（ｂ）に示すように、絶縁物（例えばシリコン酸化物）を埋め込む。これにより、例えばＳＴＩ構造のフィールド絶縁膜４７が形成される。
【００６６】
次に、例えば図示しないマスクを用いたイオン注入法により、ｐ形不純物とｎ形不純物をそれぞれ基板２１に注入する。イオン注入後、熱処理を行うことで、図９（ａ）に示すように、ｐ形のボディ領域２２とｎ形のドリフト領域２３が形成される。
【００６７】
次に、図９（ｂ）に示すように、ボディ領域２２とドリフト領域２３を含む半導体層の表面上及びフィールド絶縁膜４７の表面上にゲート絶縁膜２７を形成し、そのゲート絶縁膜２７上にゲート電極２８を形成する。この後、ゲート電極２８及びゲート絶縁膜２７を、図１０（ａ）に示すようにパターニングする。
【００６８】
ゲート電極２８は、図６に示すように、部分的に凹状部２８ａを有する平面形状にパターニングされる。
【００６９】
ゲート電極２８のパターニング後、図１０（ｂ）に示すように、ボディ領域２２の表面にバックゲート領域４６が形成される。
【００７０】

例えば、図１１に示すマスク６０を用いたイオン注入法により、ｐ形不純物が導入される。マスク６０には、マスク開口６０ａが形成されている。マスク開口６０ａからは、ゲート電極２８の凹状部２８ａが露出している。さらに、第１の領域５１における凹状部２８ａの横の部分もマスク開口６０ａから露出している。さらに、バックゲート領域４６のゲート幅方向に延びる領域４６ａが形成される領域もマスク開口６０ａから露出している。マスク６０は、ソース領域２４が形成される領域とドレイン領域２５が形成される領域を覆っている。

【００７１】

マスク開口６０ａから露出している領域にｐ形不純物を注入した後、熱処理を行うことで、ドレイン領域２５側に突出した突出領域４６ａを含むバックゲート領域４６が形成される。

【００７２】

ゲート電極２８のパターニング時に凹状部２８ａを形成し、そのゲート電極２８をパターニングした後にイオン注入を行うことで、バックゲート領域４６のドレイン領域２５側に突出した突出領域４６ａを自己整合的に形成することができる。

【００７３】

共にｎ$^{+}$形であるソース領域２４とドレイン領域２５は、別のマスクを用いたイオン注入法により同時に形成される。ソース領域２４及びドレイン領域２５の形成時、バックゲート領域４６が形成される領域はマスクで覆われている。なお、ソース領域２４及びドレイン領域２５は、バックゲート領域４６より先に形成してもよい。

【００７４】

その後、図７（ａ）及び（ｂ）に示すように、層間絶縁膜３１、コンタクト電極３２、３６、ソース電極３３、ドレイン電極３５などが形成される。

【００７５】

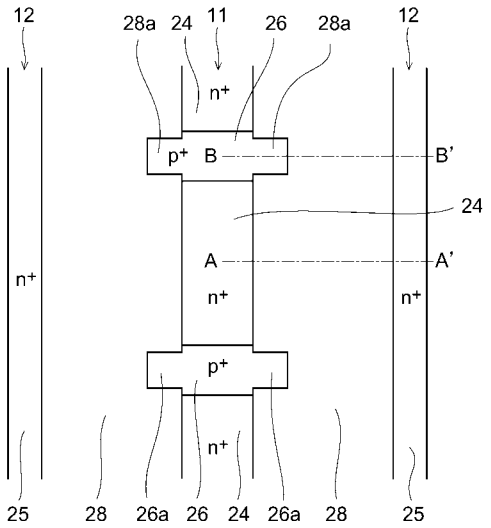
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

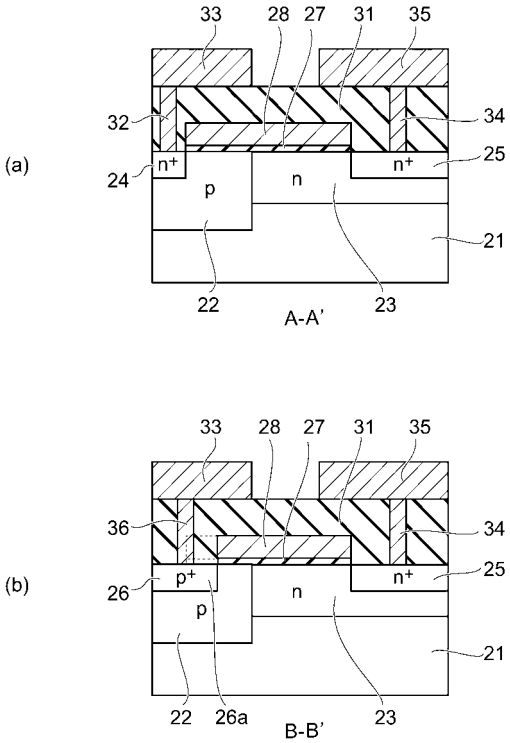
【００７６】

１１，５１…第１の領域、１２，５２…第２の領域、２２…ボディ領域、２３…ドリフト領域、２４…ソース領域、２５…ドレイン領域、２６，４６…バックゲート領域、２７…ゲート絶縁膜、２８…ゲート電極、３３…ソース電極、３５…ドレイン電極、４０，６０…マスク、４０ａ，６０ａ…マスク開口、４７…フィールド絶縁膜

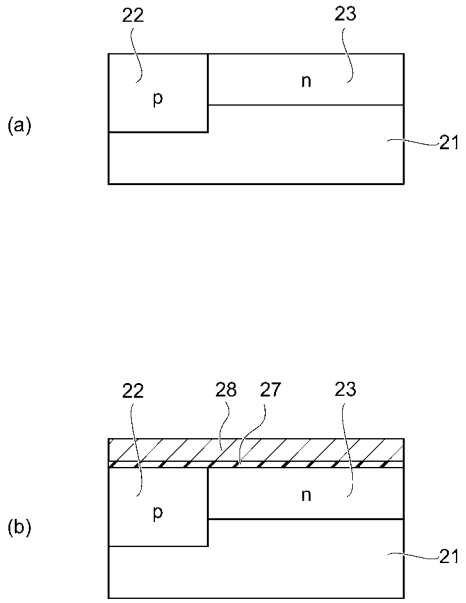
【図１】


12
28a
24
11
26
28a
12
n+
p+
B
B'
24
A
A'
n+
n+
n+
p+
n+
n+
25
28
26a
26
24
26a
28
25

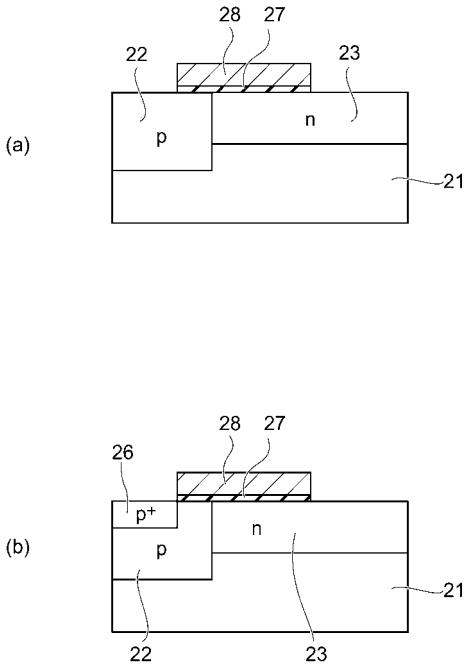
【図２】


(a)
33
28
27
31
35
32
34
24
n+
25
p
n
n+
21
22
23
A-A'
(b)
33
28
27
31
35
36
34
p+
26
n+
25
p
n
21
22
26a
23
B-B'

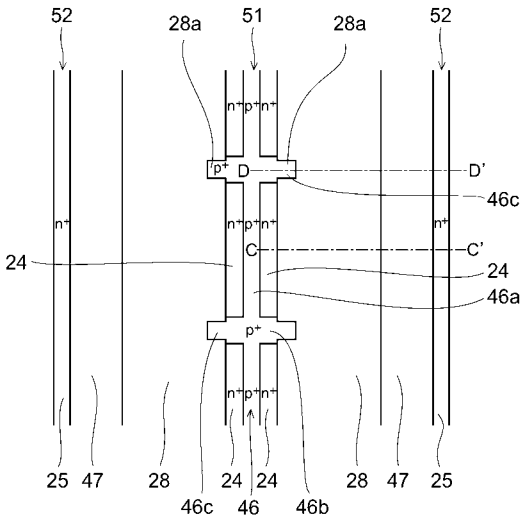
【図３】


(a)
22
23
p
n
21
(b)
22
28
27
23
p
n
21

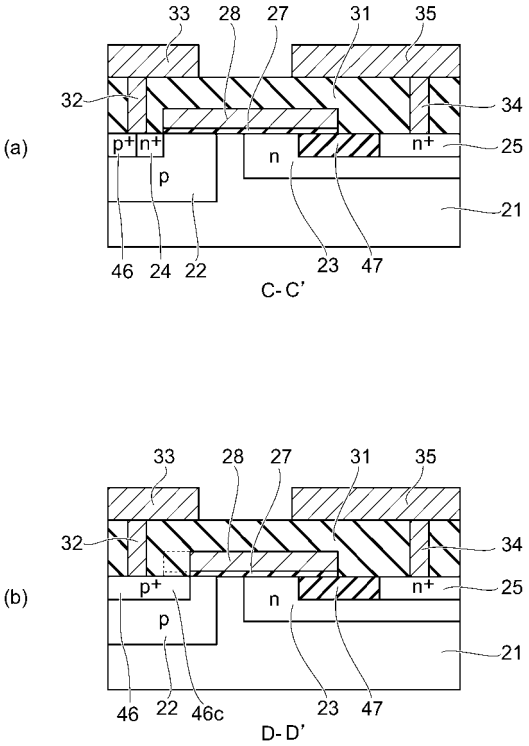
【図４】


(a)
28
27
22
23
p
n
21
(b)
26
28
27
p+
p
n
21
22
23

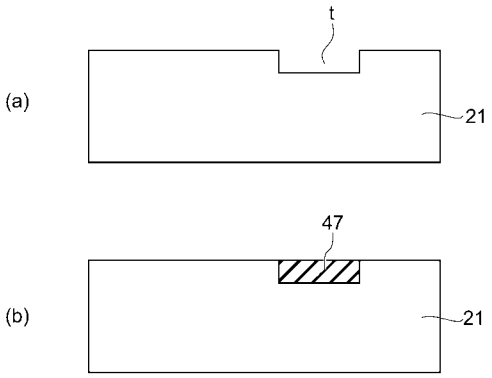
【図６】



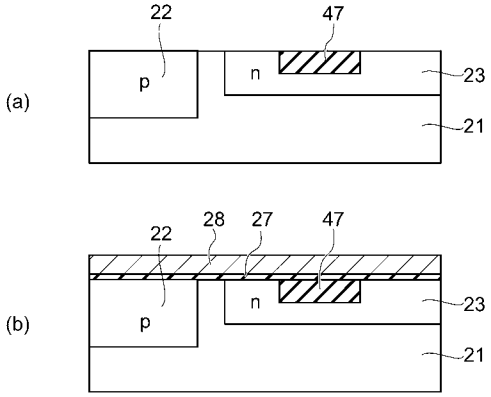
【図７】



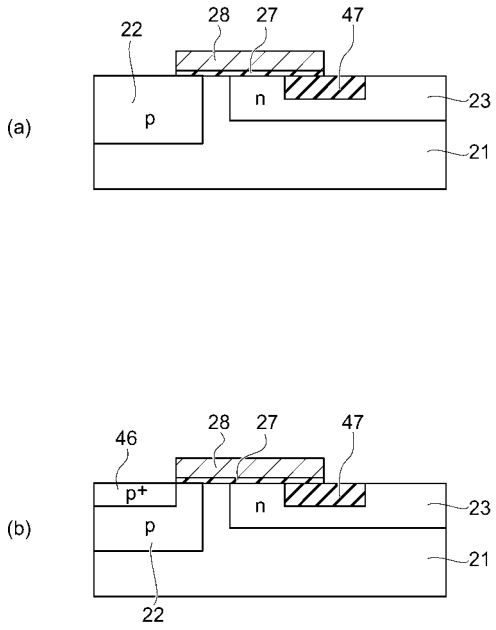
【図８】



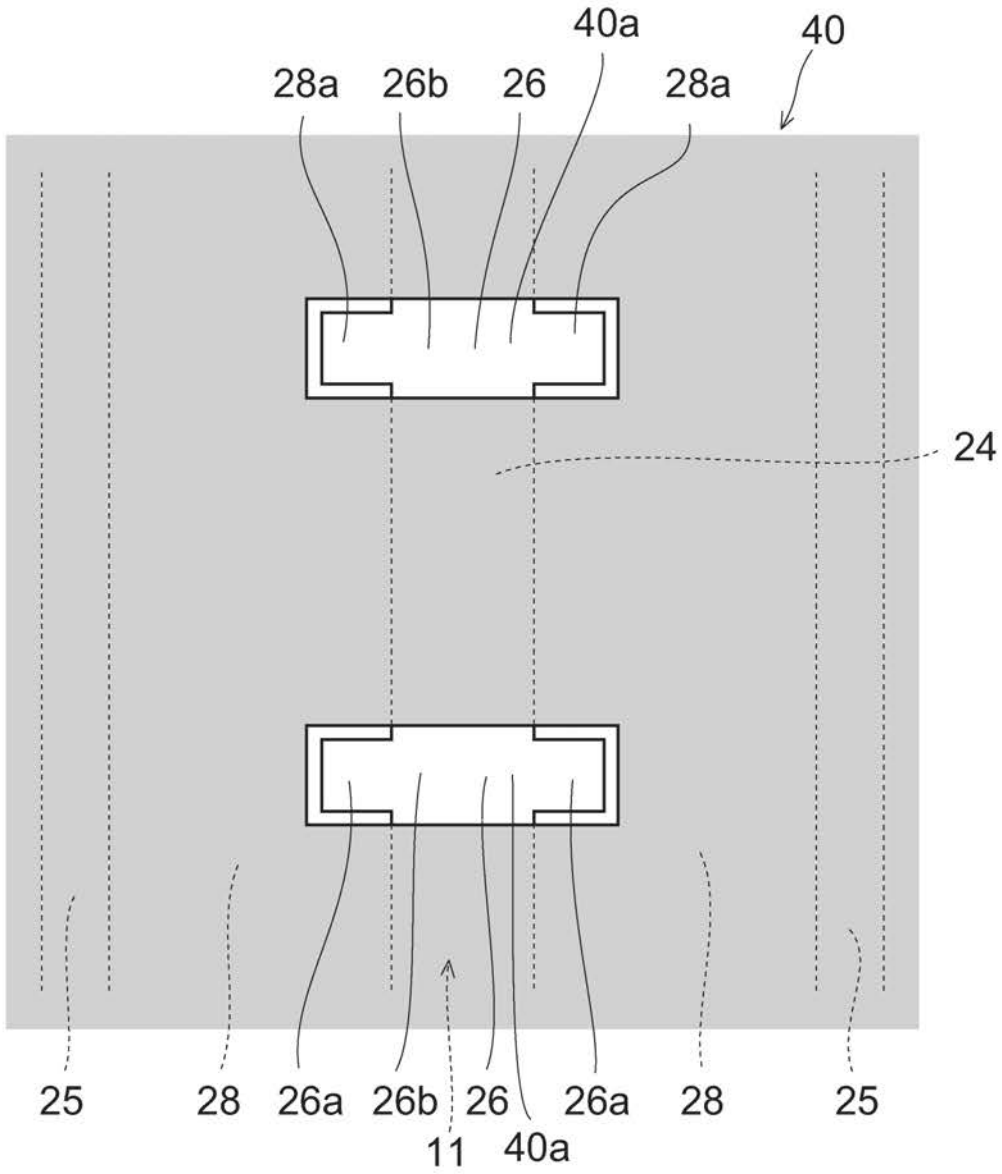
【図９】



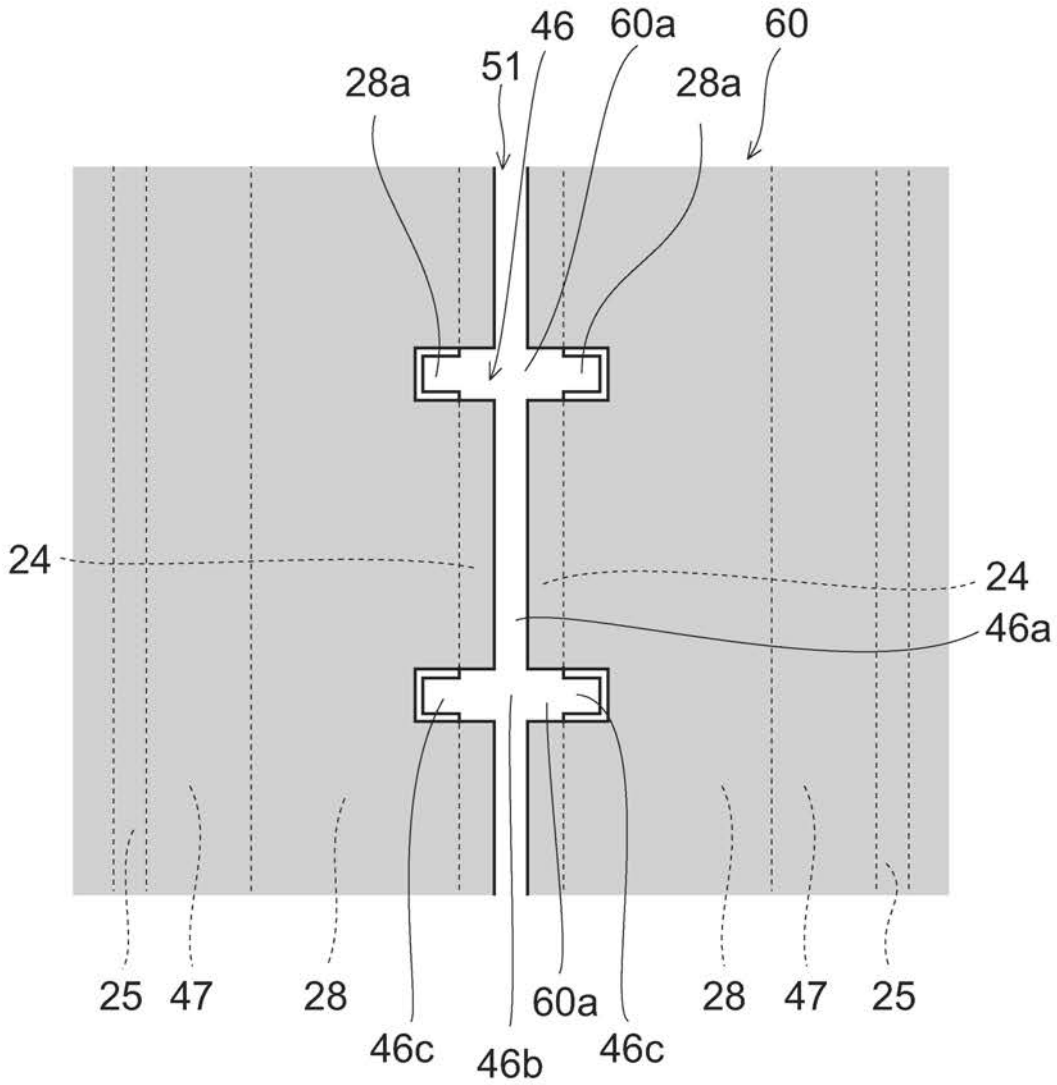
【図１０】



【図５】



【図１１】



フロントページの続き

(56)参考文献 特開２００７－２５８２８３（ＪＰ，Ａ）
特開平０７－３０７４０１（ＪＰ，Ａ）
特開２００８－１８１９３４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２９／７８