

(19) 日本国特許庁 (JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-525825

(P2018-525825A)

(43) 公表日 平成30年9月6日 (2018. 9. 6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z	4 M 1 1 9
HO 1 L 21/768 (2006.01)	HO 1 L 27/105 4 4 7	5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 43/08 Z	5 F 0 9 2
HO 1 L 21/8239 (2006.01)	HO 1 L 43/12	
HO 1 L 27/105 (2006.01)		

審査請求 未請求 予備審査請求 有 (全 33 頁) 最終頁に続く

(21) 出願番号	特願2018-506392 (P2018-506392)	(71) 出願人	507364838
(86) (22) 出願日	平成28年7月11日 (2016. 7. 11)		クアルコム、インコーポレイテッド
(85) 翻訳文提出日	平成30年2月7日 (2018. 2. 7)		アメリカ合衆国 カリフォルニア 921
(86) 国際出願番号	PCT/US2016/041790		21 サン ディエゴ モアハウス ドラ
(87) 国際公開番号	W02017/027148		イブ 5775
(87) 国際公開日	平成29年2月16日 (2017. 2. 16)	(74) 代理人	100108453
(31) 優先権主張番号	14/822, 326		弁理士 村山 靖彦
(32) 優先日	平成27年8月10日 (2015. 8. 10)	(74) 代理人	100163522
(33) 優先権主張国	米国 (US)		弁理士 黒田 晋平
		(72) 発明者	ユ・ル
			アメリカ合衆国・カリフォルニア・921
			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 メモリデバイスのためのメタライゼーションプロセス

(57) 【要約】

デバイスの製作の方法が、デバイスの論理デバイスに結合された第1のメタライゼーション層を形成することを含む。方法は、デバイスの磁気抵抗ランダムアクセスメモリ (MRAM) モジュールに結合された第2のメタライゼーション層を形成することをさらに含む。第2のメタライゼーション層は第1のメタライゼーション層とは無関係である。

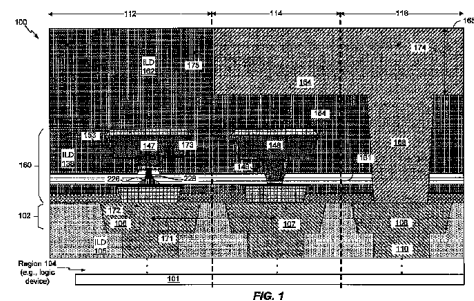


FIG. 1

【特許請求の範囲】

【請求項 1】

デバイスの製作の方法であって、

デバイスの論理デバイスに結合された第 1 のメタライゼーション層を形成するステップと、

前記デバイスの磁気抵抗ランダムアクセスメモリ (MRAM) モジュールに結合された第 2 のメタライゼーション層を形成するステップであって、前記第 2 のメタライゼーション層が前記第 1 のメタライゼーション層とは無関係である、ステップを含む方法。

【請求項 2】

10

前記第 1 のメタライゼーション層が、バック・エンド・オブ・ライン (BEOL) メタライゼーションプロセスを使用して形成され、前記第 2 のメタライゼーション層が、前記 MRAM モジュールに関連する 1 つまたは複数の構成要素を形成することを専用とするメタライゼーションプロセスを使用して形成される請求項 1 に記載の方法。

【請求項 3】

前記 BEOL メタライゼーションプロセスが、メタライゼーション層の正の整数 n を指定し、前記デバイスが少なくとも $n + 1$ 個のメタライゼーション層を含む請求項 2 に記載の方法。

【請求項 4】

20

前記第 2 のメタライゼーション層が、ダマシンプロセスを実施して前記 1 つまたは複数の構成要素を形成し、前記 1 つまたは複数の構成要素が、前記 MRAM モジュールのビット線または前記 MRAM モジュールのアレイ接点の 1 つまたは複数を含む請求項 2 に記載の方法。

【請求項 5】

前記第 2 のメタライゼーション層を形成した後に、第 3 のメタライゼーション層を形成するステップをさらに含み、前記第 1 のメタライゼーション層が、前記第 3 のメタライゼーション層に関連する第 2 のピッチ未満の第 1 のピッチに関連付けられる請求項 1 に記載の方法。

【請求項 6】

30

前記第 1 のピッチが、前記デバイスのバック・エンド・オブ・ライン (BEOL) メタライゼーションプロセスに準拠する特定のピッチである請求項 5 に記載の方法。

【請求項 7】

前記第 1 のメタライゼーション層が、前記第 3 のメタライゼーション層に関連する第 2 の密度よりも高い第 1 の密度を有する請求項 5 に記載の方法。

【請求項 8】

前記第 1 のメタライゼーション層を形成する前記ステップ、および前記第 2 のメタライゼーション層を形成する前記ステップが、命令を実行するプロセッサによって開始される請求項 1 に記載の方法。

【請求項 9】

40

デバイスの製作中にプロセッサに動作を開始させるように前記プロセッサによって実行可能である命令を記憶するコンピュータ可読媒体であって、前記動作が、

デバイスの論理デバイスに結合された第 1 のメタライゼーション層を形成すること、および

前記デバイスの磁気抵抗ランダムアクセスメモリ (MRAM) モジュールに結合された第 2 のメタライゼーション層を形成することであって、前記第 2 のメタライゼーション層が前記第 1 のメタライゼーション層とは無関係であることを含むコンピュータ可読媒体。

【請求項 10】

50

前記第 1 のメタライゼーション層が、バック・エンド・オブ・ライン (BEOL) メタライゼーションプロセスを使用して形成され、前記第 2 のメタライゼーション層が、前記

MRAMモジュールに関連する1つまたは複数の構成要素を形成することを専用とするメタライゼーションプロセスを使用して形成される請求項9に記載のコンピュータ可読媒体。

【請求項11】

前記BEOLメタライゼーションプロセスが、メタライゼーション層の正の整数 n を指定し、前記デバイスが少なくとも $n+1$ 個のメタライゼーション層を含む請求項10に記載のコンピュータ可読媒体。

【請求項12】

前記第2のメタライゼーション層を形成することが、ダマシンプロセスを実施して前記1つまたは複数の構成要素を形成することを含み、前記1つまたは複数の構成要素が、前記MRAMモジュールのビット線または前記MRAMモジュールのアレイ接点の1つまたは複数を含む請求項10に記載のコンピュータ可読媒体。

10

【請求項13】

前記動作が、前記第2のメタライゼーション層を形成した後に、第3のメタライゼーション層を形成することをさらに含み、前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2のピッチ未満の第1のピッチに関連付けられる請求項9に記載のコンピュータ可読媒体。

【請求項14】

前記第1のピッチが、前記デバイスのバック・エンド・オブ・ライン（BEOL）メタライゼーションプロセスに準拠する特定のピッチである請求項13に記載のコンピュータ可読媒体。

20

【請求項15】

前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2の密度よりも高い第1の密度を有する請求項13に記載のコンピュータ可読媒体。

【請求項16】

第1のメタライゼーション層の第1の構造であって、集積回路の論理デバイスに結合された第1の構造と、

第2のメタライゼーション層の第2の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ（MRAM）モジュールの1つまたは複数の抵抗ベースの記憶素子に結合され、前記第1の構造とは無関係である、第2の構造とを備える装置。

30

【請求項17】

前記第1の構造が接点またはビアを含み、前記第2の構造が、前記MRAMモジュールのビット線を含み、前記MRAMモジュールのアレイ接点をさらに備える請求項16に記載の装置。

【請求項18】

第3のメタライゼーション層の第3の構造をさらに備え、前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2のピッチ未満の第1のピッチに関連付けられる請求項16に記載の装置。

【請求項19】

前記第3の構造が金属領域またはビアを含む請求項18に記載の装置。

40

【請求項20】

前記MRAMモジュールが、モジュール接点と、前記モジュール接点に結合された結合素子と、アレイ接点とをさらに含む請求項16に記載の装置。

【請求項21】

前記第1の構造および前記第2の構造を含む半導体ダイをさらに備える請求項16に記載の装置。

【請求項22】

モバイルデバイス、コンピュータ、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末（PDA）、モニタ、テレビジョン、同調器

50

、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、ビデオプレーヤ、デジタルビデオプレーヤ、デジタルビデオディスク（DVD）プレーヤ、ポータブルデジタルビデオプレーヤ、および固定位置データユニットからなるグループから選択されたデバイスをさらに備え、前記半導体ダイが前記デバイス内に統合される請求項 2 1 に記載の装置。

【請求項 2 3】

データファイルを生成する方法であって、

半導体デバイスの少なくとも 1 つの物理的性質を表す設計情報を受け取るステップであって、前記半導体デバイスが、

第 1 のメタライゼーション層の第 1 の構造であって、集積回路の論理デバイスに結合された第 1 の構造と、

第 2 のメタライゼーション層の第 2 の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ（MRAM）モジュールの 1 つまたは複数の抵抗ベースの記憶素子に結合され、前記第 1 の構造とは無関係である、第 2 の構造と

を備える、ステップと、

ファイルフォーマットに準拠するように前記設計情報を変換するステップと、

変換した設計情報を含むデータファイルを生成するステップと

を含む方法。

【請求項 2 4】

前記データファイルが GDSII フォーマットを有し、前記設計情報がライブラリファイルを含む請求項 2 3 に記載の方法。

【請求項 2 5】

前記設計情報が、前記論理デバイスを表現する論理デバイス設計情報を含み、前記 MRAM モジュールを表現する MRAM モジュール設計情報をさらに含む請求項 2 3 に記載の方法。

【請求項 2 6】

前記第 1 の構造が接点またはビアを含む請求項 2 3 に記載の方法。

【請求項 2 7】

前記第 2 の構造が、前記 MRAM モジュールのビット線または前記 MRAM モジュールのアレイ接点を含む請求項 2 3 に記載の方法。

【請求項 2 8】

前記半導体デバイスが、第 3 のメタライゼーション層の第 3 の構造をさらに含む請求項 2 7 に記載の方法。

【請求項 2 9】

前記第 3 の構造が金属領域またはビアを含む請求項 2 8 に記載の方法。

【請求項 3 0】

前記第 1 の構造の第 1 の厚さが、前記第 2 の構造の第 2 の厚さ未満である請求項 2 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

（優先権の主張）

本願は、2015 年 8 月 10 日に出願された、本願と同じ所有者の米国非仮特許出願第 14/822,326 号の優先権を主張し、その内容全体が、参照により本明細書に明白に組み込まれる。

【0002】

本開示は、一般には半導体デバイスに関し、より詳細には、メモリデバイスを含む半導体デバイスに関する。

【背景技術】

【0003】

10

20

30

40

50

磁気抵抗ランダムアクセスメモリ（MRAM）デバイスは、情報を記憶するために抵抗ベースの記憶素子を使用し得る。たとえば、磁気トンネル接合（MTJ）が、第1の論理値（たとえば、論理0値）を示すための低抵抗状態、または第2の論理値（たとえば、論理1値）を示すための高い抵抗状態のどちらかを有するようにプログラムされ得る。

【0004】

いくつかの半導体デバイスは、1つまたは複数の他の構成要素を有するMRAMデバイスを単一の集積回路に統合する。たとえば、集積回路は、基板と、基板上に形成されたデバイスと、集積回路のメタライゼーション層を使用してデバイスの上に形成されたMRAMデバイスとを含み得る。この実施例では、MRAMデバイスとデバイスとは、メタライゼーション層を「共有」し得る。たとえば、メタライゼーション層は、両方のデバイスに関連する配線を含み得る。

10

【0005】

いくつかの環境では、メタライゼーション層内にMRAMデバイスを形成することは、集積回路の製造コストおよび複雑さを増大させ得る。たとえば、MRAMデバイスの配線と、デバイスの配線とがメタライゼーション層を「共有」する場合、集積回路の設計が、製作設計規則に準拠するため、または集積回路の物理レイアウトに準拠するために修正され得る。集積回路の設計を修正することは製造コストを増大させ得る。

【発明の概要】

【課題を解決するための手段】

【0006】

メモリデバイス（たとえば、磁気抵抗ランダムアクセスメモリ（MRAM）デバイス）に関連する1つまたは複数の構成要素が、専用（または「カスタム化」）メタライゼーション層を使用して形成される。例示的实施例として、専用メタライゼーション層は、MRAMデバイスに結合されたビット線を作成するため、またはMRAMデバイスに結合された接点を形成するために使用され得る。専用メタライゼーション層は、メタライゼーションプロセスによって指定されたメタライゼーション層間に「挿入」され得る。たとえば、バック・エンド・オブ・ライン（BEOL）メタライゼーションプロセスがn個のメタライゼーション層を指定する場合、MRAMデバイスを製作することは、n個のメタライゼーション層を形成する代わりに、n+1個のメタライゼーション層を形成することを含み得る（ただしnは、メタライゼーションプロセスによって指定されたメタライゼーション層の数を示す）。

20

30

【0007】

専用メタライゼーション層は、特定のメタライゼーション層と、その特定のメタライゼーション層よりも密度の低い別のメタライゼーション層との間に配置され得る。たとえば、専用メタライゼーション層は、メタライゼーションプロセスによって指定された「高密度の金属層」の上、かつ「厚い金属層」の下に配置され得る。高密度のメタライゼーション層と厚い金属層との間にMRAMデバイスを形成することによって、高密度の金属層によって可能にされた「高密度」のフィーチャサイズ（その結果、高いデータ記憶密度が得られる）を使用して、MRAMデバイスの抵抗ベースの記憶素子のサイズが削減され得るとともに、厚い金属層がMRAMデバイスを他のデバイス構成要素（たとえば、プロセスや他のデバイスなどの論理領域）に結合することも可能にする。（1つまたは複数の高密度の金属層を使用する代わりに）厚い金属層を使用してMRAMデバイスを他のデバイス構成要素に結合することによって、MRAMデバイスおよび他のデバイス構成要素の間の、高密度の金属層の「共有」が回避または低減され得る。たとえば、MRAMデバイスに関連する構造（たとえば、ビット線または接点）は、（製作コストおよび複雑さを増大させ得る、構造および配線のためにメタライゼーション層を「共有」することの代わりに）他のデバイス構成要素の配線とは無関係であり得る（たとえば、他のデバイス構成要素の配線と比較して、1つまたは複数の異なるメタライゼーション層を使用して形成され得る）。

40

【0008】

50

さらに、MRAMデバイスを他のデバイス構成要素に接続するための厚い金属層の使用は、他のデバイス構成要素のMRAMデバイスの寄生効果を低減し得る。たとえば、より厚い金属を使用して製作されたデバイス構成要素は、（より薄い金属を使用する製作と比較して）他のデバイス構成要素に対して引き起こす抵抗性容量性（RC）寄生効果を少なくし得る。したがって、より厚い金属を使用してMRAMデバイスを製作することは、他のデバイス構成要素に対するMRAMデバイスのRC寄生効果を低減し得る（逆も同様である）。別の実施例として、MRAMデバイスおよび他の構成要素の配線の間の、メタライゼーション層の「共有」を回避することは、他のデバイス構成要素に対するMRAMデバイスの寄生効果を低減し得る（逆も同様である）。寄生効果を低減することは、設計の再シミュレーション、設計の再認定、デバイスのレイアウトの修正、または設計に関連するRC寄生モデルの修正を回避することなどによって、MRAMデバイスおよび他の構成要素を単一の集積回路上に統合することに関連する設計プロセスを簡略化し得る。 10

【0009】

特定の実施例では、デバイスの製作の方法は、デバイスの論理デバイスに結合された第1のメタライゼーション層を形成することを含む。方法は、デバイスのMRAMモジュールに結合された第2のメタライゼーション層を形成することをさらに含む。第2のメタライゼーション層は第1のメタライゼーション層とは無関係である。

【0010】

別の特定の実施例では、コンピュータ可読媒体が、デバイスの製作中にプロセッサに動作を開始させるようにプロセッサによって実行可能である命令を記憶する。動作は、デバイスの論理デバイスに結合された第1のメタライゼーション層を形成することを含む。動作は、デバイスのMRAMモジュールに結合された第2のメタライゼーション層を形成することをさらに含む。第2のメタライゼーション層は第1のメタライゼーション層とは無関係である。 20

【0011】

別の特定の実施例では、装置は、第1のメタライゼーション層の第1の構造を含む。第1の構造は、集積回路の論理デバイスに結合される。装置は、第2のメタライゼーション層の第2の構造をさらに含む。第2の構造は、集積回路のMRAMモジュールの1つまたは複数の抵抗ベースの記憶素子に結合される。第2の構造は第1の構造とは無関係である。 30

【0012】

別の特定の実施例では、データファイルを生成する方法が、半導体デバイスの少なくとも1つの物理的性質を表す設計情報を受け取ることを含む。半導体デバイスは、集積回路の第1のメタライゼーション層の第1の構造を含む。第1の構造は論理デバイスに結合される。半導体デバイスは、第2のメタライゼーション層の第2の構造をさらに含む。第2の構造は、集積回路のMRAMモジュールの1つまたは複数の抵抗ベースの記憶素子に結合される。第2の構造は第1の構造とは無関係である。方法は、ファイルフォーマットに準拠するように設計情報を変換すること、および変換した設計情報を含むデータファイルを生成することをさらに含む。

【0013】

開示される実施例のうちの少なくとも1つによってもたらされた1つの特定の利点は、集積回路上の複数のデバイスの簡略化された統合である。たとえば、MRAMモジュールの1つまたは複数の構造は、他の構成要素（たとえば、論理デバイス）とは無関係であるので、いくつかの構成要素の間でメタライゼーション層を「共有」するデバイスと比較して、（たとえば、設計の再シミュレーション、設計の再認定、デバイスのレイアウトの修正、設計に関連するRC寄生モデルの修正を回避することによって）MRAMモジュールおよび他の構成要素の統合が簡略化され得る。以下のセクションを含む本願全体を検討した後、本開示の他の態様、利点、および特徴が明らかとなるであろう。

【図面の簡単な説明】

【0014】

【図 1】第 1 の製作プロセスを使用して製作され得るデバイスなどのデバイスの第 1 の特定の例示的实施例を示す図である。

【図 2】第 1 の製作プロセスの第 1 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 3】第 1 の製作プロセスの第 2 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 4】第 1 の製作プロセスの第 3 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 5】第 1 の製作プロセスの第 4 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 6】第 1 の製作プロセスの第 5 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 7】第 1 の製作プロセスの第 6 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 8】第 2 の製作プロセスの第 1 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 9】第 2 の製作プロセスの第 2 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 10】第 2 の製作プロセスの第 3 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 11】第 2 の製作プロセスの第 4 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 12】第 2 の製作プロセスの第 5 のステージ中のデバイスの特定の例示的实施例を示す図である。

【図 13】図 1 ～図 7 の第 1 の製作プロセスを使用して製作されたデバイス、図 8 ～図 12 の第 2 の製作プロセスを使用して製作されたデバイス、またはその両方などのデバイスの製作の方法の特定の例示的实施例の流れ図である。

【図 14】1 つまたは複数の電子デバイスを製造するための製作プロセスの例示的实施例データフロー図である。

【図 15】電子デバイスの例示的实施例のブロック図である。

【発明を実施するための形態】

【0015】

図 1 を参照すると、デバイスの特定の例示的实施例が示されており、全般的に 100 と指定される。デバイス 100 は、半導体ダイなどの集積回路内に含まれ得る。

【0016】

デバイス 100 は、シリコン基板などの基板 101 を含む。デバイス 100 は領域 104 をさらに含む。領域 104 は、デバイス 100 の複数の層を使用して形成された 1 つまたは複数のデバイスを含み得る。たとえば、領域 104 は、相補型金属酸化物半導体 (CMOS) 論理プロセスを使用して形成された論理デバイス (たとえば、プロセッサ、または別のデバイス) を含み得る。領域 104 は、論理デバイスに関連する配線をさらに含み得る。たとえば、配線は、ビア 110 に論理デバイスを接続し得る。

【0017】

デバイス 100 は、バック・エンド・オブ・ライン (BEOL) メタライゼーションプロセスに関連する複数のメタライゼーション層などの複数のメタライゼーション層を使用して形成された 1 つまたは複数の第 1 の構造をさらに含む。例示のために、図 1 は、第 1 のメタライゼーション層 102 の第 1 の部分 106 (たとえば、第 1 の接点) と、第 1 のメタライゼーション層 102 の第 2 の部分 107 (たとえば、第 2 の接点) と、第 1 のメタライゼーション層 102 の第 3 の部分 108 (たとえば、第 3 の接点) とを示す。第 1 のメタライゼーション層 102 は、堆積プロセスを使用して (たとえば、ダマシンプロセスに従って銅などの金属を堆積させることによって) 形成され得る。第 1 の層間誘電体 (

10

20

30

40

50

I L D) 1 0 5 が部分 1 0 6 ～ 1 0 8 の周りに充填され得、1 つまたは複数のビアが、領域 1 0 4 内に含まれる論理デバイスに部分 1 0 6 ～ 1 0 8 を接続し得る。たとえば、ビア 1 1 0 は、領域 1 0 4 内に含まれる論理デバイスに第 3 の部分 1 0 8 を接続し得る。部分 1 0 6 ～ 1 0 8 およびビア 1 1 0 は、領域 1 0 4 内に形成された論理デバイスなどの論理デバイスに関連付けられ得る（たとえば、論理デバイスに結合され得る）。

【0018】

デバイス 1 0 0 は、第 1 のメタライゼーション層 1 0 2 の上に形成された磁気抵抗ランダムアクセスメモリ (M R A M) モジュール 1 6 0 をさらに含み得る。M R A M モジュール 1 6 0 は、代表的な抵抗ベースの記憶素子 2 2 6 などの複数の抵抗ベースの記憶素子を含み得る。デバイス 1 0 0 の各々の抵抗ベースの記憶素子は、第 1 の論理値（たとえば、論理 0 値）を示すための低抵抗状態、または第 2 の論理値（たとえば、論理 1 値）を示すための高抵抗状態のどちらかに調節され得る磁気トンネル接合 (M T J) デバイスを含み得る。抵抗ベースの記憶素子 2 2 6 は結合素子 2 2 8 を含み得る（または結合素子 2 2 8 に接続され得る）。図 1 の実施例は例示的なものであること、およびデバイス 1 0 0 は複数の抵抗ベースの記憶素子を含み得ることを理解されたい。

【0019】

M R A M モジュール 1 6 0 は、第 2 のメタライゼーション層 1 6 1 を使用して（たとえば、ダマシンプロセスに従って銅などの金属を堆積させることによって）形成された 1 つまたは複数の構成要素をさらに含む。例示のために、M R A M モジュール 1 6 0 は、モジュール接点 1 5 3 およびアレイ接点 1 5 4 を含み得る。モジュール接点 1 5 3 は、第 2 のメタライゼーション層 1 6 1 の第 1 の部分（たとえば、ビット線 1 4 7）を含み得、アレイ接点 1 5 4 は、第 2 のメタライゼーション層 1 6 1 の第 2 の部分 1 4 8 と、第 2 のメタライゼーション層 1 6 1 のビア 1 4 9 とを含み得る。ビット線 1 4 7 およびアレイ接点 1 5 4 は、M R A M モジュール 1 6 0 に関連付けられ（たとえば、M R A M モジュール 1 6 0 に結合され、または M R A M モジュール 1 6 0 内に統合され）得る。ビット線 1 4 7 は、M R A M モジュール 1 6 0 の 1 つまたは複数の抵抗ベースの記憶素子（たとえば、抵抗ベースの記憶素子 2 2 6）にバイアスをかけるように構成され得る。モジュール接点 1 5 3 およびアレイ接点 1 5 4 の周りに第 2 の I L D 1 3 8 が充填され得る。第 2 の I L D 1 3 8 は、多孔質の低 k 材料（ただし k は誘電体材料の誘電率を示す）、または従来型誘電体材料、たとえば酸化シリコンを含み得る。

【0020】

デバイス 1 0 0 は、第 3 のメタライゼーション層 1 6 5 を使用して（たとえば、材料をエッチングして空洞およびトレンチを形成することによって、かつデュアルダマシンプロセスなどを使用して空洞およびトレンチ内に銅を充填することによって）形成された 1 つまたは複数の構成要素をさらに含む。たとえば、銅が空洞内に充填されてビア 1 6 8 が形成され得、銅がトレンチ内に充填されて金属領域 1 6 4 が形成され得る。金属領域 1 6 4 およびビア 1 6 8 の周りに第 3 の I L D 1 6 2 が充填され得る。

【0021】

デバイス 1 0 0 は、M R A M 領域 1 1 2、エッジ領域 1 1 4、および論理領域 1 1 6 をさらに含む。M R A M 領域 1 1 2 は、複数の抵抗ベースの記憶素子（たとえば、抵抗ベースの記憶素子 2 2 6 を含むメモリ）、モジュール接点 1 5 3、および第 1 の部分 1 0 6 を含み得る。エッジ領域 1 1 4 は、M R A M 領域 1 1 2 および論理領域 1 1 6 に隣接し得る。エッジ領域 1 1 4 は、アレイ接点 1 5 4 および第 2 の部分 1 0 7 を含み得る。論理領域 1 1 6 は、金属領域 1 6 4、ビア 1 6 8、第 3 の部分 1 0 8、およびビア 1 1 0 を含み得る。メタライゼーション層の下に製作され得る半導体デバイスは、図が見やすいように図 1 または任意の後続の図には図示されていない。

【0022】

第 1 のメタライゼーション層 1 0 2 は、デバイス 1 0 0 の製作中に形成された高密度の金属層に対応し得る。本明細書では、「高密度」の金属層は、比較的小さいピッチを有し得る（その結果、互いに比較的近い、すなわち比較的「高密度」の構成要素が得られる）

。例示のために、B E O Lメタライゼーションプロセスは、B E O Lメタライゼーションプロセスの「最小」ピッチなどの、第1のメタライゼーション層102に関連する第1のピッチ171を指定し得る。B E O Lメタライゼーションプロセスは、第1のメタライゼーション層102の後に堆積されたメタライゼーション層を使用して形成されたデバイス100の構成要素が第1のピッチ171よりも大きいピッチを有し得ることを指定し得る。たとえば、第3のメタライゼーション層165は、少なくとも（第1のメタライゼーション層102の第1のピッチ171よりも大きい）第2のピッチ175を有するべきである「厚い」金属層であり得る。

【0023】

非限定的で例示的な実施例として、B E O Lメタライゼーションプロセスは、メタライゼーション層1、2、3、4、5（M1、M2、M3、M4、およびM5）が第1のピッチ171に対応するピッチを有し得ることを指定し得る。B E O Lメタライゼーションプロセスは、メタライゼーション層M1～M5の上に形成されたメタライゼーション層（メタライゼーション層6（M6）など）に関連する第2のピッチ（たとえば、第2のピッチ175）が第1のピッチ171よりも大きくなるべきである（たとえば、第1のピッチ171の約2倍以上）であることをさらに指定し得る。この実施例では、領域104はメタライゼーション層M1～M4を含み得、第1のメタライゼーション層102はメタライゼーション層M5に対応し得、第3のメタライゼーション層165はメタライゼーション層M6に対応し得る。このケースでは、M R A Mモジュール160の1つまたは複数の構成要素（たとえば、モジュール接点153およびアレイ接点154）が、メタライゼーション層M5とM6との間に第2のメタライゼーション層161を「挿入」することによって形成され得る。

【0024】

さらに例示するために、第1のメタライゼーション層102の第1の構造が、第1の厚さ172を有し得る。例示的な実施例として、第1の構造は、部分106～108またはビア110のいずれかを含み得る。第2のメタライゼーション層161の第2の構造が、第2の厚さ173を有し得る。たとえば、第2の構造は、ビット線147、第2の部分148、またはビア149を含み得る。第3のメタライゼーション層165の第3の構造が、第1の厚さ172よりも厚い第3の厚さ174を有し得る。たとえば、B E O Lメタライゼーションプロセスは、第3の厚さ174が第1の厚さ172よりも厚くなるべきであることを指定し得る。第2の厚さ173は、第1の厚さ172および第3の厚さ174とは無関係であり得る。たとえば、B E O Lメタライゼーションは第2の厚さ173を指定しないことがある。いくつかの実装では、第2の厚さ173は、第1の厚さ172に等しく設定され得る（たとえば、M R A Mモジュール160のデータ記憶密度を増大させるための最小の厚さ）。

【0025】

M R A M特有のメタライゼーション層（たとえば、第2のメタライゼーション層161）の使用は、（抵抗ベースの記憶素子226などの構成要素を製作するために第1のメタライゼーション層102の短縮されたピッチを使用することによって）M R A Mモジュール160の高いデータ記憶密度を容易にし得るとともに、M R A Mモジュール160および領域104の1つまたは複数の構成要素（たとえば、領域104内に含まれる論理デバイス）の間の特定のメタライゼーション層の「共有」も回避する。メタライゼーション層の「共有」を回避することは、デバイス設計および製作を簡略化し得、デバイスコストを削減する。

【0026】

さらに例示するために、デバイス100を製作するための第1の製作プロセスの一例が、図2～図7を参照しながら説明される。第1の製作プロセスは例示のために説明されること、および他の製作プロセスは本開示の範囲内にあることを理解されたい。

【0027】

図2を参照すると、第1の製作プロセスの第1のステージ中のデバイスが示されており

10

20

30

40

50

、全般的に200と指定される。図2では、デバイス200は底部キャップ層218（たとえば、銅キャップ層）を含む。バッファ層220が、（たとえば、堆積プロセスを使用して）底部キャップ層218上に形成され得る。バッファ層220は、酸化物材料、酸化シリコン材料、窒化シリコン材料、別の材料、またはそれらの組合せを含み得る。バッファ層220は、化学機械平坦化（CMP）プロセスなどを使用して平滑化または平坦化され得る。

【0028】

デバイス200は、第1の底部電極234および第2の底部電極236をさらに含む。底部電極234、236は、底部キャップ層218およびバッファ層220の空洞（たとえば、エッチングプロセスを使用して作成された空洞）内に形成され得る。底部電極234、236は、窒化タンタル（Ta₂N₅）やタングステン（W）材料などの導電性材料232、233を含み得る。第1の底部電極234は、窒化タンタル（Ta₂N₅）材料などの材料230をさらに含み得、第2の底部電極236は、Ta₂N₅材料などの材料231をさらに含み得る。例示的实施例として、材料230、231は、プラズマ気相堆積（PVD）プロセスを使用して形成され得る

【0029】

抵抗ベースの記憶素子226は第1の底部電極234上に形成され得る。たとえば、複数の層（たとえば、自由層、トンネル障壁層、および固定層）が（たとえば、1つまたは複数のPVDプロセスを使用して）形成され、（たとえば、エッチングプロセスを使用して）エッチングされ、抵抗ベースの記憶素子226のMTJデバイスが画定され得る。いくつかの応用例では、MTJデバイスは、1つまたは複数のリソグラフィックプロセスを使用して形成され得る。いくつかの実装では、結合素子228は、（エッチングプロセス中に抵抗ベースの記憶素子を保護するために）エッチングプロセス中にマスクとして機能する。結合素子228は、Ta₂N₅材料、窒化チタン（TiN）材料、別の材料、またはそれらの組合せを含み得る。

【0030】

デバイス200はパッシベーション層222をさらに含み得る。たとえば、パッシベーション層222は、窒化シリコン材料、酸化シリコン材料、酸化アルミニウム材料、別の材料、またはそれらの組合せを含み得る。

【0031】

図3を参照すると、第1の製作プロセスの第2のステージ中のデバイスが示されており、全般的に300と指定される。図3では、第2のILD138が、（たとえば、成長プロセスを使用して）パッシベーション層222上に形成されている。ハードマスク（HM）340が、（たとえば、PVDプロセスを使用して）第2のILD138上に形成され得る。HM340は、TiN材料、別の材料、またはそれらの組合せを含み得る。

【0032】

いくつかのケースでは、第2のILD138の第1の高さ399が、図1のMRAMモジュール160、図1の第2のメタライゼーション層161、またはその両方の1つまたは複数の特性に基づいて選択される。例示のために、メタライゼーション層102、165に関連するBEOLメタライゼーションプロセスが、第1の高さ399未満の第2のILD138の第2の高さを指定し得る。第1の高さ399は、図1のMRAMモジュール160、図1の第2のメタライゼーション層161、またはその両方の1つまたは複数の構成要素を収容するために（第2の高さの代わりに）選択され得る。たとえば、第1の高さ399は、図4を参照しながらさらに説明されるように、第2のILD138内の空洞のエッチングを含むダマシンプロセスの使用を可能にするために選択され得る。

【0033】

図4を参照すると、第1の製作プロセスの第3のステージ中のデバイスが示されており、全般的に400と指定される。図4では、第1の空洞441および第2の空洞442が作成されている。たとえば、エッチングプロセスは、HM340、第2のILD138、およびパッシベーション層222をエッチングするために実施される。

【0034】

いくつかの実装では、第1の製作プロセスの1つまたは複数の動作中に保護デバイス402が使用される。たとえば、保護デバイス402は、（たとえば、空洞441、442を作成するために使用されるエッチングプロセスの間の）MRAM領域112およびエッジ領域114を目標とする1つまたは複数の動作中に論理領域116を保護（たとえば、分離）するシールド、カバー、マスク、または別のデバイスを含み得る。他の実装では、保護デバイス402の使用は、（たとえば、ダミーエッチングやダミー充填など、保護デバイス402の代わりに1つまたは複数の「ダミー」プロセスを使用することによって）第1の製作プロセスから省略され得る。

【0035】

図5を参照すると、第1の製作プロセスの第4のステージ中のデバイスが示されており、全般的に500と指定される。図5では、第1の障壁層549および第2の障壁層550が、それぞれ図4の空洞441、442内に形成されている。図5はまた、ビット線147、第2の部分148、およびビア149が障壁層549、550上に形成されていることを示す。

【0036】

例示的実装では、障壁層549、550、ビット線147、第2の部分148、およびビア149は、図4の空洞441、442を事前洗浄すること、および空洞441、442内に障壁材料を堆積させて障壁層549、550を形成することを含むダマシンプロセス（たとえば、デュアルダマシンプロセス）を使用して形成される。ダマシンプロセスは、障壁層549、550上にシード層を形成すること、およびシード層をめっきして、ビット線147、第2の部分148、およびビア149を形成することをさらに含み得る。ビット線147、第2の部分148、およびビア149を形成した後、ダマシンプロセスはまた、平滑化または平坦化プロセス（たとえば、CMPプロセス）を実施して、図5のデバイス500を形成することをも含み得る。いくつかの実装では、ダマシンプロセスの1つまたは複数の動作中に、保護デバイス402が論理領域116を保護するために使用され得る。

【0037】

特定の応用例に応じて、ビア149は「カスタム」サイズ（たとえば、高さ）を有し得る。たとえば、ビア149は、図1のビア168の高さとは異なる高さを有し得る。別の実施例として、メタライゼーション層102、165に関連するBEOLメタライゼーションプロセスが、（ビア149の高さを指定することなく）ビア168の高さを指定し得る。いくつかのケースでは、ビア149は、「カスタム」マスク（たとえば、ビア149の高さに基づいてなど、ビア149の1つまたは複数の物理的特性に基づいて形成されたマスク）を使用して製作され得る。

【0038】

図6を参照すると、第1の製作プロセスの第5のステージ中のデバイスが示されており、全般的に600と指定される。図6では、第1のエレクトロマイグレーション（EM）キャップ651および第2のEMキャップ652が、それぞれビット線147および第2の部分148上に形成されている。たとえば、EMキャップ651、652は、たとえば自己整合されたプロセスを使用して、材料を堆積させることによって形成され得る。EMキャップ651、652は、CoWP材料、別の材料、またはそれらの組合せを含み得る。いくつかの実装では、保護デバイス402は、EMキャップ651、652の形成中に論理領域116を保護するために使用され得る。

【0039】

図7を参照すると、第1の製作プロセスの第6のステージ中のデバイスが示されており、全般的に700と指定される。図7では、第3のILD162が（たとえば、成長プロセスを使用して）形成され、（たとえば、エッチングプロセスを使用して）エッチングされ、トレンチ702および空洞704が画定されている。論理領域116を保護するために保護デバイス402が使用される実装では、トレンチ702および空洞704を画定す

10

20

30

40

50

る前に保護デバイス402が除去され得る。

【0040】

図2～図7を参照しながら説明された第1の製作プロセスはまた、トレンチ702内に図1の金属領域164を形成すること、空洞704内に図1のビア168を形成して、図1のデバイス100を形成することをも含み得る。たとえば、厚金属デュアルダマシンプロセスが、トレンチ702内および空洞704内に金属（たとえば、銅）を堆積させること、および（たとえば、CMPプロセスを使用して）金属を平坦化して、図1のデバイス100を形成することを含み得る。厚金属デュアルダマシンプロセスは、他のメタライゼーション層（たとえば、第1のメタライゼーション層102）よりも大きいピッチを有するいくつかのメタライゼーション層（たとえば、第3のメタライゼーション層165）に関連付けられ得る。

10

【0041】

図8～図12は、第2の製作プロセスに関連するステージを示す。たとえば、図12を参照すると、第2の製作プロセスが使用されて、デバイス1200が形成され得る。いくつかの応用例では、第2の製作プロセスは、以下でさらに説明されるように、ビア149の製作を回避することによって、第1の製作プロセスと比較して、使用されるマスク数を削減し得る。第2の製作プロセスは例示のために説明されること、および他の製作プロセスは本開示の範囲内にあることを理解されたい。

【0042】

図8を参照すると、第2の製作プロセスの第1のステージ中のデバイスが示されており、全般的に800と指定される。デバイス800のいくつかの特徴は、図1～図7を参照しながら説明された特徴に対応し得る。図8の実施例では、デバイス800は（図4の第2の空洞442の代わりに）第2の空洞842を含み得る。たとえば、第2の空洞842を画定するために使用されるエッチングプロセスが、（図4の実施例のように、第2の底部電極236に到達して第2の底部電極236の表面を露出させる代わりに）第2の底部電極236に到達する前に停止し得る。

20

【0043】

いくつかの実装では、第2の製作プロセスの1つまたは複数の動作中に保護デバイス402が使用される。たとえば、保護デバイス402は、（たとえば、空洞441、842を作成するために使用されるエッチングプロセスの間の）MRAM領域112およびエッジ領域114を目標とする1つまたは複数の動作中に論理領域116を保護（たとえば、分離）するシールド、カバー、マスク、または別のデバイスを含み得る。他の実装では、保護デバイス402の使用は、（たとえば、ダミーエッチングやダミー充填など、保護デバイス402の代わりに1つまたは複数の「ダミー」プロセスを使用することによって）第2の製作プロセスから省略され得る。

30

【0044】

図9を参照すると、第2の製作プロセスの第2のステージ中のデバイスが示されており、全般的に900と指定される。デバイス900は、図8の第2の空洞842内に形成されたアレイ接点954を含む。アレイ接点954は、障壁層950および第2の部分948を含み得る。

40

【0045】

例示の実装では、障壁層549、950、ビット線147、および第2の部分948は、図8の空洞441、842を事前洗浄すること、および空洞441、842内に障壁材料を堆積させて障壁層549、950を形成することを含むダマシンプロセス（たとえば、単一のダマシンプロセス）を使用して形成される。ダマシンプロセスは、障壁層549、950上にシード層を形成すること、およびシード層をめっきして、ビット線147および第2の部分948を形成することをさらに含み得る。ビット線147および第2の部分948を形成した後、ダマシンプロセスはまた、平滑化または平坦化プロセス（たとえば、CMPプロセス）を実施して、図9のデバイス900を形成することをも含み得る。いくつかの実装では、ダマシンプロセスの1つまたは複数の動作中に、保護デバイス40

50

2が論理領域116を保護するために使用され得る。

【0046】

図10を参照すると、第2の製作プロセスの第3のステージ中のデバイスが示されており、全般的に1000と指定される。図10では、第1のEMキャップ651および第2のEMキャップ1052が、それぞれビット線147および第2の部分948上に形成されている。たとえば、EMキャップ651、1052は、たとえば自己整合されたプロセスを使用して、材料を堆積させることによって形成され得る。EMキャップ651、1052は、CoWP材料、別の材料、またはそれらの組合せを含み得る。いくつかの実装では、保護デバイス402は、EMキャップ651、1052の形成中に論理領域116を保護するために使用され得る。

10

【0047】

図11を参照すると、第2の製作プロセスの第4のステージ中のデバイスが示されており、全般的に1100と指定される。図11では、第3のILD162が（たとえば、成長プロセスを使用して）形成され、（たとえば、エッチングプロセスを使用して）エッチングされ、トレンチ702、空洞704、および空洞1106が画定されている。空洞704を形成することは、第3の部分108の表面を露出させ得、空洞1106を形成することは、第2のEMキャップ1052の表面を露出させ得る。論理領域116を保護するために保護デバイス402が使用される実装では、トレンチ702および空洞704、1106を画定する前に保護デバイス402が除去され得る。

20

【0048】

図12を参照すると、第2の製作プロセスの第5のステージ中のデバイスが示されており、全般的に1200と指定される。デバイス1200は、（トレンチ702内の）金属領域164、（空洞704内の）ビア168、および（空洞1106内の）ビア1270を含み得る。ビア1270は、第2のEMキャップ1052に結合され、金属領域164にも結合される。

【0049】

金属領域164およびビア168、1270は、厚金属デュアルダマシンプロセスを使用して形成され得る。厚金属デュアルダマシンプロセスは、トレンチ702内および空洞704、1106内に金属（たとえば、銅）を堆積させること、および（たとえば、CMPプロセスを使用して）金属を平坦化して、デバイス1200を形成することを含み得る。厚金属デュアルダマシンプロセスは、他のメタライゼーション層（たとえば、第1のメタライゼーション層102）よりも大きいピッチを有するいくつかのメタライゼーション層（たとえば、第3のメタライゼーション層165）に関連付けられ得る。

30

【0050】

いくつかの応用例では、第2の製作プロセスは、第1の製作プロセスと比較して1つ少ないマスクを使用し得る。たとえば、ビア149はビア168とは異なる高さを有するので（たとえば、MRAMモジュール160がメタライゼーション層102、165の間に「挿入」されているので）、ビア149の形成は「カスタム」マスクを利用し得る。さらに、いくつかのケースでは、ビア1270の高さが、メタライゼーション層102、165に関連するBEOLメタライゼーションプロセスによって指定され得る。したがって、（ビア149の代わりに）ビア1270を形成して、第3のメタライゼーション層165にMRAMモジュール160を接続することは、デバイス製作中に使用されるマスク数を削減し得る。いくつかの応用例では、第1の製作プロセスの使用は、（ビア1270の製作を回避することによって）第3のメタライゼーション層165を形成するために使用されるメタライゼーションプロセスの修正を回避し得る。さらに、デバイス100は、（たとえば、「厚い」メタライゼーションプロセスを使用して製作され得、ビア149よりも大きいサイズを有し得るビア1270を使用する代わりに、ビア149を使用して第3のメタライゼーション層165にMRAMモジュール160を接続することによって）デバイス1200と比較して小さいサイズを有し得る。したがって、特定の応用例に基づいて、第1の製作プロセスまたは第2の製作プロセスが選択され得る。

40

50

【0051】

図13を参照すると、方法の特定の例示の実施例が示されており、全般的に1300と指定される。方法1300は、（たとえば、図2～図7を参照して説明された第1の製作プロセスを使用する）図1のデバイス100の製作中、（たとえば、図8～図12を参照して説明された第2の製作プロセスを使用する）図12のデバイス1200の製作中、またはその両方などのデバイスの製作中に実施され得る。

【0052】

方法1300は、1302において、デバイスの論理デバイスに結合された第1のメタライゼーション層を形成することを含む。例示のために、第1のメタライゼーション層は第1のメタライゼーション層102に対応し得、論理デバイスは領域104内に形成され得る。

10

【0053】

方法1300は、1304において、デバイスのMRAMモジュールに結合された第2のメタライゼーション層を形成することをさらに含む。例示の実施例として、MRAMモジュールはMRAMモジュール160に対応し得、第2のメタライゼーション層は第2のメタライゼーション層161に対応し得る。第2のメタライゼーション層は第1のメタライゼーション層とは無関係である。たとえば、第1のメタライゼーション層102は、領域104内に形成された論理デバイスの1つまたは複数の配線構成要素「専用」であり得る。

【0054】

別の実施例として、論理領域116は、MRAM領域112およびエッジ領域114を目標とする1つまたは複数の動作中に（たとえば、保護デバイス402を使用して）保護され得る。たとえば、第1のメタライゼーション層102の1つまたは複数の構成要素（たとえば、部分106～108）は、1つまたは複数の他のデバイス構成要素に論理デバイスを接続すること「専用」であり得、第2のメタライゼーション層161は、1つまたは複数の他のデバイス構成要素にMRAMモジュール160を接続すること「専用」であり得る。別の実施例として、論理領域116は、MRAM領域112およびエッジ領域114を目標とする1つまたは複数の動作中に（たとえば、保護デバイス402を使用して）保護され得る（その結果、第2のメタライゼーション層161の構成要素は、論理領域116の構成要素とは無関係に形成される）。

20

30

【0055】

第1のメタライゼーション層は、BEOLメタライゼーションプロセスを使用して形成され得、第2のメタライゼーション層は、MRAMモジュールに関連する1つまたは複数の構成要素を形成することを専用とするタライゼーションプロセスを使用して形成され得る。BEOLメタライゼーションプロセスは、メタライゼーション層の正の整数 n を指定し得、デバイスは少なくとも $n+1$ 個のメタライゼーション層を含み得る。第2のメタライゼーション層は、ダマシンプロセスを実施して1つまたは複数の構成要素を形成し得る。1つまたは複数の構成要素は、MRAMモジュールのビット線（たとえば、ビット線147）またはMRAMモジュールのアレイ接点の一部（たとえば、第2の部分148またはビア149）の1つまたは複数を含み得る。

40

【0056】

任意選択で、方法1300は、第2のメタライゼーション層を形成した後に、第3のメタライゼーション層（たとえば、第3のメタライゼーション層165）を形成することを含み得る。第1のメタライゼーション層は、第3のメタライゼーション層に関連する第2のピッチ（たとえば、第2のピッチ175）未満の第1のピッチ（たとえば、第1のピッチ171）に関連付けられ得る。第1のピッチは、BEOLメタライゼーションプロセスによって指定される高密度のメタライゼーション層の「最小」ピッチなどの、デバイスのBEOLメタライゼーションプロセスに準拠する特定のピッチ（たとえば、「最小」ピッチ）である。第1のメタライゼーション層は、第3のメタライゼーション層に関連する第2の密度よりも高い第1の密度を有し得る。

50

【0057】

第1のメタライゼーション層を形成すること、および第2のメタライゼーション層を形成することは、命令を実行するプロセッサによって開始され得る。デバイスを製作するための命令を実行するプロセッサの一例が、図14を参照しながらさらに説明される。

【0058】

上記で開示されるデバイスおよび機能は、コンピュータファイル（たとえば、RTL、GDSII、GERBERなど）を使用して設計され、表現され得る。コンピュータファイルはコンピュータ可読媒体上に記憶され得る。いくつかの、またはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製作する製作担当者に供給され得る。結果として得られる製品はウェハを含み、次いでウェハはダイに切断され、集積回路（または「チップ」）内にパッケージングされる。次いで、チップは電子デバイス内で利用される。図14は、電子デバイス製作プロセス1400の特定の例示的实施形態を示す。

10

【0059】

物理デバイス情報1402が、電子デバイス製作プロセス1400において、調査コンピュータ1406などで受け取られる。たとえば、物理デバイス情報1402は、調査コンピュータ1406に結合されたユーザインターフェース1404を介して入力された物理パラメータ、材料特性、および構造情報を含み得る。物理デバイス情報1402は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の特徴を表し得る。調査コンピュータ1406は、1つまたは複数の処理コアなどのプロセッサ1408を含む。プロセッサ1408は、メモリ1410などのコンピュータ可読媒体に結合される。メモリ1410は、ファイルフォーマットに準拠するように物理デバイス情報1402を変換し、ライブラリファイル1412を生成するようにプロセッサ1408によって実行可能であるコンピュータ可読命令を記憶し得る。

20

【0060】

ライブラリファイル1412は、変換後の設計情報を含む少なくとも1つのデータファイルを含み得る。たとえば、ライブラリファイル1412は、デバイスのライブラリを指定し得る。デバイスのライブラリは、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構成要素を含み得る。ライブラリファイル1412は、設計コンピュータ1414において電子設計自動化（EDA）ツール1420とともに使用され得る。設計コンピュータ1414は、1つまたは複数の処理コアなどのプロセッサ1416を含む。プロセッサ1416はメモリ1418に結合される。EDAツール1420は、設計コンピュータ1414のユーザが回路を設計することを可能にするための、メモリ1418に記憶されたプロセッサ実行可能命令を含み得る。

30

【0061】

たとえば、設計コンピュータ1414のユーザは、設計コンピュータ1414に結合されたユーザインターフェース1424を介して、論理デバイス設計情報を入力し得る。設計情報は、論理デバイス設計情報1422およびMRAMモジュール設計情報1423を含み得る。論理デバイス設計情報1422およびMRAMモジュール設計情報1423は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の物理的性質を表す設計情報を含み得る。例示のために、回路設計特性は、特定の回路の識別および回路設計内の他の要素との関係、配置情報、フィーチャサイズ情報、相互接続情報、またはデバイスの物理的性質を表す他の情報を含み得る。例示的实施例では、論理デバイス設計情報1422は、領域104（たとえば、論理デバイス1499）内に形成された論理デバイスを表し、MRAMモジュール設計情報1423はMRAMモジュール160を表す。

40

【0062】

設計コンピュータ1414は、ファイルフォーマットに準拠するように論理デバイス設計情報1422およびMRAMモジュール設計情報1423を変換するように構成され得る。例示のために、ファイルフォーマットは、グラフィックデータシステム（GDSII）フォーマットなどの階層フォーマットとして平面幾何形状、テキストラベル、および回

50

路レイアウトに関する他の情報を表すデータベースバイナリファイルフォーマットを含み得る。設計コンピュータ1414は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構成要素を記述する情報を含むGDSIIファイル1426などの、変換後の設計情報を含むデータファイルを生成するように構成され得る。

【0063】

GDSIIファイル1426は製作プロセス1428において受け取られ得る。製作プロセス1428は、GDSIIファイルを使用して、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構成要素を含む半導体デバイスを製作し得る。製作プロセスは、図13の方法1300の1つまたは複数の動作を含み得る。

【0064】

GDSIIファイル1426はマスク製造業者1430に供給され、図14においてマスク1432として示される、フォトリソグラフィ処理を用いて使用されるべきマスクなどの1つまたは複数のマスクが作成され得る。マスク1432は、製作プロセス1428中に使用され、1つまたは複数のウェハ1433が生成され得、ウェハ1433は試験され、ダイ1436（たとえば、半導体ダイ）などのダイに分離され得る。ダイ1436は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構成要素を含み得る。たとえば、図13は、ダイ1436がMRAMモジュール160および論理デバイス1499（たとえば、領域104内に形成された論理デバイス）を含み得ることを示す。ダイ1436は、図13の方法1300の1つまたは複数の動作を使用して製作され得る。

【0065】

製作プロセス1428の動作は、プロセッサ1434と、メモリ1435などのコンピュータ可読媒体とを使用して開始または制御され得る。メモリ1435は、デバイスの製作中に（たとえば、ダイ1436の製作中に）プロセッサ1434に1つまたは複数の動作を開始させるようにプロセッサ1434によって実行可能である命令を記憶し得る。動作は、デバイスの論理デバイス（たとえば、領域104内に形成された論理デバイス）に結合された第1のメタライゼーション層（たとえば、第1のメタライゼーション層102）を形成することを含み得る。方法は、デバイスのMRAMモジュール（たとえば、MRAMモジュール160）に結合された第2のメタライゼーション層（たとえば、第2のメタライゼーション層161）を形成することをさらに含む。第2のメタライゼーション層は第1のメタライゼーション層とは無関係である。

【0066】

製作プロセス1428は、完全に自動化され、または部分的に自動化された製作システムによって実装され得る。たとえば、製作プロセス1428はスケジュールに従って自動化され得る。製作システムは、1つまたは複数の動作を実施してデバイスを形成するための製作機器（たとえば、処理ツール）を含み得る。たとえば、例示的实施例として、製作機器は、1つまたは複数の材料を堆積させ、1つまたは複数の材料をエピタキシャル成長させ、1つまたは複数の材料を共形に堆積させ、ハードマスクを付着させ、エッチングマスクを付着させ、エッチングを実施し、平坦化を実施し、（たとえば、金属ゲートプロセスを使用して）ゲートスタックを形成し、浅いトレンチ分離（STI）プロセスを実施し、かつ／または標準クリーン1プロセスを実施するように構成され得る。

【0067】

製作システムは分散アーキテクチャ（たとえば、階層）を有し得る。たとえば、製作システムは、分散アーキテクチャに従って分散された、プロセッサ1434などの1つまたは複数のプロセッサ、メモリ1435などの1つまたは複数のメモリ、および／または1つまたは複数のコントローラを含み得る。分散アーキテクチャは、1つまたは複数の低レベルシステムの動作を制御または開始する高レベルプロセッサを含み得る。たとえば、製作プロセス1428の高レベル部分は、プロセッサ1434などの1つまたは複数のプロセッサによって開始または制御され得、低レベルシステムはそれぞれ、1つまたは複数の対応するコントローラを含み、またはそれによって制御され得る。特定の低レベルシステ

10

20

30

40

50

ムの特定のコントローラは、特定の高レベルシステムから1つまたは複数の命令（たとえば、コマンド）を受信し、従属モジュールまたはプロセスツールにサブコマンドを発行し、高レベルプロセッサにステータスデータを再び通信し得る。1つまたは複数の低レベルシステムの各々は、1つまたは複数の処理ツールなどの製作機器の1つまたは複数の対応する部片に関連付けられ得る。例示的処理ツールは、ドーピングまたは堆積ツール（たとえば、分子線エピタキシャル成長ツール、流動性化学的気相堆積（FCVD）ツール、共形堆積ツール、またはスピノン堆積ツール）および除去ツール（たとえば、化学的除去ツール、反応性気体除去ツール水素反応除去ツール、または標準クリーン1除去ツール）を含む。

【0068】

特定の実施形態では、製作システムは、製作システム内に分散する複数のプロセッサを含み得る。たとえば、低レベルシステム構成要素のコントローラは、プロセッサ1434などのプロセッサを含み得る。あるいは、プロセッサ1434は、製作システムの高レベルシステム、サブシステム、または構成要素の一部であり得る。別の実施形態では、プロセッサ1434は、製作システムの様々なレベルおよび構成要素での分散処理を含む。

【0069】

ダイ1436はパッケージングプロセス1438に供給され得る。パッケージングプロセス1438は、ダイ1436をパッケージ1440内に組み込み得る。パッケージ1440は、単一のダイ（ダイ1436など）またはシステムインパッケージ（SIP）構成に関連するような複数のダイを含み得る。パッケージ1440は、1つまたは複数の J o i n t E l e c t r o n D e v i c e E n g i n e e r i n g C o u n c i l （J E D E C）規格などの1つまたは複数の規格または仕様に準拠するように構成され得る。

【0070】

パッケージ1440に関する情報は、コンピュータ1446に記憶された構成要素ライブラリなどを使用して、様々な製品設計者に配布され得る。コンピュータ1446は、メモリ1450に結合された、1つまたは複数の処理コアなどのプロセッサ1448を含み得る。プリント回路板（PCB）ツールは、ユーザインターフェース1444を介してコンピュータ1446のユーザから受け取ったPCB設計情報1442を処理するために、プロセッサ実行可能命令としてメモリ1450に記憶され得る。PCB設計情報1442は、パッケージングされたデバイスの回路板上の物理配置情報を含み得る。パッケージングされたデバイスは、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構成要素を含み得る。

【0071】

コンピュータ1446は、PCB設計情報1442を変換して、GERBERファイル1452などのデータファイルを生成し得る。GERBERファイル1452は、パッケージングされたデバイスの回路板上の物理配置情報、ならびにトレースやビアなどの電氣的接続のレイアウトを示し得る。物理配置情報は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構造に対応し得る（たとえば、それに基づいて生成され得る）。いくつかの実装では、PCB設計情報1442を変換することによって生成されたデータファイルは、GERBERフォーマット以外のフォーマットを有し得る。

【0072】

GERBERファイル1452はボード組立てプロセス1454において受け取られ、PCB1456などのPCBを作成するために使用され得る。PCB1456は、GERBERファイル1452によって示された設計情報に従って製造され得る。たとえば、GERBERファイル1452は、PCB製造プロセスの1つまたは複数の動作を実施するために1つまたは複数のマシンにアップロードされ得る。PCB1456には、パッケージ1440を含む電子構成要素が実装され、プリント回路アセンブリ（PCA）1458が形成され得る。電子構成要素は、図1～図12のデバイス100～1200のいずれかの1つまたは複数の構造を含み得る。

10

20

30

40

50

【0073】

P C A 1 4 5 8 は製品製造プロセス 1 4 6 0 において受け取られ、第 1 の電子デバイス 1 4 6 2 や第 2 の電子デバイス 1 4 6 4 などの 1 つまたは複数の電子デバイス内に統合され得る。例示的实施例として、第 1 の電子デバイス 1 4 6 2 および第 2 の電子デバイス 1 4 6 4 はそれぞれ、モバイルデバイス（たとえば、セルラー電話）を含み得る。他の実装では、第 1 の電子デバイス 1 4 6 2 および第 2 の電子デバイス 1 4 6 4 はそれぞれ、コンピュータ（たとえば、ラップトップコンピュータ、タブレットコンピュータ、またはデスクトップコンピュータ）、ウェアラブル電子デバイス（たとえば、パーソナルカメラ、ヘッドマウントディスプレイ、または腕時計）、車両制御システムまたはコンソール、ホームアプライアンス、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末（P D A）、テレビジョン、モニタ、同調器、ラジオ、（たとえば、衛星ラジオ）、音楽プレーヤ（たとえば、デジタル音楽プレーヤまたはポータブル音楽プレーヤ）、ビデオプレーヤ（たとえば、デジタルビデオディスク（D V D）プレーヤやポータブルデジタルビデオプレーヤなどのデジタルビデオプレーヤ）、固定位置データユニット、ロボット、ヘルスケアデバイス、別の電子デバイス、またはそれらの組合せに対応し得る。

10

【0074】

図 1 ～図 1 4 に関して説明された実施形態の 1 つまたは複数の態様は、ライブラリファイル 1 4 1 2、G D S I I ファイル 1 4 2 6、および／または G E R B E R ファイル 1 4 5 2 によって表現され得る。図 1 ～図 1 4 に関して説明された実施例の 1 つまたは複数の態様は、調査コンピュータ 1 4 0 6 のメモリ 1 4 1 0、設計コンピュータ 1 4 1 4 のメモリ 1 4 1 8、コンピュータ 1 4 4 6 のメモリ 1 4 5 0、および／またはボード組立てプロセス 1 4 5 4 などの様々なステージにおいて使用される 1 つまたは複数の他のコンピュータもしくはプロセッサ（図示せず）のメモリに記憶された情報によって表現され得る。図 1 ～図 1 4 に関して説明された実施形態の 1 つまたは複数の態様はまた、マスク 1 4 3 2、ダイ 1 4 3 6、パッケージ 1 4 4 0、P C A 1 4 5 8、プロトタイプ回路やデバイス（図示せず）などの 1 つまたは複数の他の製品、またはそれらの組合せなどの、1 つまたは複数の他の物理的实施形態に組み込まれ得る。物理的デバイス設計から最終的製品までの生産の様々な例示的ステージが示されるが、他の実装では、より少ないステージが使用され得、または追加のステージが含まれ得る。電子デバイス製造プロセス 1 4 0 0 は、電子デバイス製造プロセス 1 4 0 0 の様々なステージを実施する単一のエンティティまたは 1 つまたは複数のエンティティによって実施され得る。

20

30

【0075】

図 1 5 を参照すると、電子デバイスの特定の例示的实施形態のブロック図が示されており、全般的に 1 5 0 0 と指定される。電子デバイス 1 5 0 0 は、図 1 4 の第 1 の電子デバイス 1 4 6 2 および第 2 の電子デバイス 1 4 6 4 の 1 つまたは複数に対応し得る。

【0076】

電子デバイス 1 5 0 0 は、デジタル信号プロセッサ（D S P）、中央演算処理装置（C P U）、グラフィックス処理装置（G P U）、別の処理デバイス、またはそれらの組合せなどのプロセッサ 1 5 1 0 を含む。プロセッサ 1 5 1 0 は、命令 1 5 6 8 などの命令を実行するように構成され得る。プロセッサ 1 5 1 0 は領域 1 0 4 内に形成され得る。代替または追加として、電子デバイス 1 5 0 0 の 1 つまたは複数の他の構成要素が、領域 1 0 4 内に形成され得る。プロセッサ 1 5 1 0 は論理デバイス 1 4 9 9 に対応し得る。代替または追加として、電子デバイス 1 5 0 0 の 1 つまたは複数の他の構成要素は、論理デバイス 1 4 9 9 に対応し得る。

40

【0077】

電子デバイス 1 5 0 0 はメモリ 1 5 3 2 をさらに含み得る。メモリ 1 5 3 2 は、プロセッサ 1 5 1 0 に結合され、またはプロセッサ 1 5 1 0 内に統合され得る。メモリ 1 5 3 2 は M R A M モジュール 1 6 0 を含み得る。

【0078】

50

図15はまた、プロセッサ1510およびディスプレイ1528に結合されたディスプレイコントローラ1526を示す。コーダ／デコーダ（コーデック）1534もプロセッサ1510に結合され得る。スピーカ1536およびマイクロフォン1538がコーデック1534に結合され得る。図15はまた、ワイヤレスインターフェース1540（ワイヤレスコントローラまたはトランシーバの1つまたは複数など）がプロセッサ1510およびアンテナ1542に結合され得ることも示す。

【0079】

特定の実施例では、プロセッサ1510、ディスプレイコントローラ1526、メモリ1532、コーデック1534、およびワイヤレスインターフェース1540が、システムインパッケージまたはシステムオンチップデバイス1522内に含まれる。システムオンチップデバイス1522はダイ1436に対応し得る。さらに、入力デバイス1530および電源1544は、システムオンチップデバイス1522に結合され得る。さらに、特定の実施例では、ディスプレイ1528、入力デバイス1530、スピーカ1536、マイクロフォン1538、アンテナ1542、および電源1544は、システムオンチップデバイス1522の外部にある。しかしながら、ディスプレイ1528、入力デバイス1530、スピーカ1536、マイクロフォン1538、アンテナ1542、および電源1544の各々は、インターフェースやコントローラなどの、システムオンチップデバイス1522の構成要素に結合され得る。

【0080】

特定の実施例では、装置は、第1のメタライゼーション層（たとえば、第1のメタライゼーション層102）の第1の構造（たとえば、部分106～108およびビア110のいずれか）を含む。第1の構造は、集積回路（たとえば、ダイ1436またはシステムオンチップデバイス1522）の論理デバイスに結合される（たとえば、領域104内に形成された論理デバイス）。装置は、第2のメタライゼーション層（たとえば、第2のメタライゼーション層161）の第2の構造（たとえば、ビット線147）をさらに含む。第2の構造は、集積回路のMRAMモジュール（たとえば、MRAMモジュール160）の1つまたは複数の抵抗ベースの記憶素子（たとえば、抵抗ベースの記憶素子226）に結合される。第2の構造は第1の構造とは無関係である。装置は、GDSIIファイル1426などの設計情報を使用して表現され得る。

【0081】

いくつかの実施例が論理デバイスを参照しながら説明されるが、他の実装が本開示の範囲内にあることを理解されたい。たとえば、いくつかのケースでは、メモリデバイスが領域104内に形成され得る。このケースでは、MRAMモジュール160は、例示の実施例として、（たとえば、メモリデバイスに関連する製造欠陥のケースでの）冗長ストレージとして機能し得る。代替または追加として、領域104は1つまたは複数の他のデバイスを含み得る。さらに、いくつかの実施例がMRAMデバイス（たとえば、MRAMモジュール160）を参照しながら説明されるが、他のケースでは、1つまたは複数の他のデバイスが第2のメタライゼーション層161（たとえば、別のメモリデバイス）を使用して形成され得る。

【0082】

図面では、図が見やすいようにいくつかの特徴が省略され得る。たとえば、本明細書で説明されるデバイスは、図が見やすいように図面から省略された1つまたは複数の構成要素（たとえば、配線）を含み得る。本開示の範囲から逸脱することなく、そのような特徴は特定の応用例に基づいて選択され得ることを当業者が理解するであろうことに留意されたい。

【0083】

本明細書で開示された実施形態に関連して説明された様々な例示的論理ブロック、構成、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、またはその両方の組合せとして実装され得ることを当業者はさらに理解されよう。様々な例示的構成要素、ブロック、構成、モジュ

10

20

30

40

50

ール、回路、およびステップが、その機能の点で上記で全般的に説明された。そのような機能がハードウェアとして実装されるか、それともプロセッサ実行可能命令として実装されるかは、特定の応用例、およびシステム全体に課される設計制約に依存する。当業者は、特定の応用例ごとに様々な方式で記載の機能を実装し得るが、そのような実装の決定が、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0084】

本明細書で開示された実施形態に関連して説明された方法またはアルゴリズムのステップは、ハードウェアとして直接的に、プロセッサによって実行されるソフトウェアモジュールとして、またはその2つの組合せとして実施され得る。たとえば、方法1300の1つまたは複数の動作は、フィールドプログラマブルゲートアレイ（FPGA）デバイス、特定用途向け集積回路（ASIC）、中央演算処理装置（CPU）などの処理装置、デジタル信号プロセッサ（DSP）、コントローラ、別のハードウェアデバイス、ファームウェアデバイス、またはそれらの組合せによって開始され、制御され、または実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ（RAM）、磁気抵抗ランダムアクセスメモリ（MRAM）、フラッシュメモリ、読取り専用メモリ（ROM）、プログラマブル読取り専用メモリ（PROM）、消去可能プログラマブル読取り専用メモリ（EPROM）、電気消去可能プログラマブル読取り専用メモリ（EEPROM）、レジスタ、ハードディスク、取外し可能ディスク、コンパクトディスク読取り専用メモリ（CD-ROM）、または当技術分野で周知の任意の他の形態の非一時的記憶媒体内にあり得る。例示的記憶媒体が、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替実施形態では、記憶媒体はプロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路（ASIC）内にあり得る。ASICは、コンピューティングデバイスまたはユーザ端末内にあり得る。代替実施形態では、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末内に別個の構成要素としてあり得る。

【0085】

開示された実施形態の先の説明は、開示された実装を当業者が作成または使用することを可能にするように与えられる。これらの実装に対する様々な修正が当業者には容易に明らかとなり、本開示の範囲から逸脱することなく、本明細書で定義される原理は、他の実装に適用され得る。したがって、本開示は、本明細書に示される実施形態に限定されず、以下の特許請求の範囲によって定義される原理および新規な特徴に適合する、可能な最も広い範囲が与えられるべきである。

【符号の説明】

【0086】

- 100 デバイス
- 101 基板
- 102 第1のメタライゼーション層
- 104 領域
- 105 第1の層間誘電体（ILD）
- 106 第1の部分
- 107 第2の部分
- 108 第3の部分
- 110 ビア
- 112 MRAM領域
- 114 エッジ領域
- 116 論理領域
- 138 第2のILD
- 147 ビット線
- 148 第2の部分
- 149 ビア

10

20

30

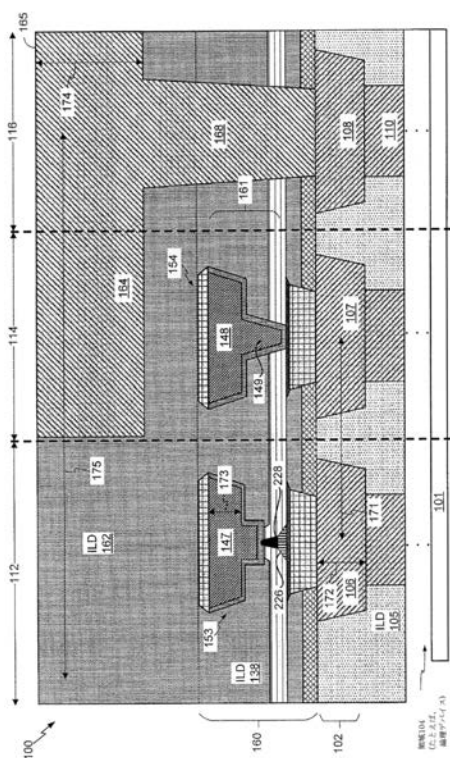
40

50

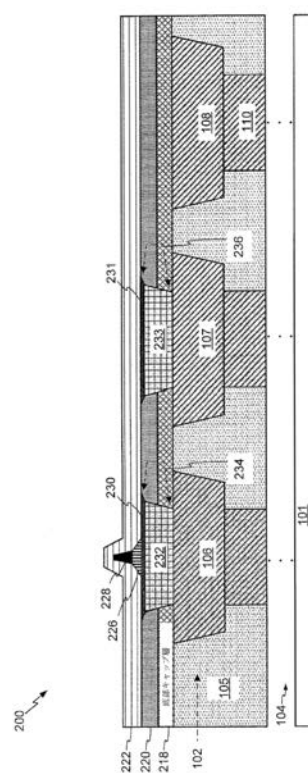
1 5 3	モジュール接点	
1 5 4	アレイ接点	
1 6 0	M R A Mモジュール	
1 6 1	第 2 のメタライゼーション層	
1 6 2	第 3 の I L D	
1 6 4	金属領域	
1 6 8	ビア	
1 7 1	第 1 のピッチ	
1 7 2	第 1 の厚さ	
1 7 3	第 2 の厚さ	10
1 7 4	第 3 の厚さ	
2 0 0	デバイス	
2 1 8	底部キャップ層	
2 2 0	バッファ層	
2 2 2	パッシベーション層	
2 2 6	抵抗ベースの記憶素子	
2 2 8	結合素子	
2 3 0	材料	
2 3 1	材料	
2 3 2	導電性材料	20
2 3 3	導電性材料	
2 3 4	第 1 の底部電極	
2 3 6	第 2 の底部電極	
3 0 0	デバイス	
3 4 0	ハードマスク (H M)	
3 9 9	第 1 の高さ	
4 0 0	デバイス	
4 0 2	保護デバイス	
4 4 1	空洞	
4 4 2	空洞	30
5 0 0	デバイス	
5 4 9	第 1 の障壁層	
5 5 0	第 2 の障壁層	
6 0 0	デバイス	
6 5 1	第 1 のエレクトロマイグレーション (E M) キャップ	
6 5 2	第 2 の E M キャップ	
7 0 0	デバイス	
7 0 2	トレンチ	
7 0 4	空洞	
8 0 0	デバイス	40
8 4 2	第 2 の空洞	
9 0 0	デバイス	
9 4 8	第 2 の部分	
9 5 0	障壁層	
9 5 4	アレイ接点	
1 0 0 0	デバイス	
1 0 5 2	第 2 の E M キャップ	
1 1 0 0	デバイス	
1 1 0 6	空洞	
1 2 0 0	デバイス	50

1 2 7 0	ビア	
1 4 0 0	電子デバイス製作プロセス	
1 4 0 2	物理デバイス情報	
1 4 0 4	ユーザインターフェース	
1 4 0 6	調査コンピュータ	
1 4 0 8	プロセッサ	
1 4 1 0	メモリ	
1 4 1 2	ライブラリファイル	
1 4 1 4	設計コンピュータ	
1 4 1 6	プロセッサ	10
1 4 1 8	メモリ	
1 4 2 0	電子設計自動化（EDA）ツール	
1 4 2 2	論理デバイス設計情報	
1 4 2 3	MRAMモジュール設計情報	
1 4 2 4	ユーザインターフェース	
1 4 2 6	GDSIIファイル	
1 4 2 8	製作プロセス	
1 4 3 0	マスク製造業者	
1 4 3 2	マスク	
1 4 3 3	ウェハ	20
1 4 3 4	プロセッサ	
1 4 3 5	メモリ	
1 4 3 6	ダイ	
1 4 3 8	パッケージングプロセス	
1 4 4 0	パッケージ	
1 4 4 2	PCB設計情報	
1 4 4 4	ユーザインターフェース	
1 4 4 6	コンピュータ	
1 4 5 0	メモリ	
1 4 5 2	GERBERファイル	30
1 4 5 4	ボード組立てプロセス	
1 4 5 6	PCB	
1 4 5 8	プリント回路アセンブリ（PCA）	
1 4 6 0	製品製造プロセス	
1 4 6 2	第1の電子デバイス	
1 4 6 4	第2の電子デバイス	
1 4 9 9	論理デバイス	
1 5 0 0	電子デバイス	
1 5 1 0	プロセッサ	
1 5 2 6	ディスプレイコントローラ	40
1 5 2 8	ディスプレイ	
1 5 3 0	入力デバイス	
1 5 3 2	メモリ	
1 5 3 4	コーダ／デコーダ（コーデック）	
1 5 3 6	スピーカ	
1 5 3 8	マイクロフォン	
1 5 4 0	ワイヤレスインターフェース	
1 5 4 2	アンテナ	
1 5 4 4	電源	
1 5 6 8	命令	50

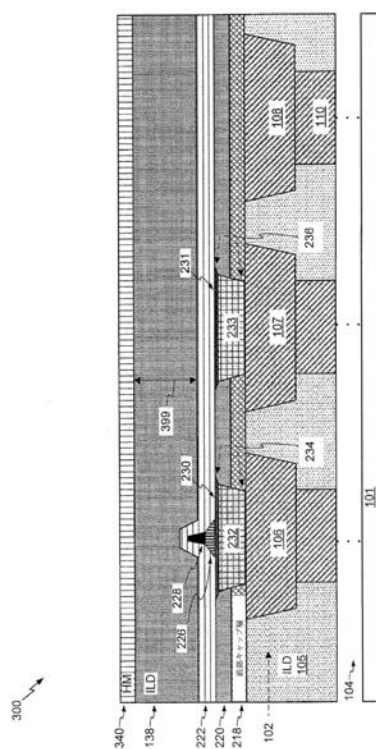
【图 1】



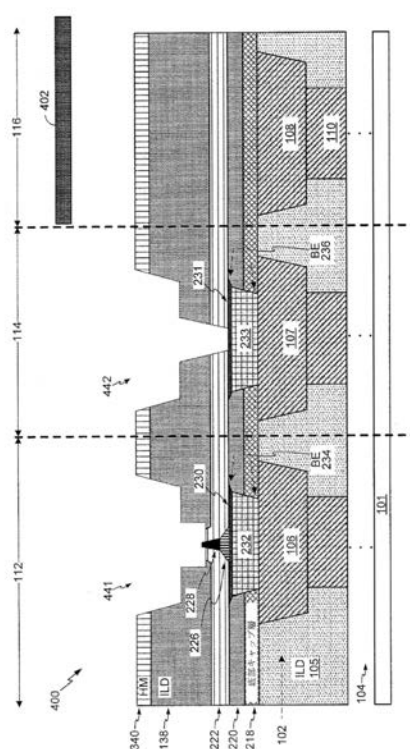
【图 2】



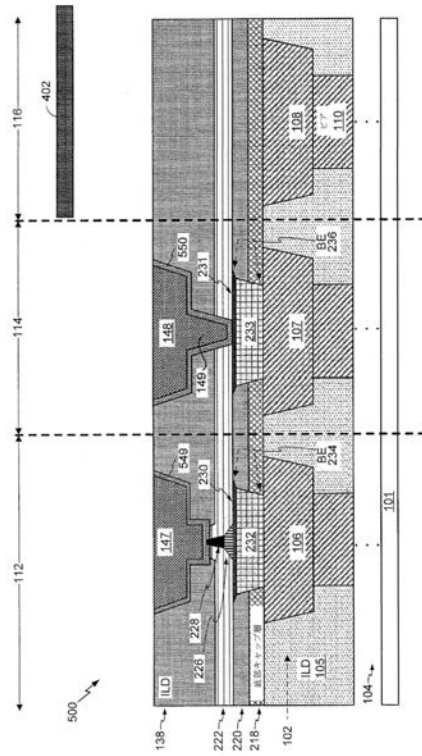
【 図 3 】



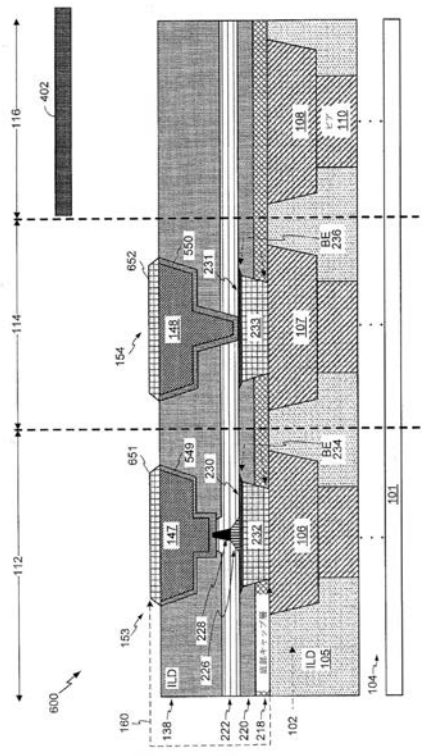
【 図 4 】



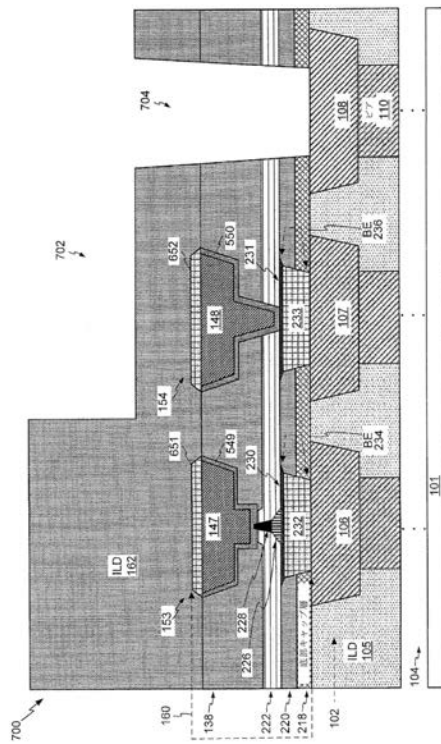
【図 5】



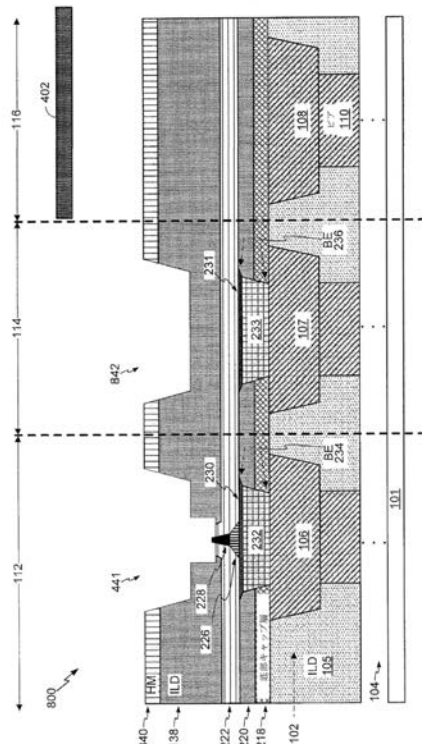
【図 6】



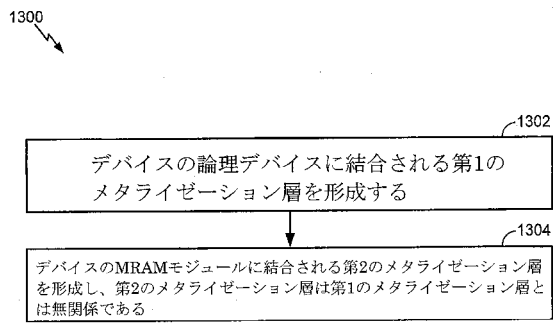
【図 7】



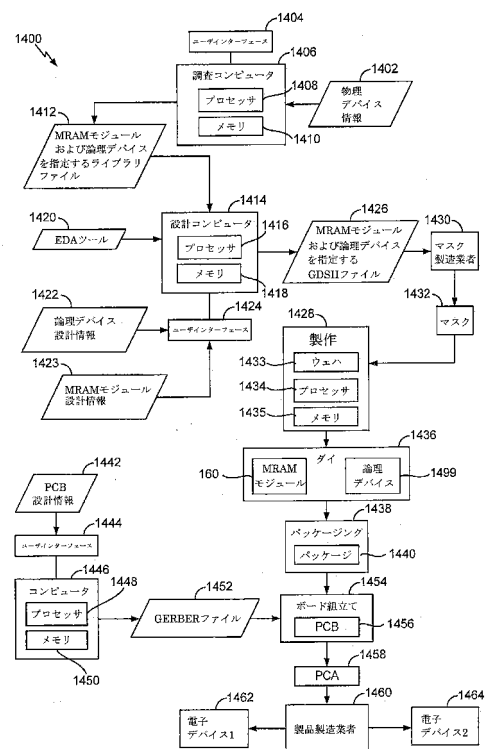
【図 8】



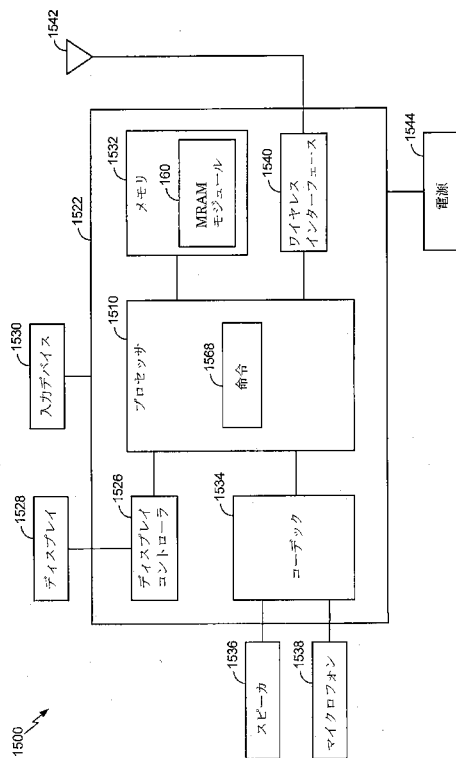
【図 13】



【図 14】



【図 15】



【手続補正書】

【提出日】平成30年2月14日(2018.2.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デバイスの製作の方法であって、

デバイスの論理デバイスに結合された第 1 のメタライゼーション層を形成するステップと、

前記デバイスの磁気抵抗ランダムアクセスメモリ(MRAM)モジュールに結合された専用メタライゼーション層を形成するステップであって、前記専用メタライゼーション層が前記第 1 のメタライゼーション層とは異なる、ステップを含む方法。

【請求項 2】

前記第 1 のメタライゼーション層が、バック・エンド・オブ・ライン(BEOL)メタライゼーションプロセスを使用して形成され、前記専用メタライゼーション層が、前記MRAMモジュールに関連する 1 つまたは複数の構成要素を形成することを専用とするメタライゼーションプロセスを使用して形成される請求項 1 に記載の方法。

【請求項 3】

前記BEOLメタライゼーションプロセスが、メタライゼーション層の正の整数 n を指定し、前記デバイスが少なくとも $n + 1$ 個のメタライゼーション層を含む請求項 2 に記載の方法。

【請求項 4】

前記専用メタライゼーション層が、ダマシンプロセスを実施して前記 1 つまたは複数の構成要素を形成し、前記 1 つまたは複数の構成要素が、前記MRAMモジュールのビット線または前記MRAMモジュールのアレイ接点の 1 つまたは複数を含む請求項 2 に記載の方法。

【請求項 5】

前記専用メタライゼーション層を形成した後に、第 3 のメタライゼーション層を形成するステップをさらに含み、前記第 1 のメタライゼーション層が、前記第 3 のメタライゼーション層に関連する第 2 のピッチ未満の第 1 のピッチに関連付けられ、前記専用メタライゼーション層が、前記第 1 のメタライゼーション層の前記第 1 のピッチを利用して、前記MRAMモジュールに関連する 1 つまたは複数の構成要素を形成するように構成され、前記 1 つまたは複数の構成要素が抵抗ベースの記憶素子を含む請求項 1 に記載の方法。

【請求項 6】

前記第 1 のピッチが、前記デバイスのバック・エンド・オブ・ライン(BEOL)メタライゼーションプロセスに準拠する特定のピッチである請求項 5 に記載の方法。

【請求項 7】

前記第 1 のメタライゼーション層が、前記第 3 のメタライゼーション層に関連する第 2 の密度よりも高い第 1 の密度を有する請求項 5 に記載の方法。

【請求項 8】

前記第 1 のメタライゼーション層を形成する前記ステップ、および前記専用メタライゼーション層を形成する前記ステップが、命令を実行するプロセッサによって開始され、前記専用メタライゼーション層が前記論理デバイスと共有されない請求項 1 に記載の方法。

【請求項 9】

デバイスの製作中にプロセッサに動作を開始させるように前記プロセッサによって実行可能である命令を記憶するコンピュータ可読媒体であって、前記動作が、

デバイスの論理デバイスに結合された第1のメタライゼーション層を形成すること、および

前記デバイスの磁気抵抗ランダムアクセスメモリ(MRAM)モジュールに結合された専用メタライゼーション層を形成することであって、前記専用メタライゼーション層が前記第1のメタライゼーション層とは異なることを含むコンピュータ可読媒体。

【請求項10】

前記第1のメタライゼーション層が、バック・エンド・オブ・ライン(BEOL)メタライゼーションプロセスを使用して形成され、前記専用メタライゼーション層が、前記MRAMモジュールに関連する1つまたは複数の構成要素を形成することを専用とするメタライゼーションプロセスを使用して形成される請求項9に記載のコンピュータ可読媒体。

【請求項11】

前記BEOLメタライゼーションプロセスが、メタライゼーション層の正の整数 n を指定し、前記デバイスが少なくとも $n+1$ 個のメタライゼーション層を含む請求項10に記載のコンピュータ可読媒体。

【請求項12】

前記専用メタライゼーション層を形成することが、ダマシンプロセスを実施して前記1つまたは複数の構成要素を形成することを含み、前記1つまたは複数の構成要素が、前記MRAMモジュールのビット線または前記MRAMモジュールのアレイ接点の1つまたは複数を含む請求項10に記載のコンピュータ可読媒体。

【請求項13】

前記動作が、前記専用メタライゼーション層を形成した後に、第3のメタライゼーション層を形成することをさらに含み、前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2のピッチ未満の第1のピッチに関連付けられ、前記専用メタライゼーション層が、前記第1のメタライゼーション層の前記第1のピッチを利用して、前記MRAMモジュールに関連する1つまたは複数の構成要素を形成するように構成され、前記1つまたは複数の構成要素が抵抗ベースの記憶素子を含む請求項9に記載のコンピュータ可読媒体。

【請求項14】

前記第1のピッチが、前記デバイスのバック・エンド・オブ・ライン(BEOL)メタライゼーションプロセスに準拠する特定のピッチである請求項13に記載のコンピュータ可読媒体。

【請求項15】

前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2の密度よりも高い第1の密度を有し、前記専用メタライゼーション層が前記論理デバイスと共有されない請求項13に記載のコンピュータ可読媒体。

【請求項16】

第1のメタライゼーション層の第1の構造であって、集積回路の論理デバイスに結合された第1の構造と、

専用メタライゼーション層の第2の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ(MRAM)モジュールの1つまたは複数の抵抗ベースの記憶素子に結合され、前記第1の構造とは異なる、第2の構造とを備える装置。

【請求項17】

前記第1の構造が接点またはビアを含み、前記第2の構造が、前記MRAMモジュールのビット線を含み、前記MRAMモジュールのアレイ接点をさらに備える請求項16に記載の装置。

【請求項18】

第3のメタライゼーション層の第3の構造をさらに備え、前記第1のメタライゼーション層が、前記第3のメタライゼーション層に関連する第2のピッチ未満の第1のピッチに

関連付けられ、前記専用メタライゼーション層が、前記第 1 のメタライゼーション層の前記第 1 のピッチを利用して、前記 M R A M モジュールに関連する 1 つまたは複数の構成要素を形成するように構成され、前記 1 つまたは複数の構成要素が抵抗ベースの記憶素子を含む請求項 1 6 に記載の装置。

【請求項 1 9】

前記第 3 の構造が金属領域またはビアを含む請求項 1 8 に記載の装置。

【請求項 2 0】

前記 M R A M モジュールが、モジュール接点と、前記モジュール接点に結合された結合素子と、アレイ接点とをさらに含む請求項 1 6 に記載の装置。

【請求項 2 1】

前記第 1 の構造および前記第 2 の構造を含む半導体ダイをさらに備える請求項 1 6 に記載の装置。

【請求項 2 2】

モバイルデバイス、コンピュータ、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末（P D A）、モニタ、テレビジョン、同調器、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、ビデオプレーヤ、デジタルビデオプレーヤ、デジタルビデオディスク（D V D）プレーヤ、ポータブルデジタルビデオプレーヤ、および固定位置データユニットからなるグループから選択されたデバイスをさらに備え、前記半導体ダイが前記デバイス内に統合される請求項 2 1 に記載の装置。

【請求項 2 3】

データファイルを生成する方法であって、

半導体デバイスの少なくとも 1 つの物理的性質を表す設計情報を受け取るステップであって、前記半導体デバイスが、

第 1 のメタライゼーション層の第 1 の構造であって、集積回路の論理デバイスに結合された第 1 の構造と、

専用メタライゼーション層の第 2 の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ（M R A M）モジュールの 1 つまたは複数の抵抗ベースの記憶素子に結合され、前記第 1 の構造とは異なる、第 2 の構造と

を備える、ステップと、

ファイルフォーマットに準拠するように前記設計情報を変換するステップと、

変換した設計情報を含むデータファイルを生成するステップと

を含む方法。

【請求項 2 4】

前記データファイルが G D S I I フォーマットを有し、前記設計情報がライブラリファイルを含む請求項 2 3 に記載の方法。

【請求項 2 5】

前記設計情報が、前記論理デバイスを表現する論理デバイス設計情報を含み、前記 M R A M モジュールを表現する M R A M モジュール設計情報をさらに含む請求項 2 3 に記載の方法。

【請求項 2 6】

前記第 1 の構造が接点またはビアを含み、前記専用メタライゼーション層が前記論理デバイスと共有されない請求項 2 3 に記載の方法。

【請求項 2 7】

前記第 2 の構造が、前記 M R A M モジュールのビット線または前記 M R A M モジュールのアレイ接点を含む請求項 2 3 に記載の方法。

【請求項 2 8】

前記半導体デバイスが、第 3 のメタライゼーション層の第 3 の構造をさらに含む請求項 2 7 に記載の方法。

【請求項 2 9】

前記第 3 の構造が金属領域またはビアを含む請求項 28 に記載の方法。

【請求項 30】

前記第 1 の構造の第 1 の厚さが、前記第 2 の構造の第 2 の厚さ未満である請求項 23 に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/041790

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L43/12 H01L27/22
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/073251 A1 (NING XIAN J [US]) 17 April 2003 (2003-04-17) paragraphs [0002] - [0004], [0017] - [0021]; figure 1 paragraphs [0022] - [0039]; figures 2-8 -----	1-4, 16, 17, 20-22
X	US 2012/043630 A1 (OMORI KAZUYUKI [JP] ET AL) 23 February 2012 (2012-02-23)	1-22
Y	paragraphs [0103] - [0131]; figures 1-8 paragraphs [0132] - [0179]; figures 9-30 -----	23-30
Y	US 2010/289098 A1 (LI XIA [US] ET AL) 18 November 2010 (2010-11-18) paragraphs [0047] - [0053] -----	23-30

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier application or patent but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

Z document member of the same patent family

Date of the actual completion of the international search

30 September 2016

Date of mailing of the international search report

13/10/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Steiner, Markus

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/041790

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003073251 A1	17-04-2003	TW 575905 B US 2003073251 A1 WO 03033687 A2	11-02-2004 17-04-2003 24-04-2003
US 2012043630 A1	23-02-2012	JP 2012043977 A US 2012043630 A1	01-03-2012 23-02-2012
US 2010289098 A1	18-11-2010	CN 102422421 A EP 2430661 A1 JP 5781065 B2 JP 5969533 B2 JP 2012527129 A JP 2014135518 A KR 20120025523 A TW 201108482 A US 2010289098 A1 US 2013235656 A1 WO 2010132773 A1	18-04-2012 21-03-2012 16-09-2015 17-08-2016 01-11-2012 24-07-2014 15-03-2012 01-03-2011 18-11-2010 12-09-2013 18-11-2010

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H O 1 L 43/08 (2006.01)
H O 1 L 43/12 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 スン・ヒョク・カン
 アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

Fターム(参考) 4M119 AA20 BB01 JJ15 JJ16 KK03 KK04 KK20
 5F033 HH11 HH19 HH31 HH32 JJ01 JJ11 KK19 KK32 MM01 MM02
 MM12 MM13 NN06 NN07 NN08 PP12 PP27 PP28 QQ09 QQ10
 QQ37 QQ48 RR03 RR04 RR06 RR29 UU04 VV16 XX01 XX03
 XX33
 5F092 AA20 AB06 AC11 CA20 CA31