

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年1月30日(30.01.2014)



(10) 国際公開番号  
WO 2014/017102 A1

- (51) 国際特許分類:  
H03M 13/19 (2006.01)
- (21) 国際出願番号: PCT/JP2013/004551
- (22) 国際出願日: 2013年7月26日(26.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
12178270.0 2012年7月27日(27.07.2012) EP  
12178271.8 2012年7月27日(27.07.2012) EP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: ペトロフ ミハイル(PETROV, Mihail).
- (74) 代理人: 中島 司朗, 外(NAKAJIMA, Shiro et al.); 〒5310072 大阪府大阪市北区豊崎三丁目2番1号淀川5番館6F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

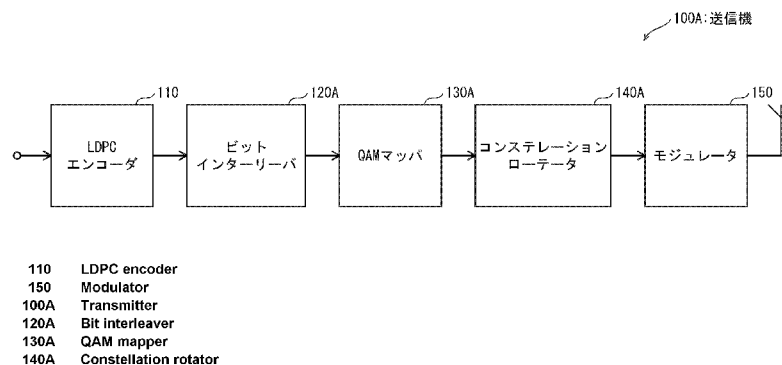
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: TRANSMISSION METHOD, RECEPTION METHOD, TRANSMITTER, AND RECEIVER

(54) 発明の名称: 送信方法、受信方法、送信機、及び受信機

[図18]



(57) Abstract: In the present invention, a codeword is divided into  $N/(B \times D)$  sections, bit permutation is applied to  $(B \times D) \times Q$  bits of each section,  $Q$  bit groups of each section are mapped into real number symbols, and for  $Q \times D$  of the real number symbols for each section, each of a number  $Q$  of  $D$ -dimensional vectors in which  $D$  real number symbols serve as elements are multiplied by an orthogonal matrix of  $D$  rows and  $D$  columns. A constellation block configured from two  $D$ -dimensional vectors has only two bits of the same pseudo-cyclic block thereof encoded, and these two bits are mapped one bit at a time in the same dimension as the two  $D$ -dimensional vectors.

(57) 要約: 符号語を  $N / (B \times D)$  個のセクションに分割し、ビットパーミュテーションを各セクションの  $(B \times D) \times Q$  ビットに対して適用し、各セクションの  $Q$  個の各ビットグループを実数値シンボルにマッピングし、各セクションの  $Q \times D$  個の実数値シンボルにおいて  $D$  個の実数値シンボルを要素とする  $Q$  個の  $D$  次元ベクトルに  $D$  行  $D$  列の直交行列を乗算し、2つの  $D$  次元ベクトルから構成されるコンステレーションブロックは、同じ疑似巡回ブロックの2ビットのみを符号化し、且つ、当該2ビットは当該2つの  $D$  次元ベクトルの同じ次元に1ビットずつマッピングされたものである。



WO 2014/017102 A1

## 明 細 書

**発明の名称**：送信方法、受信方法、送信機、及び受信機

### 技術分野

[0001] 本発明は、デジタル通信分野に関し、より詳細には疑似巡回 (quasi-cyclic: QC) 低密度パリティ検査 (low-density parity-check: QC-LDPC) 符号とともに回転コンステレーションを用いる通信システムに関する。

### 背景技術

[0002] 近年、送信機では、例えば、符号語ビットをインターリーブしてから実数値 (real-valued) シンボルにマッピングし、 $D$ 個の実数値シンボル毎に $D$ 次元ベクトルに $D$ 行 $D$ 列の直交行列を乗算する (回転を施す)、ことが行われている (例えば、非特許文献1参照)。

### 先行技術文献

#### 非特許文献

- [0003] 非特許文献1: ETSI EN 302 755 V1.1.1 (DVB-T2規格)  
非特許文献2: ETSI EN 302 307 V1.1.1 (DVB-S2規格)  
非特許文献3: ETSI EN 302 769 V1.1.1 (DVB-C2規格)

### 発明の概要

#### 発明が解決しようとする課題

[0004] ところで、送信側で回転を施す場合、次元数 $D$ を考慮しない符号語ビットのインターリーブでは、受信機の構造を複雑なものにしてしまう恐れがある。

[0005] そこで、本発明は、複数の次元数 $D$ を受信機が使用することに起因して受信機の構造が複雑になってしまうことを回避できる新たな符号語ビットのインターリーブを含む送信方法を提供することを目的とする。

## 課題を解決するための手段

[0006] 上記目的を達成するために本発明の送信方法は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信方法であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

前記送信方法は、

前記符号語を $N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、ビットパーミュテーションを各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用し、各前記セクションの並び替えられた $(B \times D) \times Q$ ビットを $M = (B \times D)$ ビットからなるQ個のビットグループに分け、前記ビットパーミュテーションは前記疑似巡回ブロックのQビットがQ個の異なるビットグループにマッピングされるように適用され、

各前記ビットグループの各Bビットを実数値シンボルにマッピングし、

各前記ビットグループから作られたD個の前記実数値シンボルを要素とするD次元ベクトルにD行D列の直交行列を乗算することによって、当該D次元ベクトルをD個の変換実数値シンボルを要素とするD次元回転コンステレーションに変換し、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列であり、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた前記D次元ベクトルから形成され、

各前記コンステレーションブロックの $2 \times D$ 個の変換実数値シンボルがD個の複素シンボルにマッピングされ、且つ、前記D次元回転コンステレーションのD個の変換実数値シンボルがD個の異なる複素シンボルにマッピングされるように、 $N \times Q / B$ 個の前記変換実数値シンボルを $N \times Q / (2 \times B$

- ) 個の前記複素シンボルにマッピングする  
各ステップを含む。

### 発明の効果

[0007] 上記送信方法によれば、複数の次元数Dを受信機が使用することに起因して受信機の構造が複雑になってしまうことを回避できる。

### 図面の簡単な説明

[0008] [図1]疑似巡回低密度パリティ検査符号とともに回転コンステレーションを用いる一般的な送信機のブロック図

[図2]疑似巡回低密度パリティ検査符号のパリティ検査行列の一例を示す図

[図3]疑似巡回低密度パリティ検査符号用のビットインターリーバの一例を示す図

[図4]図3のセクションパーミュテーションの一例を示す図

[図5] (a) はLDPC符号語の複数ビットのセクションパーミュテーション行列への書き込み処理の一例を示し、(b) セクションパーミュテーション行列からのLDPC符号語の複数ビットの読み出し処理の一例を示す図

[図6]図3のビットインターリーバに2種類のパーミュテーションの機能を追加したビットインターリーバの一例を示す図

[図7] (a) はLDPC符号語の複数ビットのセクションパーミュテーション行列への書き込み処理の一例を示し、(b) はLDPC符号語の複数ビットのセクションパーミュテーション行列からの読み出し処理の一例を示し、(c) はLDPCブロックの4ビットの16-QAMコンステレーションへのマッピングの一例を示し、(d) はQAMマップの出力の一例を示し、(e) は4次元回転コンステレーションのペアの隣接する4つの複素シンボル(セル)へのマッピングの一例を示す図

[図8]ビットインターリーバ出力の非回転コンステレーションへのマッピングの一例を示す図

[図9]ビットインターリーバ出力のコンステレーションブロックへのマッピングの一例を示す図

[図10A]非反復復号を用いる一般的な受信機のブロック図

[図10B]反復復号を用いる一般的な受信機のブロック図

[図11]図10Bの反復デコーダのより詳細なブロック図

[図12]疑似巡回低密度パリティ検査符号用の並列反復デコーダの構造を示す図

[図13]疑似巡回低密度パリティ検査符号用の並列非反復デコーダの構造を示す図

[図14]メモリバンクでのLDPCブロックの(ソフト)ビットの一記憶例を示す図

[図15]メモリバンクでの受信した複素シンボル(セル)の一記憶例を示す図

[図16]反復デコーダのコンパクトで規則的なハードウェア構造の一例を示す図

[図17]本発明の一実施の形態によるLDPCブロックのコンステレーションブロックへのマッピングの一例を示す図

[図18]本発明の一実施の形態における送信機のブロック図

[図19A]2つの多次元回転ベクトルの複素シンボルへのマッピングの一例を示す図

[図19B]2つの多次元回転ベクトルの複素シンボルへのマッピングの他の例を示す図

[図19C]2つの多次元回転ベクトルの複素シンボルへのマッピングのさらに他の例を示す図

[図20]図18の送信機によって行われるビットインターリーブの出力ビットのコンステレーションブロックへのマッピングの一例を示す図

[図21](a)は図20のQAMマッピング(ステップ2)及び(ステップ4)の詳細を示し、(b)は図20のコンステレーションローテーション(ステップ3)及び(ステップ4)の詳細を示す図

[図22]PAMシンボルの非回転コンステレーションへのマッピングの一例を示す図

[図23A]本発明の一実施の形態における非反復復号を用いる受信機のブロック図

[図23B]本発明の一実施の形態における反復復号を用いる受信機のブロック図

[図24]疑似巡回低密度パリティ検査符号とともに回転コンステレーションを用いる一般的な送信機の他のブロック図

[図25]本発明の他の実施の形態における一の送信機のブロック図

[図26] (a) ~ (c) は図 2 5 のコンポーネントインターリーバの処理の一例を示す図

[図27] (a) ~ (c) は図 2 5 のコンポーネントインターリーバの処理の一例を示す図

[図28] (a) ~ (b) は図 2 5 のセルインターリーバの処理の一例を示す図

[図29] (a) ~ (b) は図 2 5 のセルインターリーバの処理の他の例を示す図

[図30] (a) ~ (b) は図 2 5 のセルインターリーバの出力例を示す図

[図31A]本発明の他の実施の形態における他の送信機のブロック図

[図31B]本発明の他の実施の形態におけるさらに他の送信機のブロック図

[図32]本発明の他の実施の形態における一の受信機のブロック図

[図33A]本発明の他の実施の形態における反復復号を用いる一の受信機のブロック図

[図33B]簡略化された反復復号を用いるデコーダのブロック図

[図33C]図 3 2 のコンポーネントインターリーバの実装の詳細なブロック図

### 発明を実施するための形態

[0009] 《発明者による検討内容と実施の形態（その1）》

図 1 は、疑似巡回低密度パリティ検査（QC-LDPC）符号とともに回転コンステレーションを用いる一般的な送信機 100 のブロック図を示す。

図 1 のブロック図は本発明に関連するブロックのみ示している。

[0010] 送信機 100 は、LDPCエンコーダ 110、ビットインターリーバ 120、QAMマッパ 130、コンステレーションローテータ 140、及びモジ

ュレータ150を含む。

[0011] 送信機100は、入力として、送信される情報を含む所定長のバイナリーブロックを受け取る。送信機100では、まず、LDPCエンコーダ110が、低密度パリティ検査符号（例えば、リピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号）を用いて、各情報ブロックを符号化する。この符号化処理は、情報ブロックのエラー耐性をより強くするために、冗長ビットの計算と当該冗長ビットの情報ブロックへの付加を含む。

[0012] そして、ビットインターリーブ120が、符号化によって得られたLDPC符号語（以下では、「LDPCブロック」と呼ぶ。）の複数のビットをインターリーブする（ビットインターリーブ）。

[0013] 次に、QAMマッパ130はLDPCブロックのインターリーブされた複数のビットを複素QAM (quadrature amplitude modulation) シンボルにマッピングする。複素QAMシンボルの実数コンポーネント及び虚数コンポーネントは互いに独立に変調される。実数及び虚数コンポーネントの夫々は所定数のビットを符号化したものである。この所定数をBで表記する。従って、複素QAMシンボルは $2 \times B$ ビットを符号化したものである。実数及び虚数コンポーネントは、夫々、PAM (pulse amplitude modulation) シンボル又はASK (amplitude shift keying) シンボルと見なすことができる。このPAMシンボルは $2^B$ 個の値を含む離散集合から1つの値をとる。BビットがPAMシンボルにどのようにマッピングされるかはよく知られており、本発明に直接関連しない。本発明に関連する側面は、各FECブロックが、2つで1つの複素QAMシンボルになる（実）PAMシンボルのブロックに変換されることである。

[0014] 但し、QAMマッパ130は、ビットインターリーブ120から出力される複数のビットを入力とし、連続するBビットを1つのPAMシンボルにマッピングしていくことによって、PAMシンボルを連続して出力する。

[0015] なお、QAMマッパ130はインターリーブ後のFECブロックのB

ビットの各グループを、実数値シンボル (real-valued symbol) にコンステレーションマッピングするコンステレーションマップに対応する。なお、PAMシンボルが実数値シンボルに対応する。

- [0016] フェージングチャネルでの耐性を強くするために、コンステレーションローテータ140が、QAMマップ130によって生成された複数のQAMシンボルに対して専用の変換を適用し、複数の複素シンボルを出力する。コンステレーションローテータ140による変換処理は、複数のQAMシンボルをD個のQAMシンボルに分け、各D個のQAMシンボルにおいてD個のPAMシンボルを要素とする各D次元ベクトルにD行D列 ( $D \times D$ ) の平方直交行列を乗算することによって、実行される。つまり、D次元ベクトルをV、 $D \times D$ の平方直交行列をRとした場合、コンステレーションローテータ140は、D次元回転ベクトル  $V_R = R V$  を計算する。
- [0017] 各D次元ベクトルのD個のPAMシンボルの組が、D次元空間における固有のポイントを示すものとみなされる。このため、 $D^B$ の組み合わせがD次元コンステレーションを形成する。従って、行列乗算はD次元空間での回転とみなされる。本件書類では、用語「回転コンステレーション (rotated constellation)」を用いる。上記の $D \times D$ の平方直交行列 (回転行列) の特別な構造だけが本発明に関連するというわけではない。
- [0018] コンステレーションローテータ140によって使用される直交行列は、例えば、D次元ベクトルの各次元の要素の値が、少なくとも2個の次元に分散されるようになる、直交行列である。
- [0019] このような直交行列として、例えば、主対角線上にある全要素の絶対値が第1の値に等しく、主対角線上にない全要素の絶対値がゼロでない第2の値に等しい行列を挙げることができる。但し、主対角線とはi行i列 ( $i = 1 \sim D$ ) からなる対角線である。なお、この行列のD個の行の並び順を替えたもの、D個の列の並び順を替えたもの、D個の行の並び順とD個の列の並び順の双方を替えたものを、直交行列として使用することができる。
- [0020] この一具体例を以下に示す。

[0021] 直交行列 R は、

[0022] [数1]

$$R = \begin{pmatrix} s_{1,1}a & s_{1,2}b & \cdots & s_{1,D}b \\ s_{2,1}b & s_{2,2}a & & \vdots \\ \vdots & & \ddots & s_{D-1,D}b \\ s_{D,1}b & \cdots & s_{D,D-1}b & s_{D,D}a \end{pmatrix} \quad (\text{数 1})$$

を満たす。

[0023] 但し、 $a$ 、 $b$ は実パラメータであり、符号値 (Sign Value)  $s_{i,j}$ は

[0024] [数2]

$$s_{i,j} \in \{-1, +1\} \quad (\text{数 2})$$

であり、

実パラメータは  $a$ 、 $b$ は、

[0025] [数3]

$$a^2 + (D-1)b^2 = 1 \quad (\text{数 3})$$

を満たす。但し、 $b \neq 0$ である。

[0026] 回転コンステレーションを用いた通信システムにおいて高性能を実現するためには、各  $D$ 次元回転ベクトルの要素である  $D$ 個の変換 PAMシンボル（各回転コンステレーションの  $D$ 個のコンポーネント）が  $D$ 個の異なる複素シンボルにマッピングされる必要がある。なお、複素シンボルは複素セル又は

セルとも呼ばれる。さらに、回転コンステレーションのD個のコンポーネントは、それらが影響を受けるチャネルフェージングができるだけ無相関になるように、時間と周波数とで広がっていることが好ましい。これらの側面は当該技術分野でよく知られている。

[0027] 最後に、モジュレータ150が複素シンボルを変調し、変調された複素シンボルは通信媒体上で伝送される。変調スキームは例えばOFDM (orthogonal frequency-division multiplexing) であってもよい。時間と周波数での付加的なインターリーブは、通常、システムダイバーシティ増大のために変調に先立って実行される。

[0028] 本発明の目的の一つは、LDPCエンコーダ110とQAMマップ130との間に配置されるビットインターリーブ120が、QC-LDPC符号とともに回転コンステレーションを用いるシステムにおける効率的な受信機の実装を可能にするためにどのように最適化され得るか、を開示することである。

[0029] 以下に、LDPC符号についてその特徴のいくつかを説明する。

[0030] LDPC符号は、パリティ検査行列 (parity-check matrix: PCM) によって完全に定義される線形誤り訂正符号である。パリティ検査行列は、符号語ビット (変数ノードとも呼ばれる。) とパリティ検査 (検査ノードとも呼ばれる。) との連結 (connection) を表す、2値の疎行列である。パリティ検査行列の列と行は、夫々、変数ノードと検査ノードに対応する。変数ノードと検査ノードとの連結は、パリティ検査行列において、“1”のエントリ (行列要素の値“1”) によって表される。

[0031] QC-LDPC符号は、ハードウェア実装に特に適した構造である。事実、今日、ほとんどの規格がQC-LDPC符号を採用している。このようなQC-LDPC符号のパリティ検査行列は、巡回行列を有する特別な構造になっている。巡回行列は、各行が1つ前の行の要素を1つ巡回シフトしたものであって、1、2、又は、それ以上の巡回的にシフトされた対角線 (cyclicly-shifted diagonal) を有し得る、正方行列である。各巡回行列のサイ

ズは $Q$ 行 $Q$ 列 ( $Q \times Q$ ) であり、 $Q$ はQC-LDPC符号の巡回係数 (cyclic factor) と呼ばれる。このような疑似巡回構造によって $Q$ 個の検査ノードを並列に処理することが可能になり、QC-LDPC符号は効率的なハードウェア実装にとって明らかに有利である。

[0032] 図2は、巡回係数 $Q=8$ であるQC-LDPC符号のパリティ検査行列の一例を示し、図2のパリティ検査行列には、1又は2の巡回的にシフトされた対角線を有する巡回行列がある。但し、図2のパリティ検査行列では、値が「1」である行列要素を黒四角で、値が「0」である行列要素を白四角で表している。

[0033] 図2のQC-LDPC符号は、 $8 \times 12 = 96$ ビットのブロックを $8 \times 18 = 144$ ビットの符号語に符号化する符号であり、符号化率は $96 / 144 = 2 / 3$ である。符号語ビットは、 $Q$ ビットのブロックに分割される。この $Q$ ビットのブロックを、本件書類を通して、巡回ブロック又は疑似巡回ブロックと呼び、「QB」と表記する。

[0034] 図2に示されるパリティ検査行列のQC-LDPC符号は、リピートアキュムレート (repeat-accumulate: RA) QC-LDPC符号と呼ばれる、特別な種類のQC-LDPC符号に属する。RA-QC-LDPC符号は、符号化の容易さでよく知られており、第2世代のDVB規格 (DVB-S2 (非特許文献2)、DVB-T2 (非特許文献1)、DVB-C2 (非特許文献3)) など、数多くの規格に採用されている。RA-QC-LDPC符号では、パリティ検査行列のパリティビットに対応する右側 (パリティ部分) は、要素「1」の配置位置が階段状である構造になっている。これらの側面は当該技術分野においてよく知られている。なお、パリティ検査行列の左側は情報ビットに対応する部分 (情報部分) である。

[0035] 次に、QC-LDPCブロックの構造に特に適合した特別な種類のビットインターリーブについてその特徴のいくつかを説明する。このビットインターリーブは並列ビットインターリーブと呼ばれ、高い並列度によって特徴づけられる。並列ビットインターリーブは、特に効率的なハードウェア実装の

実現を可能にする。

[0036] 図3は、図1に示すビットインターリーブ120の一例を示し、QC-LDPC符号用の並列ビットインターリーブ121を含む。但し、この例のQC-LDPC符号では、1符号語当たり12疑似巡回ブロック、1疑似巡回ブロック当たり8ビット ( $Q=8$ ) である。なお、本件書類では、1符号語当たりの疑似巡回ブロック数をNと表記する。

[0037] 1LDPCブロックの複数の疑似巡回ブロックは複数のセクション（本件書類では、インターリーブセクション又はビットインターリーブセクションとも呼ぶ。）に分けられ、各セクションは、セクションパーミュテーションを使って別々にインターリーブされる。各セクションに対して行われるセクションパーミュテーションは互いに同じ規則であってもよい。1セクション当たりの巡回ブロック数は並列ビットインターリーブのパラメータであり、本件書類を通してこれをMで表記する。なお、図3の例では、 $M=4$  である。

[0038] 図3の例では、12疑似巡回ブロックQB1~QB12が3つのセクション1~3に分けられる。セクション1~3の $Q \times M=8 \times 4$ ビットは、並列ビットインターリーブ121のセクションインターリーブ121-1~121-3によってセクションパーミュテーションを使って別々にインターリーブされる。なお、インターリーブはビットグループC1~C24の $M=4$ ビットに、それが対応するセクションに含まれる $M=4$ 個の疑似巡回ブロックのそれぞれから1ビットずつマッピングされるように行われる。

[0039] 以下、 $M=4$ 、 $Q=8$ の場合のセクションパーミュテーションの一例について、図3のセクション1を対象として図4を用いて説明する。

[0040] セクションインターリーブ121-1は、図4に示すように、疑似巡回ブロックQB1~QB4の $Q \times M=8 \times 4$ ビットが、 $M=4$ ビットからなる $Q=8$ 個のビットグループC1~C8にマッピングされるように、ビットのインターリーブを実行する。

[0041] さらに、 $M=4$ 、 $Q=8$ の場合のセクションパーミュテーションについて

、図3のセクション1を対象として図5(a)、(b)を用いて更に詳細に説明する。図5(a)、(b)の1つの正方形はLDPC符号語の1ビットに対応する。

[0042] セクションインターリーブ121-1は、セクション1の $Q \times M = 8 \times 4$ ビットを、入力されるビット順に、図5(a)に示すようにQ列M行=8列4行の行列(セクションパーミュテーション行列)に行方向に書き込み、図5(b)に示すように書き込んだ $Q \times M = 8 \times 4$ ビットをこの行列から列方向に読み出す、ことと等価な処理を行う。なお、図5(a)、(b)には夫々書き込み順及び読み出し順が矢印で示されている。

[0043] なお、図5(a)、(b)で説明したインターリーブは、所謂、カラム-ロウインターリーブと呼ばれるものである。

[0044] 上述したセクションパーミュテーションが実行されることによって、セクションインターリーブの出力はMビット(行列の1列のビット)のグループからなり、Mビットは元のLDPCブロックのM個の異なる巡回ブロックに属する。

[0045] なお、複数の疑似巡回ブロックをセクションに分ける前に、LDPC符号語における疑似巡回ブロックの並び順を所定のパーミュテーションに従って変更してもよく、当該パーミュテーションは疑似巡回ブロックパーミュテーション(QBパーミュテーション)と呼ばれる。さらに、疑似巡回ブロック内のQビットの並び順を変更するために、付加的なパーミュテーションが各疑似巡回ブロックのQビットに適用されてもよく、当該パーミュテーションは疑似巡回ブロック内パーミュテーション(*i n t r a*-QBパーミュテーション)と呼ばれ、典型的には巡回シフトである。典型的にはシフト値は各巡回ブロックで異なっているが、同じであってもよい。

[0046] 図6は、QBパーミュテーション及び*i n t r a*-QBパーミュテーションの機能を備えるビットインターリーブの一構成例を示す。

[0047] ビットインターリーブ120aは、セクションパーミュテーションを実行するセクションインターリーブ121に加え、その前段にQBパーミュテー

ションを実行するQBインターリーバ123、及び、*intra*-QBパーミュテーションを実行する*intra*-QBインターリーバ125-1~125-12を備えている。

[0048] なお、QBパーミュテーション及び*intra*-QBパーミュテーションの内何れか一方のみを行うとしてもよく、それらの実行順序が逆であってもよい。

[0049] QB及び*intra*-QBパーミュテーションは通信性能の最適化にとって重要であるが、それらは本発明には直接関連しない。事実、QB及び*intra*-QBパーミュテーションはLDPC符号の定義の一部とみなすことができる。QBパーミュテーションは、元のパリティ検査行列における疑似巡回ブロックの列のパーミュテーションと等価である。また、*intra*-QBパーミュテーションで行われる巡回シフト(*intra*-QB巡回シフト)は、パリティ検査行列における元の巡回シフトされた対角線を( $q \bmod Q$ )分さらに巡回シフトする、ことと等価である。但し、 $q$ は*intra*-QBパーミュテーションでQビットを巡回シフトさせるシフト値である。パリティ検査行列の同じ列における全ての疑似巡回ブロックの全対角線に対して同じシフト値の*intra*-QB巡回シフトが適用される。

[0050] 次に、LDPCブロックの複数のQAMコンステレーションへのマッピング手法について説明する。

[0051] このマッピング手法は、各QAMコンステレーションをセクションパーミュテーション行列の隣接する2つの列にマッピングすることを含む。これは、ビットインターリーバのパラメータ $M$ (1セクション当たりの疑似巡回ブロックの数)を $B$ (1PAMシンボル当たりのビット数)に等しくなるように選択する、ことと等価である。従って、各PAMシンボルはセクションパーミュテーション行列の1列にある連続する $B$ ビットによって変調される(図5(a), (b)参照)。これは、レギュラー(非回転)QAMコンステレーションにとって好ましいマッピング手法である。

[0052] この一例を図7(a)~(d)を用いて説明する。なお、図7(a)~(

d) は、巡回係数  $Q = 8$ 、 $16-QAM$  コンステレーション (2つの  $4-PAM$  からなり、 $4-PAM$  のビット数  $B = 2$ ) の場合の、1つのセクションに関するものである。但し、図7 (a), (b) の1つの正方形はLDPC符号語の1ビットに対応する。また、図7 (d) の1つの正方形は1つのPAMシンボル ( $QAM$  シンボルの実数コンポーネント又は虚数コンポーネント) に対応する。

[0053] ビットインターリーバ120は、各セクションにおいて、図7 (a) に示すように、 $Q \times M = Q \times B = 8 \times 2 = 16$  ビットを、入力順に、 $Q$  列  $M$  行 =  $Q$  列  $B$  行 = 8列2行の行列に行方向に書き込み、図7 (b) に示すように、書き込んだ16ビットをこの行列から列方向に読み出す、ことと等価な処理を行う。なお、図7 (a), (b) には夫々書き込み順及び読み出し順が矢印で示されている。

[0054] そして、 $QAM$  マップ130は、図7 (c) に示すように、この行列の第1列の2ビットから $QAM$  シンボルの実数コンポーネント ( $4-PAM$ ) を作り出して出力し、続いて行列の第2列の2ビットから $QAM$  シンボルの虚数コンポーネント ( $4-PAM$ ) を作り出して出力する。これが繰り返し行われた結果、 $QAM$  マップ130の出力は図7 (d) に示すものとなる。

[0055] なお、通常、 $Q$  は非常に大きく、例えば、DVB-T2規格では $Q = 360$  である。

[0056] 回転コンステレーションが使用される場合、コンステレーションローテータ140は、 $QAM$  マップ130から出力される隣接する $D$ 個の $QAM$  シンボルの $D$ 個のPAMシンボル (コンポーネント) に第1の回転処理を適用し、同じ $D$ 個の $QAM$  シンボルの残りの $D$ 個のコンポーネントに第2の回転処理を適用する。そして、コンステレーションローテータ140は、第1の回転処理の結果を実数コンポーネントとし、第2の回転処理の結果を虚数コンポーネントとした、複素シンボル (セル) を出力する。なお、コンステレーションローテータ140は、2つの回転処理の一方を隣接する $D$ 個の $QAM$  シンボルの $D$ 個の実数コンポーネントに適用し、他方を同じ $D$ 個の $QAM$  シン

ンボルのD個の虚数コンポーネントに適用する、ことが好ましい。この一例としてD=4の場合を図7(e)に示す。但し、図7(e)の1つの正方形は複素シンボル(セル)の1つのコンポーネントを表す。本件書類では、連続する(隣接する)D個の複素シンボル(セル)をコンステレーションブロックと呼ぶ。

[0057] 従って、コンステレーションブロックは $2 \times B \times D$ 個の符号語のビットを符号化する。M=Bで上述した回転トポロジーが使用される場合、各コンステレーションブロックは、各ビットインターリーブセクションのM個の各疑似巡回ブロックの連続する $2 \times D$ ビットを符号化する、ことになる。

[0058] 図8及び図9の夫々は、ビットインターリーバ120の出力の非回転コンステレーション及び(4次元回転)コンステレーションブロックへのマッピングの一例を示す。但し、巡回係数Qが24、セクション数が8である。なお、図8の太線で囲まれた2つの正方形の組は1つの複素シンボル(セル)に対応する。また、図9の太線で囲まれた8つの正方形の組は4次元の回転コンステレーションブロックに対応する。このコンステレーションブロックの構造は図7(e)に示す構造である。

[0059] 回転コンステレーションでの上述したLDPCブロックのコンステレーションブロックへのマッピング手法は、受信機の構造をより複雑にしてしまう。これは、コンステレーションブロックに対応するビットインターリーブセクションの各疑似巡回ブロックからコンステレーションブロックにマッピングされるビット数が回転コンステレーションの次元数Dに依存する、ということによる。より詳細には、上記に説明した通り、コンステレーションブロックは $2 \times B \times D$ 個の符号語のビットを符号化することから、この数は $2 \times D$ である。このことだけが必ずしも問題ではない。しかしながら、同じ受信機が様々な次元数(例えば、1、2、4、8)をサポートする必要がある場合、その実装効率が害される。このことは、特に、反復復号を用いる受信機にとって言える。

[0060] この理由をより理解するためには、LDPCデコーダの構造をより厳密に

見る必要がある。図10A及び図10Bの夫々に非反復復号と反復復号を用いる受信機の一般的なブロック図を示す。なお、図10A及び図10Bの説明において、実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

[0061] 図10Aの受信機200は、デモジュレータ210、及び非反復デコーダ220（コンステレーションデマッパ230、ビットデインターリーバ250、及びLDPCデコーダ270を含む。）を備える。なお、図1及び図10Aから、非反復復号を用いた受信機200は図1の送信機100に対応した構造になっている、ことが分ける。

[0062] デモジュレータ210は、入力信号を復調して $N \times Q / (2 \times B)$ 個の複素シンボル（セル）を出力する。

[0063] コンステレーションデマッパ230は、 $N \times Q / (2 \times B)$ 個の複素シンボルに対してデローテーションとQAMデマッピングを行って、（ソフト）ビットを計算する。但し、コンステレーションデマッパ230は、送信側のD次元回転コンステレーションのD個の変換PAMシンボルに対応するD個のコンポーネントに分けてデローテーションとQAMデマッピングを行う。なお、受信機200の構造が送信機100の構造と唯一対応していないのは、デローテーションとQAMデマッピングが1つのブロックすなわちコンステレーションデマッパ230によって実行される、ことである。この2つの動作を結合して実行することは最適な復号性能のための必要条件である。

[0064] ビットデインターリーバ250は、複数の（ソフト）ビットをデインターリービングする。なお、デインターリービングは、送信機100のビットインターリーバ120によってインターリービングされる前の順序に戻すために、インターリービングとは逆のパーミュテーションの規則を用いる。

[0065] LDPCデコーダ270は、デインターリービングされた複数の（ソフト）ビットを復号する。なお、LDPCデコーダ270による復号処理は、送信機100のLDPCエンコーダ110が符号化処理に用いるLDPC符号に基づく処理になる。

- [0066] 図10Bの受信機300は、デモジュレータ210、及び反復デコーダ320（コンステレーションデマッパ330、ビットインターリーバ250、加算器350、LDPCデコーダ370、減算器380、及びビットインターリーバ390を含む。）備える。但し、反復デコーダ320のビットインターリーバ250とビットインターリーバ390を除く各処理ブロックの処理説明は図11を用いて後述する。
- [0067] ビットインターリーバ390は、入力される外部情報（extrinsic information）をインターリービングする。なお、外部情報のインターリービングは、送信機100のビットインターリーバ120によって行われるインターリービングと同じパーミュテーションの規則を用いる。
- [0068] 図10Bのブロック図から、反復復号はコンステレーションデマッピングとLDPC復号を繰り返して実行する技術である、ことが分かる。2つの処理は互いに外部情報（extrinsic information）を交換しながら共働する。従って、復号性能が非常に向上される。
- [0069] 図10Bの反復デコーダ220Bの詳細なブロック図を図11に示す。なお、反復復号の処理内容を明瞭にするために、図11ではビットインターリーバ390とビットインターリーバ250を省略している。この構造において特に重要なのは3つのメモリブロック、すなわち、セルメモリ315、APPメモリ335、バッファメモリ355である。セルメモリ315はデモジュレータ210によって作られた複素シンボル（セル）を記憶する。このセルメモリ315に記憶されたセルは、反復復号処理を通じてコンステレーションデマッパ330に利用される。APPメモリ335は、ビットの事後確率（a-posteriori probability：APP）を記憶し、復号処理において連続して更新される。バッファメモリ355は、コンステレーションデマッパ330によって作られ、外部事後確率情報（extrinsic a-posteriori probability information）を計算するために必要な、初期事後確率を記憶する。
- [0070] なお、コンステレーションデマッパ330は、コンステレーションデマッパ230と同様にデローテーションとQAMデマッピングを1つのブロック

で行うものである。コンステレーションデマッパ330は、送信側のD次元回転コンステレーションのD個の変換PAMシンボルに対応するD個のコンポーネントに分けてデローテーションとQAMデマッピングを行う。

[0071] 図11のブロック図を参照して反復復号の動作を簡潔に説明する。

[0072] 最初のイタレーションで、コンステレーションデマッパ330は、LDPCデコーダ370から事前情報 (a-priori information) を受け取らず、セルメモリ315に記憶されている複素シンボルのブラインド (事前情報による助けなしに) デマッピングを実行する。このデマッピングはセルメモリ315に記憶されたセルからソフトビットを取り出すことを含む。デマッピングにより得られたソフトビット (ビットの事後確率の尺度であり、典型的には対数尤度比として表現される。) は、直接、APPメモリ335とバッファメモリ355に書き込まれる。つまり、最初のイタレーションでは、加算器350はコンステレーションデマッパ330の出力に対して0を加算してAPPメモリ335に出力する。

[0073] LDPC符号語のソフトビットがAPPメモリ335に書き込まれると、LDPCデコーダ370は、APPメモリ335に書き込まれたソフトビットを用いて1以上のLDPC復号の反復を実行し、実行結果を用いてAPPメモリ335の記憶内容を更新する。なお、LDPCデコーダ370による復号処理は、送信機100のLDPCエンコーダ110が符号化処理に用いるLDPC符号に基づく処理になる。この処理内容は当該技術分野において既知である。

[0074] 1以上のLDPC復号の反復後、外部反復がコンステレーションデマッパ330を用いて実行される。この外部反復は次のステップ(A)~(C)を含む。

[0075] (A) 減算器380は、APPメモリ335に記憶されている更新された事後確率から、バッファメモリ355に記憶された初期事後確率を減算することによって、外部情報を計算し、外部情報を事前情報 (a-priori information) としてコンステレーションデマッパ330へ渡す。

- [0076] (B) コンステレーションデマッパ330は、セルメモリ315に記憶されているセルと事前情報を使って更新ソフトビットを計算する。
- [0077] (C) 加算器350は、外部情報を更新ソフトビットに加算し、その加算結果をAPPメモリ335に書き戻す。
- [0078] 但し、LDPCデコーダ370は再度APPメモリ335に書き込まれたソフトビットを用いて1以上のLDPC復号の反復を実行し、実行結果を用いてAPPメモリ335の記憶内容を更新する。
- [0079] なお、反復復号の基本原理は当該技術分野でよく知られている。このため、更なる説明は省略する。
- [0080] しかしながら、本発明を理解するために重要なことは、QC LDPC符号用の並列反復デコーダのより詳細な構造である。
- [0081] QC LDPC符号用の並列反復デコーダのより詳細な一構造例を、非回転コンステレーション（図8参照）に関して、図12に示す。図12に一構造例を示す並列反復デコーダは、明瞭にするために除外したセルメモリを除くと、図11に示す反復デコーダ320の構造と正確に一致している。図12の並列反復デコーダの構造は高い並列度を有する。コンステレーションデマッパはいくつかの同じデマッパを持ち、非常に高いスループット（処理能力、処理量）を可能にする。高い並列度の構造は、QC LDPC符号の固有の並列構造と上述したビットインターリーブの構造によって可能になる。LDPCデコーダは、サイクリックシフタと検査ノードユニット（図ではCNユニットと表記）を備える。一方のサイクリックシフタはAPPメモリから順次供給される疑似巡回ブロック1個分のビットの事後確率を所定数巡回シフトする。検査ノードユニットは巡回シフトされたビットの事後確率を用いて復号を行ってビットの事後確率を更新する。他方のサイクリックシフタは検査ノードユニットから順次供給される疑似巡回ブロック1個分の更新後のビットの事後確率を一方のサイクリックシフタによる巡回シフトを打ち消すように所定数巡回シフトを行う。なお、LDPCデコーダは当該技術分野で非常によく知られた技術である。このため、更なる説明は省略する。

- [0082] さらに、QC LDPC符号用の並列非反復デコーダの一構造例を図13に示す。並列非反復デコーダは、図12に一構造例を示した並列反復デコーダと異なり、バッファメモリがなく、加算器や減算器もなく、デマッパは事前情報の入力を持たない。通常、セルメモリもない。
- [0083] 図12及び図13の夫々の複数のデマッパによって要求されるスループットを達成するために、APPメモリは、通常、いくつかのメモリバンクを並列に使って実装される。設計者はメモリバンク数としてQの約数から任意に選択することができる。本件書類では、メモリバンク数をPで表記し、並列度の尺度である。従って、メモリバンク数は最も重要な設計パラメータの1つである。
- [0084] 図14は、APPメモリのメモリバンクでの、LDPCブロックの(ソフト)ビットの一記憶例を示す。但し、 $Q=24$ 、 $P=6$ である。なお、図14の1つの正方形はLDPCブロックの1つの(ソフト)ビットを表し、正方形内の数字は対応するメモリバンクでの各ビットのアドレスを示す。明瞭にするために、ハッチングされた複数の正方形は第1のメモリバンク内のビットを示す。
- [0085] 図14の一例から、各疑似巡回ブロックのQビットのうち $Q/P$ ビット(図14の一例では、 $Q/P=24/6=4$ ビット)が各メモリバンクに記憶される、ことが簡単に分かる。また、1LDPCブロック当たりの疑似巡回ブロック数はメモリバンクのサイズを決定するがメモリバンク数を決定しないことは注目に値する。従って、Qが同じである複数のLDPCブロックサイズに対して正確に同じ物理的構造を再利用することができる。
- [0086] この実装の新しい観点は、同様のバンクメモリ構造が図11に示すセルメモリ315にも使用される、ことである。なお、セルメモリ315は図12に示されていないが、反復復号の不可欠な部分である。
- [0087] 図8に示すマッピングが使用される場合、セルメモリ315のメモリ配置は図15に示すものとなる。従って、複素シンボル(セル)の実数コンポーネントと虚数コンポーネントは夫々奇数バンクと偶数バンクに記憶される。

なお、図15の太線で囲まれた2つの正方形の組は同じセルの実数コンポーネントと虚数コンポーネントの組に対応する。

[0088] コンステレーションデマッパを構成する複数のデマッパはセルメモリのメモリバンクとAPPメモリのメモリバンクの間に配置される。本発明の観点によれば、複数のデマッパもデマッパバンクに分けられる。デマッパバンク数はメモリバンク数の半分に等しい。その理由は、各デマッパが異なるメモリバンクに記憶されている、実数コンポーネンと虚数コンポーネントの双方にアクセスする必要がある、ことによる。デマッパバンクは1以上のデマッパを含む。デマッパバンク内のデマッパ数はデマッパの総数が $Q$ の約数又は倍数になるように選択されることが好ましい。従って、図15に示したシナリオでは( $Q=24$ )、デマッパの総数が $Q$ の約数(1, 2, 3, 4, 6, 8, 12, 24)又は $Q$ の倍数(24, 48, ...など24の任意の倍数)になるように、1デマッパバンク当たりのデマッパ数は1, 2, 4, 4の任意の倍数とすることができる。この1デマッパバンク当たりのデマッパ数は設計パラメータであり、反復復号によって達成される最大スループットを直接決定する。

[0089] 図12に示す配線図が実際のハードウェア構造の実装にどのように効率的であるかを理解することは重要である。高い並列度とローカルデータ転送のおかげで、図16に一例を示すハードウェア構造は非常にコンパクトで規則的になる。これは、配線経路の量、従って信号伝搬遅延及びハードウェア面積を著しく減らし、これによって安価で高速な実装が可能になる。図16では、図12の加算器及び減算器はより明瞭にするためにデマッパバンクに含まれている、ことに注意を必要とする。

[0090] 配線経路がコンパクトになる主な理由は、各デマッパバンクが3つのメモリ(セルメモリ、APPメモリ、バッファメモリ)の夫々の2つの隣接するメモリバンクに接続される、ことである。これらのメモリバンクは、それらの関連したデマッパバンクのすぐ近くの場所に簡単に配置することができる。LDPCデコーダのブロック配置は必然的に $P/2$ (図16の例では6/

2 = 3) 個の同じスライスに分割され、効率的なハードウェア実装に貢献する。

[0091] 上記の実装が非常に効率的であるため、正確に同じ構造を使って回転コンステレーションを復号可能にすることは非常に好ましい。発明者は、上記の技術の解決法（図9参照）を使用する場合、正確に同じ構造を使って回転コンステレーションを復号することが可能でないことを悟った。各コンステレーションブロックが各疑似巡回ブロックの隣接する $2 \times D$ ビットを符号化するため、各デマッパは $2 \times D$ 個のメモリバンクに接続される必要がある。これは、異なる配線配置が $D$ の値毎に必要なため、配線経路を非常に複雑にする。

[0092] さらに、設計者の自由度は、メモリバンク数（つまりLDPCデコーダの並列度）の選択において、メモリバンク数が $2 \times D$ でなければならない、ことによって制限される。

[0093] 従って、非反復復号及び反復復号を行うLDPCデコーダの夫々において、各デマッパバンクが $D$ の値にかかわらず2つのメモリバンクにのみ接続されることは非常に好ましい。本発明はこれを達成するものである。

[0094] これを達成するための本発明の主な観点によれば、LDPCブロックのビット（ビットインターリーブの出力ビット）のコンステレーションブロックへのマッピングが、コンステレーションブロックを形成する2つの $D$ 次元ベクトルが同じ疑似巡回ブロックのグループから作られ、この2つの $D$ 次元ベクトルの夫々が同じ疑似巡回ブロックの1ビットのみ符号化するように、実施される。

[0095] この一具体例として $Q = 24$ 、 $D = 4$ の場合を図17に示す。図17の1つの正方形は1つのPAMシンボルを表し、太線で囲まれた $2 \times D = 2 \times 4$ 個のPAMシンボルがコンステレーションブロックを形成する。コンステレーションブロック内のハッチングされた4つのPAMシンボルが（4次元回転）コンステレーションブロックの一方の4次元回転コンステレーションを形成し、ハッチングされていない4つのPAMシンボルが他方の4次元回転

コンステレーションを形成する。図9に示される技術との違いは容易に理解できる。

[0096] 具体的には、このマッピング配置は、パラメータM（1ビットインターリーブセクション当たりの疑似巡回ブロックの数）が上記のBの代わりに $B \times D$ に等しくなるように、選択される、ことによって実現できる。従って、ビットインターリーブセクションの数は $N/B$ から $N/(B \times D)$ （例えば、図9及び図17の例では8から2）に減少する。

[0097] 以下、本発明の主な観点による上記のマッピングを実行する本実施の形態の送信機100Aの一例について図18を用いて説明する。

[0098] Bの値として例えば $B = 1, 2, 3, 4$ を挙げることができ、Dの値として例えば $D = 2, 4, 8$ を挙げることができる。但し、Bの値及びDの値はこれに限定されるものではない。

[0099] 送信機100Aは、LDPCエンコーダ110、ビットインターリーブ120A、QAMマッパ130A、コンステレーションローテータ140A、及びモジュレータ150を備える。なお、LDPCエンコーダ110とモジュレータ150の処理内容は図1の送信機100での説明が適用できるためその説明を省略する。

[0100] （ステップ1）ビットインターリーブ120Aは、疑似巡回ブロック数NのLDPCブロックを $M = B \times D$ 個の疑似巡回ブロックからなる $N/M = N/(B \times D)$ 個のセクションに分割する。ビットインターリーブ120Aは、 $N/(B \times D)$ 個のセクションを別々に、 $B \times D$ 個の各疑似巡回ブロックのQビットが1ビットずつQ個のビットグループにマッピングされるように、 $Q \times (B \times D)$ ビットをセクションパーミュテーションを使ってインターリーブする（セクションインターリーブング）。このセクションインターリーブングは、例えば、 $Q \times M = Q \times (B \times D)$ ビットを入力順にQ列M行 $= Q$ 列 $(B \times D)$ 行のセクションパーミュテーション行列に行方向に書き込み、書き込んだ $Q \times (B \times D)$ ビットをその行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。なお、行列の各列の $B \times D$

ビットは対応するセクションに属する $B \times D$ 個の疑似巡回ブロックの夫々から1ビットずつマッピングされたものになる。また、行列の各列の $B \times D$ ビットからは $D$ 個のPAMシンボルが作られる。

[0101] (ステップ2) QAMマッパ130Aは、ビットインターリーブ120Aから出力される連続する $B$ ビットの各グループをPAMシンボルにマッピングする。

[0102] (ステップ3) コンステレーションローテータ140Aは、隣接する $2 \times D$ 個のPAMシンボルの各グループに対して、隣接する $D$ 個のPAMシンボルを要素とする第1の $D$ 次元ベクトル及び隣接する $D$ 個のPAMシンボルを要素とする第2の $D$ 次元ベクトルに直交行列を乗算することによって第1の $D$ 次元回転ベクトル及び第2の $D$ 次元回転ベクトルを計算する(第1の回転及び第2の回転を適用する)。なお、乗算には、図1のコンステレーションローテータ140において例示した直交行列が用いられる。つまり、コンステレーションローテータ140Aは、セクションパーミュテーション行列の $(2 \times j - 1)$ 列の1列分のビットから作られた $D$ 個のPAMシンボルを要素とする第1の $D$ 次元ベクトル及び $2 \times j$ 列の1列分のビットから作られた $D$ 個のPAMシンボルを要素とする第2の $D$ 次元ベクトルに直交行列を乗算することによって第1の $D$ 次元回転ベクトル及び第2の $D$ 次元回転ベクトルを計算する(第1の回転及び第2の回転を適用する)。但し、乗算には、図1のコンステレーションローテータ140において例示した直交行列が用いられる。なお、第1の $D$ 次元ベクトル及び第2の $D$ 次元ベクトルが1つのコンステレーションブロックを形成する。

[0103] (ステップ4) コンステレーションローテータ140Aは、第1の $D$ 次元回転ベクトルの $D$ 個の変換PAMシンボルを隣接する $D$ 個の複素シンボル(セル)又は隣接しない $D$ 個の複素シンボルの $D$ 個の実数又は虚数コンポーネントにマッピングし、第2の $D$ 次元回転ベクトルの $D$ 個の変換PAMシンボルを当該 $D$ 個のセルの残りの $D$ 個の実数又は虚数コンポーネントにマッピングして出力する。

- [0104] 好ましくは、第1のD次元回転ベクトル及び第2のD次元回転ベクトルの夫々のD個の変換PAMシンボルが隣接するD個のセルのD個の実数コンポーネント及びD個の虚数コンポーネントにマッピングされる。又は、第1のD次元回転ベクトル及び第2のD次元回転ベクトルの夫々のD個の変換PAMシンボルが隣接するD個のセルのD個の虚数コンポーネント及びD個の実数コンポーネントにマッピングされる。
- [0105] この一例として、 $D=4$ の場合のマッピングを図19Aに示す。なお、図19A並びに後述する図19B及び図19Cでは、1つの正方形は1つの変換PAMシンボルを表す。正方形内の数字1~4は第1のD次元回転ベクトルの変換PAMシンボルに対応し、数字5~8は第2のD次元回転ベクトルの変換PAMシンボルに対応する。但し、図19A並びに後述する図19B及び図19Cの正方形内の数字と図17の正方形内の数字とが一致する変換PAMシンボルは互いに同じものである。
- [0106] なお、その他の2つのマッピングの例を夫々図19B及び図19Cに示す。
- [0107] (ステップ2)から(ステップ4)の処理内容を更に図20に示す。但し、 $B=2$ 、 $D=4$ であり、 $2 \times D$ 個の変換PAMシンボルの隣接したD個の複素シンボル(セル)へのマッピングは図19Aに示すマッピングである。
- [0108] なお、図20の(ステップ2)及び(ステップ4)の詳細を図21(a)に、図20の(ステップ3)及び(ステップ4)の詳細を図21(b)に示す。また、図21(a)で作られたPAMシンボルの非回転コンステレーションブロックへのマッピングの結果を図22に示す。但し、図22は、 $D=4$ 、 $Q=24$ である。なお、図22の1つの正方形は1つのPAMシンボルを表し、正方形内の数字はPAMシンボルのインデックスを示す。
- [0109] 以下、図18の送信機100Aに対応する本実施の形態の受信機200A、300Aについて図23A、図23Bを用いて説明する。なお、図23A及び図23Bの説明において、図10A、図10Bと実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

- [0110] 受信機200Aは、非反復復号を行う受信機であり、デモジュレータ210、及び非反復デコーダ220A（コンステレーションデマップパ230、ビットデインターリーバ250A、LDPCデコーダ270）を備える。
- [0111] 受信機300Aは、反復復号を行う受信機であり、デモジュレータ210、及び反復デコーダ320A（コンステレーションデマップパ330、ビットデインターリーバ250A、加算器350、LDPCデコーダ370、減算器380、ビットインターリーバ390）を備える。
- [0112] なお、コンステレーションデマップパ230、330は、QAMマップパ130AによるQAMマッピングとコンステレーションローテータ140Aによるローテーション（図20のステップ2～4参照）を反映した処理（デローテーション及びQAMデマッピング）を1つのブロックで行うものである。
- [0113] 受信機200A及び受信機300Aが備えるビットデインターリーバ250Aは、 $N \times Q$ 個の（ソフト）ビットを $N/M = N / (D \times B)$ 個のセクションに分割する。そして、ビットデインターリーバ250Aは、 $N / (B \times D)$ 個のセクションで別々に、 $Q \times M = Q \times (D \times B)$ 個の（ソフト）ビットをデインターリーブする（セクションデインターリーブング）。なお、セクションデインターリーブングは、送信機100Aのビットインターリーバ120Aによってセクションインターリーブングされる前の順序に戻すために、セクションインターリーブングとは逆のパーミュテーションの規則を用いる。このセクションデインターリーブングは、例えば、 $Q \times M = Q \times (D \times B)$ 個のソフトビットを入力順にQ列M行=Q列 $(D \times B)$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ $Q \times (D \times B)$ 個のソフトビットをその行列から行方向に読み出すことと等価な処理を行う、ことによって実現される。
- [0114] 受信機300Aが備えるビットインターリーバ390は、 $N \times Q$ 個の外部情報を $N/M = N / (D \times B)$ 個のセクションに分割する。そして、ビットインターリーバ390は、 $N / (B \times D)$ 個のセクションで別々に、 $Q \times M = Q \times (D \times B)$ 個の外部情報をインターリーブする。なお、このインター

リービングは、送信機100Aのビットインターリーバ120Aによって行われるセクションインターリービングと同じパーミュテーションの規則を用いる。各セクションの外部情報のインターリービングは、例えば、 $Q \times M = Q \times (D \times B)$  個の外部情報を入力順にQ列M行=Q列(D×B)行のセクションパーミュテーション行列に行方向に書き込み、書き込んだ $Q \times (D \times B)$  個の外部情報をその行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。

[0115] なお、非反復デコーダ220A及び反復デコーダ320Aは、図11から図16を用いて説明した詳細構造や並列構造を利用することが可能である。

[0116] また、送信機100Aのビットインターリーバ120Aに、セクションインターリービング前に、QBパーミュテーション及び/又はintra-QBパーミュテーションを実行する機能を追加してもよい(図6参照)。この場合、ビットインターリーバ250Aに、セクションインターリービング後にintra-QBパーミュテーション及び/又はQBパーミュテーションと逆の規則のインターリービングを実行する機能を追加し、ビットインターリーバ390に、セクションインターリービング前にQBパーミュテーション及び/又はintra-QBパーミュテーションと同じ規則のインターリービングを実行する機能を追加すればよい。

[0117] 《発明者による検討内容と実施の形態(その2)》

図24は、疑似巡回低密度パリティ検査(QC-LDPC)符号とともに回転コンステレーションを用いる一般的な送信機他のブロック図を示す。なお、図24の説明において、図1と実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。図24のブロック図は本発明に関連するブロックのみ示している。

[0118] 送信機500は、図1の送信機100に、コンポーネントインターリーバ530及びセルインターリーバ550を追加した構造になっている。

[0119] コンポーネントインターリーバ530は、各D次元回転ベクトルのD個の変換PAMシンボル(各回転コンステレーションのD個のコンポーネント)

を、FECブロック全体に広がるようにインターリーブする。なお、コンポーネントインターリーブ530には通常ブロックインターリーブが用いられている。

[0120] セルインターリーブ550は、コンポーネントインターリーブ550の複数の出力セルを疑似ランダムビットシーケンス (pseudo-random bit sequence: PRBS) を使ってインターリーブする。

[0121] 各FECブロックの複数のセルは、さらに、時間インターリーブと周波数インターリーブによって、夫々、時間と周波数に分散される。時間インターリーブと周波数インターリーブは、セルインターリーブ550とモジュレータ150との間に配置されるが、図示の簡素化のため省略している。

[0122] コンポーネントインターリーブ530に用いられるブロックインターリーブはQC-LDPC符号の疑似巡回構造とは無関係に設計される。このため、ブロックインターリーブで作られたコンポーネントインターリーブ530は、LDPC符号の疑似巡回構造に基づく並列化を容易に行うことができない。コンポーネントインターリーブ530が並列化に適していないため、特に反復復号を用いる受信機にとって効率的な実装が妨げられる。

[0123] 従って、本発明の他の目的は、高効率なハードウェア実装を可能とする、本質的に並列化が可能なコンポーネントインターリーブを開示する、ことである。さらに、開示したコンポーネントインターリーブがビットインターリーブの構造と類似した構造である。

[0124] 以下、並列化が可能なコンポーネントインターリーブを含む本実施の形態の一の送信機500Aについて図25を用いて説明する。なお、図25の説明において、図1及び図24と実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

[0125] 送信機500Aは、LDPCエンコーダ110、ビットインターリーブ115A、QAMマッパ130A、コンポーネントインターリーブ510A、コンステレーションローテータ520A、コンポーネントインターリーブ530A、セルインターリーブ550A、及びモジュレータ150を備える

- 。
- [0126] ビットインターリーバ115Aは、 $M=B$ とし、疑似巡回ブロック数 $N$ のLDPCブロックを $M$ 個の疑似巡回ブロックからなる $N/M$ 個のセクションに分割する。ビットインターリーバ115Aは、 $N/M$ 個のセクションを別々に、 $M$ 個の各疑似巡回ブロックの $Q$ ビットが1ビットずつ $Q$ 個のビットグループにマッピングされるように、 $Q \times M$ ビットをセクションパーミュテーションを使ってインターリーブする（セクションインターリーブング）。このセクションインターリーブングは、例えば、 $Q \times M$ ビットを入力順に $Q$ 列 $M$ 行のセクションパーミュテーション行列に行方向に書き込み、書き込んだ $Q \times M$ ビットをその行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。
- [0127] コンポーネントデインターリーバ510Aは、QAMマップ130Aから出力される $N \times Q/B$ 個のPAMシンボルを $N/(B \times D)$ 個のセクションに分割する。そして、コンポーネントデインターリーバ510Aは、 $N/(B \times D)$ 個のセクションで別々に、 $Q \times D$ 個のPAMシンボル（コンポーネント）をデインターリーブングする（コンポーネントデインターリーブング）。コンポーネントデインターリーブングは、後述するコンポーネントインターリーバ530Aによるコンポーネントインターリーブングとは逆のパーミュテーションの規則を用いる。なお、コンポーネントデインターリーバ510Aの処理内容の詳細は後述する。
- [0128] コンステレーションローテータ520Aは、コンポーネントデインターリーバ510Aの各セクションにおいて、コンポーネントデインターリーバ510Aから連続して出力される $D$ 個のPAMシンボルをベクトル要素とする各 $D$ 次元ベクトルに直交行列を乗算することによって $D$ 個の変換PAMシンボルを要素とする $D$ 次元回転ベクトルを計算する。但し、乗算には、図1のコンステレーションローテータ140において例示した直交行列が用いられる。
- [0129] なお、ビットインターリーバ115A及びコンポーネントデインターリー

バ5 1 0 Aの機能により、各コンステレーションブロックが同じ疑似巡回ブロックの2ビットのみを符号化し、且つ、この2ビットはこの2ビットを符号化したコンステレーションブロックを形成する2つのD次元ベクトルの同じ次元に1ビットずつマッピングされる。

[0130] コンポーネントインターリーバ5 3 0 Aは、 $N / (B \times D)$  個のセクションで別々に、 $Q \times D$  個の変換PAMシンボルをインターリービングする（コンポーネントインターリービング）。このセクションはコンポーネントデインターリーバ5 1 0 Aのセクションに対応する。

[0131] 各セクションにおけるコンポーネントインターリービングは、例えば、 $Q \times D$  個の変換PAMシンボル（コンポーネント）を入力順にQ列D行の行列に列方向に書き込み、各行に適切な巡回シフト（シフト値は0と $Q - 1$ の間）を適用し、巡回シフトされた $Q \times D$  個の変換PAMシンボルをこの行列から行方向に読み出すことと等価な処理を行う、ことによって実現される。これによって、各D次元回転ベクトルのD個の変換PAMシンボルはセクションでできるだけ均等に分散される。

[0132] 対応する各セクションにおけるコンポーネントデインターリービングは、例えば、 $Q \times D$  個のPAMシンボルを入力順にQ列D行の行列に行方向に書き込み、各行にコンポーネントインターリーバ5 3 0 Aが各行に適用する巡回シフトと正確に逆の巡回シフトを適用し、巡回シフトされた $Q \times D$  個のPAMシンボルをこの行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。

[0133] さらに、巡回シフトはセル粒度に応じて適用される。すなわち、シフト値は、偶数、即ち、2の倍数であることが好ましい。

[0134] なお、ビットインターリーバ1 1 5 A及びコンポーネントデインターリーバ5 1 0 Aの処理により、また、ビットインターリーバ1 1 5 A及び後述するコンポーネントデインターリーバ5 1 0 Bの処理により、LDPCブロックのビット（ビットインターリーバの出力ビット）のコンステレーションブロックへのマッピングが、コンステレーションブロックを形成する各D次元

ベクトルが同じ疑似巡回ブロックのグループから作られ、D次元ベクトルの夫々が同じ疑似巡回ブロックの1ビットのみ符号化するように、実施される、ことが行われたことになる。

[0135] TFS非適用 (non-TFS) の場合、各セクションにおけるコンポーネントインターリービングにおいて、1つ前の行に適用する巡回シフトよりシフト値が $Q/D$ 増加した巡回シフトが行列の各行に適用される。

[0136] この一例に関するコンポーネントインターリーバ510A及びコンポーネントインターリーバ530Aの処理内容を説明する。但し、コンポーネントインターリーバ510A及びコンポーネントインターリーバ530Aの1セクションに対応する処理である。

[0137] まず、コンポーネントインターリーバ510Aによるコンポーネントインターリービング処理の一例を図26(a)~(c)を使って説明する。但し、 $Q=24$ 、 $D=4$ の場合である。なお、1つの正方形は1つのPAMシンボルを表し、正方形内の数字はPAMシンボルの入力される順番である。

[0138] コンポーネントインターリーバ510Aは、図26(a)に示すように、 $Q \times D = 24 \times 4$ 個のPAMシンボルを入力順にQ列D行=24行4列の行列に行方向に書き込む。そして、コンポーネントインターリーバ510Aは、図26(b)に示すように、各行の要素を $-k \times (Q/D) = -k \times (24/4) = -k \times 6$  PAMシンボル分巡回シフトさせる。なお、kは行インデックス(0から始まる)を示す。さらに、コンポーネントインターリーバ510Aは、図26(c)に示すように、巡回シフト後の $Q \times D = 24 \times 4$ 個のPAMシンボルをこの行列から列方向に読み出す。なお、図26(a)、(c)には書き込み順と読み出し順が矢印で示されている。

[0139] 次に、コンポーネントインターリーバ530Aによるコンポーネントインターリービング処理の一例を図27(a)~(c)を使って説明する。但し、 $Q=24$ 、 $D=4$ の場合である。なお、1つの正方形は1つの変換PAMシンボル(コンポーネント)を表し、正方形内の数字はPAMシンボルの入

力される順番である。なお、図27(a)～(c)の付加された2種類のハッチングは最初の2個の4次元回転ベクトルの要素の夫々を示している。

[0140] コンポーネントインターリーブ530Aは、図27(a)に示すように、 $Q \times D = 24 \times 4$ 個の変換PAMシンボルを入力順にQ列D行=24行4列の行列に列方向に書き込む。そして、コンポーネントインターリーブ510Aは、図27(b)に示すように、各行の要素を $k \times (Q/D) = k \times (24/4) = k \times 6$ 変換PAMシンボル分巡回シフトさせる。なお、kは行インデックス(0から始まる)を示す。さらに、コンポーネントインターリーブ530Aは、図27(c)に示すように、巡回シフト後の $Q \times D = 24 \times 4$ 個の変換PAMシンボルをこの行列から行方向に読み出す。なお、図27(a)、(c)には書き込み順と読み出し順が矢印で示されている。

[0141] 本発明において開示される、巡回シフトを用いたコンポーネントインターリーブの実装は、特に反復復号を用いた受信機の場合に、ハードウェアの複雑さを十分に軽減するという、利点を有する。

[0142] コンポーネントインターリーブ530Aは、行列から読み出される連続する2つの変換PAMシンボルを順次ペアにして複素シンボルにマッピングする。この結果、1セクション当たり $D \times Q/2$ 個の複素セルが得られる。

[0143] セルインターリーブ550Aは、付加的に、全セクションの $N \times Q/(2 \times B)$ 個のセルをインターリーブする(セルインターリーブ)。このセルインターリーブは、例えば、 $N \times Q/(2 \times B)$ 個のセルを入力順に $Q/2$ 列 $N/B$ 行の行列に行方向に書き込み、書き込んだ $N \times Q/(2 \times B)$ 個のセルをこの行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。

[0144] ここで、セルインターリーブの処理例を図28(a)、(b)、図29(a)、(b)を使って説明する。但し、図28(a)、(b)は、 $Q = 24$ 、 $D = 4$ 、1LDPCブロック当たり $N/(B \times D) = 2$ セクションに関するものである。また、図29(a)、(b)は、 $Q = 24$ 、 $D = 2$ 、1LDPCブロック当たり $N/(B \times D) = 4$ セクションに関するものである。

。なお、図28(a)、(b)、図29(a)、(b)には夫々書き込み順及び読み出し順が矢印で示されている。また、正方形内の数字はセルの入力された順番を示す。各セクションにおいて、ハンチングされた正方形は最初のD次元回転コンステレーションの $2 \times D$ 個のコンポーネントを運ぶD個の複素シンボル(セル)を示す。セルインターリーバ550AがパラメータDに依存していない、ことが明らかに分かる。

[0145] セルインターリーバ550Aは、図28(a)、図29(a)に示すように96個のセルを入力順に12列8行の行列に行方向に書き込み、図28(b)、図29(b)に示すように書き込んだ96個のセルをこの行列から列方向に読み出す。

[0146] セルインターリーバ550Aの出力例を図30(a)、(b)に示す。但し、図30(a)は図28(a)、(b)の処理結果を示し、図30(b)は図29(a)、(b)の処理結果である。なお、図30(a)、(b)では、1番目のコンステレーションブロックのD個のセルにハッチングを入れている。図30(a)、(b)から、この1番目のコンステレーションブロックのD個のセルがLDPCブロック全体にかなり均等に広がっていることが分かる。

[0147] 以下、本実施の形態の他の送信機500Bについて図31Aを用いて説明する。但し、図31Aの説明において、図1、図24、及び図25と実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

[0148] 図25の送信機500Aではコンポーネントデインターリーバ510AがQAMマップ130Aの後段にあるのに対して、図31Aの送信機500Bではコンポーネントデインターリーバ510BがQAMマップ130Aの前段にある点で異なっている。

[0149] コンポーネントデインターリーバ510Bは、ビットインターリーバ115Aの出力順にBビット(1PAMシンボル分のビット)をグループとし、そのBビットのグループを1つのPAMシンボルとみなして、コンポーネントデインターリーバ510Aと同じパーミュテーションを使ってデインター

リーブする。

[0150] 以下、本実施の形態の更に他の送信機500Cについて図31Bを用いて説明する。但し、図31Bの説明において、図1、図24、図25、及び図31Aと実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

[0151] 図31Bの送信機500Cは、図31Aの送信機500BのQAMマップ130Aによって行われるマッピングとコンステレーションローテータ520Aによって行われるローテーションを1つのブロック、すなわち、回転コンステレーションマップ570によって実行する。この場合、直接、 $2 \times B \times D$ ビットが回転コンステレーションブロックへマッピングされる。

[0152] 図31Bの配置はより効率的な実装を可能にする。

[0153] なお、送信機500A、500B、500Cのビットインターリーバ115Aに、セクションインターリービング前に、QBパーミュテーション及び/又はintra-QBパーミュテーションを実行する機能を追加してもよい(図6参照)。

[0154] 図31A、図31Bを参照すると、コンポーネントデインターリーバ510Bはコンポーネントデインターリービングをビットに適用するものである。ビットインターリーバ115Aが巡回シフトに基づくintra-QBパーミュテーションを行う場合、コンポーネントデインターリーバ510Bとビットインターリーバ115Aとは巡回シフトに基づく同様の構造をしている。このため、コンポーネントデインターリーバ510Bをビットインターリーバ115Aに組み込むことができる。

[0155] より具体的には、コンポーネントデインターリーバ510Bが各行に施す巡回シフトのシフト値を、当該行にマップされるB個の疑似巡回ブロックに施すintra-QBパーミュテーションでの巡回シフトのシフト値に加算する。そして、ビットインターリーバ115Bは $M=B$ から $M=B \times D$ に置き換えた処理を行う。

[0156] なお、上記に説明したようにintra-QBパーミュテーションでの巡

回シフトはそれ自体QC-LDPC符号の定義に組み込まれる。つまり、コンポーネントデインターリーバ510Bが行う巡回シフトは、ビットインターリーバ115Aが行うintra-QBパーミュテーションでの巡回シフトとともに、QC-LDPC符号の定義に組み込むことができる。

[0157] 従って、送信機のコンポーネントデインターリーバと受信機の対応するコンポーネントインターリーバはハードウェア実装で不要なものとなる。

[0158] 以下、図31Bの送信機500Cに対応する本実施の形態の受信機700について図32を用いて説明する。但し、図32の受信機700は図31Bの送信機500Cの機能を反映し、図32の受信機700は図25の送信機500A及び図31Aの送信機500Bにも対応する。なお、図32の説明において、図10A、図10Bと実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。

[0159] 受信機700は、デモジュレータ210、セルデインターリーバ720、コンポーネントデインターリーバ730、回転コンステレーションデマップ740、コンポーネントインターリーバ750、ビットデインターリーバ760、及びLDPCデコーダ270を備える。

[0160] セルデインターリーバ720は、送信機500Cのセルインターリーバ550Aによる並び替えの前の並びに戻すために、モジュレータ210で作られた $N \times Q / (2 \times B)$ 個のセルをデインターリーブする（セルデインターリーブ）。このセルデインターリーブは、セルインターリーブとは逆のパーミュテーションの規則を用いる。このセルデインターリーブは、例えば、1FECブロックの $N \times Q / (2 \times B)$ 個のセルを入力順に $Q / 2$ 列 $N / B$ 行の行列に列方向に書き込み、書き込んだ $N \times Q / (2 \times B)$ 個のセルをこの行列から行方向に読み出すことと等価な処理を行う、ことによって実現される。

[0161] コンポーネントデインターリーバ730は、送信機500Cのコンポーネントインターリーバ530Aによる並び替えの前の並びに戻すために、セルデインターリーバ720から出力される $N \times Q / (2 \times B)$ 個のセルからN

$\times Q / B$ 個のコポーネントを取り出して、取り出した  $N \times Q / B$ 個のコポーネントを  $N / (B \times D)$  個のセクションに分け、 $N / (B \times D)$  個のセクションで別々に、 $Q \times D$ 個のコポーネントをデインターリーピングする（コポーネントデインターリーピング）。このコポーネントデインターリーピングは、コポーネントインターリーバ530Aによって行われるコポーネントインターリーピングとは逆のパーミュテーションの規則を用いる。各セクションにおけるコポーネントデインターリーピングは、例えば、 $Q \times D$ 個のコポーネントを入力順に  $Q$ 列  $D$ 行の行列に行方向に書き込み、各行に当該行にコポーネントインターリーバ530Aが適用した巡回シフトとは正確に逆の巡回シフトを適用し、巡回シフトされた  $Q \times D$ 個のコポーネントをこの行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。

[0162] 回転コンステレーションデマップパ740は、コポーネントインターリーバ730から入力された連続する2つのコポーネントをペアにしたセルを順次デマッピングして（ソフト）ビットを取り出し、コポーネントインターリーバ750へ出力する。なお、回転コンステレーションデマップパ750は、コンステレーションデローテータとQAMデマッピングを1つのブロックで行うものである。回転コンステレーションデマップパ740は、送信側の  $D$ 次元回転コンステレーションの  $D$ 個の変換PAMシンボルに対応する  $D$ 個のコポーネントに分けてデローテーションとQAMデマッピングを行う。この2つの動作を結合して実装することによって復号性能の向上が図られる。この観点は当該技術分野においてよく知られている。

[0163] コポーネントインターリーバ750は、送信機500Cのコポーネントデインターリーバ510Bによる並び替えの前の並びに戻すために、回転コンステレーションデマップパ740から出力される  $N \times Q$ 個の（ソフト）ビットを  $N / (B \times D)$  個のセクションに分け、 $N / (B \times D)$  個のセクションで別々に、 $B$ （ソフト）ビットをグループ（ここでは、「（ソフト）ビットグループ」と呼ぶ。）として、 $Q \times D$ 個の（ソフト）ビットグループをイ

ンターリービングする（コンポーネントインターリービング）。このコンポーネントインターリービングは、コンポーネントデインターリーバ510Bによって行われるコンポーネントデインターリービングとは逆のパーミュテーションの規則を用いる。各セクションにおけるコンポーネントインターリービングは、例えば、 $Q \times D$ 個の（ソフト）ビットグループを入力順に $Q$ 列 $D$ 行の行列に列方向に書き込み、各行に当該行にコンポーネントデインターリーバ510Bが適用した巡回シフトとは正確に逆の巡回シフトを適用し、巡回シフトされた $Q \times D$ 個の（ソフト）ビットグループをこの行列から行方向に読み出すことと等価な処理を行う、ことによって実現される。

[0164] ビットデインターリーバ760Aは、 $M=B$ とし、 $N \times Q$ 個の（ソフト）ビットを $N/M$ 個のセクションに分割する。そして、ビットデインターリーバ760は、 $N/M$ 個のセクションで別々に、 $Q \times M$ 個の（ソフト）ビットをデインターリーブする（セクションデインターリービング）。なお、セクションデインターリービングは、送信機500Cのビットインターリーバ115Aによってセクションインターリービングされる前の順序に戻すために、セクションインターリービングとは逆のパーミュテーションの規則を用いる。このセクションデインターリービングは、例えば、 $Q \times M$ 個のソフトビットを入力順に $Q$ 列 $M$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ $Q \times M$ 個のソフトビットをその行列から行方向に読み出すことと等価な処理を行う、ことによって実現される。

[0165] なお、送信機500A、500B、500Cのビットインターリーバ115Aに、セクションインターリービング前に、 $QB$ パーミュテーション及び／又は $intra-QB$ パーミュテーションを実行する機能を追加する場合、ビットデインターリーバ760に、セクションデインターリービング後に $intra-QB$ パーミュテーション及び／又は $QB$ パーミュテーションと逆の規則のインターリービングを実行する機能を追加すればよい。

[0166] 送信機500B、500Cに関してコンポーネントデインターリーバ510Bをビットインターリーバ115Aに組み込むことができると説明した。

これと同様に、コンポーネントインターリーバ750による巡回シフトを、ビットデインターリーバ760によって実行される *intra-QB* パーミュテーションに関連する巡回シフトに組み込むことができる。また、コンポーネントインターリーバ750による巡回シフトをビットデインターリーバ760によって実行される *intra-QB* パーミュテーションに関連する巡回シフトとともにLDPC符号の定義に組み込むことができる。従って、コンポーネントインターリーバ750はハードウェアに実装する必要がない。但し、ビットインターリーバ760は $M=B$ から $M=B \times D$ に置き換えた処理を行う。

[0167] これは、反復復号を用いる受信機にとって特に有利である。

[0168] 以下、反復復号を用いる受信機700Aについて図33Aを用いて説明する。但し、図33Aは、図32のセルデインターリーバ720より後ろを示したものである。なお、図33Aの説明において、図10A、図10B、及び図32と実質的に同じ処理を行う処理ブロックには同じ符号を付し、重複記載を省略する。但し、送信機500B、500Cのビットインターリーバ115Aに対応するビットインターリーバとビットデインターリーバはハードウェアに必要がないため含まれていない。

[0169] 受信機700Aは、コンポーネントデインターリーバ730、回転コンステレーションデマッパ740A、コンポーネントインターリーバ750、加算器770、LDPCデコーダ370、減算器780、及びコンポーネントデインターリーバ790を備える。

[0170] コンポーネントデインターリーバ790は、減算器780から出力される $N \times Q$ 個の外部情報を $N / (B \times D)$ 個のセクションに分け、 $N / (B \times D)$ 個のセクションで別々に、 $B$ 個の外部情報をグループ（ここでは、「外部情報グループ」と呼ぶ。）として、 $Q \times D$ 個の外部情報グループをデインターリーピングする（コンポーネントデインターリーピング）。このコンポーネントデインターリーピングは、送信機500B、500Cコンポーネントデインターリーバ510Bによって行われるコンポーネントデインターリー

ビングと同じパーミュテーションの規則を用いる。各セクションにおけるコンポーネントデインターリービングは、例えば、 $Q \times D$ 個の外部情報グループを入力順に $Q$ 列 $D$ 行の行列に行方向に書き込み、各行に当該行にコンポーネントデインターリーバ510Bが適用した巡回シフトと正確に同じ巡回シフトを適用し、巡回シフトされた $Q \times D$ 個の外部情報をこの行列から列方向に読み出すことと等価な処理を行う、ことによって実現される。

[0171] なお、回転コンステレーションデマップ740A、加算器770、LDPCデコーダ370、及び減算器780の処理は図11を用いて詳細に説明したコンステレーションデマップ330、加算器350、LDPCデコーダ370、及び減算器380の処理内容と実質的に同じである。

[0172] コンポーネントインターリーバ750とコンポーネントデインターリーバ790は、反復復号ループの一部である。このため、これらが巡回シフトを使って実行された場合、反復復号デコーダの実装が非常に簡単になる。これらが行う巡回シフトはLDPCデコーダ370が用いるLDPC符号の定義に、ビットデインターリーバの巡回シフトともに組み込むことが可能である。従って、図33Bに示すように、受信機700Bの構造を、受信機700Aから回転コンステレーションデマップ740AとLDPCデコーダ370との間からコンポーネントインターリーバ750とコンポーネントデインターリーバ790を取り除いた構造にすることができる。

[0173] これによって、回転コンステレーションデマップ740AとLDPCデコーダ370をより隙間なく結合することが可能になる。その結果、それらはレイテンシなしにデータを交換することができる。故に、図33Bの受信機700Bは図33Aの受信機700Aより実装効率が優れていることは明らかである。

[0174] 反復復号ループの最適化に加えて、反復復号ループ外にある、コンポーネントインターリーバ730の効率的な実装を可能にする。これがどのように実現されるかを図33Cに示す。

[0175] 図28、図29に示す各行において、セルメモリ795の各行の $Q/2$ 個

のセルがコンポーネントインターリーバ730によって読み出されて巡回シフトされて同じ場所すなわち同じアドレスに書き戻される。付加的なメモリもいらず、巡回シフトはFECブロック全体ではなくて行単位で実行されるのでレイテンシが非常に小さい。

《補足》

本発明は上記の実施の形態で説明した内容に限定されず、本発明の目的とそれに関連又は付随する目的を達成するためのいかなる形態においても実施可能であり、例えば、以下であってもよい。

- [0176] (1) 上記の実施の形態は、ハードウェアとソフトウェアを使った実装に関するものであってもよい。上記の実施の形態はコンピューティングデバイス(プロセッサ)を使って実装又は実行されてもよい。コンピューティングデバイスまたはプロセッサは、例えば、メインプロセッサ/汎用プロセッサ (general purpose processor)、デジタル信号プロセッサ(DSP)、ASIC(application specific integrated circuit)、FPGA(field programmable gate array)、他のプログラマブル論理デバイスなどであってよい。上記の実施の形態は、これらのデバイスの結合によって実行され、あるいは、実現されてもよい。
- [0177] (2) 上記の実施の形態は、プロセッサによって、または、直接ハードウェアによって実行される、ソフトウェアモジュールの仕組みによって実現されてもよい。また、ソフトウェアモジュールとハードウェア実装の組み合わせも可能である。ソフトウェアモジュールは、様々な種類のコンピュータ読み取り可能なストレージメディア、例えば、RAM、EPROM、EEPROM、フラッシュメモリ、レジスタ、ハードディスク、CD-ROM、DVDなど、に保存されてもよい。
- [0178] (3) 上記の実施の形態(その2)において、図25及び図31A及び図31Bに示す通り、セルインターリーバ550Aはコンポーネントインターリーバ530Aの後段に配置するものとした。これに限らず、図25及び図31AではQAMマッパ130Aの後段に配置してもよく、図31Bではビ

ットインターリーバ115Aの後段に配置してもよい。この場合、図32ではセルデインターリーバ720はコンポーネントインターリーバ750の後段に配置すればよい。

[0179] 《補足（その2）》

実施の形態等に係る送信処理方法、送信機、受信処理方法、および受信機とその効果についてまとめる。

[0180] 第1の送信方法は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信方法であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

前記送信方法は、

前記符号語を $N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、ビットパーミュテーションを各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用し、各前記セクションの並び替えられた $(B \times D) \times Q$ ビットを $M = (B \times D)$ ビットからなるQ個のビットグループに分け、前記ビットパーミュテーションは前記疑似巡回ブロックのQビットがQ個の異なるビットグループにマッピングされるように適用され、

各前記ビットグループの各Bビットを実数値シンボルにマッピングし、

各前記ビットグループから作られたD個の前記実数値シンボルを要素とするD次元ベクトルにD行D列の直交行列を乗算することによって、当該D次元ベクトルをD個の変換実数値シンボルを要素とするD次元回転コンステレーションに変換し、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列であり、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた前記D次元ベクトルから

形成され、

各前記コンステレーションブロックの  $2 \times D$  個の変換実数値シンボルが  $D$  個の複素シンボルにマッピングされ、且つ、前記  $D$  次元回転コンステレーションの  $D$  個の変換実数値シンボルが  $D$  個の異なる複素シンボルにマッピングされるように、  $N \times Q / B$  個の前記変換実数値シンボルを  $N \times Q / (2 \times B)$  個の前記複素シンボルにマッピングする

各ステップを含む。

[0181] 第1の送信機は、

$D$ 次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信機であって、

実数値シンボルは  $B$  ビットを符号化したものであり、

前記符号語は  $N$  個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックは  $Q$  ビットからなり、

前記送信機は、

前記符号語を  $N / (B \times D)$  個のセクションに分割し、各前記セクションは  $M = B \times D$  個の前記疑似巡回ブロックからなり、ビットパーミュテーションを各前記セクションの  $M \times Q = (B \times D) \times Q$  ビットに対して適用し、各前記セクションの並び替えられた  $(B \times D) \times Q$  ビットを  $M = (B \times D)$  ビットからなる  $Q$  個のビットグループに分け、前記ビットパーミュテーションは前記疑似巡回ブロックの  $Q$  ビットが  $Q$  個の異なるビットグループにマッピングされるように適用される、ビットインターリーブと、

各前記ビットグループの各  $B$  ビットを実数値シンボルにマッピングする、コンステレーションマップと、

各前記ビットグループから作られた  $D$  個の前記実数値シンボルを要素とする  $D$  次元ベクトルに  $D$  行  $D$  列の直交行列を乗算することによって、当該  $D$  次元ベクトルを  $D$  個の変換実数値シンボルを要素とする  $D$  次元回転コンステレーションに変換し、当該直交行列は  $D$  次元ベクトルの各次元の要素の値が少

なくとも2個の次元に分散させる行列であり、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた前記 $D$ 次元ベクトルから形成され、各前記コンステレーションブロックの $2 \times D$ 個の変換実数値シンボルが $D$ 個の複素シンボルにマッピングされ、且つ、前記 $D$ 次元回転コンステレーションの $D$ 個の変換実数値シンボルが $D$ 個の異なる複素シンボルにマッピングされるように、 $N \times Q / B$ 個の前記変換実数値シンボルを $N \times Q / (2 \times B)$ 個の前記複素シンボルにマッピングする、コンステレーションローテータと、  
を備える。

[0182] 第1の送信方法又は第1の送信機によれば、複数の次元数 $D$ を受信機が使用することに起因して受信機の構造が複雑になってしまうことを回避できる。

[0183] 第2の送信方法は、第1の送信方法において、  
前記ビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$ ビットを $Q$ 列 $(B \times D)$ 行のセクションパーミュテーション行列に行方向に書き込み、書き込んだ当該 $(B \times D) \times Q$ ビットを当該セクションパーミュテーション行列から列方向に読み出す処理と等価である。

[0184] 第2の送信方法によれば、符号語に対するビットパーミュテーションを効率的に行うことができる。

[0185] 第3の送信方法は、第1の送信方法において、  
 $N \times Q / B$ 個の前記変換実数値シンボルの $N \times Q / (2 \times B)$ 個の前記複素シンボルへのマッピングを、  
各前記 $D$ 次元回転コンステレーションの $D$ 個の前記変換実数値シンボルが $D$ 個の連続する前記複素シンボルの $D$ 個の実数コンポーネント又は $D$ 個の連続する前記複素シンボルの $D$ 個の虚数コンポーネントにマッピングされるように、  
実行する。

[0186] 第4の送信方法は、第1の送信方法において、

$N \times Q / B$ 個の前記変換実数値シンボルの $N \times Q / (2 \times B)$ 個の前記複素シンボルへのマッピングを、

同じ前記セクションに属する連続する前記ビットグループを基に作られた2つの前記D次元回転コンステレーションの各D個の前記変換実数値シンボルが夫々同じ連続するD個の前記複素シンボルにマッピングされるように、  
実行する。

[0187] 第1の受信方法は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信方法であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $M = B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信方法は、

受信した $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々がD個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行い、

デマッピングにより得られた $N \times Q$ ビットを $N / M = N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、

送信機によって行われたビットパーミュテーションとは逆のビットパーミュテーションを、各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用する

各ステップを含む。

[0188] 第1の受信機は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信機であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $M = B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信機は、

受信した $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々がD個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行う、コンステレーションデマッパと、

デマッピングにより得られた $N \times Q$ ビットを $N / M = N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、送信機によって行われたビットパーミュテーションとは逆のビットパーミュテーションを、各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用する、ビットデインターリーバと、

を備える。

[0189] 第1の受信方法又は第1の受信機によれば、複数の次元数Dを使用する場合でも受信機の構造が複雑になることを回避できる。

[0190] 第2の受信方法は、第1の受信方法において、

前記逆のビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$ ビットをQ列 $(B \times D)$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ当該 $(B \times D) \times Q$ ビットを当該セクションパーミュテーション行列から行方向に読み出す処理と等価である。

- [0191] 第2の受信機は、第1の受信機において、  
前記逆のビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$ ビットを $Q$ 列 $(B \times D)$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ当該 $(B \times D) \times Q$ ビットを当該セクションパーミュテーション行列から行方向に読み出す処理と等価である。
- [0192] 第2の受信方法及び第2の受信機によれば、デマッピングの結果得られたビットに対する元の並びに戻す処理を効率的に行うことができる。
- [0193] 第3の受信機は、第1の受信機において、  
前記コンステレーションデマッパから出力される $N \times Q$ ビットを記憶し、 $P$ 個の第1のメモリバンクに並列に分割され、 $P$ は $Q$ の約数である、第1のメモリを更に備え、  
前記コンステレーションデマッパは複数のコンステレーションデマッパユニットを備え、前記複数のコンステレーションデマッパユニットは $P/2$ 個のデマッパバンクに分割され、各前記デマッパバンクは前記第1のメモリの2つの隣接するメモリバンクにアクセスするように作られている。
- [0194] 第3の受信機によれば、受信機が使用する次元数 $D$ に依存しない簡易な構造の受信機を提供することができる。
- [0195] 第4の受信機は、第3の受信機において、  
 $N \times Q / (2 \times B)$ 個の前記複素シンボルを記憶し、 $P$ 個の第2のメモリバンクに並列に分割された、第2のメモリを更に備え、  
各前記デマッパバンクは更に前記第2のメモリの2つの隣接するメモリバンクにアクセスするように作られている。
- [0196] 第4の受信機によれば、受信機が使用する次元数 $D$ に依存しない簡易な構造の受信機を提供することができる。
- [0197] 第5の送信方法は、  
 $D$ 次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信方法であって、

実数値シンボルはBビットを符号化したものであり、  
前記符号語はN個の疑似巡回ブロックからなり、  
各前記疑似巡回ブロックはQビットからなり、  
前記送信方法は、  
Bビットを実数値シンボルにマッピングし、

D個の前記実数値シンボルを要素とするD次元ベクトルにD行D列の直交行列を乗算することによって、当該D次元ベクトルをD個の変換実数値シンボルを要素とするD次元回転コンステレーションに変換し、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列であり、

$N \times Q / B$ 個の前記変換実数値シンボルを $N / (B \times D)$ 個のセクションに分け、第1のコンポーネントパーミュテーションを各前記セクションの $Q \times D$ 個の前記変換実数値シンボルに適用し、各前記セクションの第1のコンポーネントパーミュテーションは、 $Q \times D$ 個の前記変換実数値シンボルをQ列D行の第1のコンポーネントパーミュテーション行列に列方向に書き込み、当該第1のコンポーネントパーミュテーション行列の各行に巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記変換実数値シンボルを当該行列から行方向に読み出す処理と等価である

各ステップを含む。

[0198] 第2の送信機は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信機であって、

実数値シンボルはBビットを符号化したものであり、  
前記符号語はN個の疑似巡回ブロックからなり、  
各前記疑似巡回ブロックはQビットからなり、

前記送信機は、

Bビットを実数値シンボルにマッピングする、コンステレーションマップと、

D個の前記実数値シンボルを要素とするD次元ベクトルにD行D列の直交行列を乗算することによって、当該D次元ベクトルをD個の変換実数値シンボルを要素とするD次元回転コンステレーションに変換し、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列である、コンステレーションローテータと、

$N \times Q / B$ 個の前記変換実数値シンボルを $N / (B \times D)$ 個のセクションに分け、第1のコンポーネントパーミュテーションを各前記セクションの $Q \times D$ 個の前記変換実数値シンボルに適用し、各前記セクションの第1のコンポーネントパーミュテーションは、 $Q \times D$ 個の前記変換実数値シンボルをQ列D行の第1のコンポーネントパーミュテーション行列に列方向に書き込み、当該第1のコンポーネントパーミュテーション行列の各行に巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記変換実数値シンボルを当該行列から行方向に読み出す処理と等価である、コンポーネントインターリーバと、

を備える。

[0199] 第5の送信方法又は第2の送信機によれば、第1のコンステレーションパーミュテーションが符号語の符号化に用いる疑似巡回低密度パリティ検査符号の疑似巡回構造に適合したものとなり、高い並列度で効率的な第1のコンステレーションパーミュテーションを実現することができる。

[0200] 第6の送信方法は、第5の送信方法において、

前記第1のコンポーネントパーミュテーション適用後の連続する2つの前記変換実数値シンボルを複素シンボルにマッピングし、複素シンボルパーミ

ユテーションを  $N \times Q / (2 \times B)$  個の前記複素シンボルに適用し、前記複素シンボルパーミュテーションは、 $N \times Q / (2 \times B)$  個の前記複素シンボルを  $Q / 2$  列  $N / B$  行の複素シンボルパーミュテーション行列に行方向に書き込み、書き込んだ  $N \times Q / (2 \times B)$  個の前記複素シンボルを当該複素シンボルパーミュテーション行列から列方向に読み出す処理と等価であるステップを更に含む。

[0201] 第6の送信方法によれば、同じD次元回転コンステレーションのD個の変換PAMシンボルを伝送するD個の複素シンボルを、1つの符号語から作られる複数の複素シンボルにおいて、かなり均等に分散させることができる。

[0202] 第7の送信方法は、第5の送信方法において、

前記Bビットを実数値シンボルにマッピングした結果得られた  $N \times Q / B$  個の前記実数値シンボルを  $N / (B \times D)$  個のセクションに分け、第2のコンポーネントパーミュテーションを各前記セクションの  $Q \times D$  個の前記実数値シンボルに適用し、各前記セクションの第2のコンポーネントパーミュテーションは、 $Q \times D$  個の前記実数値シンボルを  $Q$  列  $D$  行の第2のコンポーネントパーミュテーション行列に行方向に書き込み、当該第2のコンポーネントパーミュテーション行列の各行に前記第1のコンポーネントパーミュテーションにおける前記巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該  $Q \times D$  個の前記実数値シンボルを当該第2のコンポーネントパーミュテーション行列から列方向に読み出す処理と等価である

ステップを更に含む。

[0203] 第7の送信方法によれば、第2のコンポーネントパーミュテーションを用いることにより、複素シンボルパーミュテーションによる複素シンボルの分散効果が第1のコンポーネントパーミュテーションで軽減されないようにすることが可能になる。

[0204] 第8の送信方法は、第5の送信方法において、

前記行列の  $k$  行に適用する前記巡回シフトは  $k \times Q / D$  であり、 $k$  は0から始まる行インデックスである。

[0205] 第9の送信方法は、第5の送信方法において、  
前記行列のk行に適用する前記巡回シフトは偶数である。

[0206] 第3の受信方法は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信方法であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信方法は、

$N \times Q / (2 \times B)$  個の複素シンボルに基づく $N \times Q / B$ 個のコンポーネントを $N / (B \times D)$  個のセクションに分け、コンポーネントパーミュテーションを各前記セクションの $Q \times D$ 個の前記コンポーネントに適用し、各前記セクションの前記コンポーネントパーミュテーションは、 $Q \times D$ 個の前記コンポーネントをQ列D行のコンポーネントパーミュテーション行列に行方向に書き込み、当該コンポーネントパーミュテーション行列の各行に送信側での巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記コンポーネントを当該コンポーネントパーミュテーション行列から列方向に読み出す処理と等価であり、

コンポーネントパーミュテーション適用後の $N \times Q / (2 \times B)$  個の複素シンボルに対して、夫々がD個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$  個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行う

各ステップを含む。

[0207] 第5の受信機は、

D次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信機であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信機は、

$N \times Q / (2 \times B)$  個の複素シンボルに基づく $N \times Q / B$  個のコンポーネントを $N / (B \times D)$  個のセクションに分け、コンポーネントパーミュテーションを各前記セクションの $Q \times D$  個の前記コンポーネントに適用し、各前記セクションの前記コンポーネントパーミュテーションは、 $Q \times D$  個の前記コンポーネントを $Q$  列 $D$  行のコンポーネントパーミュテーション行列に行方向に書き込み、当該コンポーネントパーミュテーション行列の各行に送信側での巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該 $Q \times D$  個の前記コンポーネントを当該コンポーネントパーミュテーション行列から列方向に読み出す処理と等価である、コンポーネントデインターリーバと、

コンポーネントパーミュテーション適用後の $N \times Q / (2 \times B)$  個の複素シンボルに対して、夫々が $D$  個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$  個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行う、回転コンステレーションデマッパと、

を備える。

[0208] 第3の受信方法又は第5の受信機によれば、複数の次元数Dを使用する場合でも受信機の構造が複雑になることを回避でき、コンポーネントパーミュテーションが符号語の符号化に用いる疑似巡回低密度パリティ検査符号の疑

似巡回構造に適合したものとなり、高い並列度で効率的なコンポーネントパーミュテーションを実現することができる。

### 産業上の利用可能性

[0209] 本発明は、疑似巡回低密度パリティ検査符号とともに回転コンステレーションを用いる通信システムで実行される送信方法及び受信方法に利用することができる。

### 符号の説明

[0210] 100A, 500A, 500B, 500C 送信機  
110 LDPCエンコーダ  
115A, 120A ビットインターリーバ  
130A QAMマップ  
140A コンステレーションローテータ  
150 モジュレータ  
200A, 300A, 700, 700A, 700B 受信機  
210 デモジュレータ  
220A 非反復デコーダ  
230, 330 コンステレーションデマップ  
250A ビットデインターリーバ  
270, 370 LDPCデコーダ  
320A 反復デコーダ  
350, 770 加算器  
380, 780 減算器  
390 ビットインターリーバ  
510A, 510B コンポーネントデインターリーバ  
520A コンステレーションローテータ  
530A コンポーネントインターリーバ  
550A セルインターリーバ  
570 回転コンステレーションマップ

- 720 セルデインターリーバ
- 730 コンポーネントデインターリーバ
- 740, 740A 回転コンステレーションデマッパ
- 750 コンポーネントインターリーバ
- 760 ビットデインターリーバ
- 790 コンポーネントデインターリーバ

## 請求の範囲

[請求項1]

D次元回転コンステレーションを用いる通信システムにおけるリピータアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信方法であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

前記送信方法は、

前記符号語を $N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、ビットパーミュテーションを各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用し、各前記セクションの並び替えられた $(B \times D) \times Q$ ビットを $M = (B \times D)$ ビットからなるQ個のビットグループに分け、前記ビットパーミュテーションは前記疑似巡回ブロックのQビットがQ個の異なるビットグループにマッピングされるように適用され、

各前記ビットグループの各Bビットを実数値シンボルにマッピングし、

各前記ビットグループから作られたD個の前記実数値シンボルを要素とするD次元ベクトルにD行D列の直交行列を乗算することによって、当該D次元ベクトルをD個の変換実数値シンボルを要素とするD次元回転コンステレーションに変換し、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列であり、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた前記D次元ベクトルから形成され、

各前記コンステレーションブロックの $2 \times D$ 個の変換実数値シンボルがD個の複素シンボルにマッピングされ、且つ、前記D次元回転コンステレーションのD個の変換実数値シンボルがD個の異なる複素シンボルにマッピングされるように、 $N \times Q / B$ 個の前記変換実数値シ

ンボルを  $N \times Q / (2 \times B)$  個の前記複素シンボルにマッピングする各ステップを含む送信方法。

[請求項2] 前記ビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$  ビットを  $Q$  列  $(B \times D)$  行のセクションパーミュテーション行列に行方向に書き込み、書き込んだ当該  $(B \times D) \times Q$  ビットを当該セクションパーミュテーション行列から列方向に読み出す処理と等価である

請求項 1 記載の送信方法。

[請求項3]  $N \times Q / B$  個の前記変換実数値シンボルの  $N \times Q / (2 \times B)$  個の前記複素シンボルへのマッピングを、

各前記  $D$  次元回転コンステレーションの  $D$  個の前記変換実数値シンボルが  $D$  個の連続する前記複素シンボルの  $D$  個の実数コンポーネント又は  $D$  個の連続する前記複素シンボルの  $D$  個の虚数コンポーネントにマッピングされるように、

実行する

請求項 1 記載の送信方法。

[請求項4]  $N \times Q / B$  個の前記変換実数値シンボルの  $N \times Q / (2 \times B)$  個の前記複素シンボルへのマッピングを、

同じ前記セクションに属する連続する前記ビットグループを基に作られた 2 つの前記  $D$  次元回転コンステレーションの各  $D$  個の前記変換実数値シンボルが夫々同じ連続する  $D$  個の前記複素シンボルにマッピングされるように、

実行する

請求項 1 記載の送信方法。

[請求項5]  $D$  次元回転コンステレーションを用いる通信システムにおけるリピートアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信方法であって、

実数値シンボルはBビットを符号化したものであり、  
前記符号語はN個の疑似巡回ブロックからなり、  
各前記疑似巡回ブロックはQビットからなり、  
各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $M = B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信方法は、

受信した $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々がD個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行い、

デマッピングにより得られた $N \times Q$ ビットを $N / M = N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、

送信機によって行われたビットパーミュテーションとは逆のビットパーミュテーションを、各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用する

各ステップを含む

受信方法。

[請求項6]

前記逆のビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$ ビットをQ列 $(B \times D)$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ当該 $(B \times D) \times Q$ ビットを当該セクションパーミュテーション行列から行方向に読み出す処理と等価である

請求項5記載の受信方法。

[請求項7]

D次元回転コンステレーションを用いる通信システムにおけるリピータキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡

回低密度パリティ検査符号の符号語を送信する送信機であって、

実数値シンボルは $B$ ビットを符号化したものであり、

前記符号語は $N$ 個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックは $Q$ ビットからなり、

前記送信機は、

前記符号語を $N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、ビットパーミュテーションを各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用し、各前記セクションの並び替えられた $(B \times D) \times Q$ ビットを $M = (B \times D)$ ビットからなる $Q$ 個のビットグループに分け、前記ビットパーミュテーションは前記疑似巡回ブロックの $Q$ ビットが $Q$ 個の異なるビットグループにマッピングされるように適用される、ビットインターリーブと、

各前記ビットグループの各 $B$ ビットを実数値シンボルにマッピングする、コンステレーションマップと、

各前記ビットグループから作られた $D$ 個の前記実数値シンボルを要素とする $D$ 次元ベクトルに $D$ 行 $D$ 列の直交行列を乗算することによって、当該 $D$ 次元ベクトルを $D$ 個の変換実数値シンボルを要素とする $D$ 次元回転コンステレーションに変換し、当該直交行列は $D$ 次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列であり、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた前記 $D$ 次元ベクトルから形成され、各前記コンステレーションブロックの $2 \times D$ 個の変換実数値シンボルが $D$ 個の複素シンボルにマッピングされ、且つ、前記 $D$ 次元回転コンステレーションの $D$ 個の変換実数値シンボルが $D$ 個の異なる複素シンボルにマッピングされるように、 $N \times Q / B$ 個の前記変換実数値シンボルを $N \times Q / (2 \times B)$ 個の前記複素シンボルにマッピングする、コンステレーションローテータと、

を備える送信機。

[請求項8]

D次元回転コンステレーションを用いる通信システムにおけるリピータアキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信機であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは $M = B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信機は、

受信した $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々がD個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記D次元ベクトルを基に作られた、D次元回転コンステレーションに基づくデマッピングを行う、コンステレーションデマッパと、

デマッピングにより得られた $N \times Q$ ビットを $N / M = N / (B \times D)$ 個のセクションに分割し、各前記セクションは $M = B \times D$ 個の前記疑似巡回ブロックからなり、送信機によって行われたビットパーミュテーションとは逆のビットパーミュテーションを、各前記セクションの $M \times Q = (B \times D) \times Q$ ビットに対して適用する、ビットデインターリーバと、

を備える受信機。

[請求項9]

前記逆のビットパーミュテーションは、各前記セクションにおいて、 $(B \times D) \times Q$ ビットをQ列 $(B \times D)$ 行のセクションパーミュテーション行列に列方向に書き込み、書き込んだ当該 $(B \times D) \times Q$ ビットを当該セクションパーミュテーション行列から行方向に読み出す処理と等価である

請求項 8 記載の受信機。

[請求項10]

前記コンステレーションデマッパから出力される  $N \times Q$  ビットを記憶し、 $P$  個の第 1 のメモリバンクに並列に分割され、 $P$  は  $Q$  の約数である、第 1 のメモリを更に備え、

前記コンステレーションデマッパは複数のコンステレーションデマッパユニットを備え、前記複数のコンステレーションデマッパユニットは  $P/2$  個のデマッパバンクに分割され、各前記デマッパバンクは前記第 1 のメモリの 2 つの隣接するメモリバンクにアクセスするように作られている

請求項 8 記載の受信機。

[請求項11]

$N \times Q / (2 \times B)$  個の前記複素シンボルを記憶し、 $P$  個の第 2 のメモリバンクに並列に分割された、第 2 のメモリを更に備え、

各前記デマッパバンクは更に前記第 2 のメモリの 2 つの隣接するメモリバンクにアクセスするように作られている

請求項 10 記載の受信機。

[請求項12]

$D$  次元回転コンステレーションを用いる通信システムにおけるリピータキュムレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信方法であって、

実数値シンボルは  $B$  ビットを符号化したものであり、

前記符号語は  $N$  個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックは  $Q$  ビットからなり、

前記送信方法は、

$B$  ビットを実数値シンボルにマッピングし、

$D$  個の前記実数値シンボルを要素とする  $D$  次元ベクトルに  $D$  行  $D$  列の直交行列を乗算することによって、当該  $D$  次元ベクトルを  $D$  個の変換実数値シンボルを要素とする  $D$  次元回転コンステレーションに変換し、各コンステレーションブロックは同じ  $B \times D$  個の疑似巡回ブロックから作られた 2 つの  $D$  次元ベクトルから作られ、各前記  $D$  次元ベク

トルは  $B \times D$  個の疑似巡回ブロック夫々の 1 ビットから作られたものであり、当該直交行列は  $D$  次元ベクトルの各次元の要素の値が少なくとも 2 個の次元に分散させる行列であり、

$N \times Q / B$  個の前記変換実数値シンボルを  $N / (B \times D)$  個のセクションに分け、第 1 のコンポーネントパーミュテーションを各前記セクションの  $Q \times D$  個の前記変換実数値シンボルに適用し、各前記セクションの第 1 のコンポーネントパーミュテーションは、 $Q \times D$  個の前記変換実数値シンボルを  $Q$  列  $D$  行の第 1 のコンポーネントパーミュテーション行列に列方向に書き込み、当該第 1 のコンポーネントパーミュテーション行列の各行に巡回シフトを適用し、巡回シフトされた当該  $Q \times D$  個の前記変換実数値シンボルを当該行列から行方向に読み出す処理と等価である

各ステップを含む

送信方法。

[請求項13]

前記第 1 のコンポーネントパーミュテーション適用後の連続する 2 つの前記変換実数値シンボルを複素シンボルにマッピングし、複素シンボルパーミュテーションを  $N \times Q / (2 \times B)$  個の前記複素シンボルに適用し、前記複素シンボルパーミュテーションは、 $N \times Q / (2 \times B)$  個の前記複素シンボルを  $Q / 2$  列  $N / B$  行の複素シンボルパーミュテーション行列に行方向に書き込み、書き込んだ  $N \times Q / (2 \times B)$  個の前記複素シンボルを当該複素シンボルパーミュテーション行列から列方向に読み出す処理と等価である

ステップを更に含む

請求項 1 2 記載の送信方法。

[請求項14]

前記  $B$  ビットを実数値シンボルにマッピングした結果得られた  $N \times Q / B$  個の前記実数値シンボルを  $N / (B \times D)$  個のセクションに分け、第 2 のコンポーネントパーミュテーションを各前記セクションの  $Q \times D$  個の前記実数値シンボルに適用し、各前記セクションの第 2 の

コンポーネントパーミュテーションは、 $Q \times D$ 個の前記実数値シンボルを $Q$ 列 $D$ 行の第2のコンポーネントパーミュテーション行列に行方向に書き込み、当該第2のコンポーネントパーミュテーション行列の各行に前記第1のコンポーネントパーミュテーションにおける前記巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記実数値シンボルを当該第2のコンポーネントパーミュテーション行列から列方向に読み出す処理と等価である

ステップを更に含む

請求項12記載の送信方法。

[請求項15] 前記行列の $k$ 行に適用する前記巡回シフトは $k \times Q / D$ であり、 $k$ は0から始まる行インデックスである

請求項12記載の送信方法。

[請求項16] 前記行列の $k$ 行に適用する前記巡回シフトは偶数である

請求項12記載の送信方法。

[請求項17]  $D$ 次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信方法であって、

実数値シンボルは $B$ ビットを符号化したものであり、

前記符号語は $N$ 個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックは $Q$ ビットからなり、

各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つの $D$ 次元ベクトルから作られ、各前記 $D$ 次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信方法は、

$N \times Q / (2 \times B)$ 個の複素シンボルに基づく $N \times Q / B$ 個のコンポーネントを $N / (B \times D)$ 個のセクションに分け、コンポーネントパーミュテーションを各前記セクションの $Q \times D$ 個の前記コンポーネ

ントに適用し、各前記セクションの前記コンポーネントパーミュテーションは、 $Q \times D$ 個の前記コンポーネントを $Q$ 列 $D$ 行のコンポーネントパーミュテーション行列に行方向に書き込み、当該コンポーネントパーミュテーション行列の各行に送信側での巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記コンポーネントを当該コンポーネントパーミュテーション行列から列方向に読み出す処理と等価であり、

コンポーネントパーミュテーション適用後の $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々が $D$ 個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記 $D$ 次元ベクトルを基に作られた、 $D$ 次元回転コンステレーションに基づくデマッピングを行う

各ステップを含む

受信方法。

[請求項18]

$D$ 次元回転コンステレーションを用いる通信システムにおけるリピートアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を送信する送信機であって、

実数値シンボルは $B$ ビットを符号化したものであり、

前記符号語は $N$ 個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックは $Q$ ビットからなり、

前記送信機は、

$B$ ビットを実数値シンボルにマッピングする、コンステレーションマップと、

$D$ 個の前記実数値シンボルを要素とする $D$ 次元ベクトルに $D$ 行 $D$ 列の直交行列を乗算することによって、当該 $D$ 次元ベクトルを $D$ 個の変換実数値シンボルを要素とする $D$ 次元回転コンステレーションに変換し、各コンステレーションブロックは同じ $B \times D$ 個の疑似巡回ブロックから作られた2つの $D$ 次元ベクトルから作られ、各前記 $D$ 次元ベクトルは $B \times D$ 個の疑似巡回ブロック夫々の1ビットから作られたもの

であり、当該直交行列はD次元ベクトルの各次元の要素の値が少なくとも2個の次元に分散させる行列である、コンステレーションローターと、

$N \times Q / B$ 個の前記変換実数値シンボルを  $N / (B \times D)$  個のセクションに分け、第1のコンポーネントパーミュテーションを各前記セクションの  $Q \times D$  個の前記変換実数値シンボルに適用し、各前記セクションの第1のコンポーネントパーミュテーションは、 $Q \times D$  個の前記変換実数値シンボルを  $Q$  列  $D$  行の第1のコンポーネントパーミュテーション行列に列方向に書き込み、当該第1のコンポーネントパーミュテーション行列の各行に巡回シフトを適用し、巡回シフトされた当該  $Q \times D$  個の前記変換実数値シンボルを当該行列から行方向に読み出す処理と等価である、コンポーネントインターリーバと、

を備える送信機。

[請求項19]

D次元回転コンステレーションを用いる通信システムにおけるリピーターアキュミュレート疑似巡回低密度パリティ検査符号を含む疑似巡回低密度パリティ検査符号の符号語を受信する受信機であって、

実数値シンボルはBビットを符号化したものであり、

前記符号語はN個の疑似巡回ブロックからなり、

各前記疑似巡回ブロックはQビットからなり、

各コンステレーションブロックは同じ  $B \times D$  個の疑似巡回ブロックから作られた2つのD次元ベクトルから作られ、各前記D次元ベクトルは  $B \times D$  個の疑似巡回ブロック夫々の1ビットから作られたものであり、

前記受信機は、

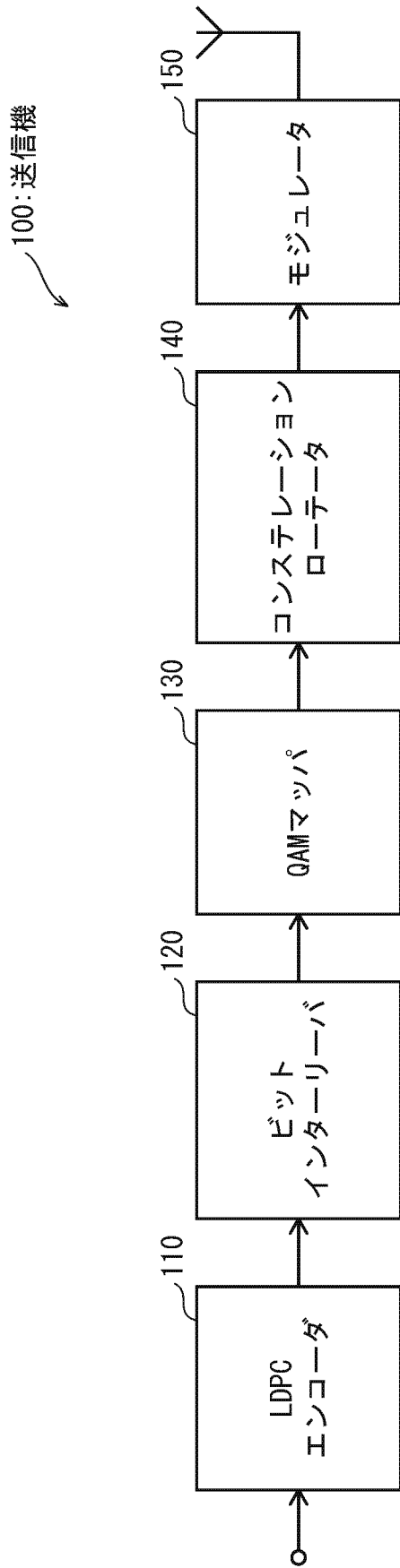
$N \times Q / (2 \times B)$  個の複素シンボルに基づく  $N \times Q / B$  個のコンポーネントを  $N / (B \times D)$  個のセクションに分け、コンポーネントパーミュテーションを各前記セクションの  $Q \times D$  個の前記コンポーネントに適用し、各前記セクションの前記コンポーネントパーミュテ

ションは、 $Q \times D$ 個の前記コンポーネントを $Q$ 列 $D$ 行のコンポーネントパーミュテーション行列に行方向に書き込み、当該コンポーネントパーミュテーション行列の各行に送信側での巡回シフトとは逆の巡回シフトを適用し、巡回シフトされた当該 $Q \times D$ 個の前記コンポーネントを当該コンポーネントパーミュテーション行列から列方向に読み出す処理と等価である、コンポーネントデインターリーバと、

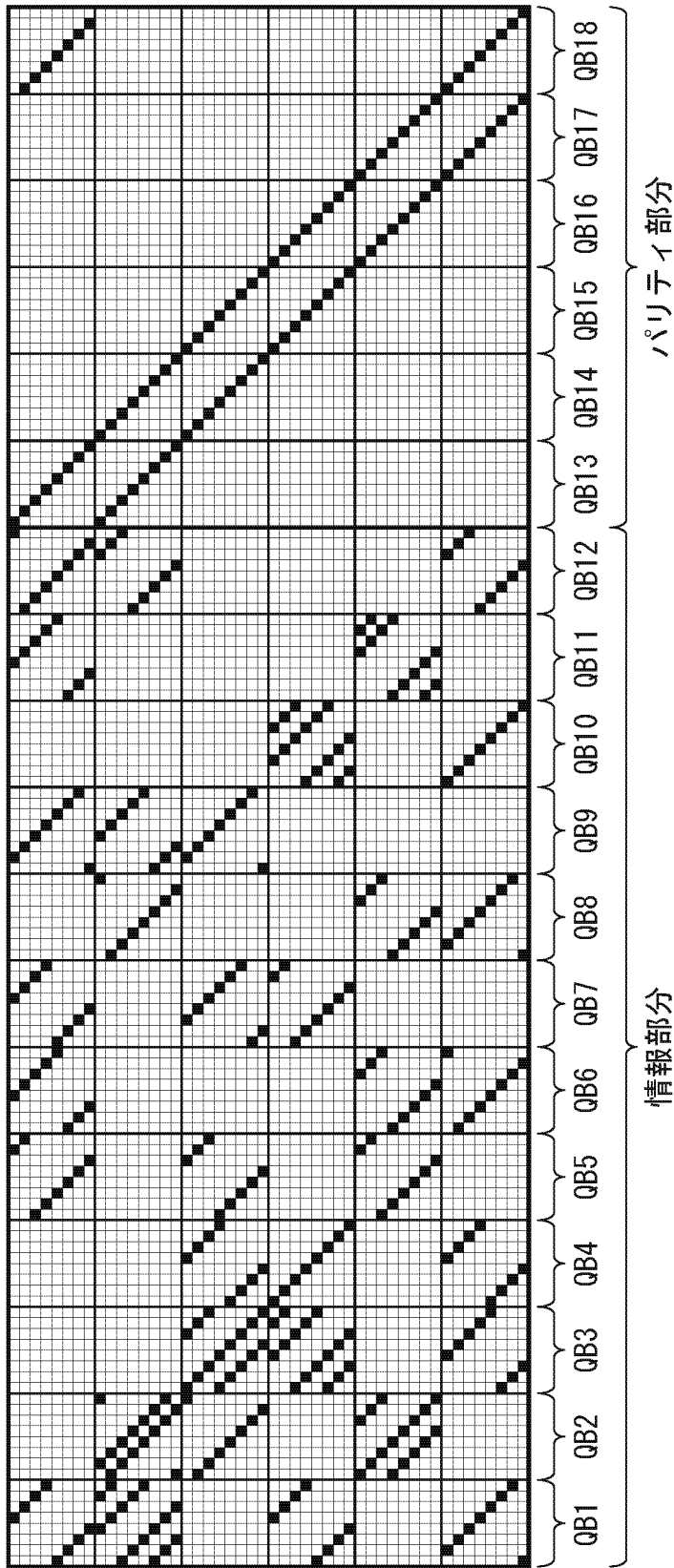
コンポーネントパーミュテーション適用後の $N \times Q / (2 \times B)$ 個の複素シンボルに対して、夫々が $D$ 個の変換実数値シンボルを要素とする $(N \times Q) / (B \times D)$ 個の、前記 $D$ 次元ベクトルを基に作られた、 $D$ 次元回転コンステレーションに基づくデマッピングを行う、回転コンステレーションデマッパと、

を備える受信機。

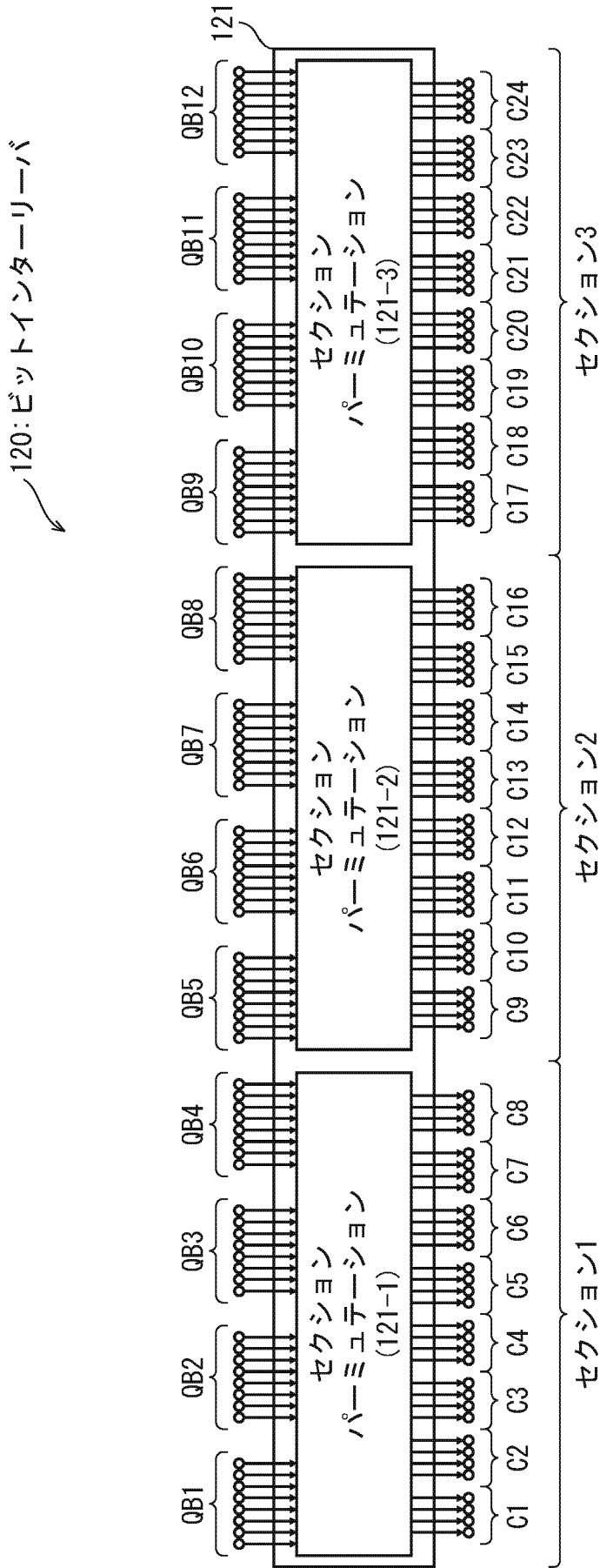
[図1]



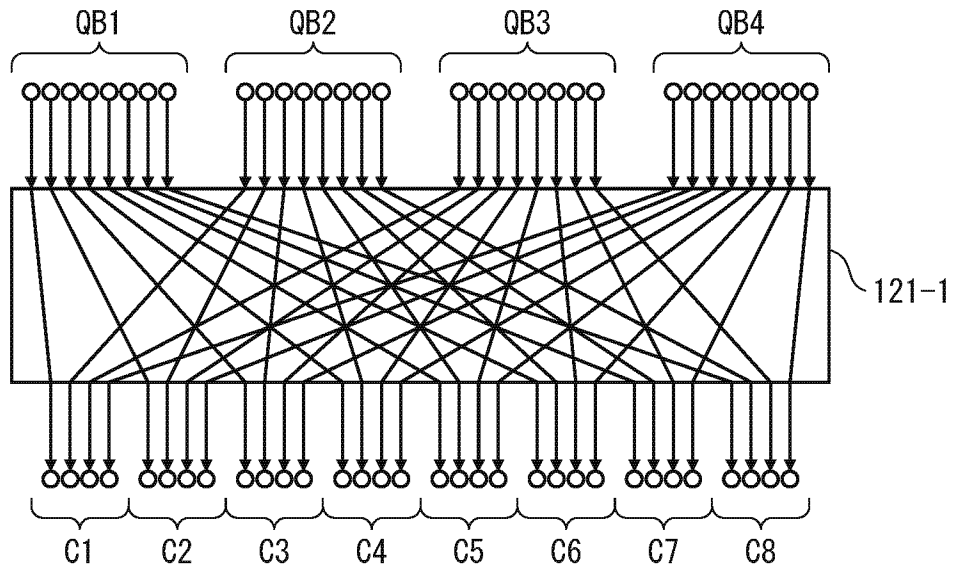
[図2]



[図3]



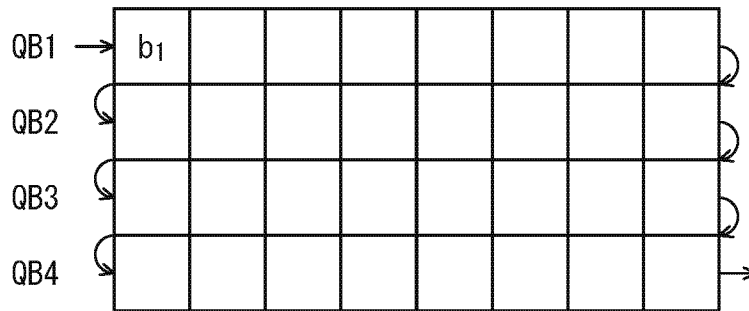
[図4]



[図5]

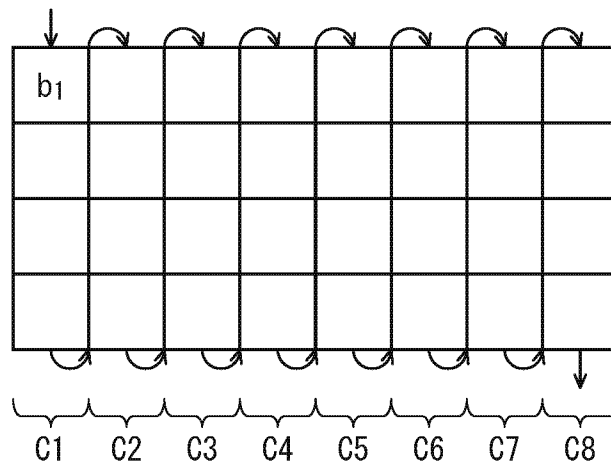
(a)

Writing Process

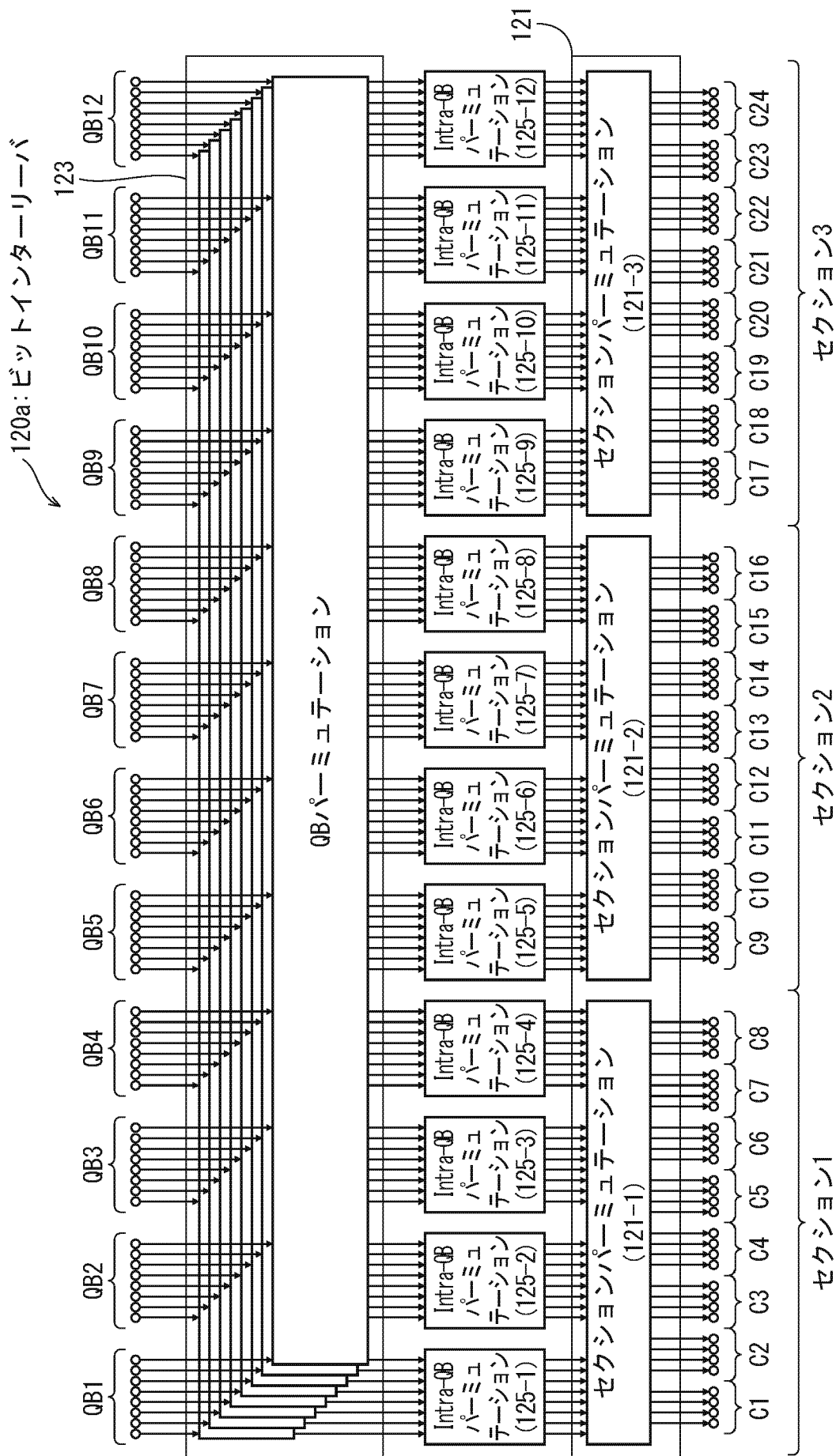


(b)

Reading Process

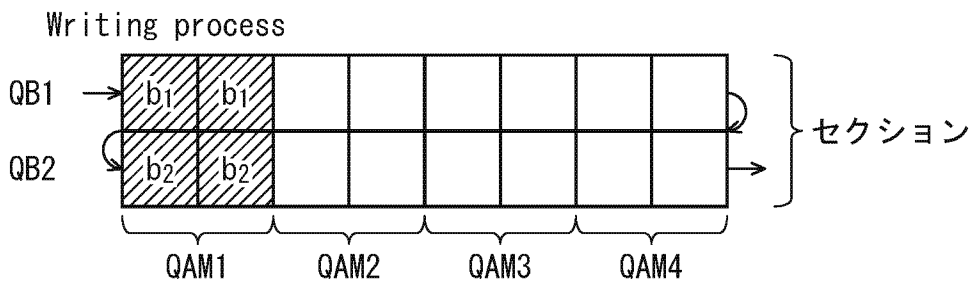


[図6]

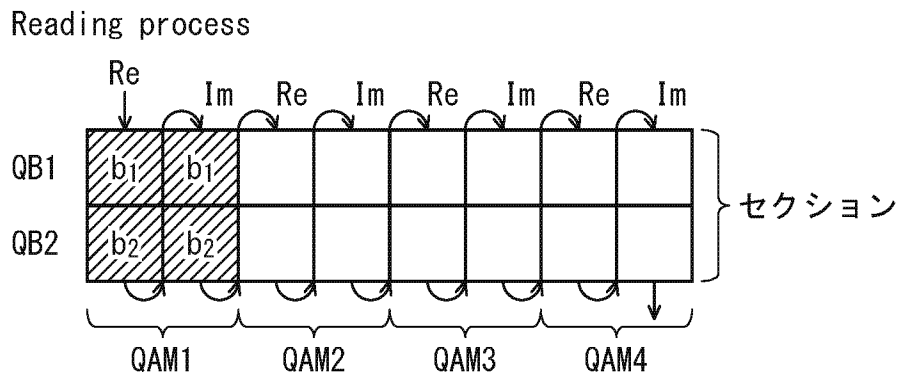


[図7]

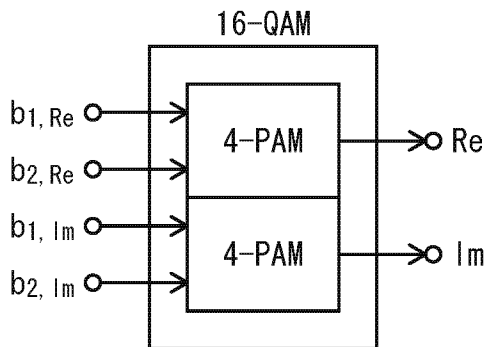
(a)



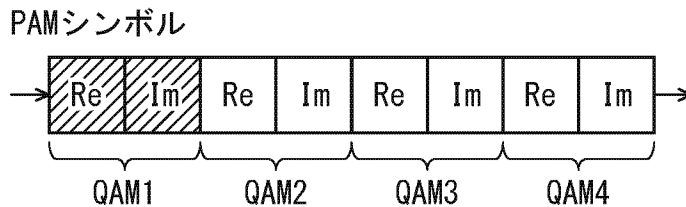
(b)



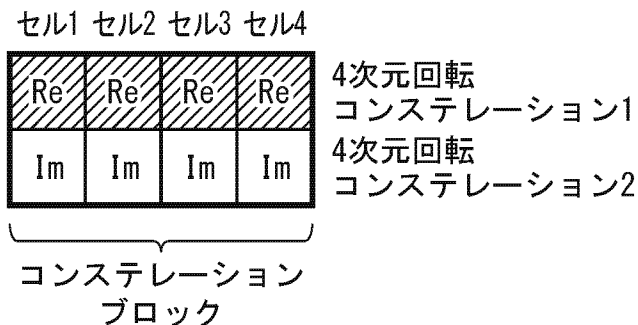
(c)



(d)



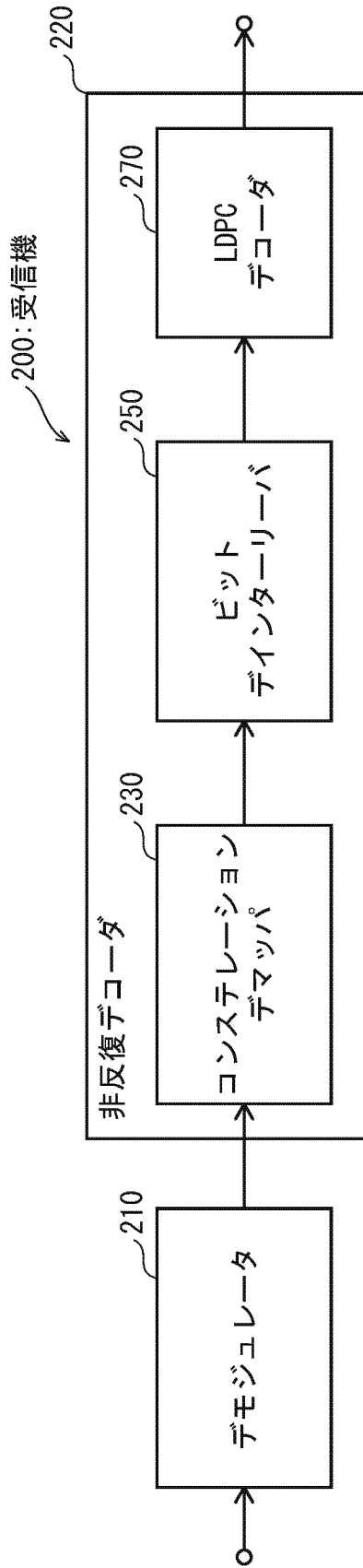
(e)



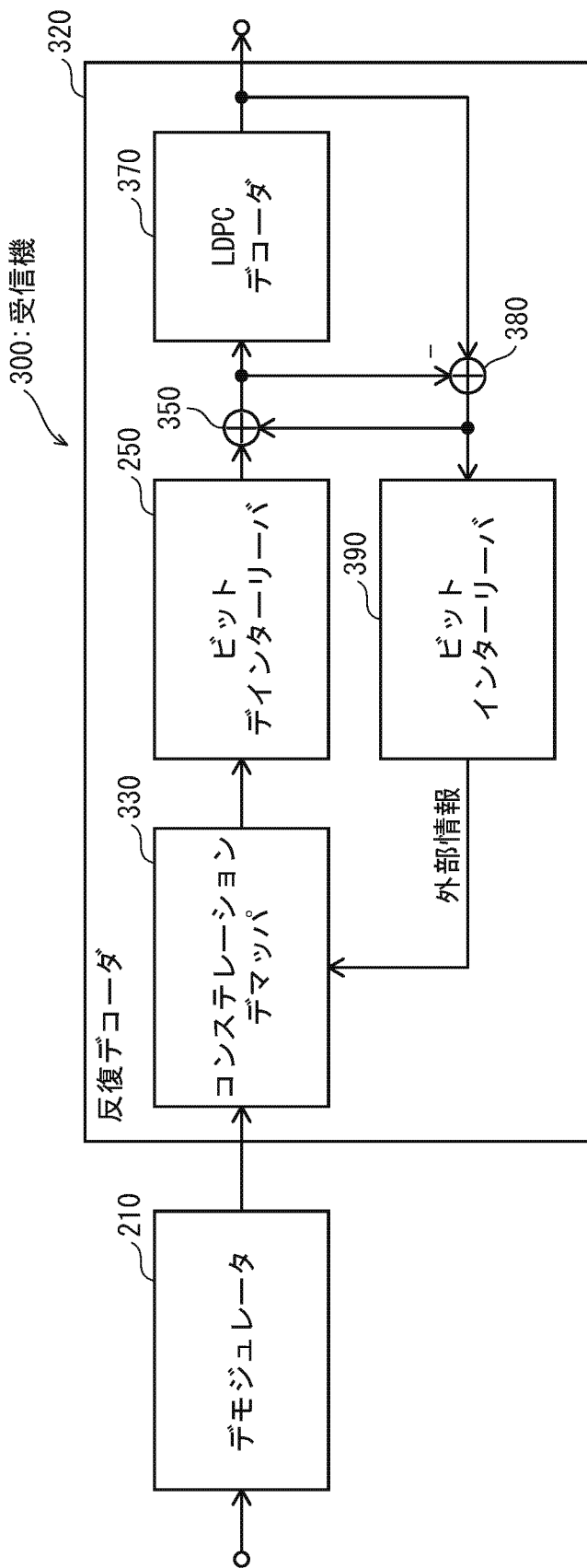




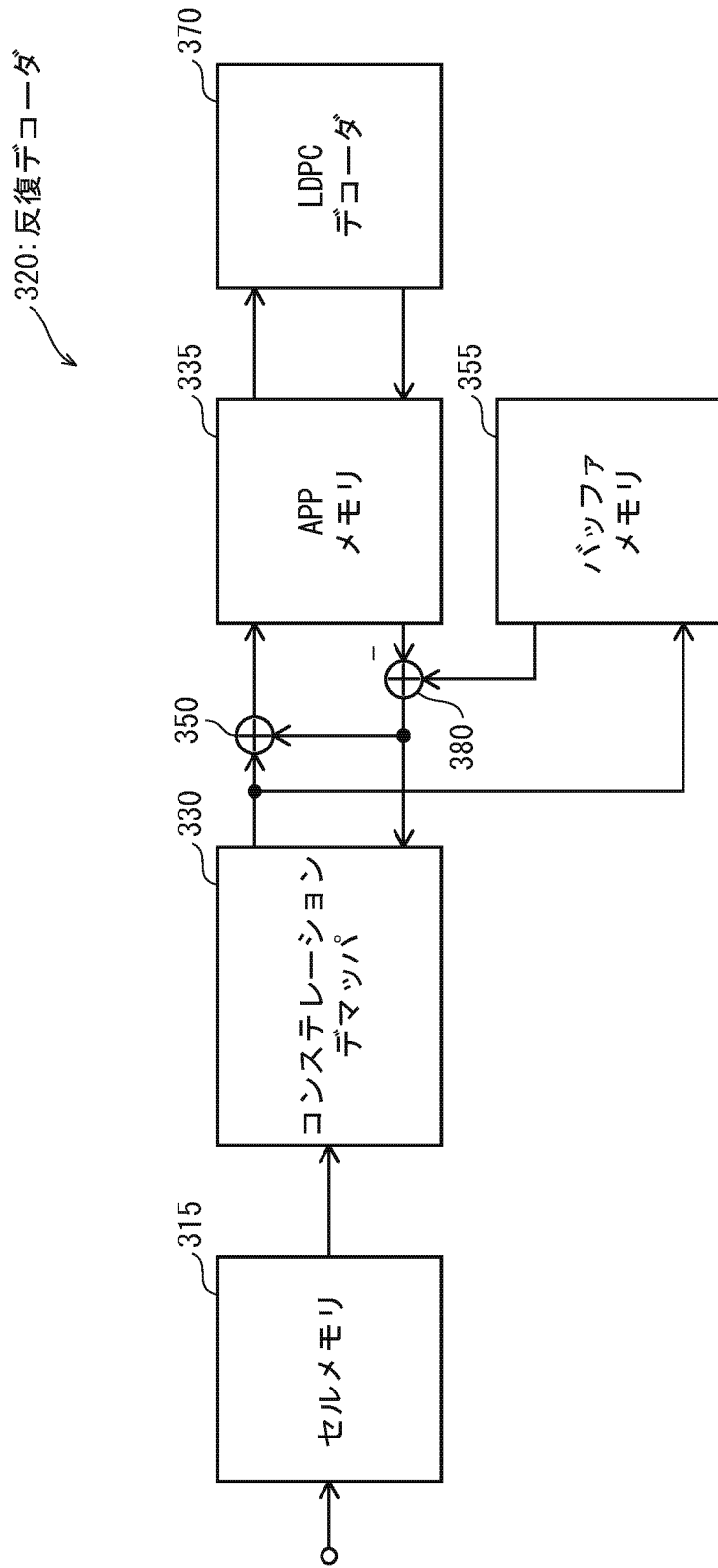
[図10A]



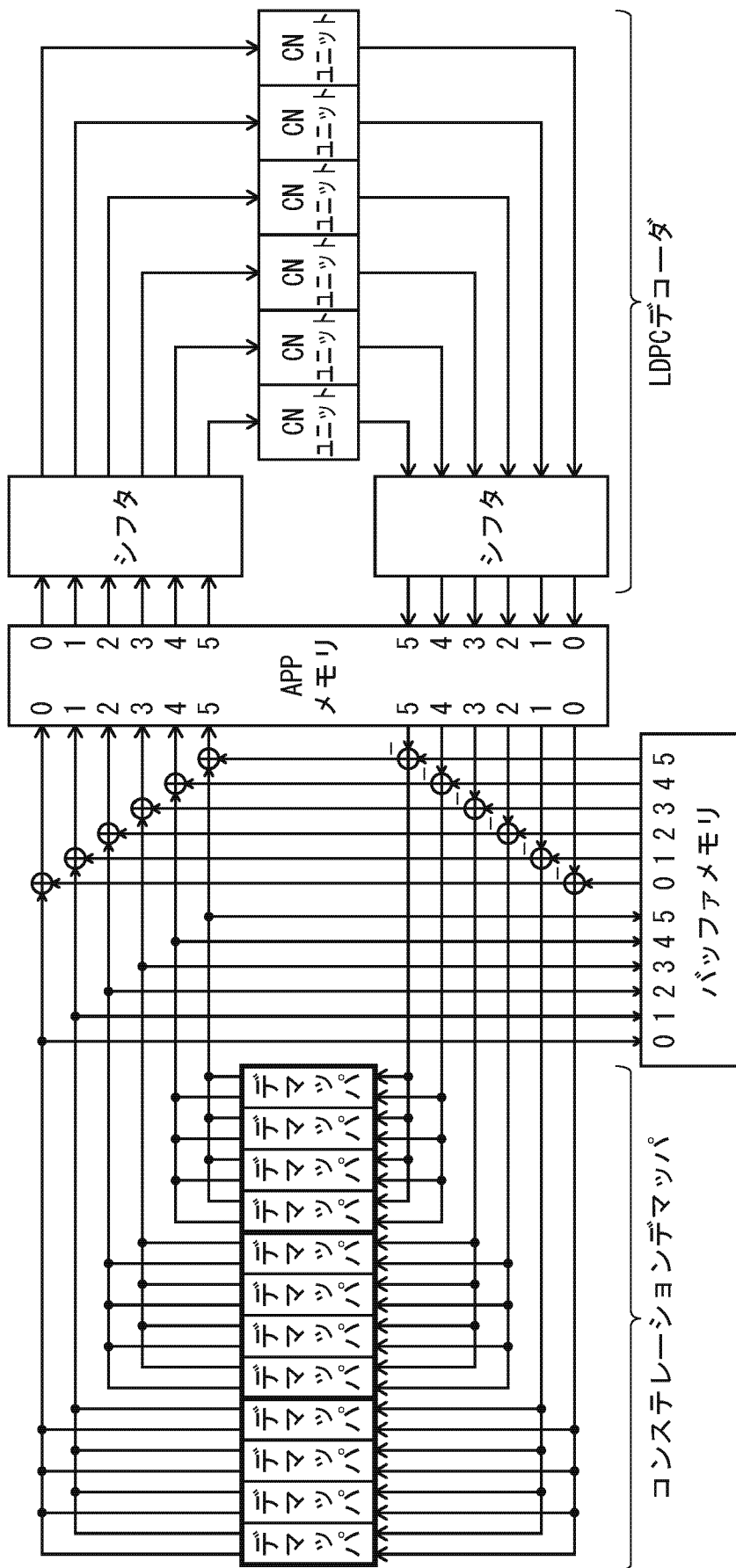
[図10B]



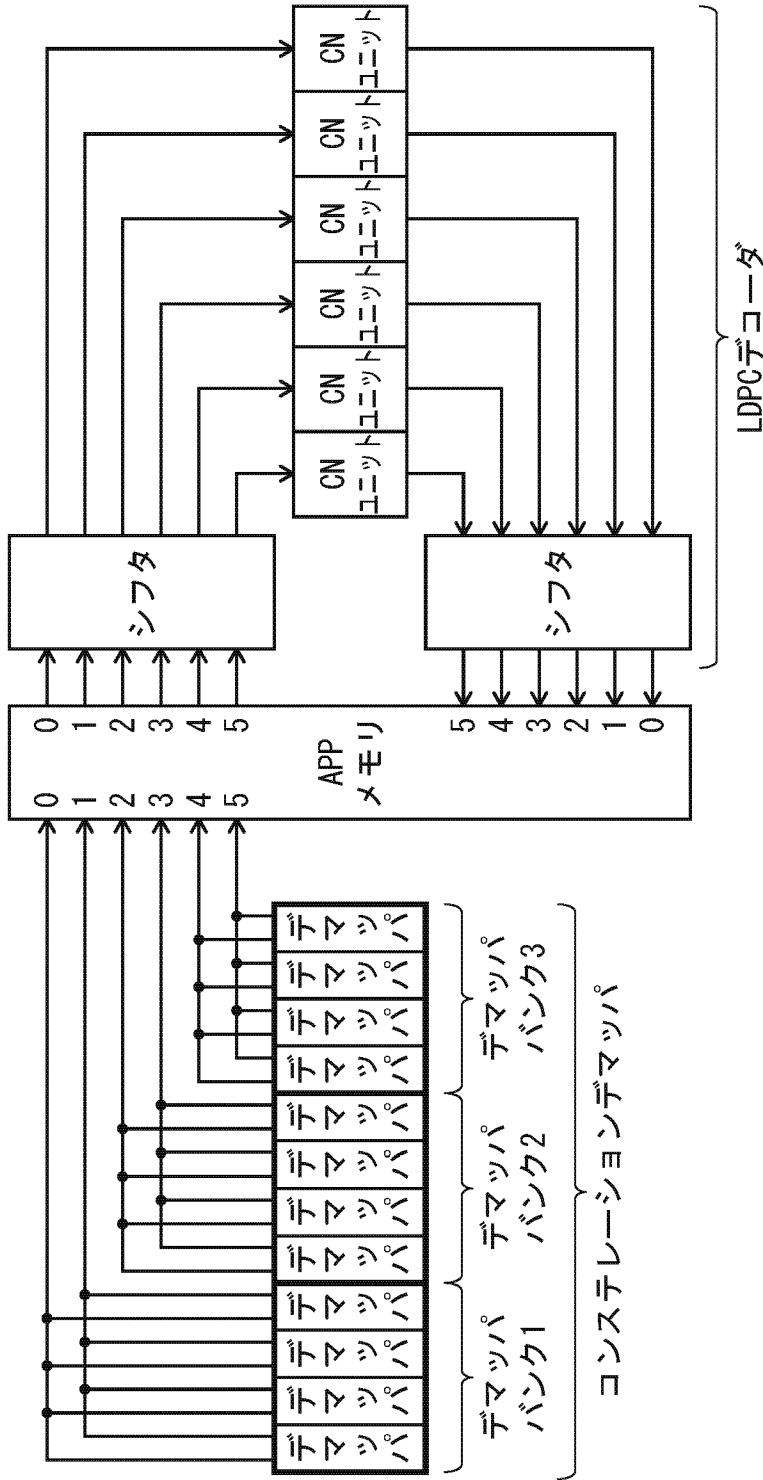
[図11]



[図12]



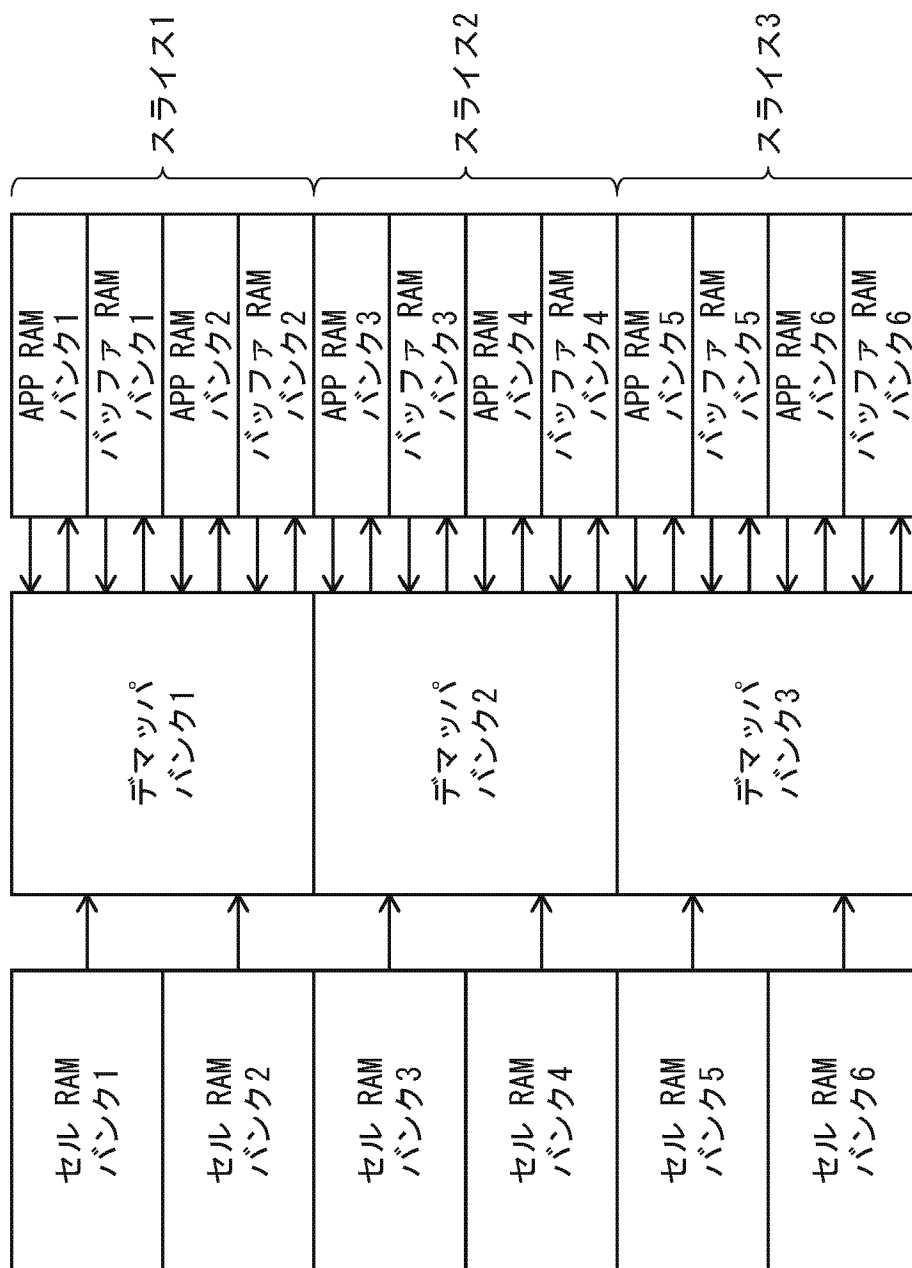
[図13]



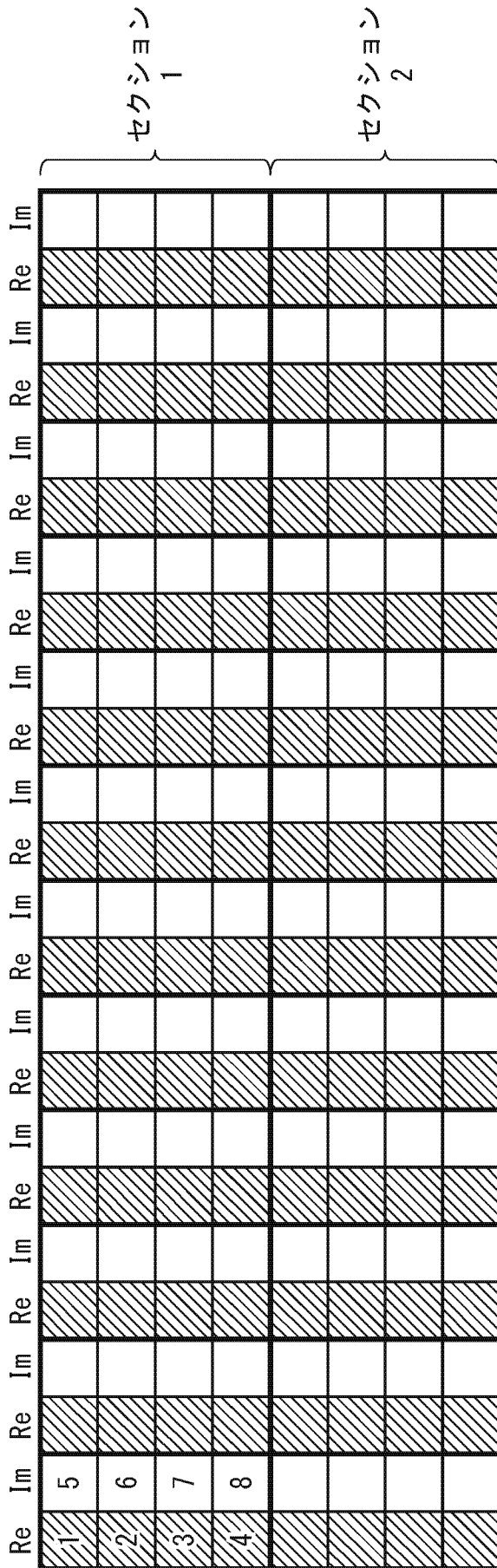




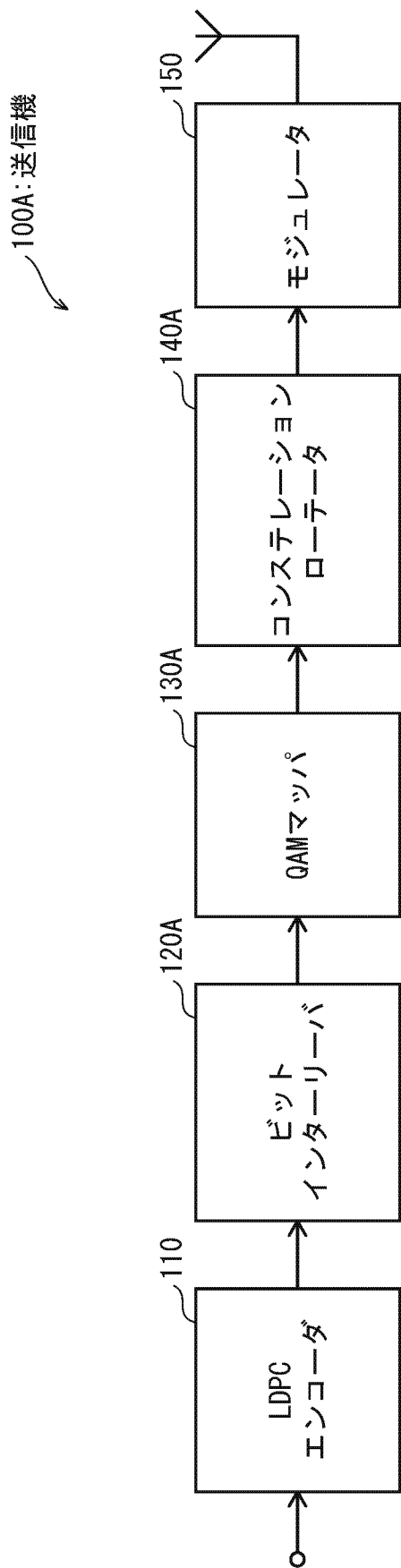
[図16]



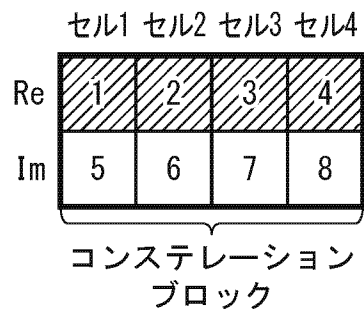
[図17]



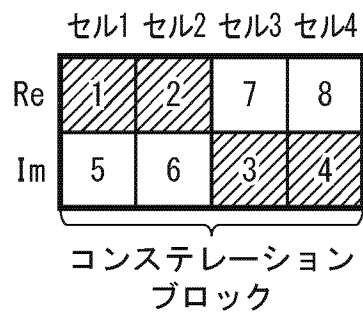
[図18]



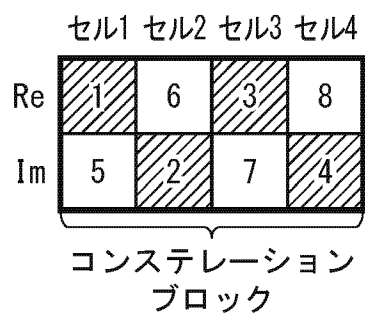
[図19A]



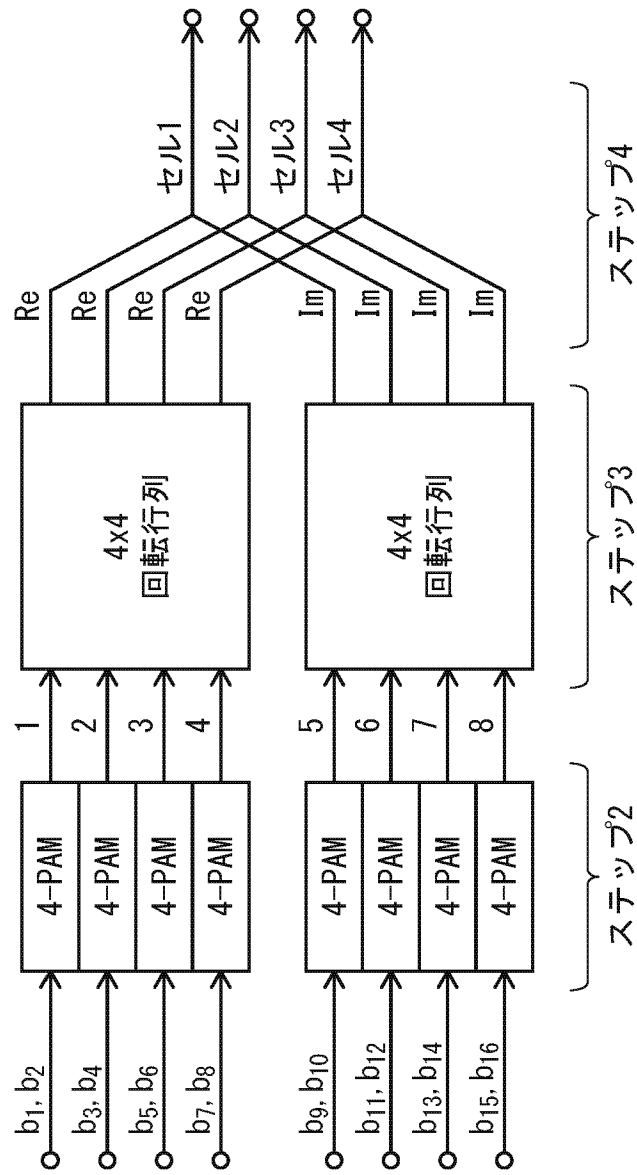
[図19B]



[図19C]

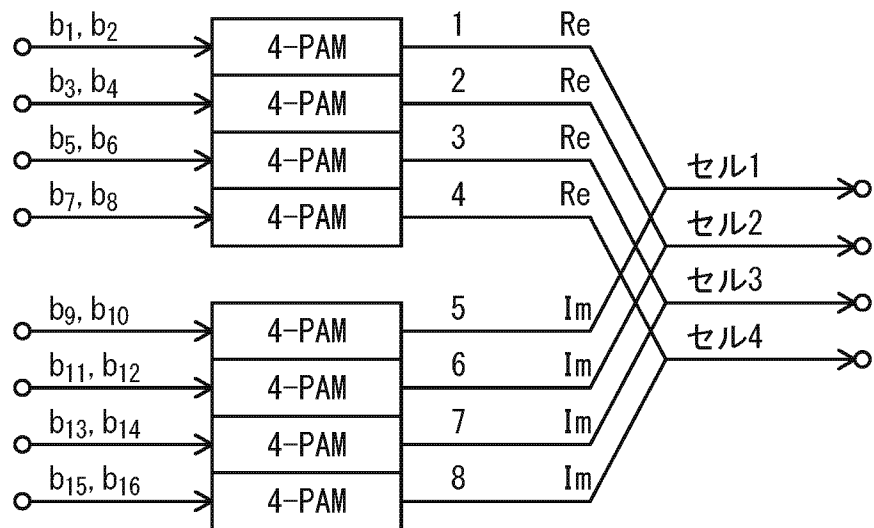


[図20]

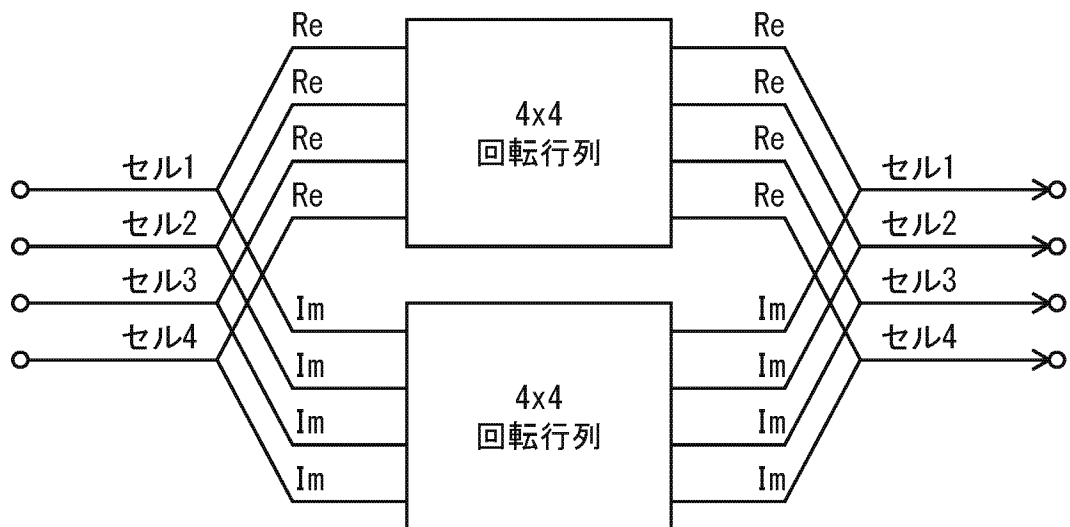


[図21]

(a)



(b)

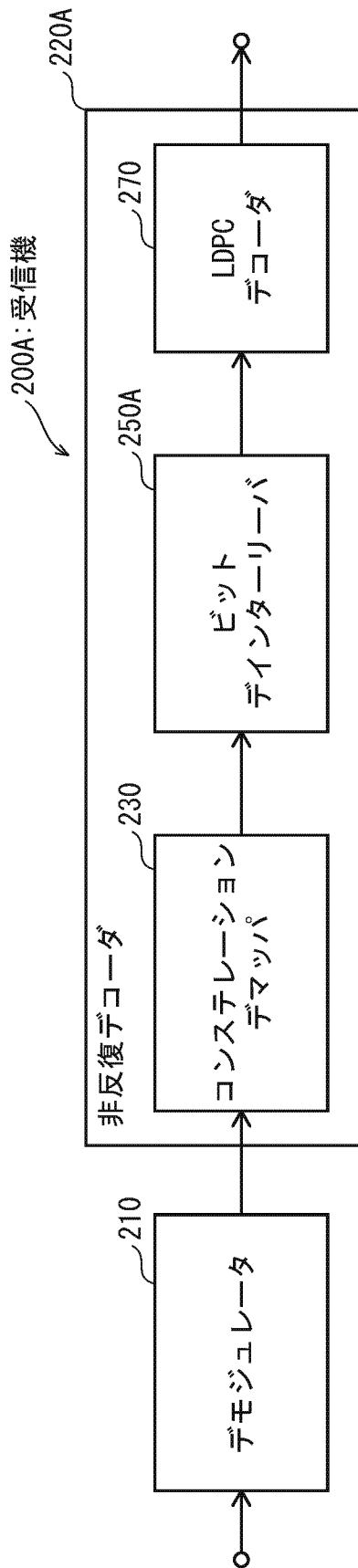


[図22]

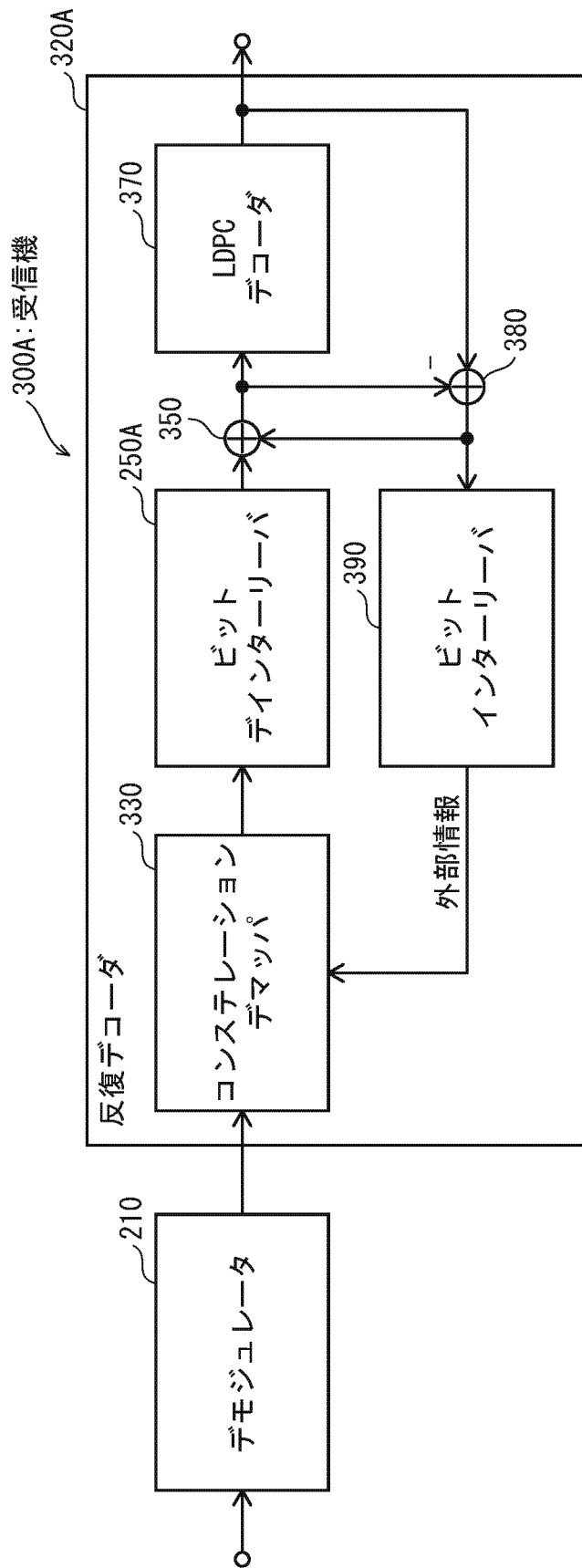
Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im	Re	Im
1	5	9	13	17	21	25	29	33	37	41	45	49	53	57	61	65	69	73	77	81	85	89	93
2	6	10	14	18	22	26	30	34	38	42	46	50	54	58	62	66	70	74	78	82	86	90	94
3	7	11	15	19	23	27	31	35	39	43	47	51	55	59	63	67	71	75	79	83	87	91	95
4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64	68	72	76	80	84	88	92	96

セクション  
1

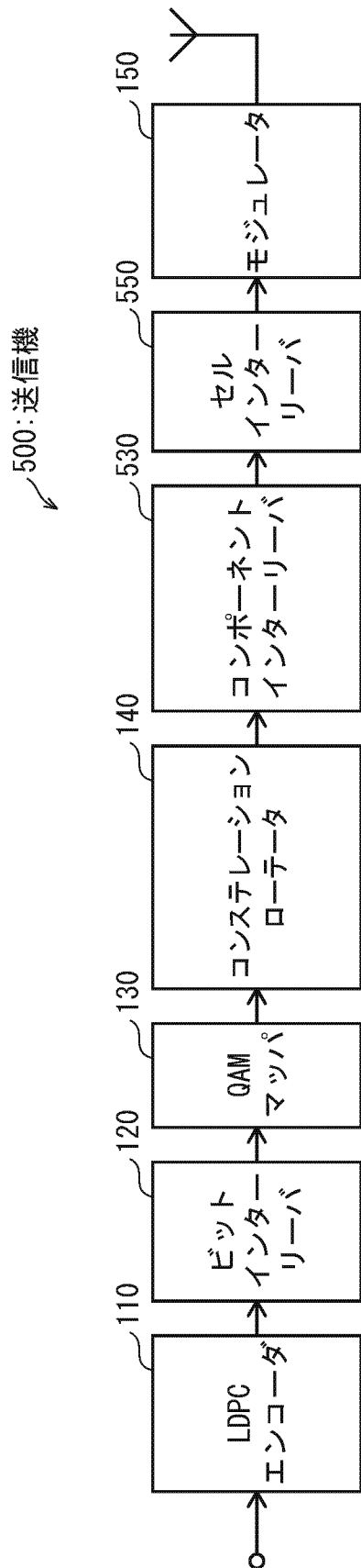
[図23A]



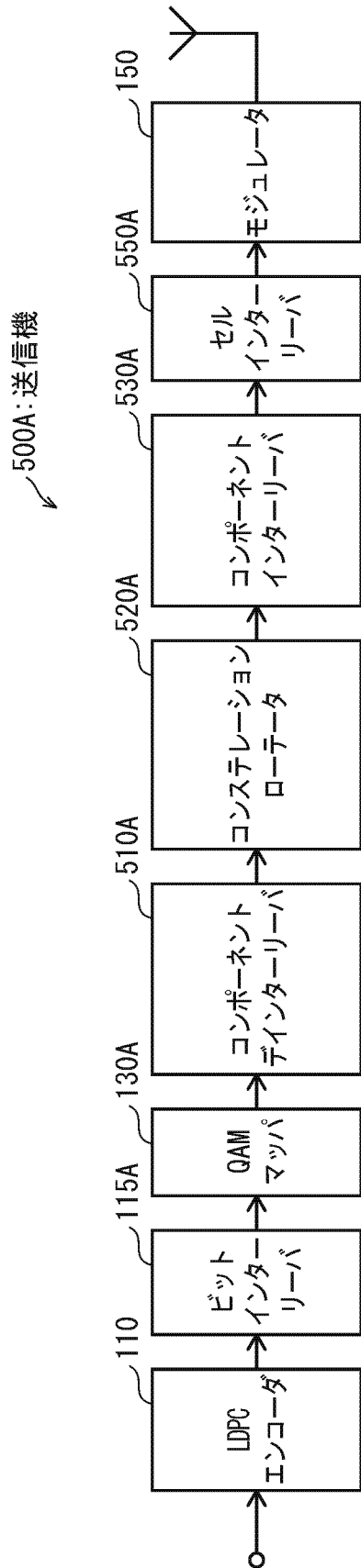
[図23B]



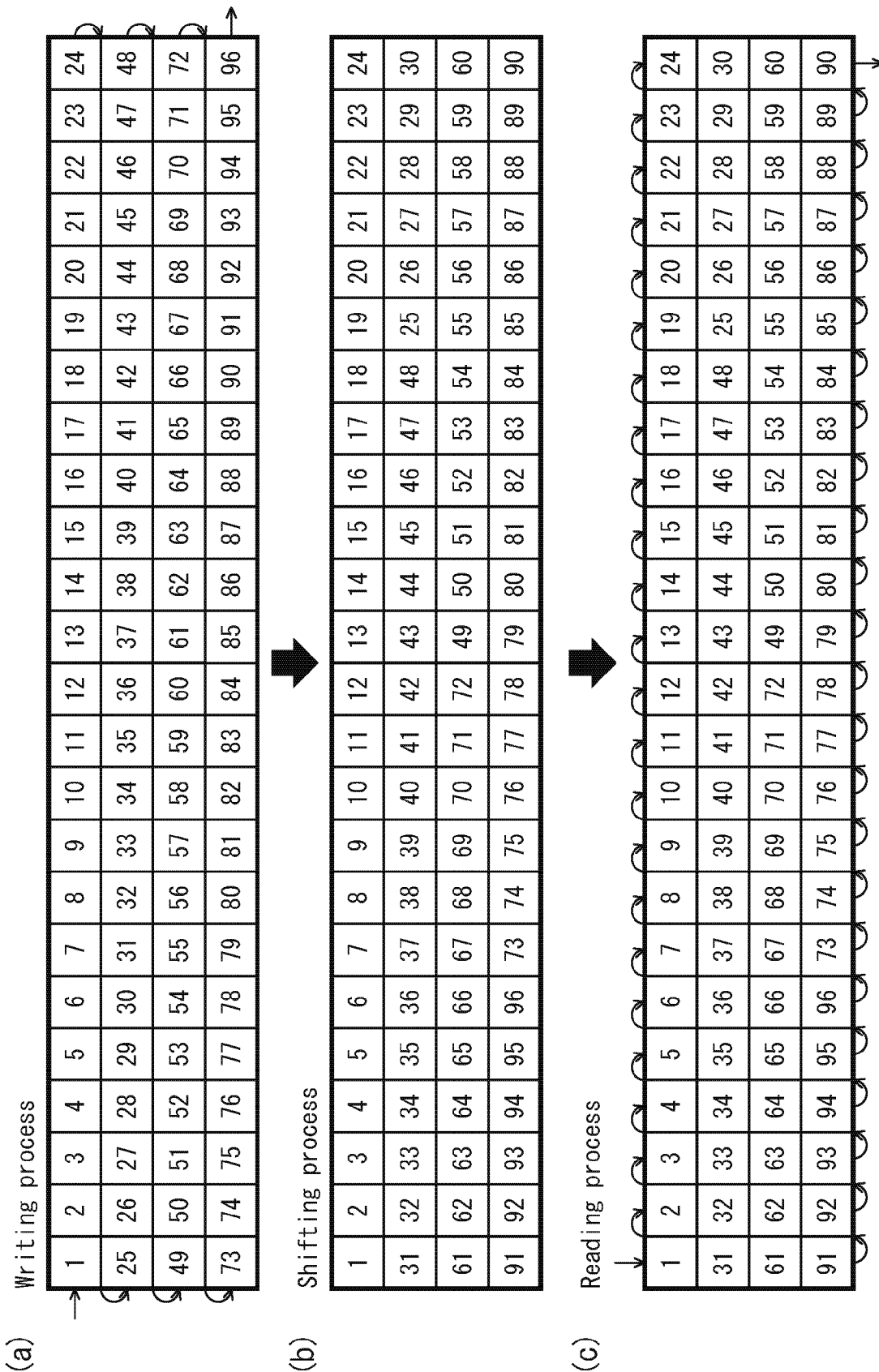
[図24]



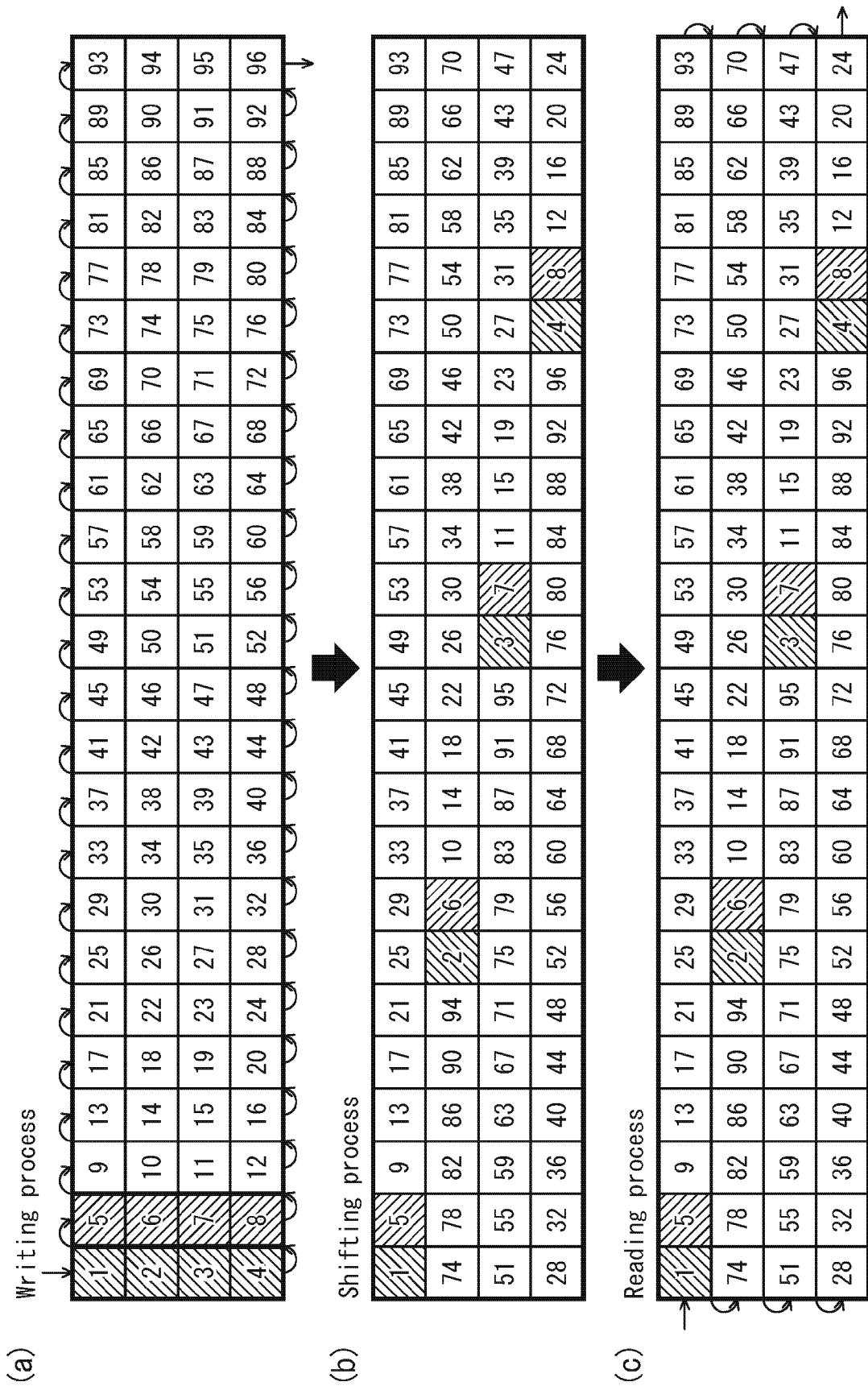
[図25]



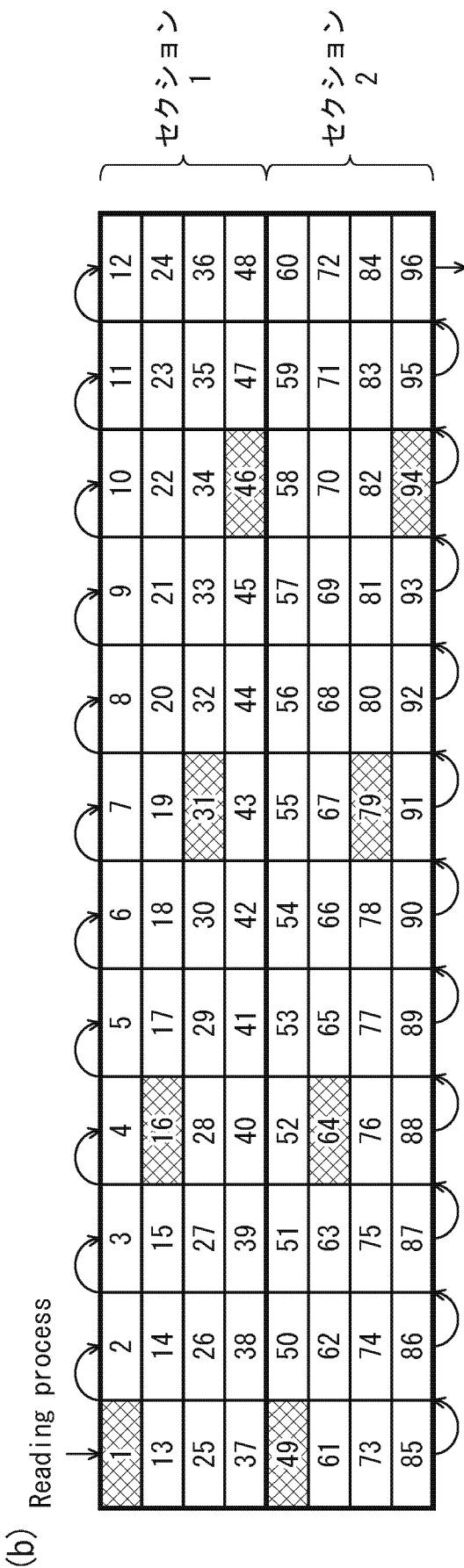
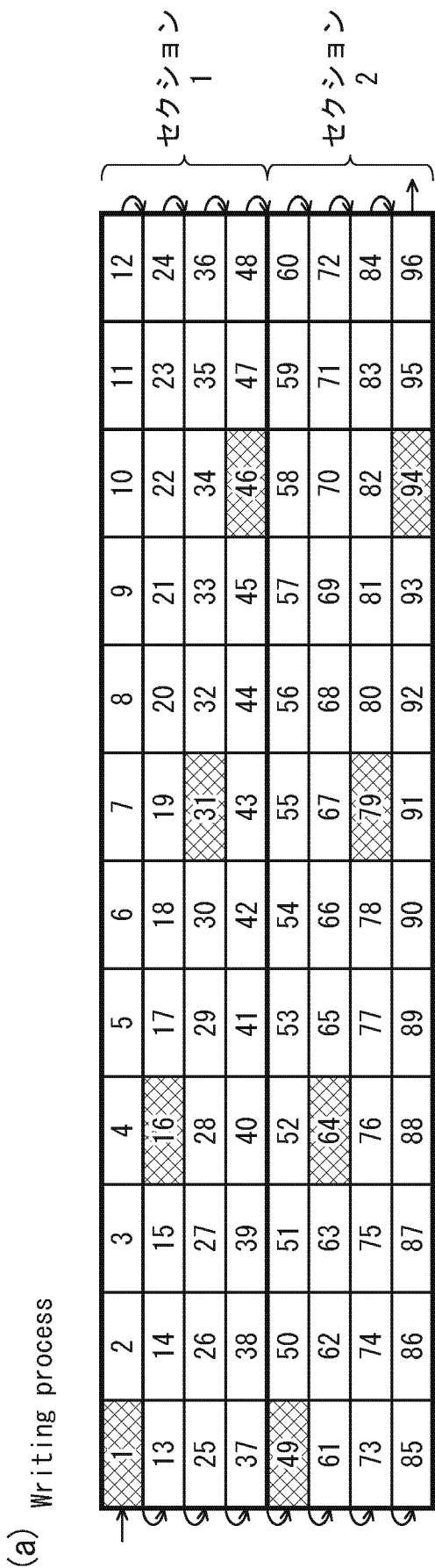
[図26]



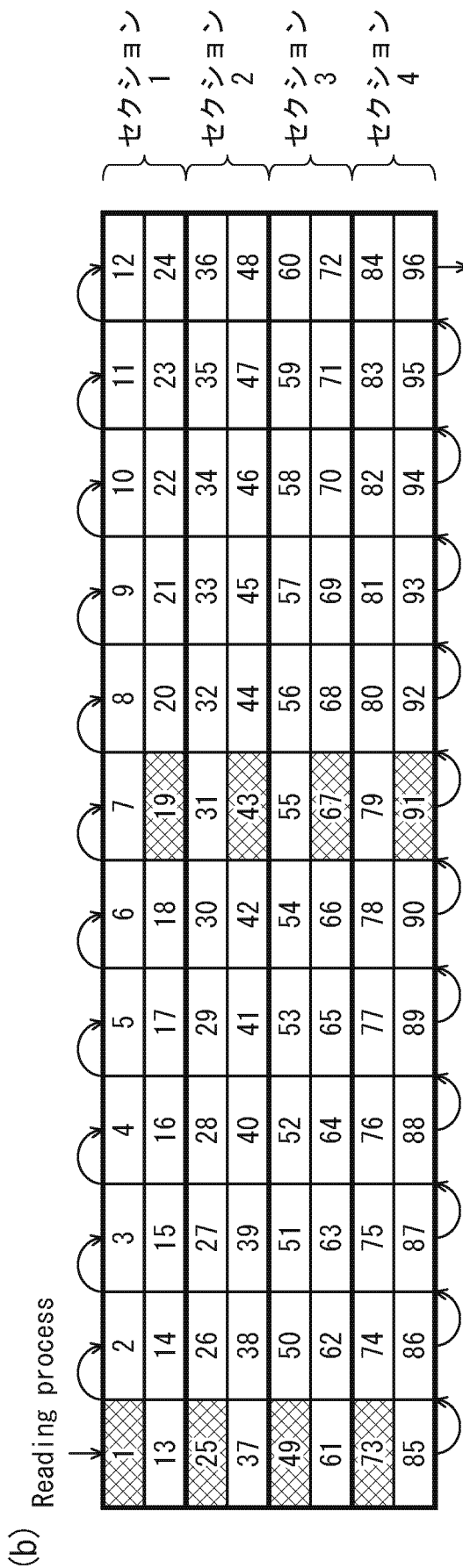
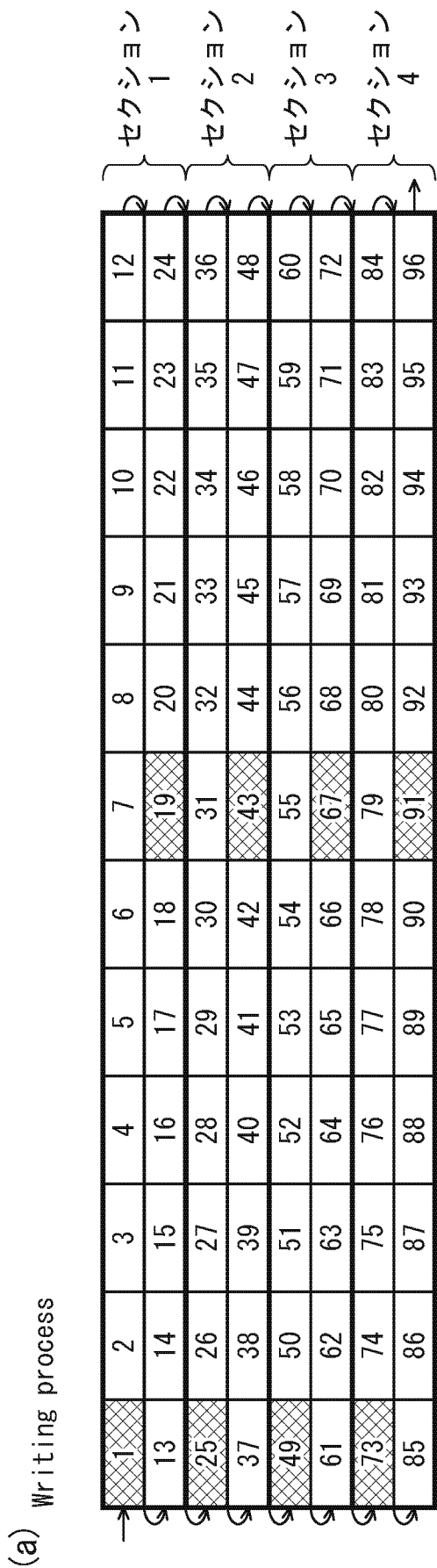
[図27]



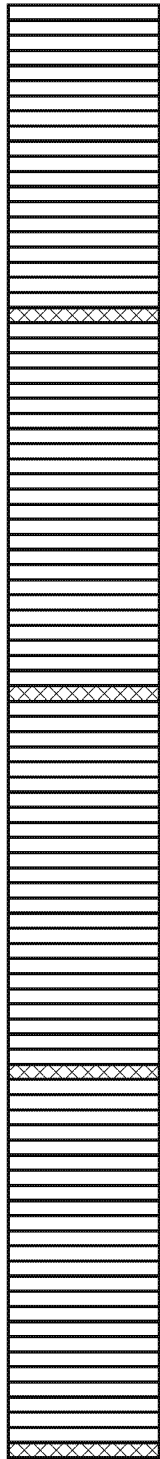
[図28]



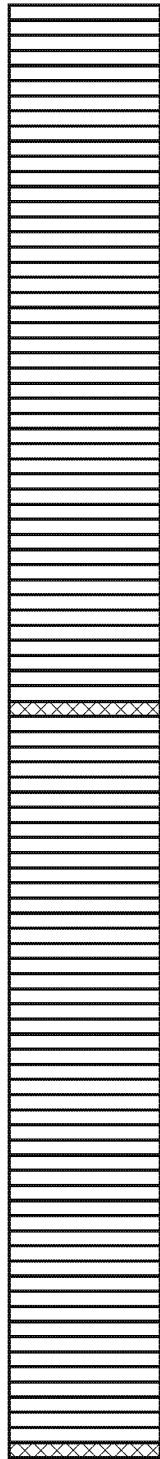
[図29]



[図30]

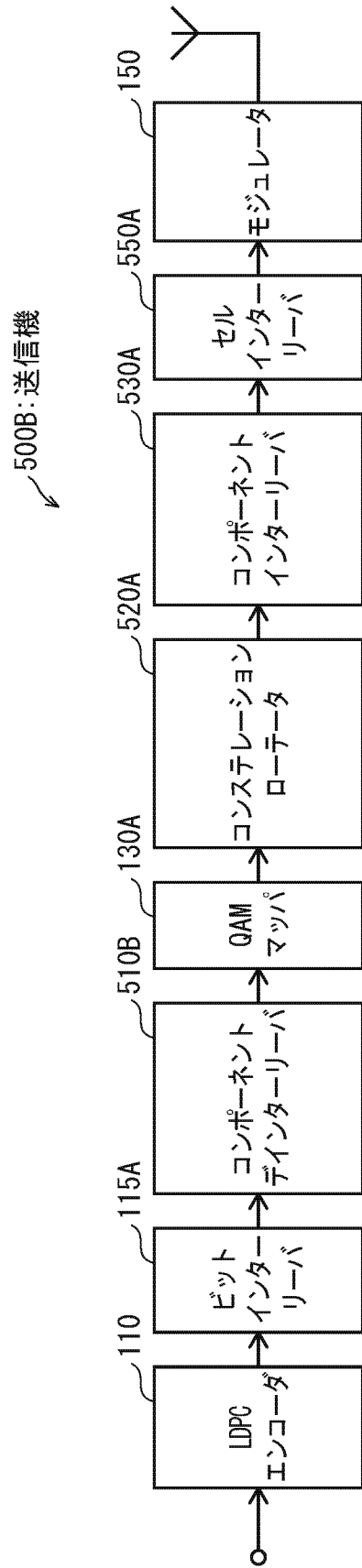


(a)

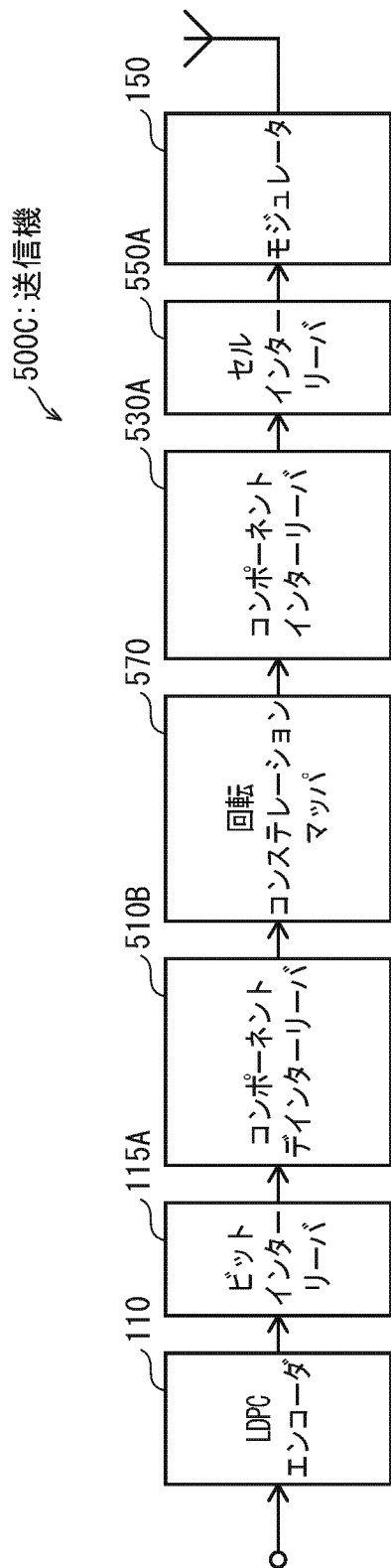


(b)

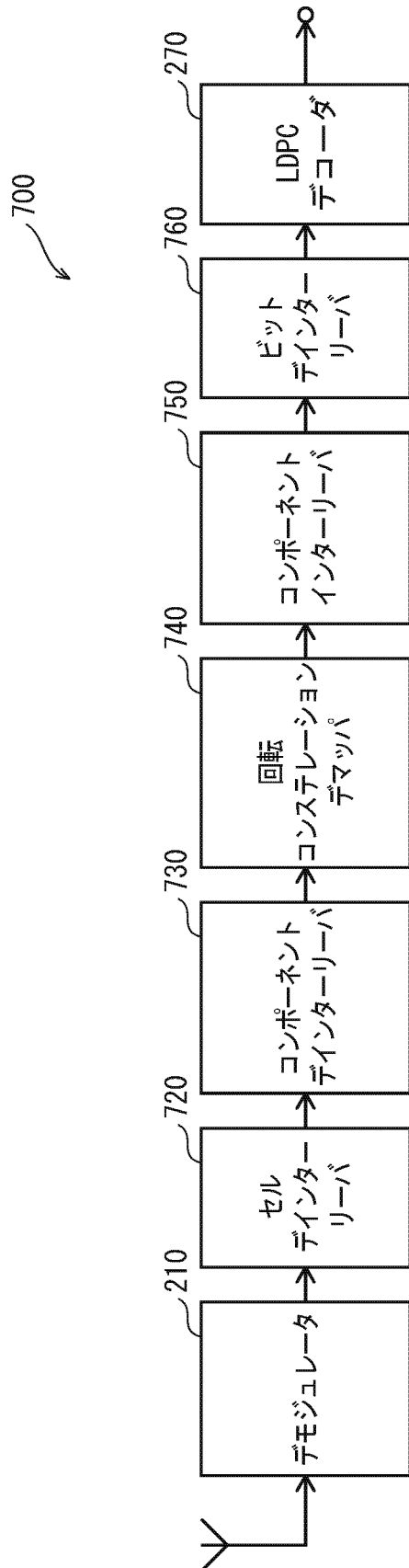
[図31A]



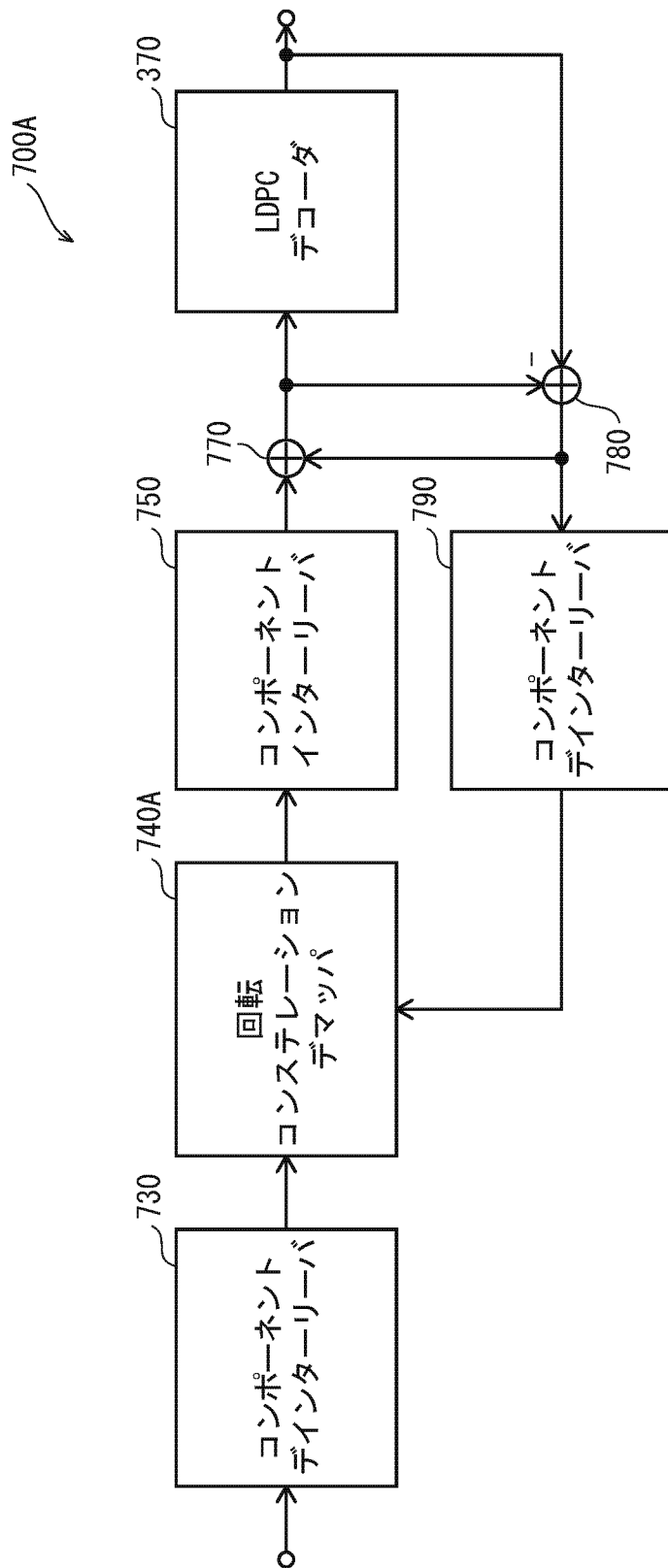
[図31B]



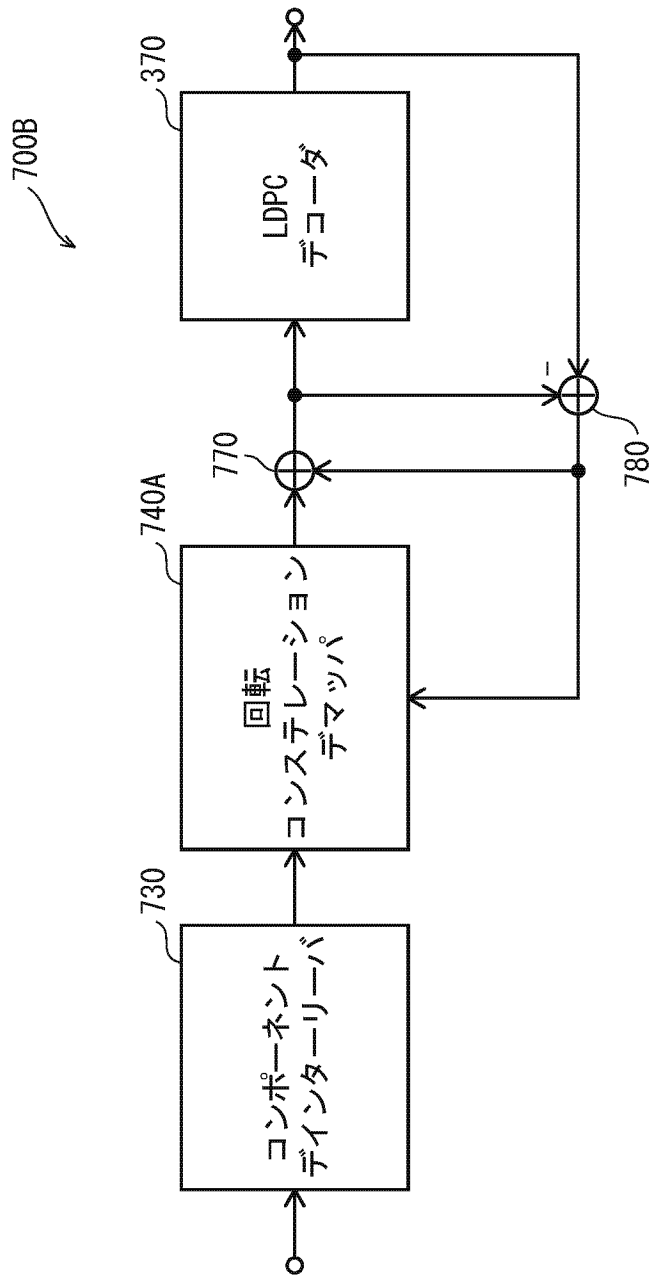
[図32]



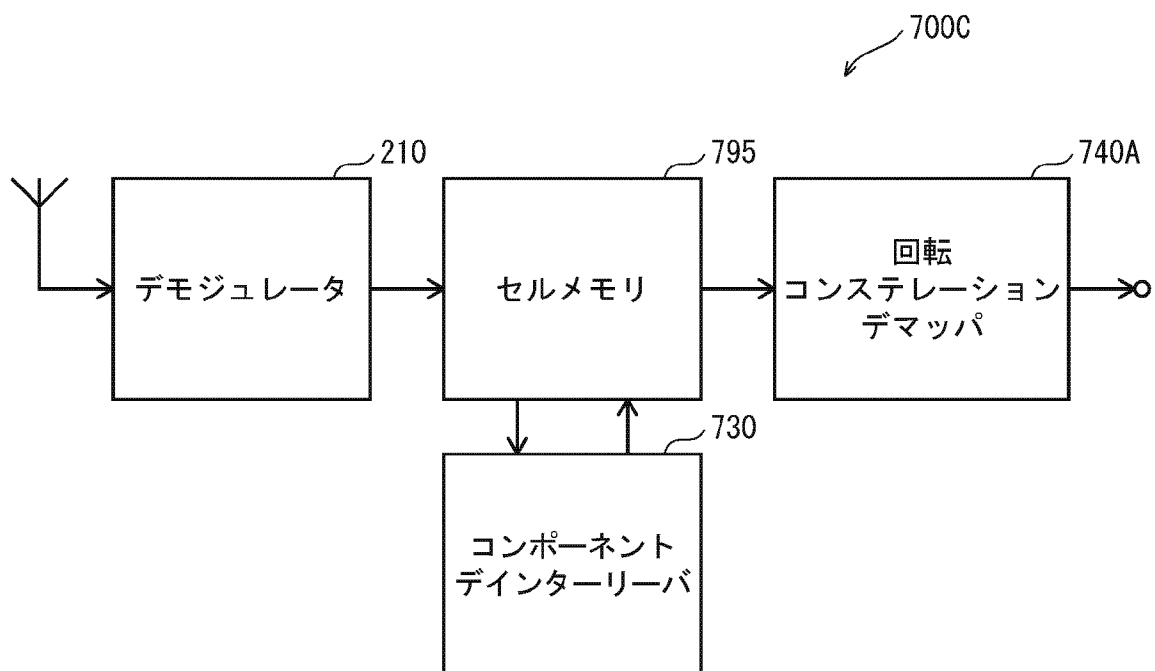
[図33A]



[図33B]



[図33C]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2013/004551

**A. CLASSIFICATION OF SUBJECT MATTER**  
H03M13/19(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H03M13/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
IEEE Xplore, CiNii

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/098984 A1 (Sony Corp.), 26 July 2012 (26.07.2012), fig. 7, 27 & JP 2012-151655 A	1-19
A	JP 2011-514090 A (Rai Radiotelevisione Italiana S.p.A.), 28 April 2011 (28.04.2011), paragraphs [0012] to [0045]; fig. 4, 5 & US 2011/0103502 A1 & EP 2248265 A & EP 2254249 A1 & EP 2254250 A1 & WO 2009/109830 A1 & IT TO20080154 A & IT TO20080173 A & KR 10-2010-0136480 A & CN 101971503 A & IT TO20080154 A1	1-19

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 August, 2013 (20.08.13)	Date of mailing of the international search report 27 August, 2013 (27.08.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/004551

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Douillard, C., The Bit Interleaved coded Modulation module for DVB-NGH; Enhanced features for mobile reception, Telecommunications (ICT), 2012 19th International Conference on, 2012.04.25	1-19
A	Digital Video Broadcasting (DVB); Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2), ESTI EN 302 755, pp.45-50, 2012.04.12	1-19
A	JP 4788650 B2 (Sony Corp.), 29 July 2011 (29.07.2011), paragraphs [0111] to [0122]; fig. 20 & JP 2008-278189 A & US 2008/0270876 A1	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M13/19(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M13/19		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) IEEE Xplore, CiNii		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/098984 A1 (ソニー株式会社) 2012.07.26, 第7図、第27図 & JP 2012-151655 A	1-19
A	JP 2011-514090 A (ライ・ラディオテレヴィシオーネ・イタリアー ナ・ソシエタ・ペル・アチオニ) 2011.04.28, 段落【0012】-【0045】、第4図、第5図 & US 2011/0103502 A1 & EP 2248265 A & EP 2254249 A1 & EP 2254250 A1 & WO 2009/109830 A1 & IT T020080154 A	1-19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 20.08.2013	国際調査報告の発送日 27.08.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 岡 裕之 電話番号 03-3581-1101 内線 3556	5 K 5380

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& IT T020080173 A & KR 10-2010-0136480 A & CN 101971503 A & IT T020080154 A1	
A	Douillard, C., The Bit Interleaved coded Modulation module for DVB-NGH; Enhanced features for mobile reception, Telecommunications(ICT), 2012 19th International Conference on, 2012.04.25	1-19
A	Digital Video Broadcasting(DVB); Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system(DVB-T2), ESTI EN 302 755, pp.45-50, 2012.04.12	1-19
A	JP 4788650 B2 (ソニー株式会社) 2011.07.29, 段落【0111】-【0122】、第20図 & JP 2008-278189 A & US 2008/0270876 A1	1-19