

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96106007

※申請日期：96.2.16

※IPC 分類：H01L 29/14, 23/48, 21/50

一、發明名稱：(中文/英文)

(2006.01)

感測式半導體裝置及其製法

SENSOR-TYPE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

矽品精密工業股份有限公司

SILICONWARE PRECISION INDUSTRIES CO., LTD.

代表人：(中文/英文) 林文伯 / LIN, WEN-PO

住居所或營業所地址：(中文/英文)

台中縣潭子鄉大豐路三段 123 號

No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R. O. C.

國籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 詹長岳 / CHAN, CHANG YUEH

2. 黃建屏 / HUANG, CHIEN PING

3. 張澤文 / CHANG, TSE-WEN

4. 黃致明 / HUANG, CHIH-MING

5. 蕭承旭 / HSIAO, CHENG-HSU

國籍：(中文/英文) 1. 至 5. 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種感測式半導體裝置及其製法，尤指一種晶圓級晶片尺寸封裝(WLCSP)之感測式半導體裝置及其製法。

【先前技術】

傳統之影像感測式封裝件(Image sensor package)主要係將感測式晶片(Sensor chip)接置於一晶片承載件上，並透過錫線加以電性連接該感測式晶片及晶片承載件後，於該感測式晶片上方封蓋住一玻璃，以供影像光線能為該感測式晶片所擷取。如此，該完成構裝之影像感測式封裝件即可供系統廠進行整合至如印刷電路板(PCB)等外部裝置上，以供如數位相機(DSC)、數位攝影機(DV)、光學滑鼠、及行動電話等各式電子產品之應用。

同時隨著資訊傳輸容量持續擴增，以及電子產品微小化與可攜式的發展趨勢，導致一般積體電路之高輸入／輸出(I/O)、高散熱、及尺寸縮小化的需求更加受到重視，亦促使積體電路之封裝型態朝向高電性及小尺寸之方向演進，因此，業界逐發展出一種晶圓級晶片尺寸封裝(Wafer-Level Chip Scale Package, WLCSP)之感測式半導體裝置，藉以使完成封裝之半導體裝置僅微大於整合其中之感測式晶片尺寸，進而有效應用於小型化之電子產品中。

請參閱第 1A 至 1E 圖，美國專利 US6,646,289 所揭示之感測式半導體裝置及其製法示意圖，其主要係提供一具

複數感測晶片 10 之晶圓 10A，以於相鄰感測晶片 10 之鍍墊 101 間形成延伸線路 11(如第 1A 圖所示)；再將一玻璃 12 透過一黏著層 13 而黏置於該延伸線路 11 上(如第 1B 圖所示)；接著薄化該晶圓 10A，並於該晶圓 10A 背面黏置一覆蓋層 14 後，再對應相鄰感測晶片 10 間以切割或蝕刻等方式形成一穿過該覆蓋層 14、晶圓 10A、延伸線路 11 及黏著層 13 而內凹至該玻璃 12 之傾斜槽口 15(如第 1C 圖所示)；於該傾斜槽口 15 表面及對應該傾斜槽口附近之覆蓋層 14 表面形成金屬繞線 16，並使該金屬繞線 16 電性連接至該延伸線路 11(如第 1D 圖所示)；之後於該覆蓋層 14 表面之金屬繞線 16 上植接鍍球 17，並沿各該感測晶片 10 間進行切割作業，以製得晶圓級晶片尺寸封裝之感測式半導體裝置(如第 1E 圖所示)。另美國專利 US6,777,767 亦揭示出相似之技術。

惟在前述之感測式半導體裝置中，由於先前自該晶圓背面形成傾斜槽口關係，因此在切割作業後該半導體裝置側面係呈現傾斜切角形態，亦即其垂直剖面係呈倒梯形(平面寬度由上逐漸向下縮短)結構，因而形成於該半導體裝置側面之金屬繞線與晶片頂面鍍墊之延伸線路連接處呈銳角接觸，而易發生應力集中造成連接處斷裂問題，再者，於製程中係從晶圓背部形成傾斜槽口，因不易對正至正確位置，易造成傾斜槽口之設置位置偏移，導致金屬繞線與延伸線路無法連接，甚至毀損到晶片。

另外，因其金屬繞線係外露於半導體裝置外，故易受

外界污染而影響產品信賴性，且易於在與外部裝置(如印刷電路板)作電性連接時，於鉚球迴鉚時造成短路問題。再者，其製程中需先後形成延伸線路及金屬繞線，導致製程複雜及成本高等問題。

因此，如何設計一種可避免線路發生斷裂及外露問題之晶圓級晶片尺寸感測式半導體裝置及其製法，同時復可避免習知技術中從晶圓背面切割之對位誤差而導致線路電性連接不良及晶片毀損問題，確為相關領域上所需迫切面對之課題。

【發明內容】

鑑於前述習知技術之缺失，本發明之主要目的係在提供一種感測式半導體裝置及其製法，俾可避免線路連接處因夾角尖銳發生斷裂問題。

本發明之又一目的係在提供一種感測式半導體裝置及其製法，俾可避免線路外露而受外界污染影響產品信賴性，及後續與外界電性連接之可靠性問題。

本發明之再一目的係在提供一種感測式半導體裝置及其製法，俾可避免習知技術中從晶圓背面切割之對位誤差而導致線路電性連接不良及晶片毀損問題。

為達前述及其他目的，本發明之感測式半導體裝置製法主要係包括：提供一包含有複數感測晶片之晶圓，該感測晶片具有相對之主動面及非主動面，該主動面上設有感測區及複數鉚墊，以於相鄰感測晶片主動面之鉚墊間形成複數凹槽；於該凹槽中形成導電線路，以電性連接相鄰晶

片主動面之鐳墊；於該感測晶片上接置透光體以遮蓋該晶片感測區；薄化該感測晶片非主動面至該凹槽，以使該導電線路相對外露於該非主動面；沿各該感測晶片間進行切割，以形成複數側邊形成有導電線路之感測晶片；將該些感測晶片接置於呈陣列排列有複數基板之基板模組片上，並使該感測晶片之導電線路電性連接至該基板；於該基板模組片上對應各感測晶片間填充絕緣材料以包覆該感測晶片且外露出該透光體；以及沿該基板間進行切割，以形成複數感測式半導體裝置。

透過前述之製法，本發明復揭示一種感測式半導體裝置，係包括：基板；感測晶片，係具有相對之主動面及非主動面，且於該主動面上形成有一感測區與複數鐳墊，及於該感測晶片側邊形成有延伸電性連接至該鐳墊之導電線路，以供該感測晶片之導電線路透過一導電材料而電性連接至該基板；透光體，係形成於該感測晶片之主動面上以遮蓋該感測區；以及絕緣材料，係覆蓋該導電線路外露部分。

因此，本發明之感測式半導體裝置及其製法主要係於一包含有複數感測晶片之晶圓上，對應相鄰感測晶片主動面之鐳墊間形成複數凹槽，並於該凹槽中形成電性連接相鄰晶片主動面鐳墊之導電線路，再薄化該感測晶片非主動面至該凹槽，以使該導電線路相對外露於該非主動面，而不同於習知技術從晶片非主動面(晶圓背部)形成穿過晶圓、電性連接至晶片鐳墊之延伸線路、黏著層而內凹至該

玻璃之傾斜槽口，再於該傾斜槽口表面及對應該傾斜槽口附近之覆蓋層表面形成電性連接至延伸線路之金屬繞線，以避免習知半導體裝置側面係呈現傾斜切角形態，因而形成於該半導體裝置側面之金屬繞線與晶片鉚墊之延伸線路連接處呈銳角接觸，而發生應力集中造成連接處斷裂問題，以及因習知製程中係從晶圓背部形成傾斜槽口，不易對正正確之位置，造成槽口位置偏移，導致金屬繞線與延伸線路無法連接，甚至毀損到晶片等問題；接著，本發明即可沿各該感測晶片間進行切割，以形成複數側邊具有導電線路之感測晶片，再將該些感測晶片接置於呈陣列排列有複數基板之基板模組片上，並使該感測晶片之導電線路電性連接至該基板，且於該基板模組片上對應各感測晶片間填充絕緣材料以覆蓋該導電線路，及沿該基板間進行切割，以形成複數感測式半導體裝置，俾可避免線路外露而受外界污染影響產品信賴性，及後續與外界電性連接之可靠性問題。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。

請參閱第 2A 至 2I 圖，係為本發明之感測式半導體裝置及其製法第一實施例之示意圖。且以下將以採用批次方式大量製造生產本發明之感測式半導體裝置作為說明。

如第 2A 圖所示，提供一包含有複數感測晶片 20 之晶

圖 20A，該感測晶片 20 具有相對之主動面及非主動面，該主動面上設有感測區 202 及複數鐳墊 201，以於相鄰感測晶片 20 主動面之鐳墊 201 間形成複數凹槽 203，其中該凹槽 203 係可呈 V 字形狀，當然亦可呈現其它形狀，如 U 型槽。

如第 2B 及 2C 圖所示，其中第 2C 圖係為第 2B 圖之上視圖，利用如濺鍍(sputtering)或蒸鍍(vaporizing)等方式於該凹槽 203 中形成導電線路 21，以電性連接相鄰感測晶片 20 主動面之鐳墊 201，其中該導電線路 21 之材質係可為鈦/銅/鎳 (Ti/Cu/Ni)、鈦化鎢/金 (TiW/Au)、鋁/鎳化鈮/銅 (Al/NiV/Cu)、鈦/鎳化鈮/銅 (Ti/NiV/Cu)、鈦化鎢/鎳 (TiW/Ni)、鈦/銅/銅 (Ti/Cu/Cu)、鈦/銅/銅/鎳 (Ti/Cu/Cu/Ni) 等。

如第 2D 圖所示，於該感測晶片 20 上接置透光體 22 以遮蓋該晶片感測區 202，其中該透光體 22 例如為玻璃，其係透過一黏著層 23 而接置於該感測晶片 20 主動面上，並覆蓋該晶片 20 表面上之導電線路 21，藉以封閉並遮蓋該感測晶片 20 之感測區 202。

如第 2E 圖所示，薄化該感測晶片 20 非主動面至該凹槽 203，以使該凹槽 203 內之導電線路 21 相對外露於該感測晶片 20 之非主動面。

如第 2F 圖所示，沿各該感測晶片 20 間進行切割，以形成複數側邊形成有導電線路 21 之感測晶片，且該導電線路 21 係電性連接至該感測晶片 20 主動面之鐳墊 201。該

切割路徑係通過該透光體 22 及感測晶片 20。

如第 2G 圖所示，將該些感測晶片 20 接置於呈陣列排列有複數基板 30 之基板模組片 30A 上，並使該感測晶片 20 之導電線 21 路透過一如錫鉛(solder)之導電材料 31 而電性連接至該基板 30。

該基板模組片 30A 之基板 30 表面形成有複數電性接點 301，且於該電性接點 301 上設有如預錫鉛(pre-solder)之導電材料 31，以供該感測晶片透過一黏著層 32 而接置於該基板 30 上，並經迴錫(reflow)製程而使該預錫鉛之導電材料 31 錫接至該感測晶片 20 側邊之導電線路 21，進而使該感測晶片 20 電性連接至該基板 30。

如第 2H 圖所示，於該基板模組片 30A 上對應各感測晶片 20 間填充絕緣材料 33 以包覆該感測晶片 20 且外露出該透光體 22。

如第 2I 圖所示，沿該基板 30 間進行切割，以形成複數感測式半導體裝置；其中如對應該基板 30 為球柵陣列基板時，係可於該基板 30 表面未供接置感測晶片 20 之一側植設複數錫球(未圖示)，以供後續該感測式半導體裝置得以電性連接至外部裝置。

透過前述之製法，本發明復揭示一種感測式半導體裝置，係包括：基板 30；感測晶片 20，係具有相對之主動面及非主動面，於該主動面上形成有一感測區 202 與複數錫墊 201，且於該感測晶片 20 側邊形成有延伸電性連接至該錫墊 201 之導電線路 21，以供該感測晶片 20 之導電線路

21 透過一導電材料 31 而電性連接至該基板 30；透光體 22，係形成於該感測晶片 20 之主動面上以遮蓋該感測區 202；以及絕緣材料 33，係包覆該感測晶片 20 且外露出該透光體 22。

本發明之感測式半導體裝置中，該感測晶片之側邊係為由其主動面朝非主動面外擴之傾斜側邊，以形成剖面如正梯形之結構(平面寬度由上逐漸向下增加)，因此該感測晶片形成於側邊且延伸電性連接至其主動面鐳墊之導電線路，於彎折處係呈鈍角狀，不易發生應力集中造成連接處斷裂問題，如此即可解決習知技術所揭示之半導體裝置先自晶圓背面形成傾斜槽口，使其垂直剖面呈倒梯形結構(平面寬度由上逐漸向下縮短)所造成該半導體裝置側面之金屬繞線與晶片頂面鐳墊之延伸線路連接處呈銳角接觸，而易發生應力集中造成連接處斷裂問題。

因此，本發明之感測式半導體裝置及其製法主要係於一包含有複數感測晶片之晶圓上，對應相鄰感測晶片主動面之鐳墊間形成複數凹槽，並於該凹槽中形成電性連接相鄰晶片主動面鐳墊之導電線路，再薄化該感測晶片非主動面至該凹槽，以使該導電線路相對外露於該非主動面，而不同於習知技術從晶片非主動面(晶圓背部)形成穿過晶圓、電性連接至晶片鐳墊之延伸線路、黏著層而內凹至該玻璃之傾斜槽口，再於該傾斜槽口表面及對應該傾斜槽口附近之覆蓋層表面形成電性連接至延伸線路之金屬繞線，以避免習知半導體裝置側面係呈現傾斜切角形態，因而形

成於該半導體裝置側面之金屬繞線與晶片鐳墊之延伸線路連接處呈銳角接觸，而易發生應力集中造成連接處斷裂問題，以及因習知製程中係從晶圓背部形成傾斜槽口，不易對正至正確之位置，造成槽口位置偏移，導致金屬繞線與延伸線路無法連接，甚至毀損到晶片等問題；接著，本發明即可沿各該感測晶片間進行切割，以形成複數側邊具有導電線路之感測晶片，再將該些感測晶片接置於呈陣列排列有複數基板之基板模組片上，並使該感測晶片之導電線路電性連接至該基板，且於該基板模組片上對應各感測晶片間填充絕緣材料以覆蓋該導電線路，及沿該基板間進行切割，以形成複數感測式半導體裝置，俾可避免線路外露而受外界污染影響產品信賴性，及後續與外界電性連接之可靠性問題。

復請參閱第 3A 至 3F 圖，係為本發明之感測式半導體裝置及其製法另一實施例示意圖。本實施例中對應前述實施例中相同或相似元件係以相同符號表示，以簡化說明。

如 3A 及 3B 圖所示，提供一包含有複數感測晶片 20 之晶圓 20A，該晶片具有相對之主動面及非主動面，該主動面上設有感測區 202 及複數鐳墊 201，以於相鄰感測晶片 20 主動面之鐳墊 201 間形成複數凹槽 203A，其中該凹槽 203A 係可先以 V 型刀形成 V 字形狀，再利用直角型刀切割先前所形成 V 形凹槽底部，以形成如 Y 型之凹槽 203A。

如 3C 圖所示，於該凹槽 203A 中形成導電線路 21，

以電性連接相鄰感測晶片 20 主動面之鐳墊 201。

如 3D 圖所示，於該感測晶片上接置透光體 22 以使該透光體 22 封閉且遮蓋該晶片感測區 202。

復薄化該感測晶片 20 非主動面至該凹槽 203A，以使該凹槽 203A 內之導電線路 21 相對外露於該感測晶片 20 之非主動面。

如 3E 圖所示，沿晶片 20 間進行切割，以形成複數側邊形成有導電線路 21 之感測晶片 20，且該導電線路 21 係電性連接至該感測晶片 20 主動面之鐳墊 201，俾將該些感測晶片 20 接置於呈陣列排列有複數基板 30 之基板模組片 30A 上，並使該感測晶片 20 之導電線路 21 透過一如鐳錫之導電材料 31 而電性連接至該基板。

另外應特別注意者，係由於先前形成該感測晶片 20 側邊之導電線路 21 時，該導電線路 21 係位於 Y 型凹槽 203A 表面，因此相較第一實施例之 V 型凹槽 203 而言，本實施例中該感測晶片 20 之側邊係包括一由主動面朝非主動面外擴之傾斜側邊部分及一垂直部分，故具有較佳之接觸面而得供與導電材料 31 有效結合而電性連接至基板 30。

如 3F 圖所示，接著於該基板模組片 30A 上對應各感測晶片 20 間填充絕緣材料 33，以包覆該感測晶片 20 且外露出透光體 22，並沿該基板 30 間進行切割，以形成複數感測式半導體裝置。

上述實施例僅例示性說明本發明之原理及其功效，而

非用於限制本發明，任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1E 圖係習知美國專利 US6,646,289 所揭示之晶圓級晶片尺寸封裝之感測式半導體裝置及其製法示意圖；

第 2A 至 2I 圖係本發明之感測式半導體裝置及其製法第一實施例之示意圖；以及

第 3A 至 3F 圖係本發明之感測式半導體裝置及其製法第二實施例之示意圖。

【主要元件符號說明】

10	感測晶片
10A	晶圓
101	鐳墊
11	延伸線路
12	玻璃
13	黏著層
14	覆蓋層
15	傾斜槽口
16	金屬繞線
17	鐳球
20	感測晶片
20A	晶圓

201	鍍墊
202	感測區
203,203A	凹槽
21	導電線路
22	透光體
23	黏著層
30	基板
30A	基板模組片
31	導電材料
301	電性接點
32	黏著層
33	絕緣材料

五、中文發明摘要：

一種感測式半導體裝置及其製法，主要係於一具複數感測晶片之晶圓上，對應相鄰感測晶片主動面之鉀墊間形成複數凹槽，並於該凹槽中形成電性連接相鄰感測晶片鉀墊之導電線路，再於該晶圓上接置透光體以封蓋該感測晶片之感測區，接著薄化該晶圓非主動面至該導電線路而外露出該導電線路，再沿各該感測晶片間進行切割，以形成複數側邊具有導電線路之感測晶片，之後將該些感測晶片接置於呈陣列排列有複數基板之基板模組片上，並使該感測晶片之導電線路電性連接至該基板，再於該基板模組片上對應各感測晶片間填充絕緣材料以包覆該感測晶片及沿該基板間進行切割，以形成複數感測式半導體裝置，俾可避免習知從晶圓非主動面切割形成傾斜槽口，因不易對準至正確位置所產生槽口位置偏移，以及於該傾斜槽口中所形成之線路與主動面線路連接處易發生應力集中，造成連接處斷裂與線路外露問題。

六、英文發明摘要：

A sensor type semiconductor device and manufacturing methods thereof are disclosed, the method including forming a plurality of recesses between the solder pads on the active surface of an adjacent sensor chip on a wafer having a plurality of sensor chips; forming conductive circuits for electrically connecting the solder pad of the adjacent sensor chip in the recess; mounting a light-permeable body on the wafer to cover the sensor area of the sensor chip; thinning the non-active surface of the wafer to expose the conductive circuit and cutting along the sensor chip to form a plurality of sensor chips having conductive circuits formed on the side thereof; mounting the sensor chips on a substrate module having a plurality of substrate aligned in a matrix manner and electrically connecting the conductive circuit of the sensor chip to the substrate; filling insulating material between each of the sensor chips on the substrate module to encapsulate the sensor chip and cutting along between the substrates to form a plurality of sensor type semiconductor devices. The invention overcomes the drawbacks of the prior art in which a slanting opening is formed in cutting the non-active surface of the wafer, the displacement of the opening due to the difficulty of precise alignment, and concentrated stress generated in the slanting opening that result in broken joints and exposed circuits.

十、申請專利範圍：

1. 一種感測式半導體裝置之製法，係包括：

提供一包含有複數感測晶片之晶圓，該感測晶片具有相對之主動面及非主動面，該主動面上設有感測區及複數鐳墊，以於相鄰感測晶片主動面之鐳墊間形成複數凹槽；

於該凹槽中形成導電線路，以電性連接相鄰晶片主動面之鐳墊；

於該感測晶片上接置透光體以遮蓋該晶片感測區；

薄化該感測晶片非主動面至該凹槽，以使該導電線路相對外露於該非主動面；

沿各該感測晶片間進行切割，以形成複數側邊形成有導電線路之感測晶片；

將該些感測晶片接置於呈陣列排列有複數基板之基板模組片上，並使該感測晶片之導電線路電性連接至該基板；

於該基板模組片上對應各感測晶片間填充絕緣材料以包覆該感測晶片且外露出該透光體；以及

沿該基板間進行切割，以形成複數感測式半導體裝置。

2. 如申請專利範圍第 1 項之感測式半導體裝置製法，其中，該凹槽係呈 V 形、U 形及 Y 形之其中一者。

3. 如申請專利範圍第 1 項之感測式半導體裝置製法，其

中，該導電線路為鈦/銅/鎳(Ti/Cu/Ni)、鈦化鎢/金(TiW/Au)、鋁/鎳化鈮/銅(Al/NiV/Cu)、鈦/鎳化鈮/銅(Ti/NiV/Cu)、鈦化鎢/鎳(TiW/Ni)、鈦/銅/銅(Ti/Cu/Cu)、鈦/銅/銅/鎳(Ti/Cu/Cu/Ni)之其中一者。

4. 如申請專利範圍第 1 項之感測式半導體裝置製法，其中，該透光體為玻璃，並透過一黏著層而接置於該晶片主動面上，藉以封閉並遮蓋該晶片感測區。
5. 如申請專利範圍第 1 項之感測式半導體裝置製法，其中，該基板表面形成有複數電性接點，且於該電性接點上設有導電材料，以供該感測晶片透過一黏著層而接置於該基板上，並使該該感測晶片藉由該導電材料電性連接至該基板。
6. 如申請專利範圍第 1 項之感測式半導體裝置製法，其中，該導電材料係為設於基板上之預錫材料，並經迴錫(reflow)製程而使該預錫材料錫接至該感測晶片之導電線路，進而使該感測晶片電性連接至該基板。
7. 一種感測式半導體裝置，係包括：

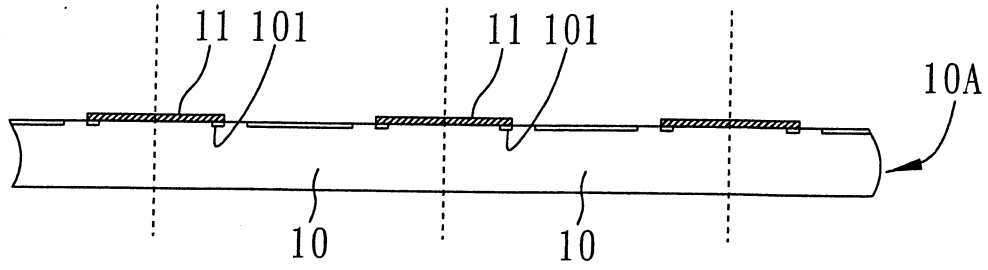
基板；

感測晶片，係具有相對之主動面及非主動面，於該主動面上形成有一感測區與複數錫墊，且於該感測晶片側邊形成有延伸電性連接至該錫墊之導電線路，以供該感測晶片之導電線路透過一導電材料而電性連接至該基板；

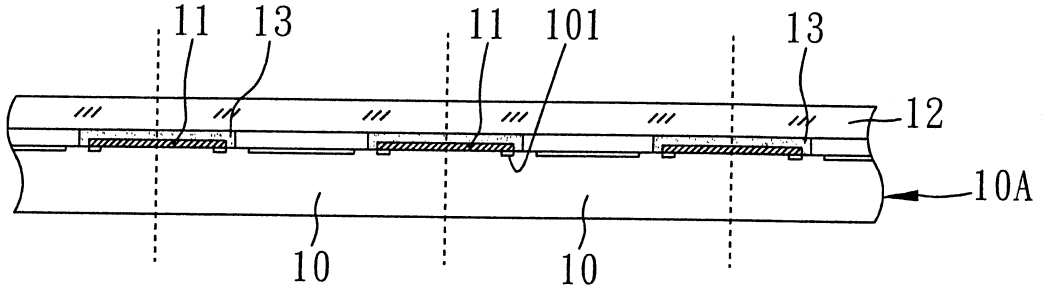
透光體，係形成於該感測晶片之主動面上以遮蓋該感測區；以及

絕緣材料，係包覆該感測晶片且外露出該透光體。

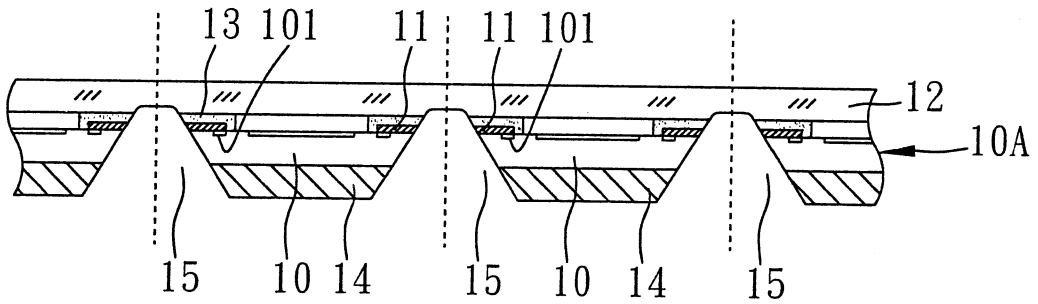
8. 如申請專利範圍第 7 項之感測式半導體裝置，其中，該導電線路為鈦/銅/鎳 (Ti/Cu/Ni)、鈦化鎢/金 (TiW/Au)、鋁/鎳化鈮/銅 (Al/NiV/Cu)、鈦/鎳化鈮/銅 (Ti/NiV/Cu)、鈦化鎢/鎳 (TiW/Ni)、鈦/銅/銅 (Ti/Cu/Cu)、鈦/銅/銅/鎳 (Ti/Cu/Cu/Ni) 之其中一者。
9. 如申請專利範圍第 7 項之感測式半導體裝置，其中，該透光體為玻璃，並透過一黏著層而接置於該晶片主動面上，藉以封閉並遮蓋該晶片感測區。
10. 如申請專利範圍第 7 項之感測式半導體裝置，其中，該基板表面形成有複數電性接點，且於該電性接點上設有導電材料，以供該感測晶片透過一黏著層而接置於該基板上，並使該感測晶片藉由該導電材料電性連接至該基板。
11. 如申請專利範圍第 7 項之感測式半導體裝置，其中，該感測晶片之側邊係為由其主動面朝非主動面外擴之傾斜側邊。
12. 如申請專利範圍第 7 項之感測式半導體裝置，其中，該感測晶片側邊係包括一由主動面朝非主動面外擴之傾斜側邊部分及一垂直部分。



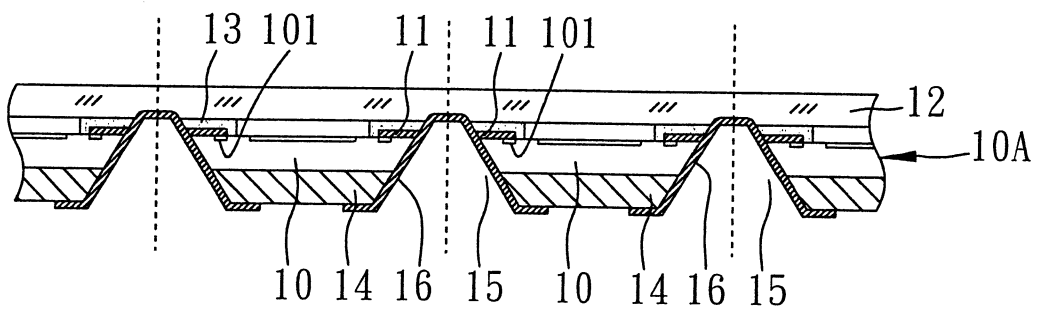
第 1A 圖



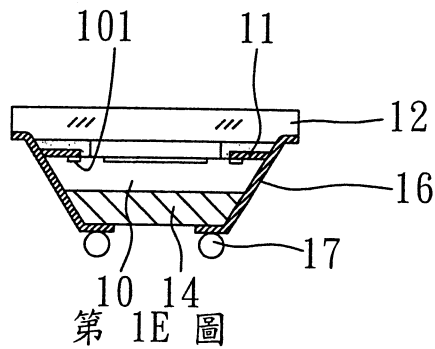
第 1B 圖



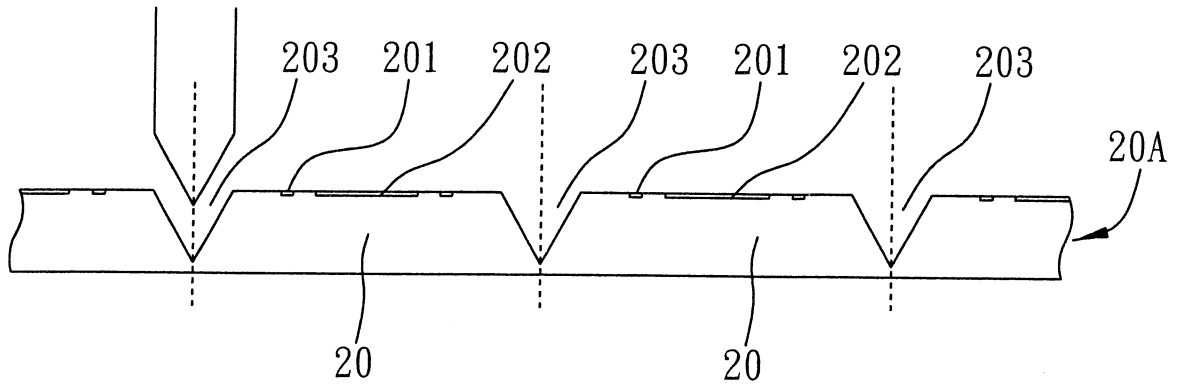
第 1C 圖



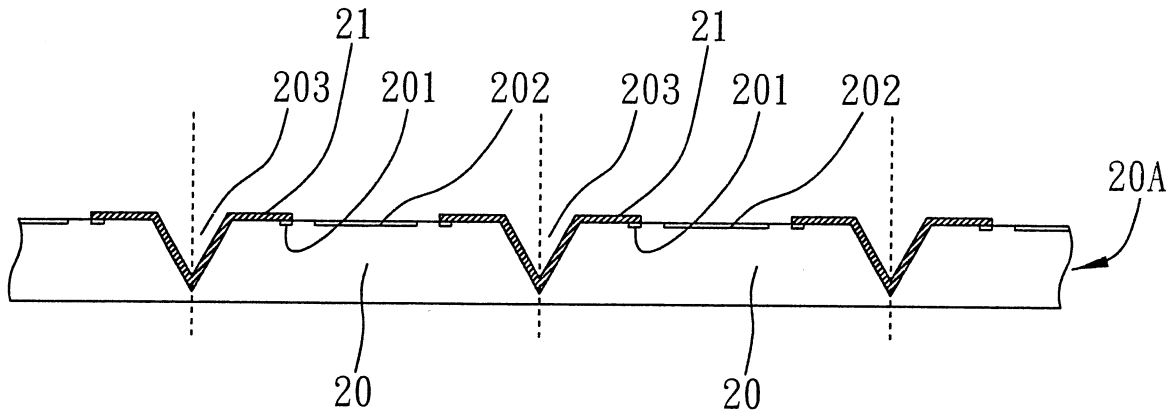
第 1D 圖



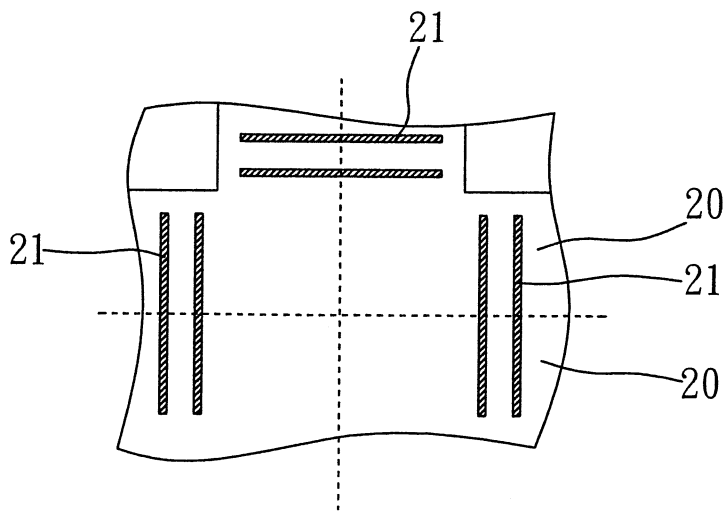
第 1E 圖



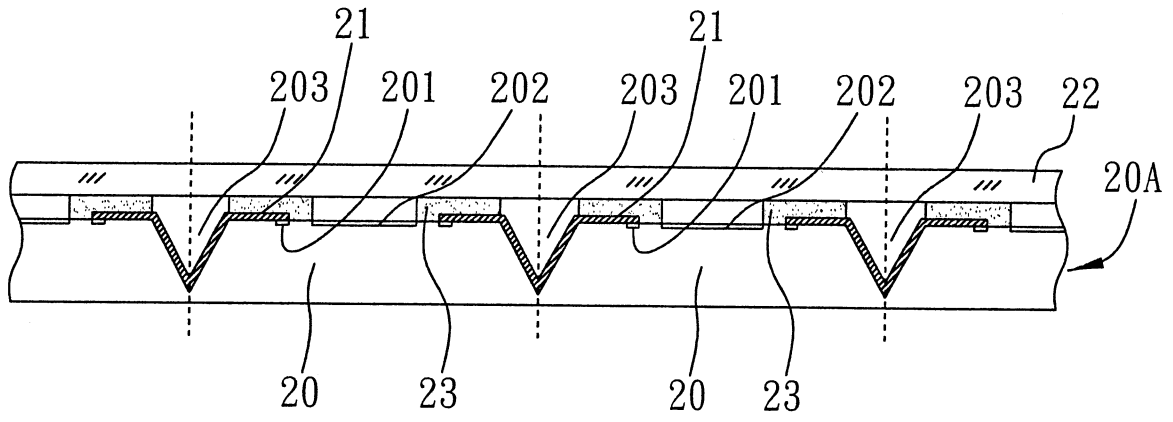
第 2A 圖



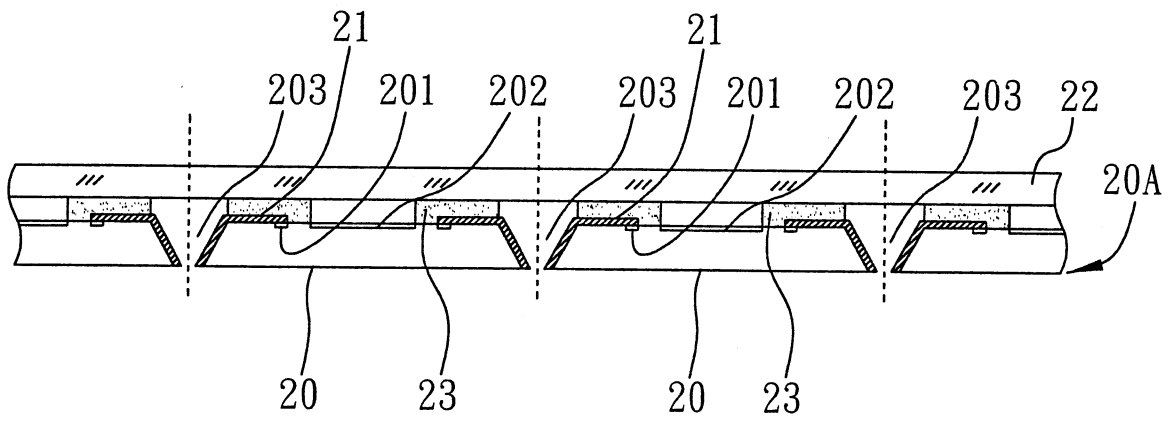
第 2B 圖



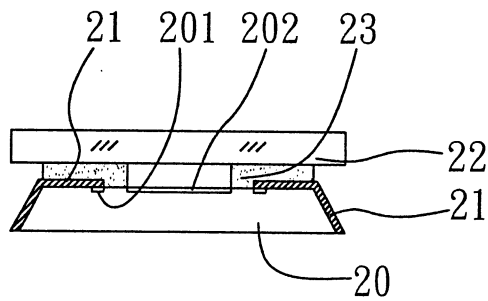
第 2C 圖



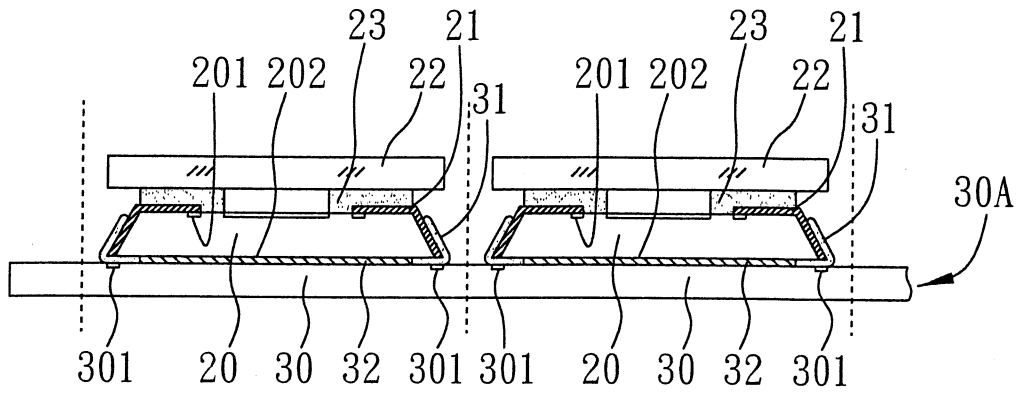
第 2D 圖



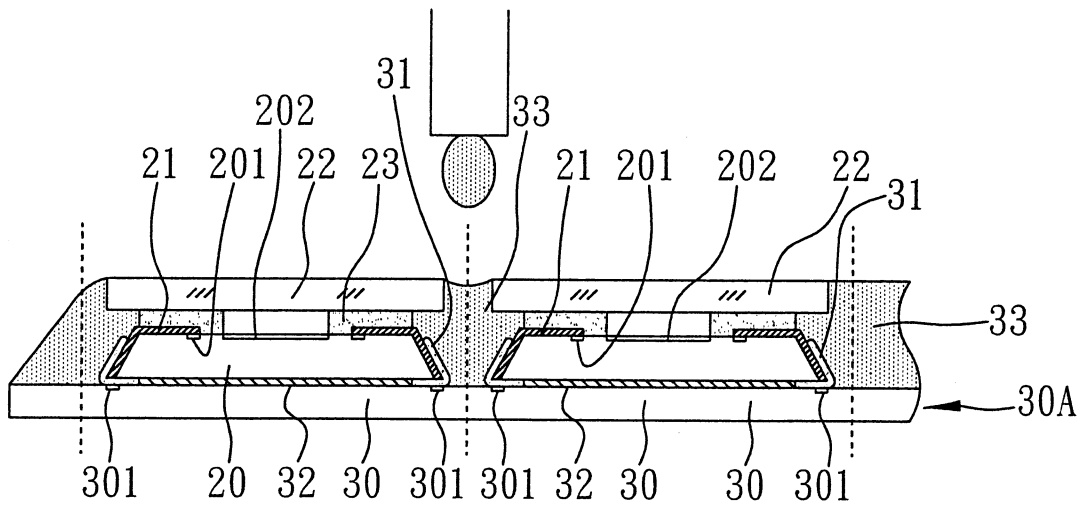
第 2E 圖



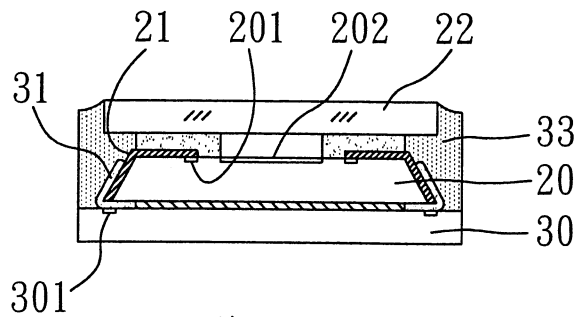
第 2F 圖



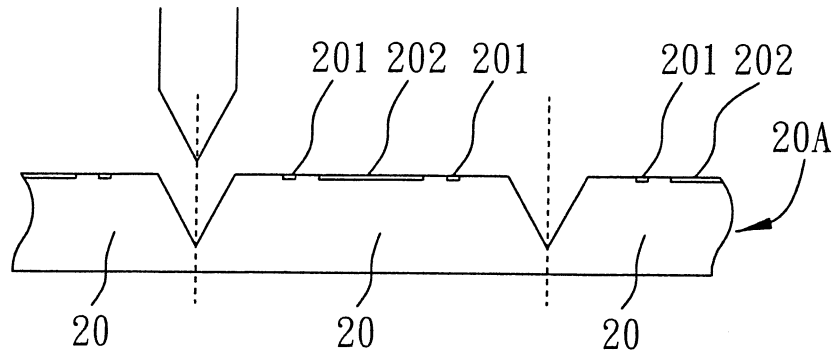
第 2G 圖



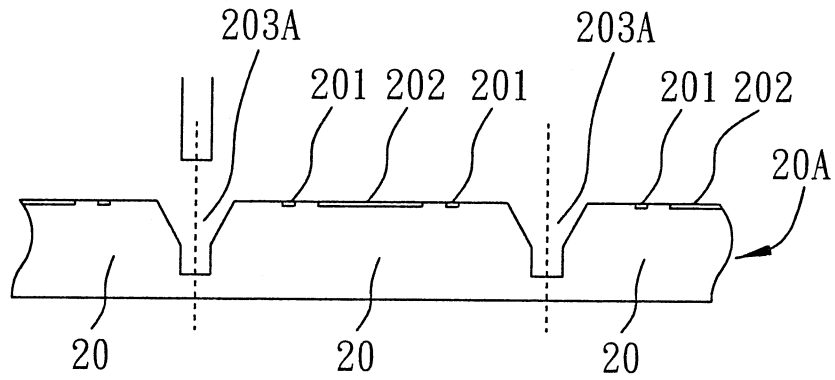
第 2H 圖



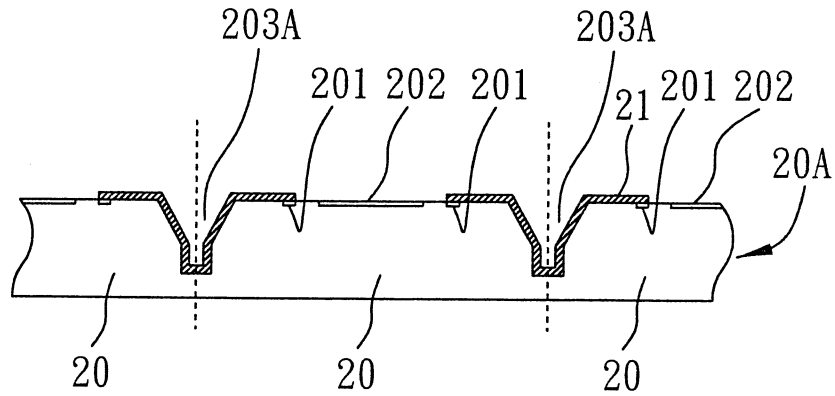
第 2I 圖



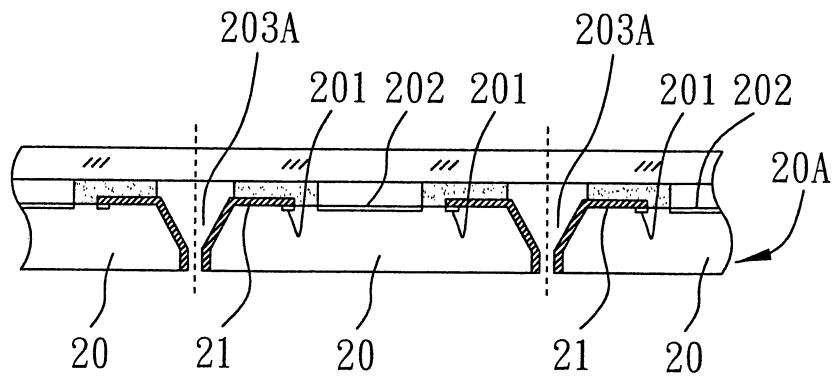
第 3A 圖



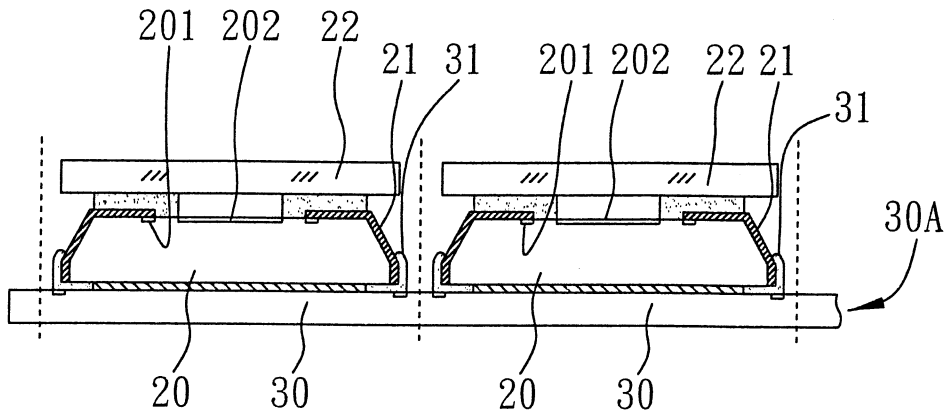
第 3B 圖



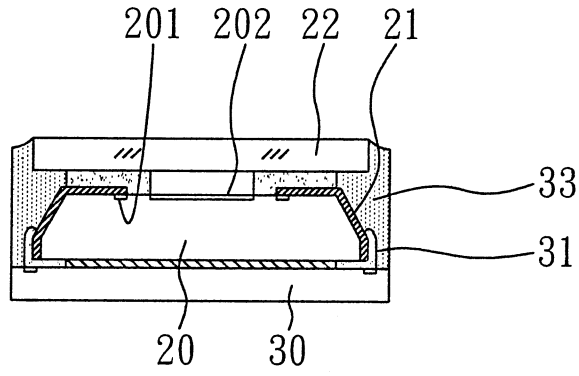
第 3C 圖



第 3D 圖



第 3E 圖



第 3F 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (2I) 圖。

(二)本代表圖之元件代表符號簡單說明：

20	感測晶片
201	鉚墊
202	感測區
21	導電線路
22	透光體
30	基板
31	導電材料
301	電性接點
33	絕緣材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。