

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月30日(30.06.2016)



(10) 国際公開番号
WO 2016/104252 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2015/085070
- (22) 国際出願日: 2015年12月15日(15.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-258410 2014年12月22日(22.12.2014) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 宮沢 敏夫 (MIYAZAWA Toshio); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 阪本 樹 (SAKAMOTO Shigeru); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 佐藤 敏浩 (SATO Toshihiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人高橋・林アンドパートナーズ (Takahashi, Hayashi and Partner Patent Attorneys, Inc.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

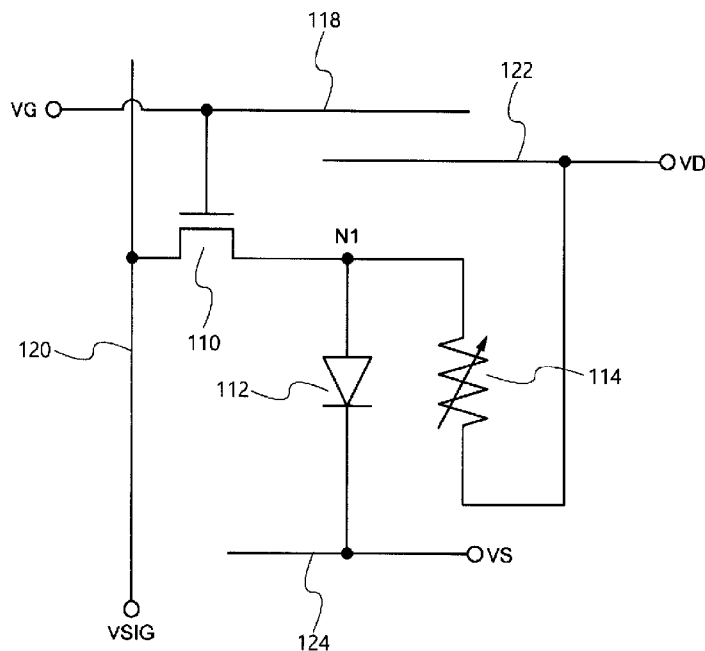
添付公開書類:

— 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置及びその駆動方法



(57) Abstract: One purpose of the present invention is to provide a display device with which it is possible to suppress brightness variations in light emitting elements while simplifying the pixel circuit. Provided is a display device comprising: a transistor that is connected at the gate thereof to a scanning signal line and at either the input or output terminal thereof to a video signal line; a photoconductive element that is connected at one end thereof to the other of the input and output terminal of the transistor, and that is connected at the other end thereof to a first power line; and a light emitting element that is connected at one end thereof to said other of the input and output terminal of the transistor, and that is connected at the other end thereof to a second power line.

(57) 要約: 画素回路を簡略化しつつ発光素子の輝度ばらつきを抑制を図ることのできる表示装置を提供することを目的の一つとする。ゲートが走査信号線と接続され、入出力端子の一方の端子が映像信号線と接続されるトランジスタと、一端がトランジスタの入出力端子の他方の端子と接続され、他端が第1の電源線と接続される光導電素子と、一端がトラン

ジスタの入出力端子の他方の端子と接続され、他端が第2の電源線と接続される発光素子と、を有する表示装置が提供される。



-
- 補正された請求の範囲及び説明書（条約第 19 条(1)）

明 細 書

発明の名称：表示装置及びその駆動方法

技術分野

[0001] 本発明は、表示装置の画素の構造及び画素回路の構成、並びに表示装置駆動方法に関する。

背景技術

[0002] 平板型表示装置として、有機エレクトロルミネセンス材料を含んで発光層が形成される発光素子で画素を構成した表示装置が開発されている。この表示装置は、発光素子が発光するタイミング及び発光輝度を制御する回路（以下、「画素回路」ともいう。）が表示部に設けられている。

[0003] 画素回路は、映像信号を取り込むスイッチング素子と、発光素子の電流を制御する駆動トランジスタを基本構成として含んでいる。駆動トランジスタは、ゲート電圧が映像信号によって制御され、ゲート電圧に基づくドレイン電流が発光素子に流れることで発光輝度が制御される。駆動トランジスタは、半導体薄膜によって形成される薄膜トランジスタによって実現されている。画素回路は、基本的に、各画素の駆動トランジスタの特性が一樣であることを前提としている。駆動トランジスタのドレイン電流がゲート電圧によって一樣に定まれば、発光素子の輝度は均一化され、それによって正確な階調表示を実現される。

[0004] しかし、薄膜トランジスタのしきい値電圧は、製造プロセス上の制御が困難であり、画素ごとにばらついてしまうのが通常である。駆動トランジスタのしきい値電圧の変動は、ドレイン電流に影響を与え、結果として発光素子の輝度をばらつかせる原因となる。表示装置において、各画素の輝度ばらつきは、表示むらとして視認される。このため、表示装置の画素回路には、各画素に設けられる駆動トランジスタのしきい値電圧を補償する回路を必要としている（例えば、特許文献1参照）。

[0005] 発光素子で画素を構成した表示装置のもう一つの問題は、発光素子自体の

特性ばらつきと、輝度劣化である。発光素子は同一電流を供給しても発光輝度がばらつき、また発光輝度が経時的に低下するという問題を有している。発光素子の輝度ばらつき及び輝度劣化による視認性の低下を防ぐために、画素に光電変換素子を設けた表示装置が開示されている（特許文献2及び3参照）。この表示装置は、発光素子の放射光の一部を光電変換素子が受光して、発光輝度に応じて発光素子の駆動電流を制御するフィードバック型の画素回路が設けられている。

先行技術文献

特許文献

- [0006] 特許文献1：特開2005-031630号公報
特許文献2：特開2005-300897号公報
特許文献3：特表2003-536115号公報

発明の概要

発明が解決しようとする課題

- [0007] 特許文献1に開示される表示装置によれば、しきい値電圧補償回路を構成するために、一つの画素に6個のトランジスタと1つの容量素子が必要とされている。この画素回路は、一つの画素内に多くの素子を設ける必要があるため、一画素を形成するために必要な面積が大きくなってしまうことが問題となる。
- [0008] また、特許文献2及び3に開示される表示装置によれば、発光素子の駆動電流はトランジスタによって制御されるため、当該トランジスタのしきい値電圧を補償するにはしきい値電圧補償回路を画素内に設ける必要がある。
- [0009] このように発光素子を用いた従来の表示装置によれば、発光素子の発光輝度を安定化させ画質の向上を図るために、一画素当たり多くの素子を設ける必要があり、高精細化を困難にしている。
- [0010] このような問題に鑑み、本発明の一実施形態は、画素回路を簡略化しつつ発光素子の輝度ばらつきの抑制を図ることのできる表示装置を提供すること

を目的の一つとする。

課題を解決するための手段

[0011] 本発明の一実施形態によれば、ゲートが走査信号線と接続され、入出力端子の一方の端子が映像信号線と接続されるトランジスタと、一端がトランジスタの入出力端子の他方の端子と接続され、他端が第1の電源線と接続される光導電素子と、一端がトランジスタの入出力端子の他方の端子と接続され、他端が第2の電源線と接続される発光素子と、を有する表示装置が提供される。

[0012] 本発明の一実施形態によれば、ゲートが走査信号線と接続され、ソース及びドレインの一方が映像信号線と接続されるトランジスタと、個別画素電極と、個別画素電極上の発光層と、発光層上の共通画素電極とが積層された発光素子と、第1の電極と第2の電極とが、それぞれ光導電層に接続される光導電素子と、を有し、個別画素電極はトランジスタのソース及びドレインの他方と接続され、第1の電極は個別画素電極と接続され、第2の電極は電源線と接続されている表示装置が提供される。

[0013] 本発明の一実施形態によれば、ソース及びドレインの一端が映像信号線に接続されたトランジスタを時刻 t_1 でオンにすることで、ソース及びドレインの他端であるノードN1に映像信号電圧を与え、ノードN1の電圧に基づいて、一端が前記ノードN1に接続された発光素子を発光させ、発光素子の発光により、電源線とノードN1との間に接続された光導電素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、時刻 t_2 でトランジスタがオフとなった後も、電源線から発光素子に発光状態を維持する有効電流を供給する表示装置の駆動方法が提供される。

図面の簡単な説明

[0014] [図1]本発明の一実施形態に係る表示装置の構成を示す図である。

[図2]本発明の一実施形態に係る表示装置の画素の回路構成を示す図である。

[図3]本発明の一実施形態に係る表示装置の動作を説明するタイミングチャートを示す図である。

[図4]本発明の一実施形態に係る表示装置の動作を説明するタイミングチャートを示す図である。

[図5]本発明の一実施形態に係る表示装置の画素の回路構成を示す図である。

[図6]本発明の一実施形態に係る表示装置の画素の回路構成を示す図である。

[図7]本発明の一実施形態に係る表示装置の画素の回路構成を示す図である。

[図8A]本発明の一実施形態に係る光導電素子の構成を示す平面図である。

[図8B]本発明の一実施形態に係る光導電素子の構成を示す断面図である。

[図9A]本発明の一実施形態に係る光導電素子の構成を示す平面図である。

[図9B]本発明の一実施形態に係る光導電素子の構成を示す断面図である。

[図10]本発明の一実施形態に係る表示装置の構成を示す斜視図である。

[図11]本発明の一実施形態に係る表示装置の画素の構成を示す平面図である。
。

[図12]本発明の一実施形態に係る表示装置の画素の構成を示す断面図である。
。

[図13]本発明の一実施形態に係る表示装置の画素の構成を示す平面図である。
。

[図14]本発明の一実施形態に係る表示装置の画素の構成を示す断面図である。
。

発明を実施するための形態

[0015] 以下、本発明の実施の形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0016] 本明細書において、ある部材又は領域が、他の部材又は領域の「上に（又

は下に)」あるとする場合、特段の限定がない限り、これは他の部材又は領域の直上（又は直下）にある場合のみでなく、他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。

[0017] <表示装置の構成>

図1は本実施形態に係る表示装置100の構成を示す。表示装置100は、表示画面を形成する画素部102、画素部102に走査信号を出力する走査信号線駆動回路106、画素部102に映像信号を出力する映像信号線駆動回路108を含んで構成されている。画素部102は、複数の画素104が配列され画素回路が形成されている。それぞれの画素104には発光素子が設けられている。

[0018] 図2は、本実施形態に係る画素104の等価回路を示す。図2で示す画素回路は、発光素子112、トランジスタ110及び光導電素子114を含んで構成されている。そして、これらの素子の一端が共通に接続される点をノードN1と表示している。

[0019] トランジスタ110は、制御端子であるゲートが走査信号線118と接続され、入出力端子であるソース・ドレインの一端が映像信号線120と接続されている。トランジスタ110は、映像信号線120とノードN1との電氣的接続を制御する機能を有している。光導電素子114は実質的に2端子素子であり、一端が第1の電源線122と接続され、回路構成上もう一方の端子はノードN1と接続されている。発光素子112は、一端が第2の電源線124と接続され、他端はノードN1と接続されている。

[0020] 走査信号線118は、走査信号線駆動回路106からトランジスタ110のオン・オフを制御する走査信号が入力される。走査信号は、各画素が映像信号線120から映像信号を取り込むタイミングでトランジスタ110がオンとなるゲート電圧を与え、それ以外のタイミングでオフとなる電圧を与える。トランジスタ110がオンになると、映像信号に基づく電圧がノードN1に与えられる。

[0021] 発光素子 112 は、ノード N1 に発光しきい値電圧 V_{thOL} 以上の映像信号電圧 V_{SIG} が与えられると発光する。発光素子 112 から放出される光は画素の出射光となる。また、発光素子 112 から放出される光の一部は、光導電素子 114 の照射光となる。光導電素子 114 は、暗状態に対し明状態（光が照射された状態）の抵抗率が低下する特性を有している。また、光導電素子 114 は、光の照射光量に応じて抵抗値が変化する特性を有している。その意味で、光導電素子 114 は抵抗可変素子とみなすこともできる。光導電素子 114 の抵抗値は、光の照射光量（光強度）によって変化し得る。

[0022] 光導電素子 114 は、一对の電極間に光導電効果を有する半導体を用いて形成される。半導体層としては、p 型又は n 型の半導体層を適用し得るが、暗状態において十分高い抵抗値を有するために実質的に真性の半導体膜を用いることが好ましい。また、光導電素子 114 は、p 型半導体と n 型半導体を用いた pn 接合素子、または p 型半導体と n 型半導体との間に実質的に真性な i 型半導体を設けた pin 接合素子、もしくはそのような半導体接合を含む素子によって実現することもできる。

[0023] 光導電素子 114 は、暗状態で第 1 の電源線 122 から発光素子 112 が発光する有効電流 I_{OL0} が流れない程度の抵抗値を有している。しかし、発光素子 112 の発光することで光照射を受けた光導電素子 114 は、暗状態に比べ抵抗値が低下する。そして、光導電素子 114 の抵抗値が低下すると、第 1 の電源線 122 から発光素子 112 へ電流が流れる。第 1 の電源線 122 から光導電素子 114 を介して有効電流 I_{EOL0} が流れると、発光素子 112 の発光が維持される。なお、このとき、少なくとも第 1 の電源線 122 の電圧 V_D は第 2 の電源線 124 の電位 V_S より高電位であるものとする。

[0024] <動作方式>

図 3 は、図 2 に示す画素回路の動作を説明するタイミングチャートを示す。このタイミングチャートは、映像信号線 120 の映像信号電圧 V_{SIG} 、

走査信号線 118 の走査信号電圧 V_G 、第 1 の電源線 122 の電圧 V_D 、第 2 の電源線 124 の電圧 V_S の変化を示している。

[0025] 時刻 t_1 で走査信号線 118 の電圧 V_G が高電圧（H レベル）になると、トランジスタ 110 がオン状態となる。そうすると、映像信号線 120 とノード N1 が導通状態となり、ノード N1 に映像信号電圧 V_{SIG} が与えられる。このとき、映像信号電圧 V_{SIG} が発光素子 112 の発光しきい値電圧 V_{thOL} よりも小さい場合、発光素子 112 は発光しない。光導電素子 114 の暗状態の抵抗値は十分大きく、第 1 の電源線 122 から発光素子 112 を発光させるだけの有効電流は流れない。

[0026] 時刻 t_2 で走査信号線 118 の電圧 V_G が低電圧（L レベル）になると、トランジスタ 110 がオフ状態となり、ノード N1 は映像信号線 120 と遮断された状態となる。そのため、発光素子 112 は発光しない状態が維持される。このとき、第 1 の電源線 122 の電圧 V_D と第 2 の電源線 124 の電圧 V_S は一定電位に保持されている。なお、第 1 の電源線 122 の電圧 V_D と第 2 の電源線 124 の電圧 V_S の関係は、 $V_D > V_S$ が維持されている。

[0027] 一方、時刻 t_1 で、ノード N1 の電圧 V_{SIG} が発光素子 112 の発光しきい値電圧 V_{thOL} よりも大きい場合、発光素子 112 には有効電流 I_{OL0} が流れ発光する。発光素子 112 の発光強度は、有効電流 I_{OL0} に応じて変化する。発光素子 112 から出射された光の一部は光導電素子 114 に照射される。光導電素子 114 は、光照射により暗状態に比べ抵抗値が低下する。すなわち、光導電素子 114 は光照射により高抵抗状態から底抵抗状態に遷移する。それにより、光導電素子 114 には暗状態の電流（暗電流）に比べて大きな電流 I_{RV} が流れる。この場合、時刻 t_2 でトランジスタ 110 がオフとなりノード N1 が映像信号線 120 と遮断された後も、電流 I_{RV} が有効電流 I_{OL0} と同じか、それよりも十分な電流であれば、第 1 の電源線 122 から光導電素子 114 を介して発光素子 112 に電流が流れる。このとき発光素子 112 の発光は維持される。

[0028] このように、図 3 で示す画素回路の動作によれば、映像信号により発光素

子 1 1 2 を発光させれば、その後は光導電素子 1 1 4 が低抵抗化して第 1 の電源線 1 2 2 から電流が流れ込み、発光状態を維持することができる。すなわち、トランジスタのしきい値電圧に依存せず、発光素子 1 1 2 の発光を開始させ、発光を維持することができる。

[0029] 図 4 は、図 2 で示す画素回路の動作を説明する他の一例を示す。ここでは、図 3 との相違について説明する。

[0030] 時刻 t_3 において、光導電素子 1 1 4 に接続する第 1 の電源線 1 2 2 の電圧 V_D が高電圧 V_{DD} から、それよりも低い電圧 V_{M1} に変化している。ここで、低電圧 V_{M1} は発光素子 1 1 2 の発光しきい値電圧 V_{thOL} に近い電圧かそれ以下の電圧であるものとする。

[0031] 第 1 の電源線 1 2 2 が低電圧 V_{M1} になると、発光素子 1 1 2 への電流供給は急速に低下する。そのため発光素子 1 1 2 の発光は停止する。発光素子 1 1 2 の発光が停止すると、光導電素子 1 1 4 の抵抗値は増加し暗状態の抵抗値に戻る。すなわち、光導電素子 1 1 4 は低抵抗状態から高抵抗状態に変化し、初期化がなされたことになる。時刻 t_3 から時刻 t_4 の間で、ノード N_1 の電圧が変化せず発光素子 1 1 2 が発光しなければ、光導電素子 1 1 4 は高抵抗のまま保持される。時刻 t_3 と時刻 t_4 の間隔は、光導電素子 1 1 4 が暗状態の抵抗値（高抵抗）に戻るまでの時間が確保されていればよく、実用的に上記の初期化ができる時間設定にすればよい。

[0032] 例えば、光導電素子 1 1 4 が半導体層の光導電効果による抵抗変化を利用している場合、時刻 t_3 から時刻 t_4 の時間は、光励起キャリアが消滅するまでの時間が確保されていればよい。

[0033] 時刻 t_4 で走査信号線 1 1 8 の電圧 V_G が高電圧（Hレベル）となり、トランジスタ 1 1 0 がオンになると、図 2 の場合と同様に映像信号線 1 2 0 とノード N_1 が導通し、ノード N_1 が信号電圧 V_{SIG} になる。電圧 V_{SIG} が発光素子 1 1 2 の発光しきい値電圧 V_{thOL} よりも大きい場合は、映像信号線 1 2 0 からの電流により発光素子 1 1 2 が発光する。

[0034] このとき、第 1 の電源線 1 2 2 の電圧 V_D は低電圧 V_{M1} の状態にあるの

で、発光素子 112 が発光することにより光導電素子 114 の抵抗値が低下すると、トランジスタ 110 はオン状態にあるので、映像信号線 120 から信号電流が第 1 の電源線 122 側に流れ込んでしまう可能性がある。これを回避するには、時刻 t_4 から時刻 t_5 の期間における第 1 の電源線 122 の電圧 V_D を低電圧 V_{M1} よりも高く、かつ信号電圧 V_{SIG} の最大値よりも高い電圧 V_{M2} にすればよい。または、時刻 t_4 から時刻 t_5 の期間を可能な限り短くすればよい。あるいは、時刻 t_4 で第 1 の電源線 122 の電圧 V_D を低電圧 V_{M1} から高電圧 V_{DD} にしてもよい。

[0035] 時刻 t_5 において、第 1 の電源線 122 の電圧 V_D を高電圧 V_{DD} にすると、図 2 の場合と同様に、第 1 の電源線 122 から発光素子 112 へ電流が流れる。時刻 t_6 で、走査信号線 118 の電圧が低電圧（L レベル）に変化すると、トランジスタ 110 がオフとなり、映像信号線 120 とノード $N1$ は電氣的に遮断される。しかし、第 1 の電源線 122 から光導電素子 114 を介して発光素子 112 へ電流の供給は続くので、発光素子 112 は発光を維持することができる。

[0036] 図 4 で示す画素回路の動作によれば、光導電素子 114 の抵抗変化が、発光素子 112 の点滅（発光と非発光）に対して十分追従できない場合でも、発光素子 112 の輝度を正確に制御することが可能となる。例えば、発光素子 112 がある 1 フレームで発光している状態から次のフレームに移る際、光導電素子 114 の抵抗変化が追従できないと、結果として意図しない発光が残像のように残る可能性がある。また、同じ原因から、ある 1 フレームで発光素子 112 が発光するときに、前のフレームの明暗状態が影響して光導電素子 114 の抵抗値が追従できないでいると、映像信号電圧に応じた輝度で正確に発光できないという不具合の発生が起こり得る。しかしながら、図 4 で示すように、発光素子 112 の発光を強制的に停止させ、光導電素子 114 を初期化する期間を設けることで、このような不具合を回避することができる。

[0037] 本発明の一実施形態に係る表示装置 100 は、発光素子 112 が発光を開

始するタイミングを、映像信号線に接続されたトランジスタ 110 によって制御する。トランジスタ 110 は映像信号線 120 から映像信号を取り込み、当該信号に基づいて発光素子 112 を発光させる。画素 104 には発光素子 112 の光照射によって低抵抗化する光導電素子 114 が設けられている。発光素子 112 が発光すると、以降は低抵抗化した光導電素子 114 を介して電源線から有効電流が発光素子 112 に流れ込むので、発光素子 112 は発光を維持することができる。このように、発光素子 112 の発光時の電流を、実質的に抵抗素子とみなせる光導電素子 114 により制御することで、トランジスタのしきい値電圧のばらつきの影響を受けずに発光素子 112 を発光させることができる。

[0038] 本実施形態に係る画素回路によれば、発光素子 112 に流れる電流をゲート電圧に応じたドレイン電流で制御する駆動トランジスタは設けられていない。トランジスタ 110 はオン・オフを制御している。発光素子 112 は映像信号電圧 V_{SIG} に基づく輝度で発光し、発光が開始すればその輝度に応じた電流が光導電素子 114 を介して第 1 の電源線 122 から流れ込む。したがって、発光素子 112 はトランジスタのしきい値電圧のばらつきの影響を受けずに発光し、発光状態を維持することができる。

[0039] このとき、第 1 の電源線 122 から発光素子 112 に流れ込む電流 I_{RV} が有効電流 I_{OL0} と等しい ($I_{RV} = I_{OL0}$) ことが好ましいが、これは絶対的な要請事項とはならない。例えば、 $I_{RV} > I_{OL0}$ の場合は発光素子 112 の発光強度は時間とともに増加し、 $I_{RV} < I_{OL0}$ の場合は発光素子 112 の発光強度は時間とともに減少する。しかしながら、表示装置 100 において、画素 104 に書き込まれる映像信号は、一定の期間で書き換えられ、あるいは再書き込みされる。そのため、発光素子 112 は、一定期間だけ発光を維持できればよく、多少の輝度変化は許容範囲内とみなすことができる。

[0040] 本実施形態によれば、発光素子が設けられた画素は、1 つのトランジスタと光導電素子があればよく、一つの画素に必要な素子の数を削減することが

できる。すなわち、従来必要とされた、駆動トランジスタや、当該駆動トランジスタのしきい値電圧を補償する補正回路を設けなくても、輝度のばらつきを防いだ表示装置を実現することができる。また、発光素子の電流を制御する駆動トランジスタを必要としないので、当該駆動トランジスタのしきい値電圧を厳密に管理する必要がないので、表示装置の製造段階においてプロセスマージンを広げることができる。

[0041] <画素回路の変形例>

本実施形態において、図2で示す画素回路に、さらに容量素子を付加することで、動作の安定化を図ることができる。以下、図5、図6、図7を参照して、その一例を説明する。

[0042] 図5は、ノードN1に容量素子116を接続する一例を示す。容量素子116の一端はノードN1と接続され、他端は容量線126と接続されている。容量線126には一定の電圧 V_C が印加されている。この画素回路では、トランジスタ110がオンになると映像信号線120とノードN1が導通し、容量素子116は映像信号電圧 V_{SIG} に充電される。トランジスタ110がオフになった後、容量素子116に充電された映像信号電圧 V_{SIG} によって発光素子112を発光させることができる。このとき、容量線126の電位を制御することにより、画素104に対する映像信号の書き込みと発光を制御することができる。

[0043] 図6は、容量素子116の他端を第2の電源線124に接続した一例を示す。図6に示す画素回路も、容量素子116に充電された映像信号電圧 V_{SIG} により、発光素子112を発光させることができる。容量素子116の他端は第2の電源線124に接続されているので、図5で示す容量線126を省略することができる。

[0044] 図7は、容量素子116の他端を第1の電源線122に接続する例を示す。図3で示すように、第1の電源線122の電圧を一定に保つ場合には容量素子116の他端を第1の電源線122に接続して、容量線を省略するようにしてもよい。いずれにしても、画素回路に容量素子116を付加すること

により、発光素子 112 の発光を安定化させることができる。

[0045] 図 5、図 6、図 7 で示すように、画素回路に容量素子を追加することで、発光素子の発光状態を安定化させることができる。

[0046] <光導電素子>

図 8 A 及び図 8 B は、光導電素子 114 の一例を示す。図 8 A は光導電素子 114 の平面図であり、同図 A-B 線に対応した断面構造を図 8 B に示す。図 8 A 及び図 8 B で示す光導電素子 114 は、光電効果を有する光導電層 134 に第 1 の電極 136 及び第 2 の電極 138 が設けられた構造を有している。第 1 の電極 136 及び第 2 の電極 138 は絶縁層 140 を挟んで光導電層 134 の両端でコンタクトするように設けられていてもよい。光導電層 134 は光電効果を有する半導体を用いるのが好ましく、例えば、シリコン (Si)、ゲルマニウム (Ge) などの半導体を用いることができる。また、CdTe、CuInSe₂、CuInS などの化合物半導体を用いることができる。

[0047] 光導電素子 114 に用いる半導体として、アモルファスシリコンは、暗伝導度と光伝導度の比率が高いため、光導電素子 114 として好適である。アモルファスシリコンは、暗伝導度が 10^{-10} S/cm 以下であるのに対し、光伝導度は光照射強度によるものの、 10^{-6} S/cm 以上が見込まれる。そのため暗状態では高抵抗体として働き、光照射時には低抵抗体として用いることができる。また、アモルファスシリコンは、薄膜形成が容易であり、可視光帯域における光吸収係数が結晶シリコン半導体よりも高いという特徴がある。そのため、表示装置の製造プロセスを大幅に変更することなく、画素内に光導電素子 114 を設けることができる。

[0048] 図 9 A 及び図 9 B は、光導電素子 114 の他の一例を示す。図 9 A は光導電素子 114 の平面図であり、同図 A-B 線に対応した断面構造を図 9 B に示す。この光導電素子 114 は、光導電層 134 を挟むように上下に第 1 の電極 136 と第 2 の電極 138 とが設けられている。この場合、第 1 の電極 136 及び第 2 の電極 138 の一方を透光性の電極とすれば、発光素子 11

2から放射される光の一部を光導電層134に入射させることができる。

[0049] 図9A及び図9Bで示す光導電素子114においても、前述と同様に光電効果を有する各種半導体を用いることができる。光導電層134として、例えばアモルファスシリコンを用いれば、100nmから500nm程度の膜厚により可視光を十分に吸収することができる。そして、第1の電極136及び第2の電極138が光導電層134と重なる領域が素子の有効面積として利用できるのも、微細化に有利である。

[0050] 図8A及び図8B、並びに図9A及び図9Bで示す光導電素子114において、光導電層134は一導電型（p型、i型（真性）又はn型）の半導体材料であればよい。また、光導電層134に対し、第1の電極136及び第2の電極138の一方の側をp型とし、他方の側をn型の半導体としてpn接合を設けるようにしてもよい。さらに、光導電層134に設けられたp型とn型の領域の間にi型領域を設けてもよい。光導電素子114をpn接合又はpin接合を設けたダイオード型の素子とすることで、光で励起されたキャリアは内部電界によりドリフトされるので、光応答速度を高めることができる。

[0051] <画素の構造>

図10は、本実施形態に係る表示装置100の構成を斜視図で示す。表示装置100は、第1の基板128に対し第2の基板130が対向配置され、シール材で固定されている。第1の基板128には画素回路が設けられ画素部102が形成されている。画素部102は第2の基板130によって大気に晒されないように封止されている。第2の基板130は、ガラス基板のような硬質基板であってもよいが、有機樹脂フィルム基板又は有機樹脂層であってもよい。

[0052] また、第1の基板128には、走査信号線駆動回路106、映像信号線駆動回路108が設けられている。第1の基板128の端子部には配線基板132が接続されている。配線基板132はフレキシブル回路基板（FPC基板）とも呼ばれ、外部機器から映像信号、駆動電力を表示装置100内に供

給している。

[0053] 画素部 102 に設けられる画素 104 の構成を図 11 及び図 12 を参照して説明する。図 11 は画素の平面図であり、同図 C-D 線に沿った断面構造を図 12 に示す。以下の説明ではこの両図を参照する。

[0054] 画素 104 は、トランジスタ 110、発光素子 112、光導電素子 114 を含んで構成されている。トランジスタ 110 は、チャネルが形成される半導体層 142 とゲート電極 146 とがゲート絶縁層 144 を介して設けられている。トランジスタ 110 は、一方の入出力端子が映像信号線 120 と接続され、他方の入出力端子がソース・ドレイン電極 148、149 と接続されている。ソース・ドレイン電極 148、149 は発光素子 112 と電氣的に接続されている。トランジスタ 110 のチャネルを形成する半導体層 142 は、アモルファスシリコン及びポリシリコンなどのシリコン系半導体で形成することができる。また、半導体層 142 を、酸化物半導体、有機半導体を用いて形成することができる。

[0055] トランジスタ 110 は層間絶縁層 150 に埋設されるように設けられている。層間絶縁層 150 の層構造は任意である。層間絶縁層 150 は、酸化シリコン、窒化シリコンなどの無機絶縁層、およびポリイミド樹脂、アクリル樹脂などの有機絶縁層を適宜組み合わせて構成することができる。

[0056] 発光素子 112 は、この層間絶縁層 150 の上に設けられている。発光素子 112 は、画素ごとに設けられる個別画素電極 152 と、発光材料を含んで形成される発光層 154 及び発光層 154 の上に設けられる共通画素電極 156 を含んで構成されている。発光層 154 の構成は任意であり、有機エレクトロルミネセンス材料を用いて形成することができる。

[0057] 有機エレクトロルミネセンス材料としては、低分子系又は高分子系の材料を用いることができる。低分子系の有機材料を用いる場合、発光層 154 はゲスト材料とホスト材料を組み合わせた層の加え、当該層を挟むように正孔注入層や電子注入層、さらに正孔輸送層や電子輸送層等含んで構成されていてもよい。発光素子 112 は、発光材料の選択により、赤色、緑色及び青色

の各帯域の光を発光することができる。それによって、各画素は、各色に対応した画素に作り分けることができる。また、発光素子 112 を白色発光とするには、有機 EL 層 154 に赤色（R）、緑色（G）、青色（B）の各色に対応する発光材料を含む層を積層する構造、または青色（B）と黄色（Y）の 2 色に対応する発光材料を含む層を積層した構造としてもよい。

[0058] 発光素子 112 は、個別画素電極 152 が層間絶縁層 150 に設けられたコンタクトホールを介してトランジスタの入出力端子であるソース・ドレイン電極 148、149 と接続されている。個別画素電極 152 は、トランジスタ 110 を介して映像信号線 120 に当たられる映像信号に基づく電圧が印加される。また、共通画素電極 156 は、複数の画素間で共有するように連続して設けられ、画素間に共通する電位が与えられる。

[0059] また、個別画素電極 152 は、周縁部がバンク層 158 で覆われている。別言すれば、バンク層 158 は、個別画素電極 152 の周縁部及びコンタクトホールの領域を除く内側領域を開口している。発光層 154 及び共通画素電極 156 は、バンク層 158 の上層側に設けられている。発光層 154 及び共通画素電極 156 は、個別画素電極 152 がバンク層 158 で開口される領域において積層されている。個別画素電極 152、発光層 154 及び共通画素電極 156 が重なる領域が実質的な発光領域となる。すなわち、当該積層領域が発光素子 112 として機能する領域となる。共通画素電極 156 の上面にはパッシベーション層 162 が設けられていてもよい。

[0060] 発光素子 112 は、第 1 の基板 128 の上方に設けられる第 2 の基板 130 側に光を出射させる場合、個別画素電極 152 で光を反射させ、共通画素電極 156 で光を透過するように構成される。発光層 154 で発光した光は全方向に放射されるので、画素 104 の出射光量を高めるために個別画素電極 152 に光反射面を設ける。または個別画素電極 152 の背面側に光反射面を設けるようにしてもよい。発光層 154 を有機エレクトロルミネセンス材料により構成するときは、個別画素電極 152 及び共通画素電極 156 の一方を陽極とし、他方を陰極とする。個別画素電極 152 側を陽極とする場

合、仕事関数の高い導電材料を用いることが好ましいとされている。該当する電極材料として、酸化インジウム・スズ（ITO）等の導電性材料を用いることができる。ITOなどは透光性を有するため、個別画素電極152を光反射電極とするには、背面に銀、アルミニウムなどの金属層を設けるようにしてもよい。一方、共通画素電極156を陰極とするには、リチウム（Li）、マグネシウム（Mg）等の仕事関数の低い材料を含んで構成するようにしてもよい。例えば、当該金属を含む層と、ITO等の透明導電膜を組み合わせることで共通画素電極156としてもよい。

[0061] 光導電素子114は、発光素子112から放射される光の一部が照射される位置に配置される。もっとも、画素104の光出射面に重ねてしまうと、開口率が低下してしまう。そのため、光導電素子114は発光素子112の周辺部に配置することが好ましい配置となる。

[0062] 図11及び図12は、光導電素子114をバンク層158と重なる領域に設ける一例を示す。バンク層158は第1の電極136の周縁部を被覆して段差を緩和する特性を有している。光導電素子114は、このようなバンク層158で埋設されるように設けられてもよい。光導電素子114をバンク層158に重ねて設けることで、画素の開口率を低下させないようにすることができる。

[0063] 図2で示すように、光導電素子114は2端子素子であり、一方が第1の電源線122に接続され、他方が発光素子112の個別画素電極と接続される。図11及び図12で示す光導電素子114は、光導電層134の上下に一对の電極を設けた構造を有している。ここでは、便宜上、図10との関係において、光導電層134の下層側にある電極を第1の電極136、光導電層134の上層側にある電極を第2の電極138に相当するものとする。第1の電極136は、発光素子112の個別画素電極152をバンク層158の下層側にまで延長することによって形成されている。このように、個別画素電極152が第1の電極136を兼ねるようにすることで、発光素子112と光導電素子114との接続構造を簡略化することができる。

[0064] 光導電層 134 は第 1 の電極 136 と重なる領域を有するように設けられている。第 2 の電極 138 は、光導電層 134 の一方の面を覆うように設けられている。本実施形態では、光導電層 134 の上に絶縁層 160 を設け、開口部で第 2 の電極 138 が光導電層 134 と接続されている。なお、絶縁層 160 は必須の構成ではない。しかし、光導電層 134 の側面部を覆い上面部に設けた開口部で第 2 の電極 138 が光導電層 134 で接続されるようにしたことで、第 1 の電極 136 と第 2 の電極 138 との短絡を防止することができる。

[0065] 発光層 154 から放射される光は、第 2 の基板 130 側に出射される他、一部はバンク層 158 のある斜め方向にも出射される。バンク層 158 は透光性を有する絶縁材料を用いて形成されている。バンク層 158 が透光性であると、発光層 154 から放射された光の一部はバンク層 158 を透過して光導電素子 114 の光導電層 134 に入射する。光導電層 134 は光が照射されることにより光励起キャリアが発生して抵抗率が低下する。それに伴う画素回路の動作は図 2 で説明したとおりである。

[0066] 光導電素子 114 の一方の電極である第 2 の電極 138 を光導電層 134 の側面から上面に設けることで、隣接する画素 104 から入射する光を遮光することができる。第 2 の電極 138 が遮光層を兼ねるようにすることで、光導電素子 114 の誤動作を防止することができる。

[0067] 図 11 及び図 12 で示す画素 104 によれば、光導電素子 114 をバンク層 158 と重なる領域に設けることで、画素 104 の開口率を低下させないようにすることができる。また、発光素子 112 に隣接して光導電素子 114 を設けることができるので、光応答性及び感度を向上させることができる。

[0068] 図 13 及び図 14 は、本実施形態に係る画素 104 の他の一例を示す。図 13 は画素の平面図であり、同図 E-F 線に沿った断面構造を図 14 に示す。以下の説明では、図 11 及び図 12 との相違部分について説明する。

[0069] 図 14 で示すように、光導電素子 114 は層間絶縁層 150 に埋設される

ように設けられている。また、図 13 で示すように、光導電素子 114 は、個別画素電極 152 と重なるように設けられている。光導電素子 114 は、図 9 A 及び図 9 B で説明したものと同様の素子構造を有し、光導電層 134 と接続する第 1 の電極 136 と第 2 の電極 138 が並置されている。この場合、第 2 の電極 138 は、第 1 の電源線 122 を兼ねている。そのため、層間絶縁層 150 の層構造を増加させないでも光導電素子 114 を設けることができる。光導電素子 114 は層間絶縁層 150 に埋設されるように設けることで、画素の開口率を低下させないようにすることができる。

[0070] この場合も光導電素子 114 は、発光素子 112 の光が照射される位置に配置される。例えば、光導電素子 114 は、発光素子 112 と一部が重なるように設けることができる。なお、発光素子 112 から光が照射されるように、個別画素電極 152 に光透過窓を設けておいてもよい。例えば、光反射電極として形成される個別画素電極 152 の下層側に、アルミニウム等の金属材料で形成される反射層 153 を設け、当該反射層 153 に開口部を設けておく。このような個別画素電極 152 の構造により、発光層 154 の光が、光導電層 134 に光が照射されるようにすることができる。

[0071] 光導電素子 114 は、隣接する画素から入射する光を遮光するために、第 1 の電極 136 又は第 2 の電極 138 を遮光層として用いる。図 13 では、光導電層 134 の一方の面が遮光されるように、第 2 の電極 138 が光導電層 134 に沿って設けられている。第 2 の電極 138 は金属材料で形成されるので、遮光層として用いることができる。

[0072] 図 13 及び図 14 で示す画素 104 の構造によれば、隣接する画素同士の間隔を狭めることができる。それにより、画素の高精細化を図る上で有利な構成とすることができる。

符号の説明

[0073] 100・・・表示装置、102・・・画素部、104・・・画素、106・・・走査信号線駆動回路、108・・・映像信号線駆動回路、110・・・トランジスタ、112・・・発光素子、114・・・光導電素子、116・・・

・ ・ 容量素子、 1 1 8 ・ ・ ・ 走査信号線、 1 2 0 ・ ・ ・ 映像信号線、 1 2 2
・ ・ ・ 第 1 の電源線、 1 2 4 ・ ・ ・ 第 2 の電源線、 1 2 6 ・ ・ ・ 容量線、 1
2 8 ・ ・ ・ 第 1 の基板、 1 3 0 ・ ・ ・ 第 2 の基板、 1 3 2 ・ ・ ・ 配線基板、
1 3 4 ・ ・ ・ 光導電層、 1 3 6 ・ ・ ・ 第 1 の電極、 1 3 8 ・ ・ ・ 第 2 の電極
、 1 4 0 ・ ・ ・ 絶縁層、 1 4 2 ・ ・ ・ 半導体層、 1 4 4 ・ ・ ・ ゲート絶縁層
、 1 4 6 ・ ・ ・ ゲート電極、 1 4 8 , 1 4 9 ・ ・ ・ ソース・ドレイン電極、
1 5 0 ・ ・ ・ 層間絶縁層、 1 5 2 ・ ・ ・ 個別画素電極、 1 5 3 ・ ・ ・ 反射層
、 1 5 4 ・ ・ ・ 発光層、 1 5 6 ・ ・ ・ 共通画素電極、 1 5 8 ・ ・ ・ バンク層
、 1 6 0 ・ ・ ・ 絶縁層、 1 6 2 ・ ・ ・ パッシベーション層

請求の範囲

- [請求項1] ゲートが走査信号線と接続され、入出力端子の一方の端子が映像信号線と接続されるトランジスタと、
 一端が前記トランジスタの入出力端子の他方の端子と接続され、他端が第1の電源線と接続される光導電素子と、
 一端が前記トランジスタの入出力端子の他方の端子と接続され、他端が第2の電源線と接続される発光素子と、
 を有することを特徴とする表示装置。
- [請求項2] 前記光導電素子は、前記発光素子の光が照射される位置に設けられることを特徴とする請求項1に記載の表示装置。
- [請求項3] 前記光導電素子は、光が照射されると抵抗値が低下することを特徴とする請求項2に記載の表示装置。
- [請求項4] 前記トランジスタの他方の端子に容量素子が接続されることを特徴とする請求項1に記載の表示装置。
- [請求項5] 前記トランジスタの他方の端子と、前記第2の電源線との間に容量素子が接続されることを特徴とする請求項1に記載の表示装置。
- [請求項6] ゲートが走査信号線と接続され、ソース及びドレインの一方が映像信号線と接続されるトランジスタと、
 個別画素電極と、前記個別画素電極上の発光層と、前記発光層上の共通画素電極とが積層された発光素子と、
 第1の電極と第2の電極とが、それぞれ光導電層に接続される光導電素子と、
 を有し、
 前記個別画素電極は前記トランジスタのソース及びドレインの他方と接続され、
 前記第1の電極は前記個別画素電極と接続され、前記第2の電極は電源線と接続されていることを特徴とする表示装置。
- [請求項7] 前記光導電素子は、前記発光素子の光が照射される位置に設けられ

ることを特徴とする請求項 6 に記載の表示装置。

[請求項 8] 前記光導電層は光電効果を発現する半導体層であることを特徴とする請求項 6 に記載の表示装置。

[請求項 9] 前記個別画素電極の周縁部を覆うバンク層を有し、前記光導電素子は前記バンク層に埋設されていることを特徴とする請求項 6 に記載の表示装置。

[請求項 10] 前記トランジスタと前記発光素子との間に層間絶縁層を有し、前記光導電素子は層間絶縁層に埋設されていること特徴とする請求項 6 に記載の表示装置。

[請求項 11] ソース及びドレインの一端が映像信号線に接続されたトランジスタを時刻 t_1 でオンにすることで、ソース及びドレインの他端であるノード N 1 に映像信号電圧を与え、

前記ノード N 1 の電圧に基づいて、一端が前記ノード N 1 に接続された発光素子を発光させ、

前記発光素子の発光により、電源線と前記ノード N 1 との間に接続された光導電素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、

時刻 t_2 で前記トランジスタがオフとなった後も、前記電源線から前記発光素子に発光状態を維持する有効電流を供給することを特徴とする表示装置の駆動方法。

[請求項 12] 時刻 t_1 で前記トランジスタをオンにする前に、時刻 t_3 で前記電源線の電位を高電圧から低電圧に変化させ、前記発光素子に発光状態を維持する有効電流が流れない状態を維持し、

前記トランジスタがオンとなり、前記ノード N 1 に前記映像信号電圧が与えられた後、前記時刻 t_2 で前記トランジスタがオフとなる前の時刻 t_5 で、前記電源線の電位を低電圧から高電圧に変化させること、を特徴とする請求項 11 に記載の表示装置の駆動方法。

[請求項 13] 前記トランジスタをオンにするときに、前記電源線の電圧を低電圧と高電圧の中間の電圧に変化させること、を特徴とする請求項 12 に

記載の表示装置の駆動方法。

[請求項14] 前記トランジスタをオンにするときに、前記電源線の電圧を高電圧に変化させること、を特徴とする請求項12に記載の表示装置の駆動方法。

[請求項15] 前記時刻 t_3 から前記トランジスタがオンにされる迄間に、前記光導電素子の抵抗が低抵抗状態から高抵抗状態に戻ることを特徴とする請求項12に記載の表示装置の駆動方法。

補正された請求の範囲
[2016年5月6日(06.05.2016)国際事務局受理]

[請求項 1] (補正後) ゲートが走査信号線と接続され、入出力端子の一方の端子が映像信号線と接続されるトランジスタと、

一端が前記トランジスタの入出力端子の他方の端子と接続され、他端が第 1 の電源線と接続される光導電素子と、

一端が前記トランジスタの入出力端子の他方の端子と接続され、他端が第 2 の電源線と接続される発光素子と、

を有し、

前記トランジスタが時刻 t_1 でオンされることで前記発光素子の一端に映像信号電圧が入力されて前記発光素子が発光し、

前記発光素子の発光を前記光導通素子が受けることで、前記受光素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、

前記時刻 t_1 よりも後の時刻 t_2 において前記トランジスタがオフとなった後も、前記第 1 の電源線から前記発光素子の発光状態を維持する電流が供給されることを特徴とする表示装置。

[請求項 2] 前記光導電素子は、前記発光素子の光が照射される位置に設けられることを特徴とする請求項 1 に記載の表示装置。

[請求項 3] 前記光導電素子は、光が照射されると抵抗値が低下することを特徴とする請求項 2 に記載の表示装置。

[請求項 4] 前記トランジスタの他方の端子に容量素子が接続されることを特徴とする請求項 1 に記載の表示装置。

[請求項 5] 前記トランジスタの他方の端子と、前記第 2 の電源線との間に容量素子が接続されることを特徴とする請求項 1 に記載の表示装置。

[請求項 6] (補正後) ゲートが走査信号線と接続され、ソース及びドレインの一方が映像信号線と接続されるトランジスタと、

個別画素電極と、前記個別画素電極上の発光層と、前記発光層上の共通画素電極とが積層された発光素子と、

第 1 の電極と第 2 の電極とが、それぞれ光導電層に接続される光導

電素子と、

を有し、

前記個別画素電極は前記トランジスタのソース及びドレインの他方と接続され、

前記第 1 の電極は前記個別画素電極と接続され、前記第 2 の電極は電源線と接続され、

前記トランジスタが時刻 t_1 でオンされることで前記発光素子の一端に映像信号電圧が入力されて前記発光素子が発光し、

前記発光素子の発光を前記光導通素子が受けることで、前記受光素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、

前記時刻 t_1 よりも後の時刻 t_2 において前記トランジスタがオフとなった後も、前記第電源線から前記発光素子の発光状態を維持する電流が供給されることを特徴とする表示装置。

[請求項 7] 前記光導電素子は、前記発光素子の光が照射される位置に設けられることを特徴とする請求項 6 に記載の表示装置。

[請求項 8] 前記光導電層は光電効果を発現する半導体層であることを特徴とする請求項 6 に記載の表示装置。

[請求項 9] 前記個別画素電極の周縁部を覆うバンク層を有し、前記光導電素子は前記バンク層に埋設されていることを特徴とする請求項 6 に記載の表示装置。

[請求項 10] 前記トランジスタと前記発光素子との間に層間絶縁層を有し、前記光導電素子は層間絶縁層に埋設されていること特徴とする請求項 6 に記載の表示装置。

[請求項 11] ソース及びドレインの一端が映像信号線に接続されたトランジスタを時刻 t_1 でオンにすることで、ソース及びドレインの他端であるノード N 1 に映像信号電圧を与え、

前記ノード N 1 の電圧に基づいて、一端が前記ノード N 1 に接続された発光素子を発光させ、

前記発光素子の発光により、電源線と前記ノードN 1との間に接続された光導電素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、

時刻 t_2 で前記トランジスタがオフとなった後も、前記電源線から前記発光素子に発光状態を維持する有効電流を供給すること
を特徴とする表示装置の駆動方法。

[請求項 12] 時刻 t_1 で前記トランジスタをオンにする前に、時刻 t_3 で前記電源線の電位を高電圧から低電圧に変化させ、前記発光素子に発光状態を維持する有効電流が流れない状態を維持し、

前記トランジスタがオンとなり、前記ノードN 1に前記映像信号電圧が与えられた後、前記時刻 t_2 で前記トランジスタがオフとなる前の時刻 t_5 で、前記電源線の電位を低電圧から高電圧に変化させること、を特徴とする請求項 1 1に記載の表示装置の駆動方法。

[請求項 13] 前記トランジスタをオンにするときに、前記電源線の電圧を低電圧と高電圧の中間の電圧に変化させること、を特徴とする請求項 1 2に記載の表示装置の駆動方法。

[請求項 14] 前記トランジスタをオンにするときに、前記電源線の電圧を高電圧に変化させること、を特徴とする請求項 1 2に記載の表示装置の駆動方法。

[請求項 15] 前記時刻 t_3 から前記トランジスタがオンにされる迄間に、前記光導電素子の抵抗が低抵抗状態から高抵抗状態に戻ることを特徴とする請求項 1 2に記載の表示装置の駆動方法。

[請求項 16] (追加) 前記時刻 t_1 より前の時刻 t_3 において、前記第 1 の電源線の電位を高電圧から低電圧に変化させ、

前記時刻 t_1 と前記時刻 t_2 の間である時刻 t_4 において、前記第 1 の電源線の電位を低電圧から高電圧に変化させること、を特徴とする請求項 1 に記載の表示装置。

[請求項 17] (追加) 前記時刻 t_1 より前の時刻 t_3 において、前記第電源線の電位を高電圧から低電圧に変化させ、

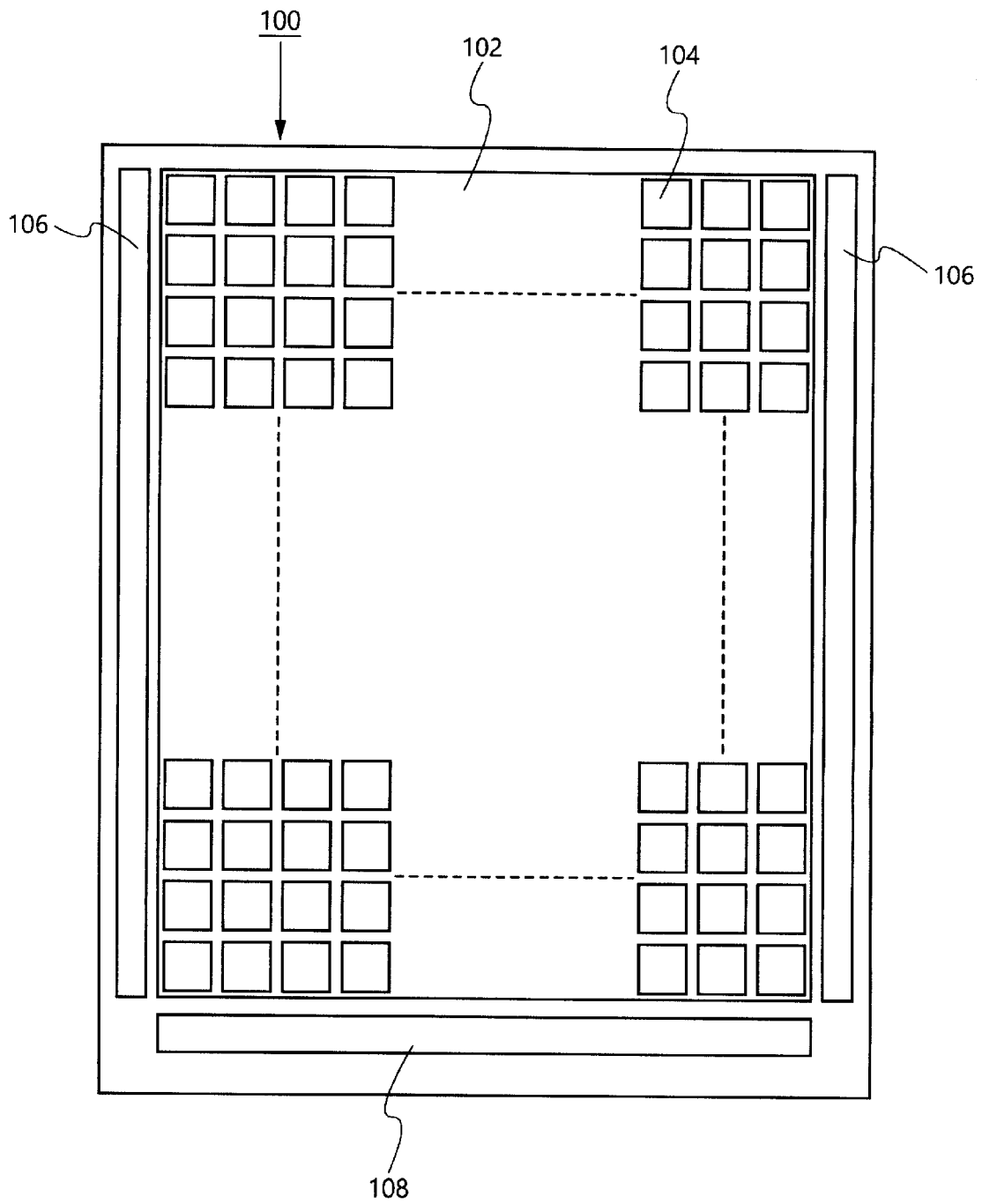
前記時刻 t_1 と前記時刻 t_2 の間である時刻 t_4 において、前記電源線の電位を低電圧から高電圧に変化させること、を特徴とする請求項 6 に記載の表示装置。

条約第19条(1)に基づく説明書

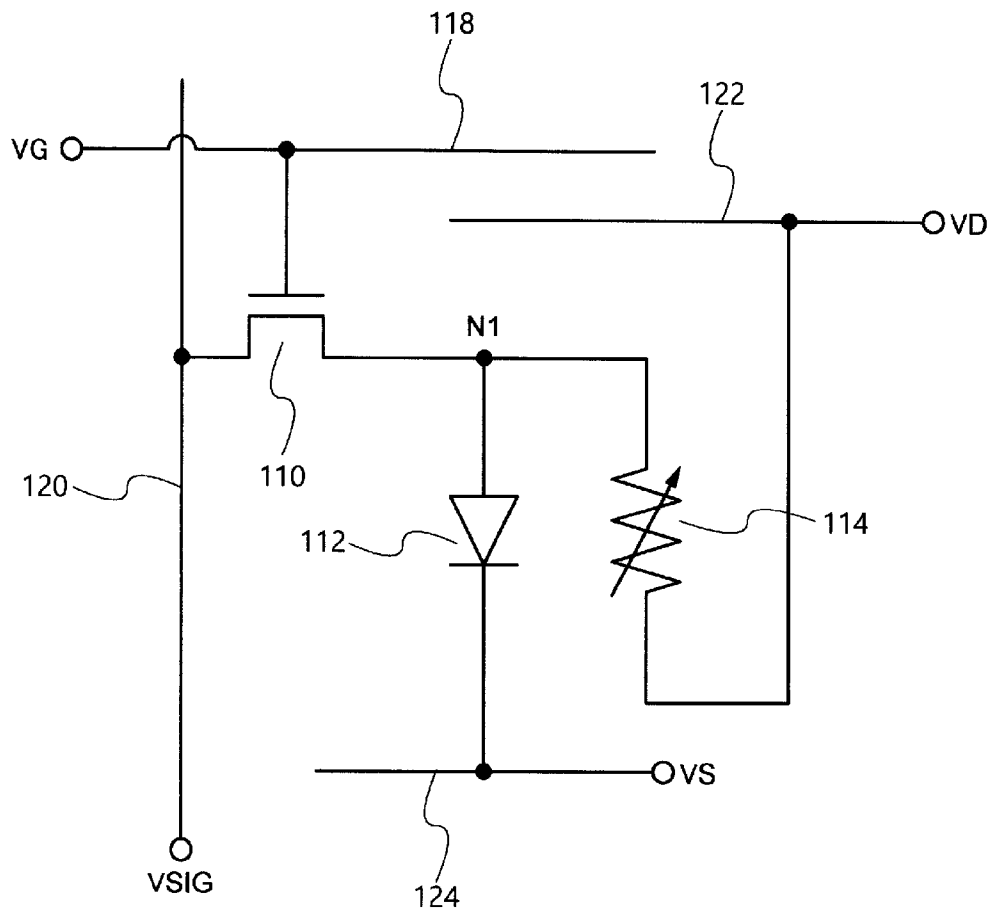
請求の範囲の第1項及び第6項は、出願当初の明細書の段落[0023]、[0025]、[0026]及び図3の記載に基づいて補正した。具体的には、トランジスタが時刻 t_1 でオンされることで発光素子の一端に映像信号電圧が入力されて発光素子が発光し、発光素子の発光を光導通素子が受けることで、受光素子の抵抗を高抵抗状態から低抵抗状態に遷移させ、時刻 t_1 よりも後の時刻 t_2 においてトランジスタがオフとなった後も、電源線から発光素子の発光状態を維持する電流が供給されることを特定した。

請求の範囲の第16項及び第17項は、出願当初の明細書の段落[0034]及び図4の記載に基づいて補正した。具体的には、時刻 t_1 より前の時刻 t_3 において、第1の電源線の電位を高電圧から低電圧に変化させ、時刻 t_1 と時刻 t_2 の間である時刻 t_4 において、第1の電源線の電位を低電圧から高電圧に変化させることを特定した。

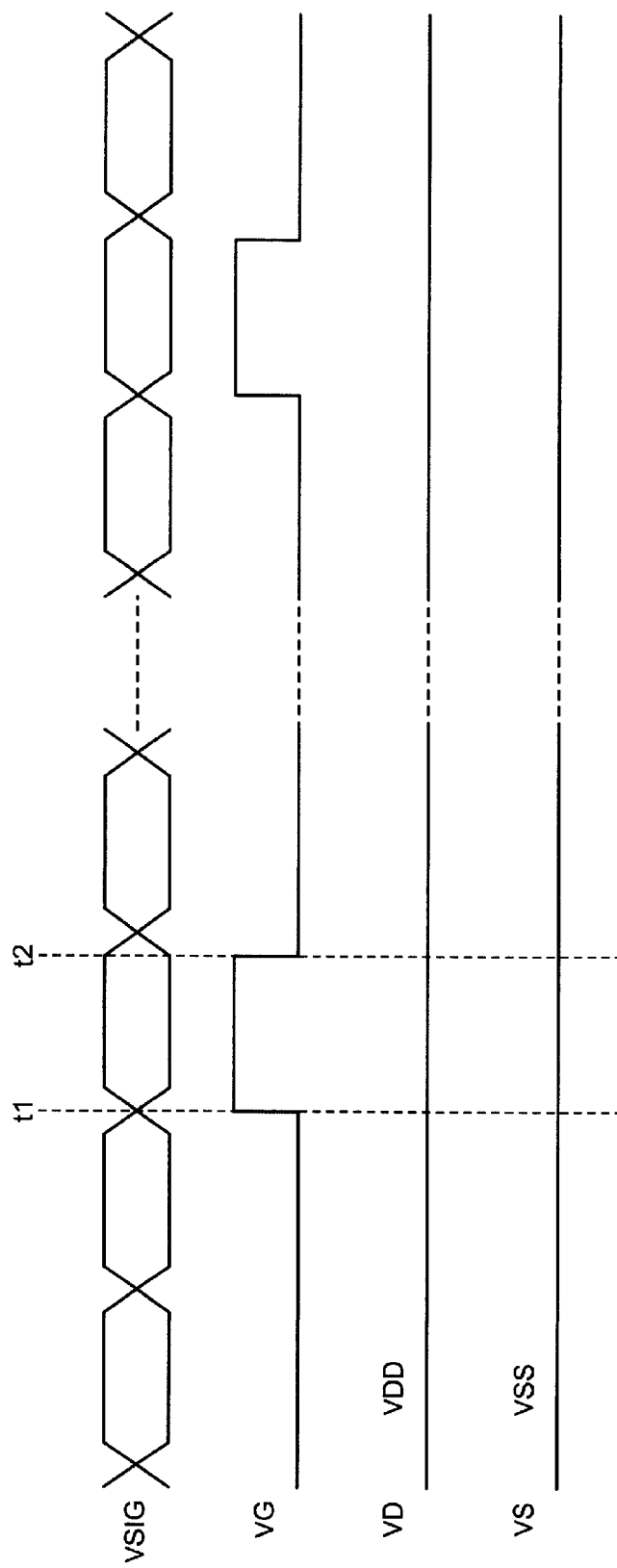
[図1]



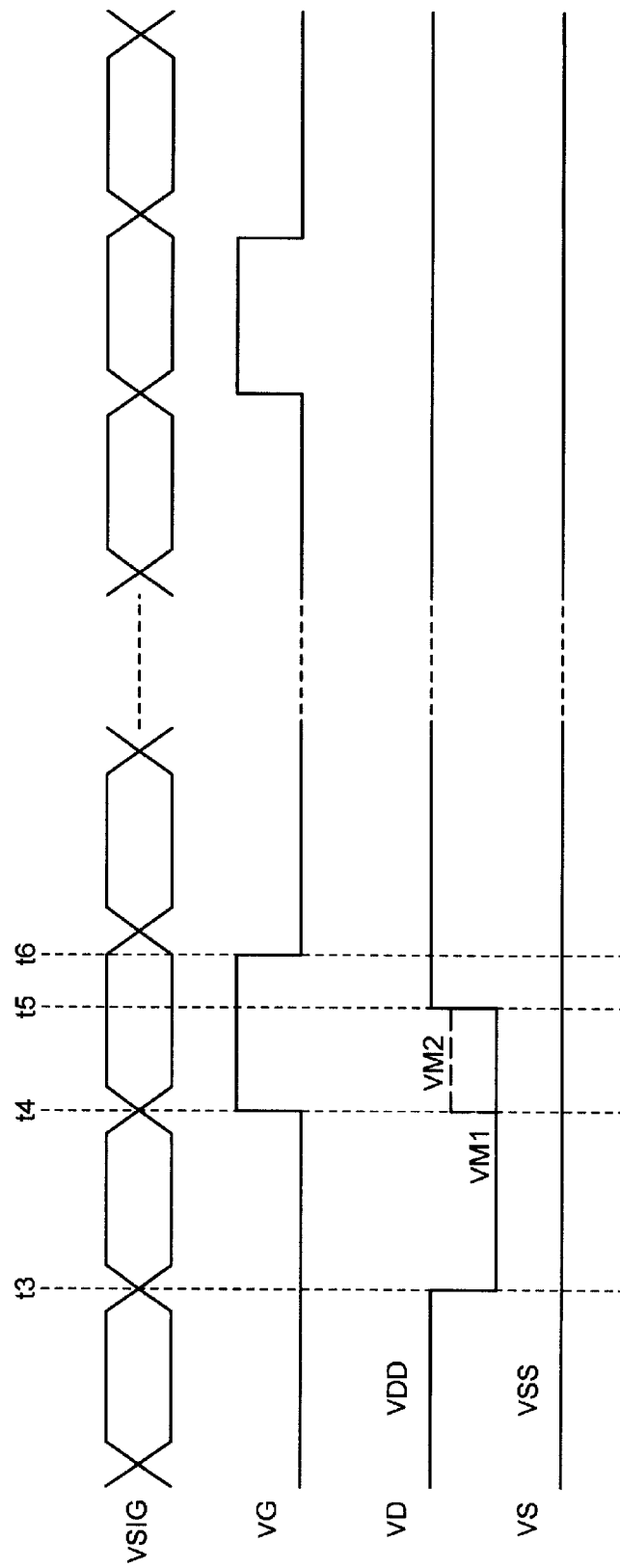
[図2]



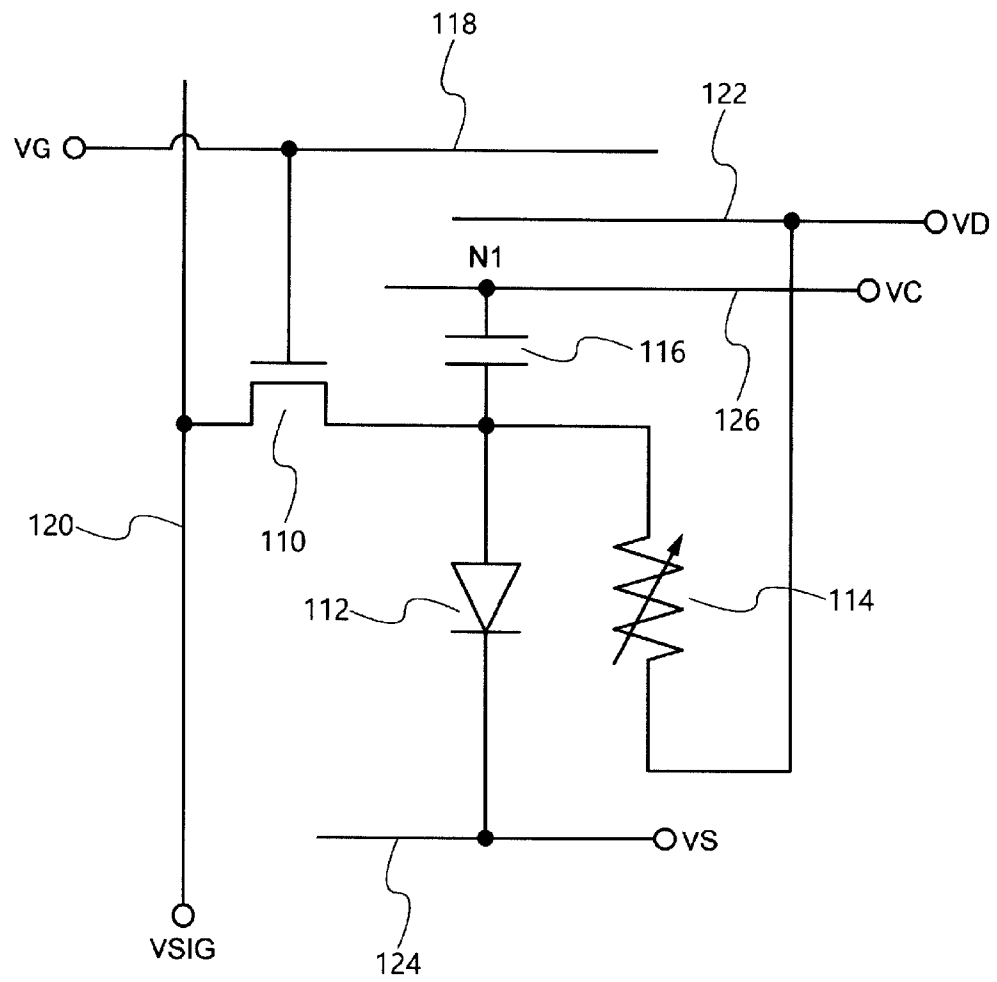
[図3]



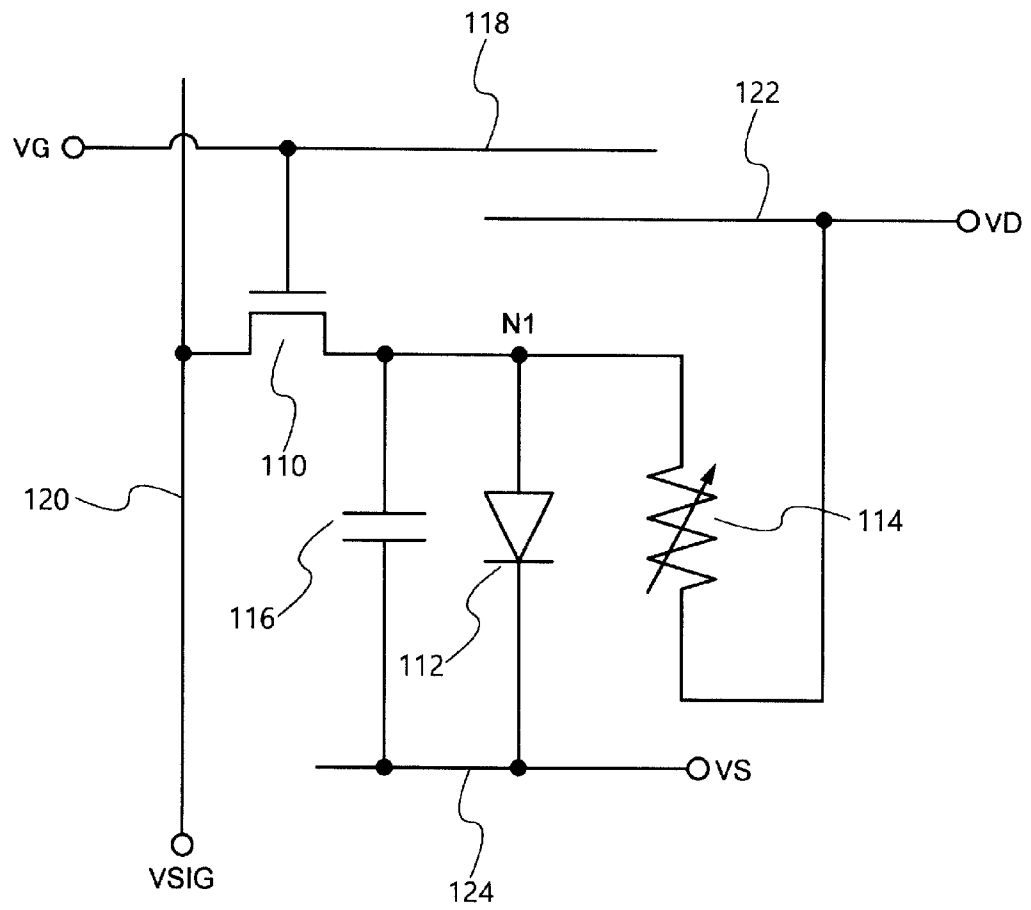
[図4]



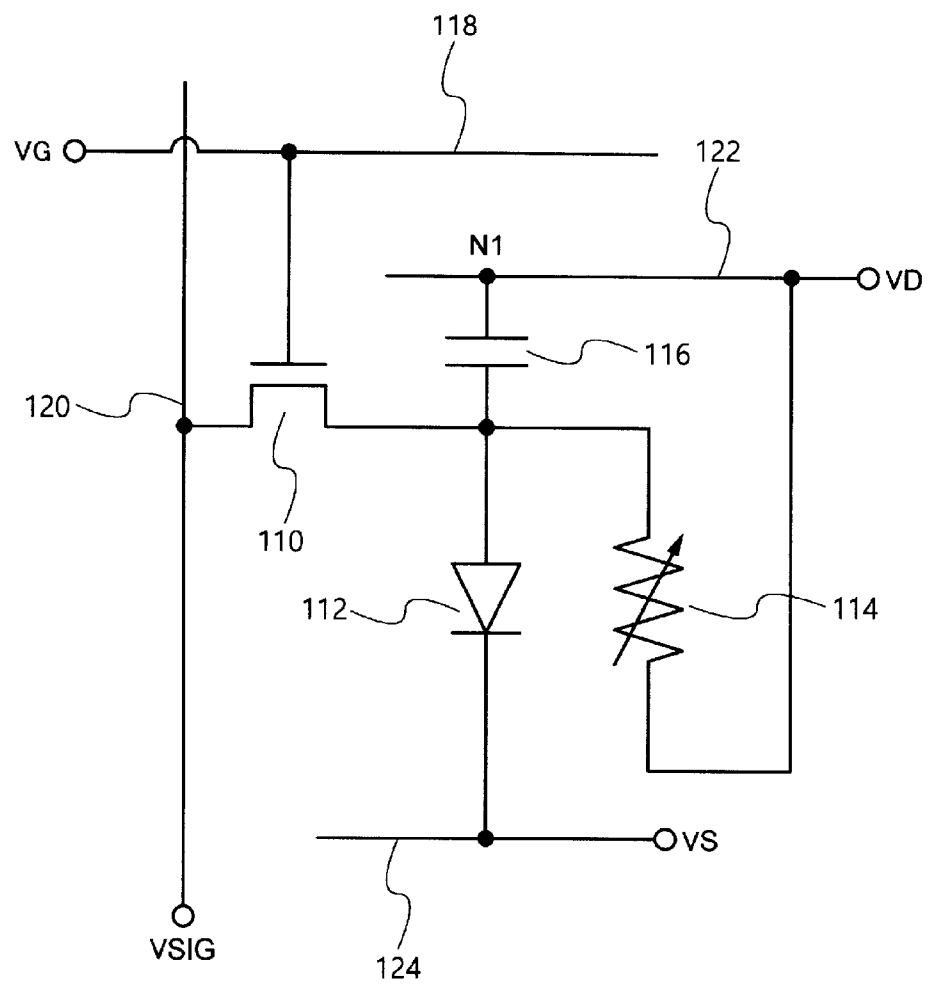
[図5]



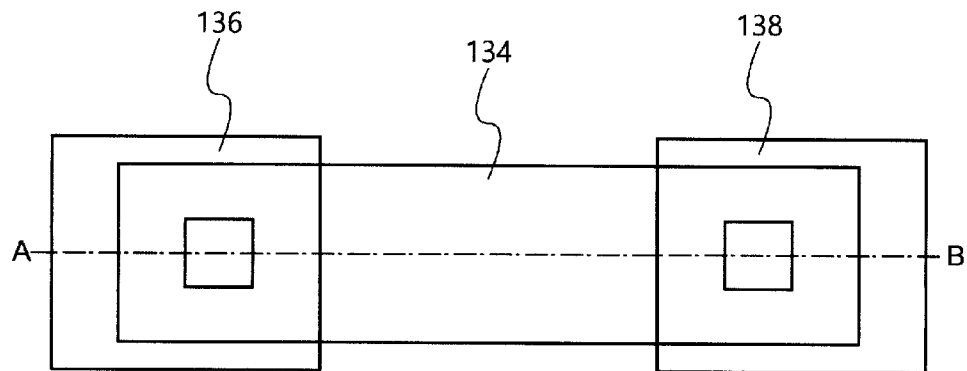
[図6]



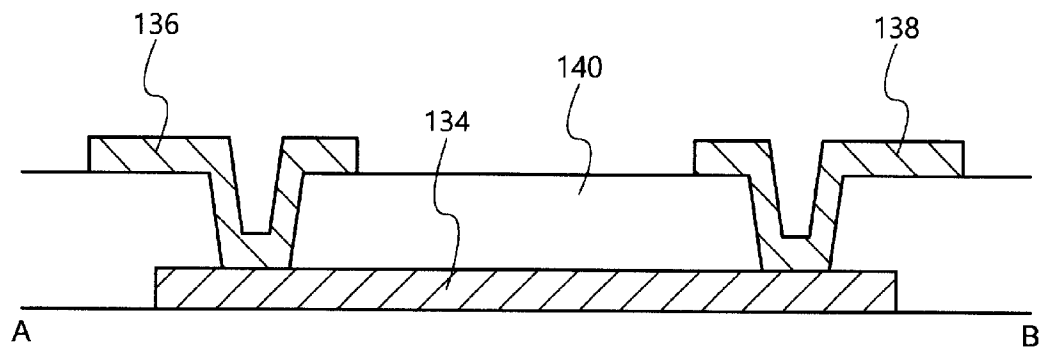
[図7]



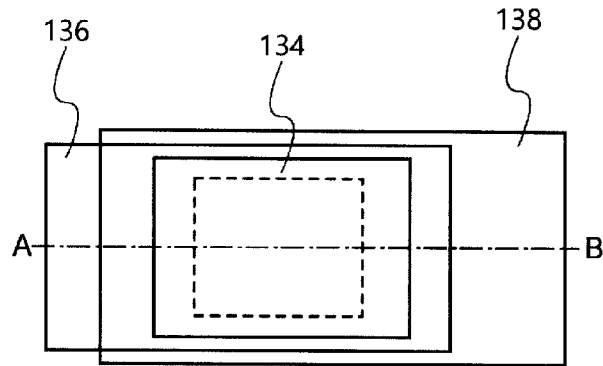
[図8A]



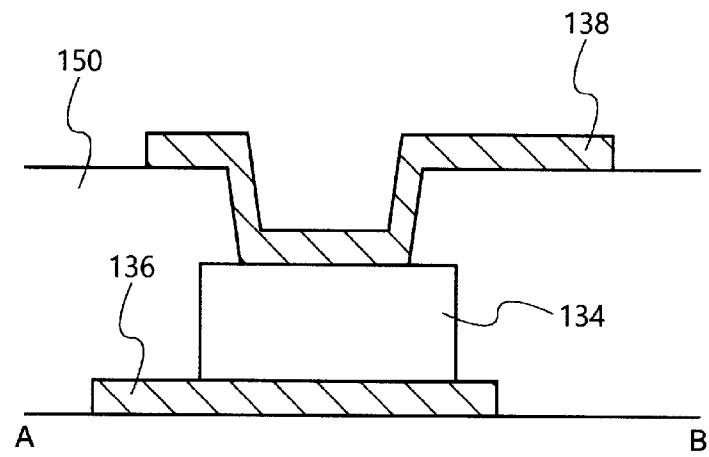
[図8B]



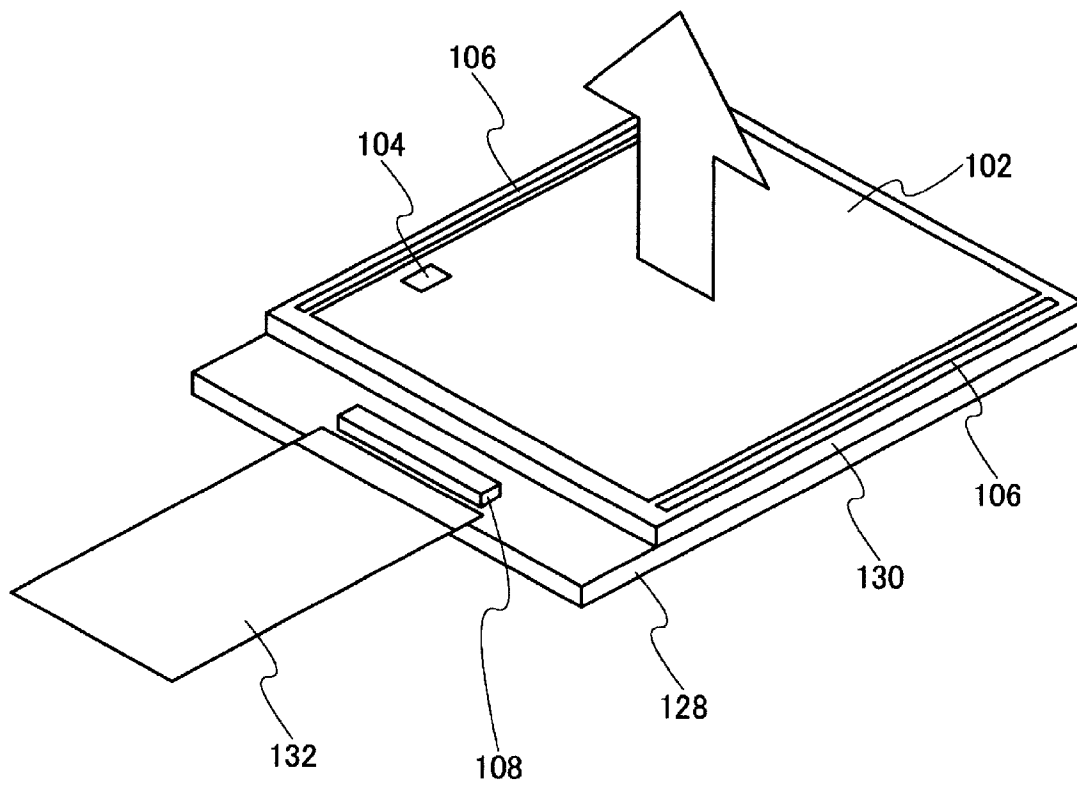
[図9A]



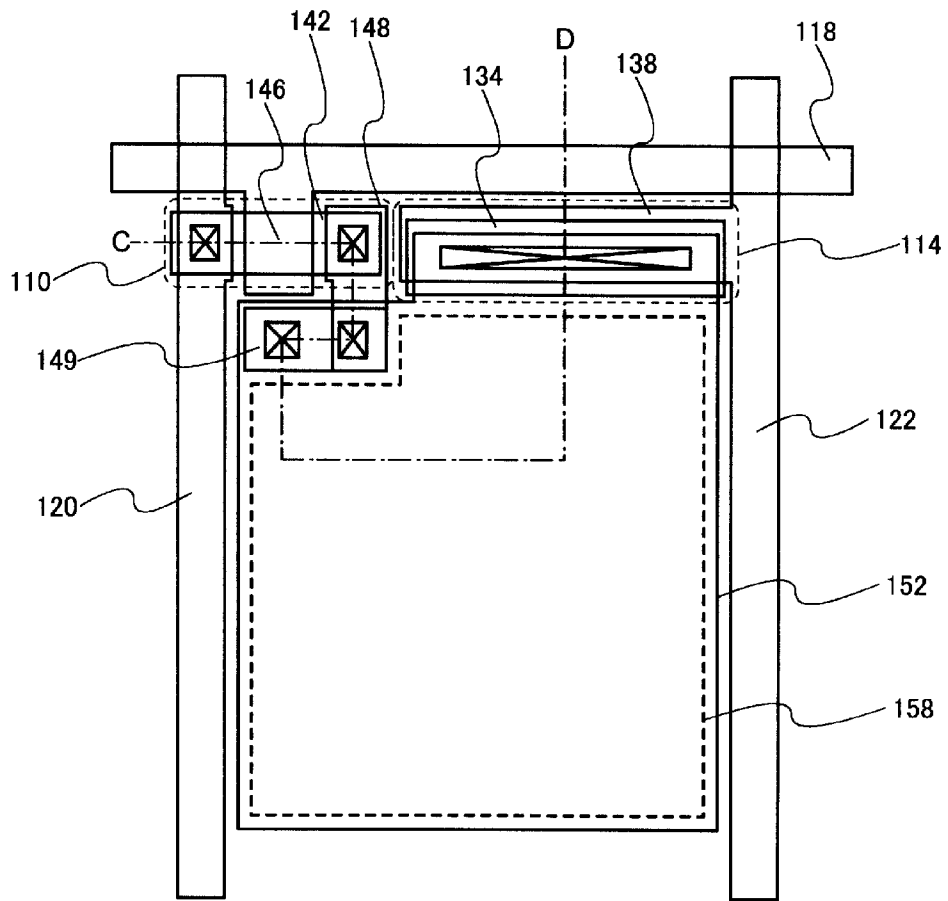
[図9B]



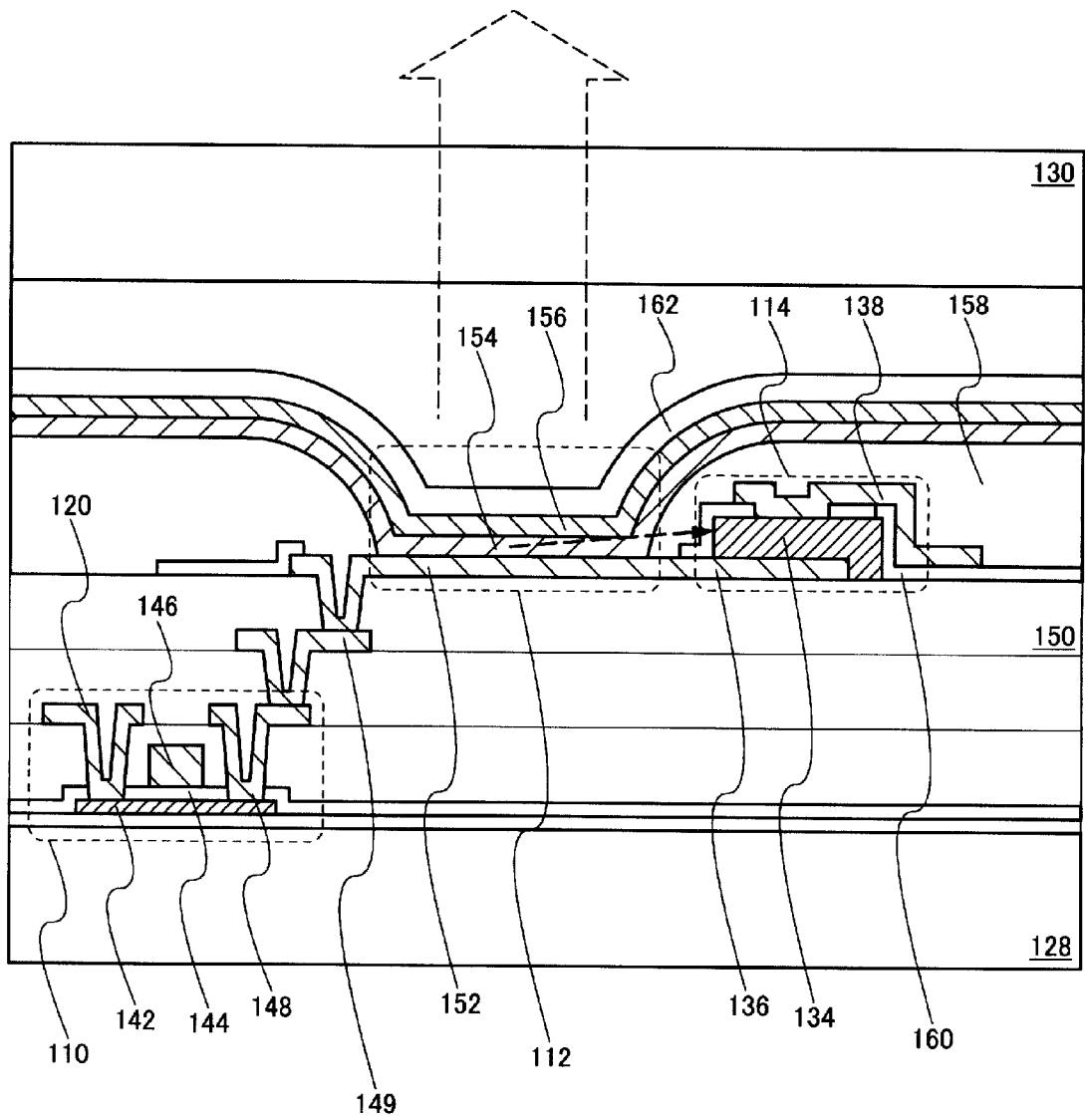
[図10]



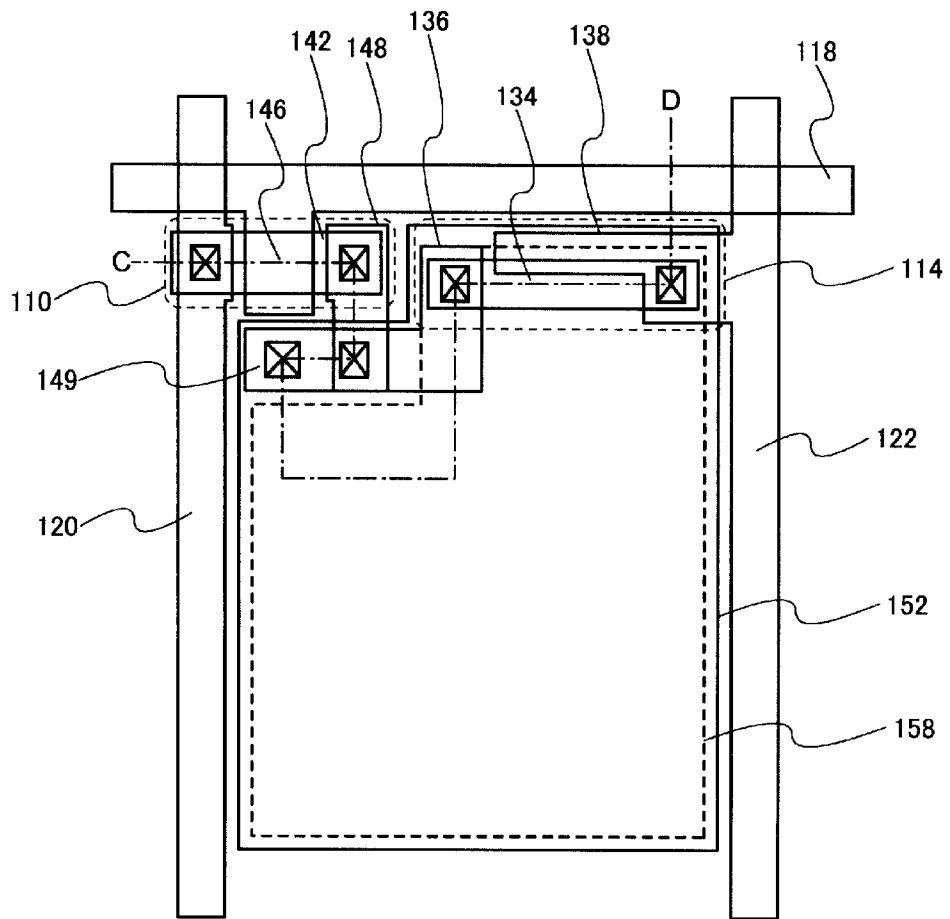
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085070

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 59-133586 A (Fujitsu Ltd.), 31 July 1984 (31.07.1984), page 2, upper left column, line 8 to upper right column, line 18; page 3, upper right column, lines 2 to 10; fig. 1, 4 (Family: none)	1-3, 6-8, 11 4-5, 9-10 12-15
Y	JP 8-54836 A (NEC Corp.), 27 February 1996 (27.02.1996), paragraphs [0034] to [0060]; fig. 1 to 4 & US 5714968 A column 10, line 22 to column 12, line 46; fig. 11 to 14	4-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
02 March 2016 (02.03.16)

Date of mailing of the international search report
15 March 2016 (15.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085070

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-153834 A (Semiconductor Energy Laboratory Co., Ltd.), 08 July 2010 (08.07.2010), paragraphs [0147] to [0202]; fig. 8 to 11 & US 2010/0134735 A1 paragraphs [0166] to [0220]; fig. 8 to 11 & KR 10-2010-0061393 A & CN 101753861 A & TW 201036151 A	9
Y	WO 02/075711 A1 (Mitsubishi Electric Corp.), 26 September 2002 (26.09.2002), page 11, line 22 to page 15, line 21; fig. 1 to 3 & US 2003/0142047 A1 paragraphs [0052] to [0064]; fig. 1 to 3 & TW 573144 B & CN 1459088 A & KR 2003-0001513 A	10
A	JP 2004-70186 A (Hitachi, Ltd.), 04 March 2004 (04.03.2004), entire text; all drawings & US 2004/0041761 A1 & KR 10-2004-0014349 A & TW 200402675 A	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 59-133586 A（富士通株式会社）1984.07.31, 第2頁左上欄第8行-右上欄第18行, 第3頁右上欄第2-10行, 第1, 4図（ファミリーなし）	1-3, 6-8, 11 4-5, 9-10 12-15
Y	JP 8-54836 A（日本電気株式会社）1996.02.27, 段落0034-0060, 図1-4 & US 5714968 A, 第10欄第22行-第12欄第46行, 図11-14	4-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.03.2016

国際調査報告の発送日

15.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武田 悟

2G

9307

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-153834 A (株式会社半導体エネルギー研究所) 2010.07.08, 段落 0147-0202, 図 8-11 & US 2010/0134735 A1, 段落 0166-0220, 図 8-11 & KR 10-2010-0061393 A & CN 101753861 A & TW 201036151 A	9
Y	WO 02/075711 A1 (三菱電機株式会社) 2002.09.26, 第 11 頁第 22 行-第 15 頁第 21 行, 図 1-3 & US 2003/0142047 A1, 段落 0052-0064, 図 1-3 & TW 573144 B & CN 1459088 A & KR 2003-0001513 A	10
A	JP 2004-70186 A (株式会社日立製作所) 2004.03.04, 全文, 全図 & US 2004/0041761 A1 & KR 10-2004-0014349 A & TW 200402675 A	1-15