



(12)发明专利

(10)授权公告号 CN 105096811 B

(45)授权公告日 2017.12.08

(21)申请号 201510614177.5

(22)申请日 2015.09.23

(65)同一申请的已公布的文献号  
申请公布号 CN 105096811 A

(43)申请公布日 2015.11.25

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 上官星辰

(74)专利代理机构 北京天昊联合知识产权代理  
有限公司 11112  
代理人 柴亮 张天舒

(51)Int.Cl.  
G09G 3/20(2006.01)

(56)对比文件

CN 104505049 A, 2015.04.08, 说明书第  
0046-0072段、附图1.

CN 104505049 A, 2015.04.08, 说明书第  
0046-0072段、附图1.

CN 104867472 A, 2015.08.26, 说明书第  
0052-0077段、附图3.

CN 104091574 A, 2014.10.08, 说明书第  
0003段、附图1.

CN 204966012 U, 2016.01.13, 说明书第  
0047-0078段、附图1-6、权利要求1-19.

CN 104835476 A, 2015.08.12, 全文.

CN 104766580 A, 2015.07.08, 全文.

KR 20140098880 A, 2014.08.11, 全文.

审查员 张鹏

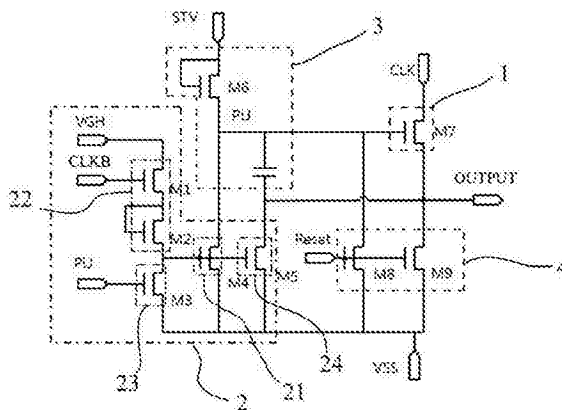
权利要求书2页 说明书7页 附图4页

(54)发明名称

GOA单元、栅极驱动电路及显示装置

(57)摘要

本发明涉及一种GOA单元、栅极驱动电路及显示装置。所述GOA单元包括驱动模块,所述驱动模块用于将第一时钟信号从所述GOA单元的输出端输出,所述GOA单元还包括下拉模块,所述下拉模块与驱动模块连接,以及和至少一个低电压端连接,其用于在所述GOA单元输出关闭信号时,将至少一个低电压端提供的低电压信号输入到驱动模块的控制端,以使所述驱动模块处于关闭状态,以使所述驱动模块在该低电压端的控制下处于关闭状态。上述GOA单元可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。



1. 一种GOA单元,包括驱动模块,所述驱动模块用于将第一时钟信号从所述GOA单元的输出端输出,其特征在于,所述GOA单元还包括下拉模块,所述下拉模块与驱动模块连接,以及和至少一个低电压端连接,其用于在所述GOA单元输出关闭信号时,将至少一个低电压端提供的低电压信号输入到驱动模块的控制端,以使所述驱动模块处于关闭状态;

所述下拉模块包括第一子模块、第二子模块和第三子模块;所述第一子模块的第一端与驱动模块的控制端连接,第二端与一低电压端连接,第三端与第二子模块和第三子模块连接;第三子模块的第一端与一低电压端连接,第二端与驱动模块的控制端连接,第三端与第一子模块连接;

所述第二子模块包括第一晶体管、第二晶体管和第三晶体管;所述第一晶体管的控制极为所述第二子模块的第二端,其与第二时钟信号连接;源极为所述第二子模块的第一端,其与输入信号端连接;漏极与第二晶体管的控制极和源极连接;所述第二晶体管的漏极为所述第二子模块的第三端,其与第一子模块连接;所述输入信号端为高电压端;所述第三晶体管的控制极为所述第三子模块的第二端,其与驱动模块的控制端连接;源极为所述第三子模块的第一端,其与一低电压端连接;漏极为所述第三子模块的第三端,其与第一子模块连接。

2. 根据权利要求1所述的GOA单元,其特征在于,所述下拉单元还包括第四子模块;

所述第四子模块的第一端与所述GOA单元的输出端连接,第二端与一低电压端连接,第三端与第二子模块和第三子模块连接。

3. 根据权利要求1或2所述的GOA单元,其特征在于,所述第一子模块包括第四晶体管;

所述第四晶体管的控制极为第一子模块的第三端,其和第二子模块、第三子模块连接;源极为第一子模块的第二端,其和一低电压端连接;漏极为第一子模块的第一端,其与驱动模块的控制端连接。

4. 根据权利要求2所述的GOA单元,其特征在于,所述第四子模块包括第五晶体管;

所述第五晶体管的控制极为第四子模块的第三端,其与第二子模块、第三子模块连接;源极为第四子模块的第二端,其和一低电压端连接;漏极为第四子模块的第一端,其与所述GOA单元的输出端连接。

5. 根据权利要求1所述的GOA单元,其特征在于,所述第一子模块包括第四晶体管;所述第二子模块包括第一晶体管和第二晶体管;所述第三子模块包括第三晶体管;

所述第一晶体管的控制极与第二时钟信号连接,源极与输入信号端连接,漏极与第二晶体管的控制极和源极连接;

所述第二晶体管的漏极与第四晶体管的控制极连接;

所述第三晶体管的控制极与驱动模块的控制端连接,源极与一低电压端连接,漏极与第四晶体管的控制极连接;

所述第四晶体管的源极与一低电压端连接,漏极与驱动模块的控制端连接;

所述输入信号端为高电压端。

6. 根据权利要求5所述的GOA单元,其特征在于,与所述第三晶体管的源极连接的低电压端和与第四晶体管的源极连接的低电压端为同一电压端。

7. 根据权利要求5或6所述的GOA单元,其特征在于,所述下拉模块还包括第四子模块,所述第四子模块包括第五晶体管;

所述第五晶体管的控制极与第二子模块、第三子模块连接；源极和一低电压端连接；漏极与所述GOA单元的输出端连接。

8. 根据权利要求7所述的GOA单元，其特征在于，与所述第三晶体管的源极连接的低电压端、与第四晶体管的源极连接的低电压端和与第五晶体管的源极连接的低电压端为同一电压端。

9. 根据权利要求1所述的GOA单元，其特征在于，所述GOA单元还包括上拉模块，所述上拉模块的输出端与驱动模块连接，用于向所述驱动模块输入上拉信号，所述上拉信号使所述驱动模块开启。

10. 根据权利要求9所述的GOA单元，其特征在于，所述驱动模块包括驱动晶体管；

所述驱动晶体管的控制极为驱动模块的控制端，其与所述上拉模块的输出端连接；所述驱动晶体管的源极与第一时钟信号连接，漏极与所述GOA单元的输出端连接。

11. 根据权利要求9或10所述的GOA单元，其特征在于，所述GOA单元还包括复位模块，所述复位模块与驱动模块连接，用于向所述驱动模块及所述GOA单元的输出端输入低电压信号，将所述驱动模块关闭，以及将所述GOA单元输出的信号下拉。

12. 根据权利要求10所述的GOA单元，其特征在于，所述上拉模块包括第六晶体管 and 第一电容；

所述第六晶体管的控制极和源极与上拉信号连接，漏极与驱动晶体管的控制极连接；

所述第一电容的第一端连接在所述第六晶体管的漏极与驱动晶体管的控制极之间，第二端与所述GOA单元的输出端连接。

13. 根据权利要求11所述的GOA单元，其特征在于，所述复位模块包括第八晶体管和第九晶体管；

所述第八晶体管的控制极与复位信号端连接，源极与一低电压端连接，漏极与驱动模块的控制端连接；

所述第九晶体管的控制极与复位信号端连接，源极与一低电压端连接，漏极与所述GOA单元的输出端连接。

14. 根据权利要求1或5所述的GOA单元，其特征在于，所述输入信号端输出的电压等于栅极驱动电路的开启电压。

15. 一种栅极驱动电路，其特征在于，包括权利要求1~14任意一项所述的GOA单元。

16. 一种显示装置，其特征在于，包括权利要求15所述的栅极驱动电路。

## GOA单元、栅极驱动电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,具体地,涉及一种GOA单元、栅极驱动电路及显示装置。

### 背景技术

[0002] 在显示装置中,栅极驱动电路提供开启信号,使多行像素依次、逐行开启,实现显示。一般地,栅极驱动电路包括多级移位寄存器,每级移位寄存器与一行像素对应;在一行像素开启时,该行像素对应的移位寄存器生成驱动信号,输入到与该行像素连接的栅线中,从而驱动该行像素开启。

[0003] 目前,为了实现显示装置的轻薄化,越来越多的栅极驱动电路采用GOA技术(Gate on Array,即把栅驱动芯片制备在阵列基板上),在采用GOA技术的栅极驱动电路中,其移位寄存器称之为GOA单元。

[0004] 在现有的显示装置中,每级GOA单元在驱动其对应的一行像素开启后输出关闭信号,且处于悬浮(Flooding)状态;在此情况下,由于信号串扰,处于悬浮状态的GOA单元容易被耦合进入的信号误开启,从而导致与该GOA单元对应的一行像素被充电,从而显示错误的图像,即所谓“画异”现象。

### 发明内容

[0005] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种GOA单元、栅极驱动电路及显示装置,其可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

[0006] 为实现本发明的目的而提供一种GOA单元,其包括驱动模块,所述驱动模块用于将第一时钟信号从所述GOA单元的输出端输出,所述GOA单元还包括下拉模块,所述下拉模块与驱动模块连接,以及和至少一个低电压端连接,其用于在所述GOA单元输出关闭信号时,将至少一个低电压端提供的低电压信号输入到驱动模块的控制端,以使所述驱动模块在该低电压端的控制下处于关闭状态。

[0007] 其中,所述下拉模块包括第一子模块、第二子模块和第三子模块;所述第一子模块的第一端与驱动模块的控制端连接,第二端与一低电压端连接,第三端与第二子模块和第三子模块连接;所述第二子模块的第一端连接输入信号端,第二端连接第二时钟信号,第三端和第一子模块连接;第三子模块的第一端与一低电压端连接,第二端与驱动模块的控制端连接,第三端与第一子模块连接。

[0008] 其中,所述下拉单元还包括第四子模块;所述第四子模块的第一端与所述GOA单元的输出端连接,第二端与一低电压端连接,第三端与第二子模块和第三子模块连接。

[0009] 其中,所述第一子模块包括第四晶体管;所述第四晶体的控制极属于第一子模块的第三端,其和第二子模块、第三子模块连接;源极属于第一子模块的第二端,其和一低电压端连接;漏极属于第一子模块的第一端,其与驱动模块的控制端连接。

[0010] 其中,所述第四子模块包括第五晶体管;所述第五晶体的控制极为第四子模块

的第三端,其与第二子模块、第三子模块连接;源极为第四子模块的第二端,其和一低电压端连接;漏极为第四子模块的第一端,其与所述GOA单元的输出端连接。

[0011] 其中,所述第二子模块包括第一晶体管和第二晶体管;所述第一晶体管的控制极为所述第二子模块的第二端,其与第二时钟信号连接;源极为所述第二子模块的第一端,其与输入信号端连接;漏极与第二晶体管的控制极和源极连接;所述第二晶体管的漏极为所述第二子模块的第三端,其与第一子模块连接;所述输入信号端为高电压端或第二时钟信号。

[0012] 其中,所述第三子模块包括第三晶体管;所述第三晶体管的控制极为所述第三子模块的第二端,其与驱动模块的控制端连接;源极为所述第三子模块的第一端,其和一低电压端连接;漏极为所述第三子模块的第三端,其与第一子模块连接。

[0013] 其中,所述第一子模块包括第四晶体管;所述第二子模块包括第一晶体管和第二晶体管;所述第三子模块包括第三晶体管;

[0014] 所述第一晶体管的控制极与第二时钟信号连接,源极与输入信号端连接,漏极与第二晶体管的控制极和源极连接;

[0015] 所述第二晶体管的漏极与第四晶体管的控制极连接;

[0016] 所述第三晶体管的控制极与驱动模块的控制端连接,源极和一低电压端连接,漏极与第四晶体管的控制极连接;

[0017] 所述第四晶体管的源极和一低电压端连接,漏极与驱动模块的控制端连接;所述输入信号端为高电压端或第二时钟信号。

[0018] 其中,与所述第三晶体管的源极连接的低电压端和与第四晶体管的源极连接的低电压端为同一电压端。

[0019] 其中,所述下拉模块还包括第四子模块,所述第四子模块包括第五晶体管;所述第五晶体管的控制极与第二子模块、第三子模块连接;源极和一低电压端连接;漏极与所述GOA单元的输出端连接。

[0020] 其中,与所述第三晶体管的源极连接的低电压端、与第四晶体管的源极连接的低电压端和与第五晶体管的源极连接的低电压端为同一电压端。

[0021] 其中,所述GOA单元还包括上拉模块,所述上拉模块的输出端与驱动模块连接,用于向所述驱动模块输入上拉信号,所述上拉信号使所述驱动模块开启。

[0022] 其中,所述驱动模块包括驱动晶体管;

[0023] 所述驱动晶体管的控制极为驱动模块的控制端,其与所述上拉模块的输出端连接;所述驱动晶体管的源极与第一时钟信号连接,漏极与所述GOA单元的输出端连接。

[0024] 其中,所述GOA单元还包括复位模块,所述复位模块与驱动模块连接,用于向所述驱动模块及所述GOA单元的输出端输入低电压信号,将所述驱动模块关闭,以及将所述GOA单元输出的信号下拉。

[0025] 其中,所述上拉模块包括第六晶体管和第一电容;

[0026] 所述第六晶体管的控制极和源极与上拉信号连接,漏极与驱动晶体管的控制极连接;

[0027] 所述第一电容的第一端连接在所述第六晶体管的漏极与驱动晶体管的控制极之间,第二端与所述GOA单元的输出端连接。

- [0028] 其中,所述复位模块包括第八晶体管和第九晶体管;
- [0029] 所述第八晶体管的控制极与复位信号端连接,源极与一低电压端连接,漏极与驱动模块的控制端连接;
- [0030] 所述第九晶体管的控制极与复位信号端连接,源极与一低电压端连接,漏极与所述GOA单元的输出端连接。
- [0031] 其中,所述输入信号端输出的电压等于栅极驱动电路的开启电压。
- [0032] 作为另一个技术方案,本发明还提供一种栅极驱动电路,其包括本发明提供的上述GOA单元。
- [0033] 作为另一个技术方案,本发明还提供一种显示装置,其包括本发明提供的上述栅极驱动电路。
- [0034] 本发明具有以下有益效果:
- [0035] 本发明提供的GOA单元,在其输出关闭信号时,下拉模块将所述驱动模块的控制端与至少一个低电压端连通,这样,所述低电压端向驱动模块的控制端输入低电压信号,会使驱动模块在该过程中会始终保持关闭,从而,可以避免驱动模块被因信号串扰而耦合进入的信号开启,在此情况下,GOA单元会始终维持输出关闭信号的状态,而不会如现有技术中所述的错误地输出开启信号,进而,避免了栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。
- [0036] 本发明提供的栅极驱动电路,其采用本发明提供的GOA单元,可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。
- [0037] 本发明提供的显示装置,其采用本发明提供的栅极驱动电路,可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

## 附图说明

- [0038] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:
- [0039] 图1为本发明实施方式提供的GOA单元的示意图;
- [0040] 图2为图1所示GOA单元的一种电路图;
- [0041] 图3为图2所示电路图中各信号的时序图;
- [0042] 图4为图1所示GOA单元的另一种电路图;
- [0043] 图5为第四晶体管的源极和第三晶体管的源极所连接的低电压端不同时的示意图;
- [0044] 图6为第四晶体管和第五晶体管的源极和第三晶体管的源极连接的低电压端不同时的示意图。
- [0045] 其中,附图标记:
- [0046] 1:驱动模块;2:下拉模块;3:上拉模块;4:复位模块;21:第一子模块;22:第二子模块;23:第三子模块;24:第四子模块。

## 具体实施方式

- [0047] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描

述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0048] 本发明提供一种GOA单元的实施方式。图1为本发明实施方式提供的GOA单元的示意图。如图1所示,在本实施方式中,所述GOA单元包括驱动模块1和下拉模块2;其中,所述驱动模块1用于将第一时钟信号CLK从所述GOA单元的输出端OUTPUT输出;所述下拉模块2与驱动模块1连接,以及和低电压端VSS连接,其用于在所述GOA单元输出关闭信号时,将所述低电压端VSS提供的低电压信号输入到驱动模块1的控制端,以使所述驱动模块1在所述低电压端VSS的控制下处于关闭状态。

[0049] 在本实施方式中,在所述GOA单元输出关闭信号时,下拉模块2将低电压端VSS提供的低电压信号输入到所述驱动模块1的控制端,这样就会使驱动模块1在该过程中保持关闭,从而,可以避免驱动模块1被因信号串扰而耦合进入的信号开启,在此情况下,GOA单元会始终维持输出关闭信号的状态,而不会如现有技术中所述的错误地输出开启信号,进而,避免了栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

[0050] 具体地,所述下拉模块2包括第一子模块21、第二子模块22和第三子模块23;所述第一子模块21的第一端与驱动模块1的控制端连接,第二端与低电压端VSS连接,第三端与第二子模块22和第三子模块23连接;所述第二子模块22的第一端连接输入信号端,第二端连接第二时钟信号CLKB,第三端和第一子模块21连接;第三子模块23的第一端与低电压端VSS连接,第二端与驱动模块1的控制端连接,第三端与第一子模块21连接。

[0051] 可选的,输入信号端可以为高电压端VGH或第二时钟信号CLKB。

[0052] 具体地,所述GOA单元还包括上拉模块3,所述上拉模块3的输出端与驱动模块1连接,用于向所述驱动模块1输入上拉信号,所述上拉信号将上拉结点PU(为上拉模块3与驱动模块1之间的节点)的电位拉高,从而使所述驱动模块1开启。

[0053] 可选的,若所述GOA单元位于栅极驱动电路的第一行,则所述上拉信号为STV信号,即显示的起始信号;若所述GOA单元位于栅极驱动电路的第二行或之后的任意一行,则所述上拉信号为上一行GOA单元的输出端OUTPUT输出的信号。

[0054] 所述GOA单元还包括复位模块4,所述复位模块4与驱动模块1连接,用于向所述驱动模块1及所述GOA单元的输出端OUTPUT输入低电压信号,将所述驱动模块1关闭,以及将所述GOA单元输出的信号下拉。

[0055] 图2为图1所示GOA单元的一种电路图,图3为图2所示电路图中各信号的时序图。下面结合图2和图3对本发明实施方式中GOA单元的电结构,以及所述GOA单元的工作原理进行描述和说明。需要说明的是,在图2中,各薄膜晶体管为N型管。

[0056] 如图2所示,所述第一子模块21包括第四晶体管M4。具体地,所述第四晶体管M4的控制极属于第一子模块21的第三端,其和第二子模块22、第三子模块23连接;源极属于第一子模块21的第二端,其和低电压端VSS连接;漏极属于第一子模块21的第一端,其与驱动模块1的控制端连接。所述第二子模块22包括第一晶体管M1和第二晶体管M2。所述第一晶体管M1的控制极为所述第二子模块22的第二端,其与第二时钟信号CLKB连接;源极为所述第二子模块22的第一端,其与输入信号端(即高电压端VGH)连接;漏极与第二晶体管M2的控制极和源极连接。所述第二晶体管M2的漏极为所述第二子模块22的第三端,其与第一子模块21连接。所述第三子模块23包括第三晶体管M3;所述第三晶体管M3的控制极为所述第三子模块23的第二端,其与驱动模块1的控制端连接;源极为所述第三子模块23的第一端,其与低

电压端VSS连接;漏极为所述第三子模块23的第三端,其与第一子模块21连接。

[0057] 所述驱动模块1包括驱动晶体管M7。所述驱动晶体管M7的控制极为所述驱动模块1的控制端,其与所述上拉模块3的输出端连接,源极与第一时钟信号CLK连接,漏极与所述GOA单元的输出端OUTPUT连接。

[0058] 所述上拉模块3包括第六晶体管M6和第一电容C1。所述第六晶体管M6的控制极和源极与上拉信号连接,漏极与驱动晶体管M7的控制极连接;所述第一电容C1的第一端连接在所述第六晶体管M6的漏极与驱动晶体管M7的控制极之间,第二端与所述GOA单元的输出端OUTPUT连接。

[0059] 所述复位模块4包括第八晶体管M8和第九晶体管M9。所述第八晶体管M8的控制极与复位信号端Reset连接,源极与低电压端VSS连接,漏极与驱动晶体管M7的控制极连接;所述第九晶体管M9的控制极与复位信号端Reset连接,源极与低电压端VSS连接,漏极与所述GOA单元的输出端OUTPUT连接。

[0060] 就本发明实施方式提供的GOA单元而言,在第一阶段,第二时钟信号CLKB为低电平,使第一晶体管M1和第二晶体管M2关闭;复位信号Reset为低电平,使第八晶体管M8和第九晶体管M9关闭;上拉信号(在此为STV信号,表示该GOA单元位于栅极驱动电路的第一行)为高电平,将上拉结点PU的电位拉高,在此情况下,第一电容C1的第一端被充电,驱动晶体管M7开启,进而,第一时钟信号CLK通过驱动晶体管M7从输出端OUTPUT输出,并输入到第一电容的第二端;同时,第三晶体管M3被开启,进而,第四晶体管M4的控制极与低电压端VSS连接,使其在该第一阶段关闭。

[0061] 在第二阶段,STV信号变为低电平,使第六晶体管M6关闭,这样使上拉结点PU保持高电平,且处于悬浮状态,而第一时钟信号CLK由低电平变为高电平,使GOA单元的输出端OUTPUT输出高电平,同时,对第一电容C1的第二端充电,使第一电容C1自举,使上拉结点PU的电位进一步升高。

[0062] 在第三阶段,复位信号Reset由低电平变为高电平,使第八晶体管M8和第九晶体管M9开启,从而使上拉结点PU与低电压端VSS连接,GOA单元的输出端OUTPUT也与低电压端VSS连接,可以理解,在此情况下,驱动晶体管M7关闭,GOA单元输出关闭信号。

[0063] 在第四阶段,第二时钟信号CLKB为高电平,使第一晶体管M1和第二晶体管M2开启,从而使第四晶体管M4的控制极的电位为高电平,将第四晶体管M4打开,在此情况下,低电压端VSS经第四晶体管M4与驱动晶体管M7的控制极连接,从而在该阶段,驱动晶体管M7会维持关闭状态,而不会被耦合进入该GOA单元中的信号误开启,使所述GOA单元输出错误的开启信号,导致一行像素被错误的打开,显示错误的图像。

[0064] 上面结合附图对GOA单元的结构和其每个循环周期的工作原理进行了说明和描述,根据上述可知,在GOA单元输出关闭信号时,本实施方式提供的GOA单元可以避免GOA单元被误开启,输出错误的信号,使显示装置显示错误。

[0065] 在本实施方式中,GOA单元的电路结构并不限于图2所示,具体地,如图4所示,所述下拉单元2还包括第四子模块24;所述第四子模块24的第一端与所述GOA单元的输出端OUTPUT连接,第二端与低电压端VSS连接,第三端与第二子模块22和第三子模块23连接。具体地,所述第四子模块24可以包括第五晶体管M5。所述第五晶体管M5的控制极为第四子模块24的第三端,其与第二子模块22中第二晶体管M2的漏极,以及第三子模块23中第三晶体



管M3的漏极连接;源极为第四子模块24的第二端,其与低电压端VSS连接;漏极为第四子模块24的第一端,其与所述GOA单元的输出端OUTPUT连接。这样设置可以在GOA单元输出关闭信号时,使第一电容C1的第二端和输出端OUTPUT与低电压端VSS连接,进一步保证从GOA单元的输出端OUTPUT输出的信号为关闭信号,更大程度地改善被耦合进入该GOA单元的信号对GOA单元的不良影响。

[0066] 此外,在本实施方式中,下拉模块2还可以与多个低电压端连接,例如,如图5所示,所述第三晶体管M3的源极与第一低电压端VSS1连接,所述第四晶体管的源极与第二低电压端VSS2连接;以及,如图6所示,第三晶体管M3的源极与第一低电压端VSS1连接,第四晶体管M4和第五晶体管M5的源极与第二低电压端VSS2连接,当然,对于图6所示实施例而言,所述第二晶体管M4和第五晶体管M5所连接的低电压端也可以为不同的低电压端。在所述GOA单元输出关闭信号时,所述第四晶体管M4的源极所连接的低电压端向驱动晶体管M7的控制极输入低电压信号。

[0067] 可选的,第三晶体管M3,第四晶体管M4,第五晶体管M5连接的低电压端为相同的低电压端,以减少需要设置的电源端口的数量。

[0068] 进一步地,所述下拉模块2所连接的低电压端与复位模块4所连接的低电压端还可以为不同的低电压端,只需其二者所连接的低电压端所输出的低电压信号能够使所述驱动晶体管M7关闭即可。

[0069] 可选的,所述下拉模块2所连接的低电压端与复位模块4所连接的低电压端的电压相同,以减少需要设置的电源端口的数量。

[0070] 相应地,优选所述输入信号端输出的电压等于栅极驱动电路的开启电压,例如高电压端VGH输出的电压等于栅极驱动电路的开启电压;这样直接借用栅极驱动电路中已有的高电压,可以减少电源端口的数量,并简化电路结构。

[0071] 此外,需要说明的是,在本实施方式中,所述第二时钟信号CLKB的信号波形并不限于图3所示,在实际中,其只需在上拉结点PU为高电平时,满足第四晶体管M4的控制极的电压为低电平(对于下拉模块2包含第五晶体管M5的实施例而言,还需满足将第五晶体管M5的控制极的电压拉至低电平)即可。

[0072] 可选的,第二时钟信号CLKB与第一时钟信号CLK波形反相。

[0073] 本实施方式提供的GOA单元,在其输出关闭信号时,下拉模块2将所述驱动模块1的控制端与低电压端VSS连通,这样,低电压端VSS向驱动模块1的控制端输入低电压信号,会使驱动模块1在该过程中会始终保持关闭,从而,可以避免驱动模块1被因信号串扰而耦合进入的信号开启,在此情况下,GOA单元会始终维持输出关闭信号的状态,而不会如现有技术中所述的错误地输出开启信号,进而,避免了栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

[0074] 本发明还提供一种栅极驱动电路的实施方式。在本实施方式中,所述栅极驱动电路包括本发明上述实施方式提供的GOA单元。

[0075] 本发明实施方式提供的栅极驱动电路,其采用本发明上述实施方式提供的GOA单元,可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

[0076] 本发明还提供一种显示装置的实施方式。在本实施方式中,所述显示装置包括本

发明上述实施方式提供的栅极驱动电路。

[0077] 本发明实施方式提供的显示装置,其采用本发明上述实施方式提供的栅极驱动电路,可以避免栅线的误开启,使像素不会被充电,显示错误的图像,这样就克服所谓“画异”现象。

[0078] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

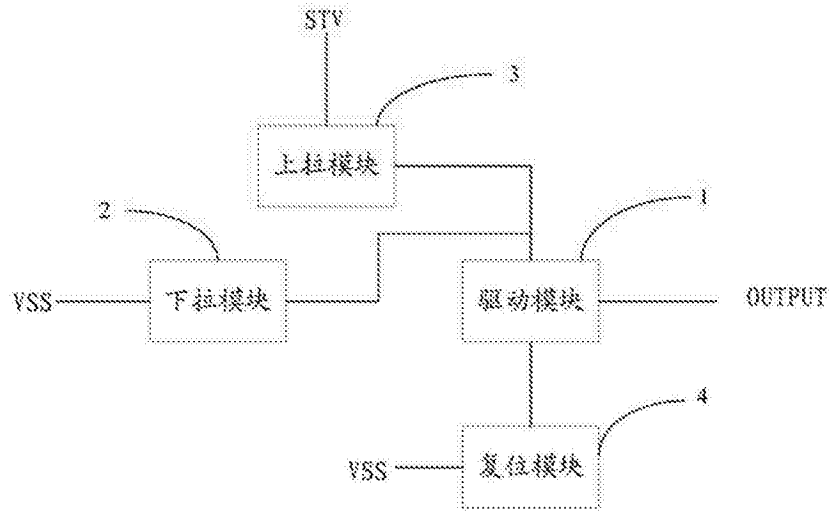


图1

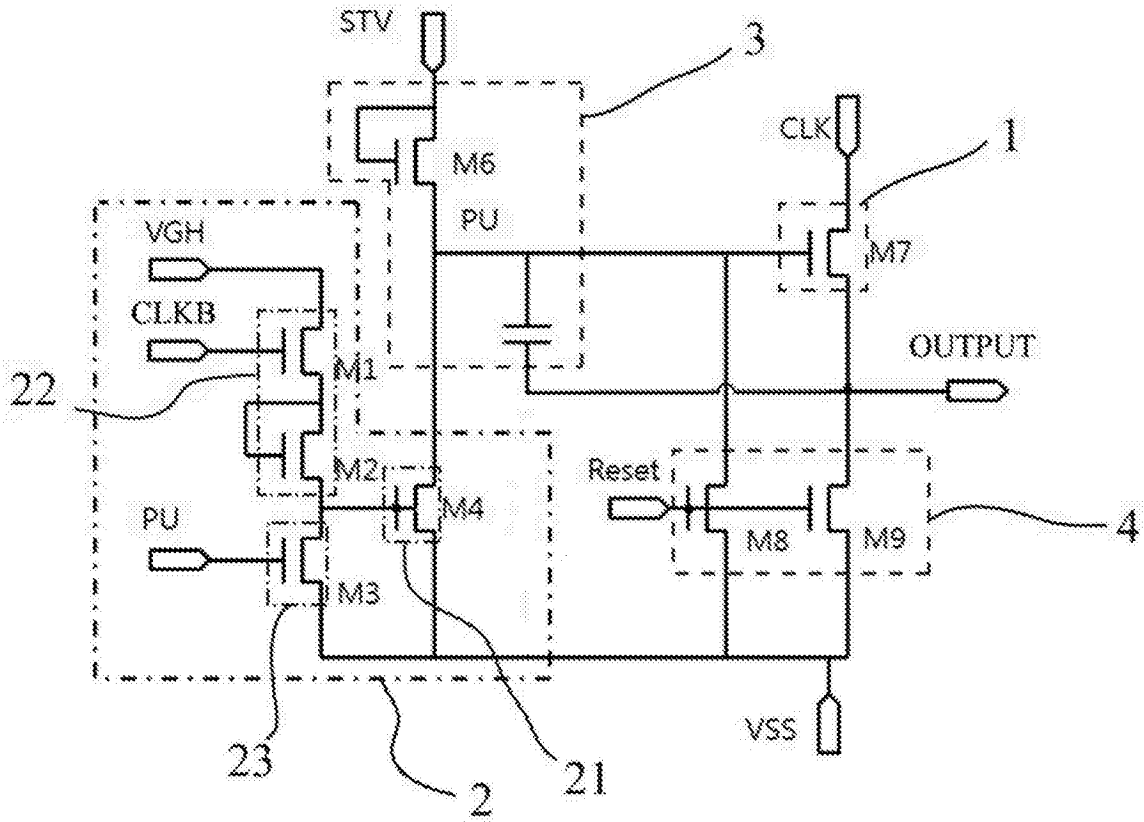


图2

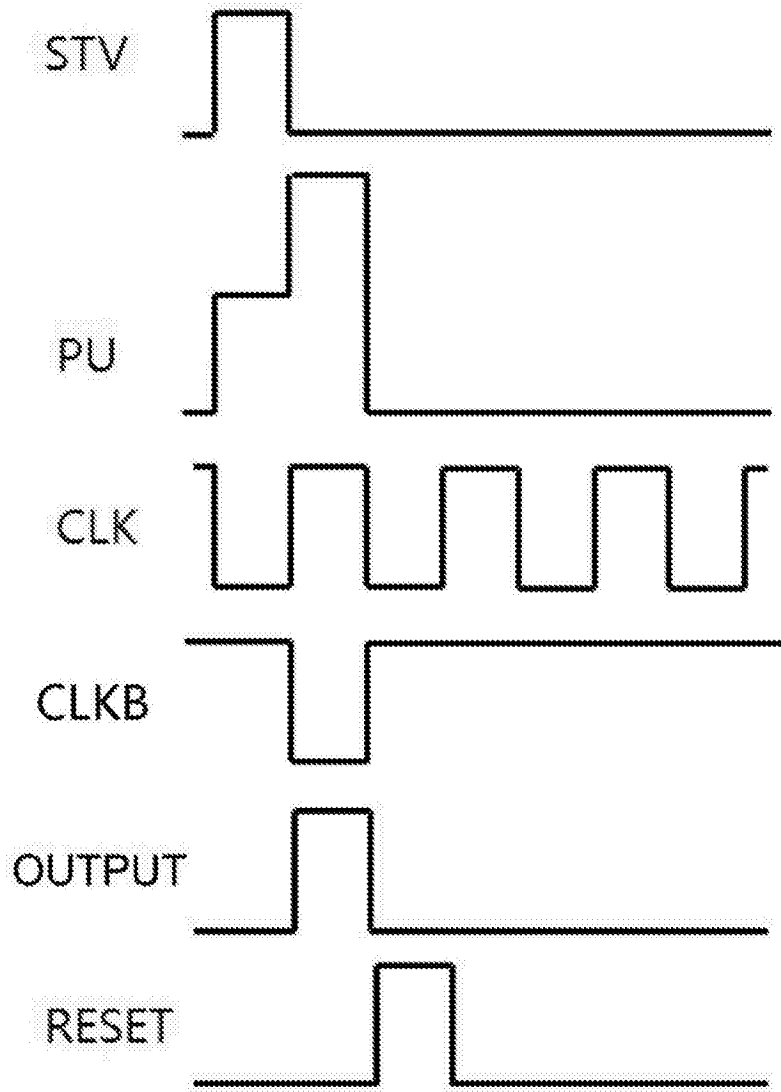


图3

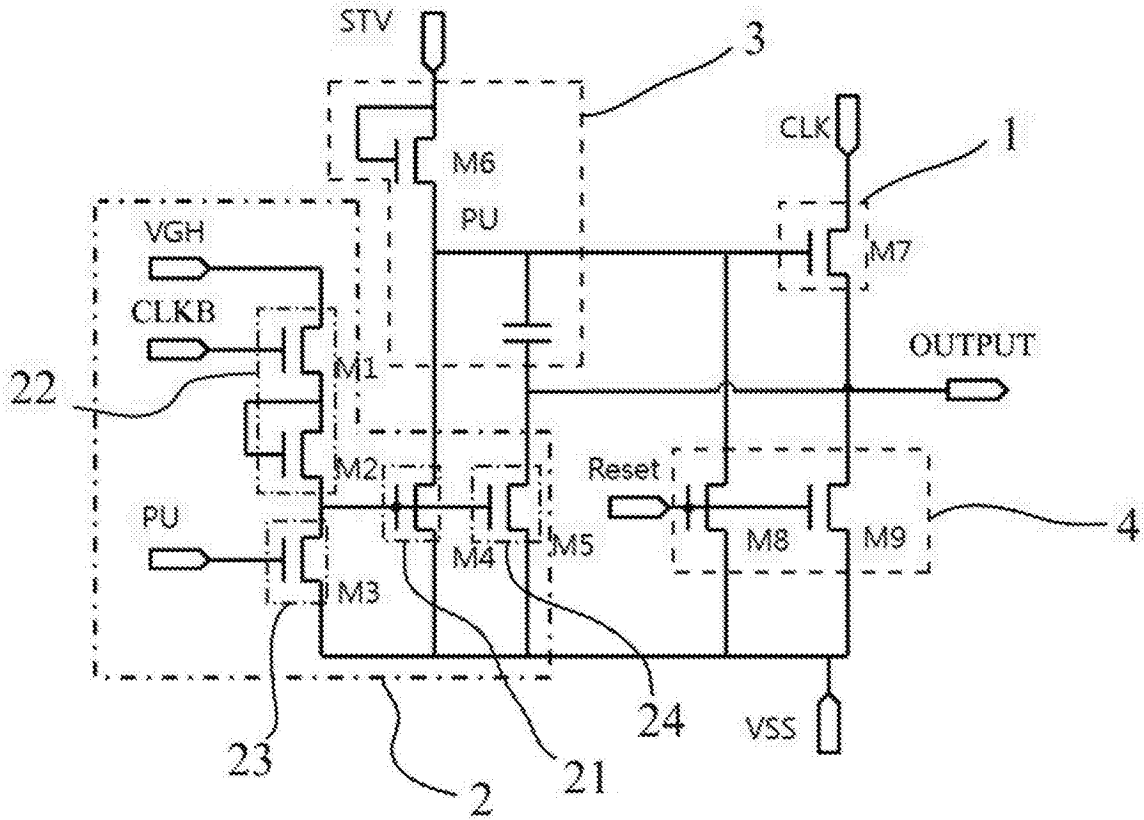


图4

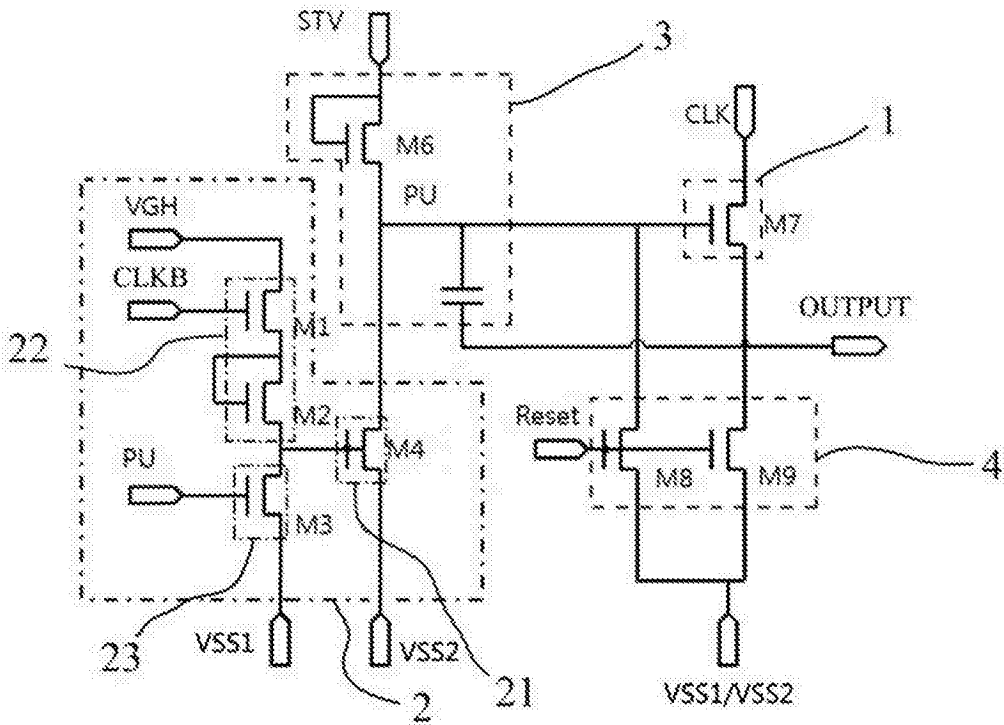


图5

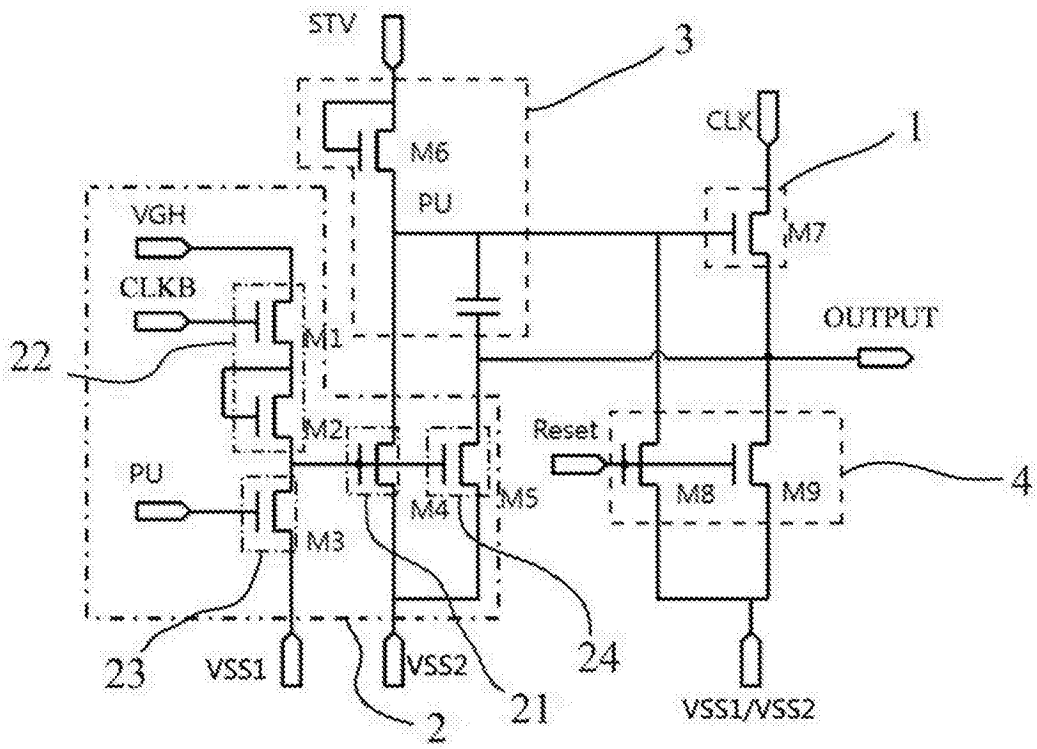


图6