



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214111 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：099132195

(22)申請日：中華民國 99 (2010) 年 09 月 23 日

(51)Int. Cl. : **G06F12/00 (2006.01)**

G06F12/02 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：黃意翔 HUANG, YI HSIANG (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：20 項 圖式數：13 共 59 頁

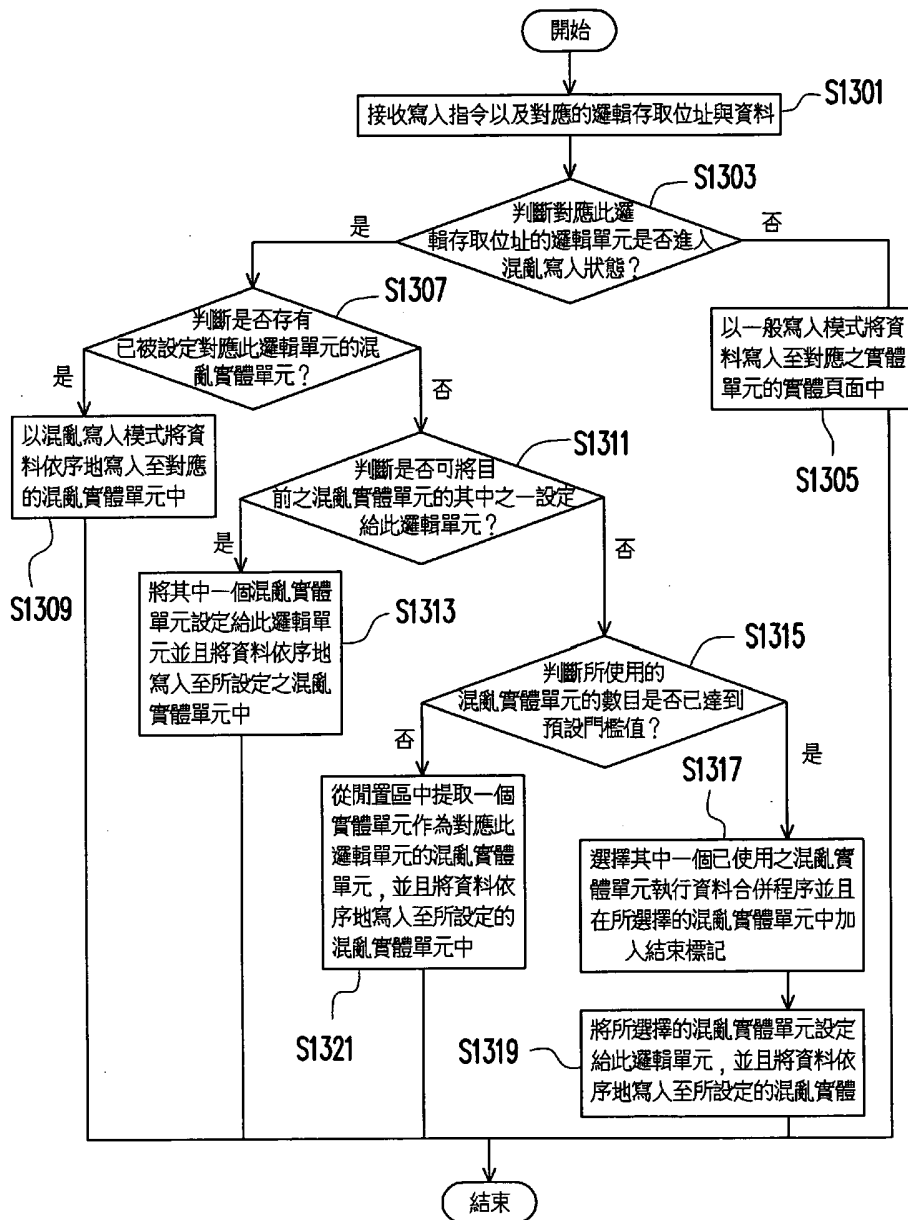
(54)名稱

資料寫入方法、記憶體控制器與記憶體儲存裝置

DATA WRITING METHOD, MEMORY CONTROLLER AND MEMORY STORAGE APPARATUS

(57)摘要

一種資料寫入方法使用此方法的記憶體控制器與儲存裝置。本資料寫入方法包括將多個實體區塊分組為多個實體單元，將這些實體單元至少分組為資料區與閒置區，並且配置多個邏輯單元以映射屬於資料區的實體單元。本資料寫入方法也包括從屬於閒置區的實體單元之中提取一個實體單元，將屬於這些邏輯單元之中的至少一邏輯單元的至少一資料寫入至所提取的實體單元中，以及在所提取的實體單元中寫入一結束標記，其中在所提取的實體單元中此結束標記是接續於屬於此邏輯單元的資料之後。基此，可有效地使用實體單元，延長記憶體儲存裝置的壽命。



S1301：資料寫入的步驟

S1303：資料寫入的步驟

S1305：資料寫入的步驟

S1307：資料寫入的步驟

S1309：資料寫入的步驟

S1311：資料寫入的步驟

S1313：資料寫入的步驟

S1315：資料寫入的步驟

S1317：資料寫入的步驟

S1319：資料寫入的步驟

S1321：資料寫入的步驟

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種資料寫入方法，且特別是有關於一種用於非揮發性記憶體模組的資料寫入方法及使用此方法的記憶體控制器與記憶體儲存裝置。

【先前技術】

數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對數位內容的儲存需求也急速增加。由於快閃記憶體(Flash Memory)具有資料非揮發性、省電、體積小與無機械結構等的特性，適合使用者隨身攜帶作為數位檔案傳遞與交換的儲存媒體。

傳統上，快閃記憶體儲存裝置的用途主要是儲存使用者資料。例如，使用者會使用隨身碟來儲存數位檔案，或者使用記憶卡作為數位相機、MP3 播放器等可攜式裝置的儲存媒體，此類快閃記憶體儲存裝置主要儲存資料量較大的數位資料(例如，資料量為 64Kb 或 128Kb 以上的資料)。

隨著快閃記憶體技術的發展，使得快閃記憶體儲存裝置的儲存容量越來越大且成本越來越低，因此許多電腦製造商開始將以快閃記憶體作為儲存媒體的固態硬碟(Solid State Drive, SSD)用作為電腦系統的主要磁碟。由電腦系統的作業系統會經常性地在主要磁碟中反覆地寫入與更新資料量較小的資料(例如，資料量為 4Kb 或 8Kb 以下的資料)。

基於快閃記憶體的物理特性，在快閃記憶體記憶胞僅

能進行單向的程式化(即，記憶胞中的位元僅能從 1 程式化為 0)，因此在快閃記憶體的記憶胞中寫入資料時必須先將記憶胞中先前所儲存的資料抹除後方能重新寫入新資料。

在快閃記憶體儲存系統的設計上，一般來說，快閃記憶體儲存系統的快閃記憶體實體區塊會分組為多個實體單元(即，每一實體單元是由一個或多個實體區塊所組成)，該實體單元中具有至少一快閃記憶體細胞(flash memory cell)，每一細胞是由至少一電晶體所組成，如 MOSFET 或其他電晶體或邏輯電路，各該細胞可儲存至少一個位元，並且此些實體單元會分組為資料區(data area)與閒置區(free area)。歸類為資料區的實體單元中會儲存由寫入指令所寫入的有效資料，而閒置區中的實體單元是用以在執行寫入指令時替換資料區中的實體單元。具體來說，當快閃記憶體儲存系統接受到主機的寫入指令而欲對資料區的實體單元進行寫入時，快閃記憶體儲存系統會從閒置區中提取一實體單元並且將在資料區中欲寫入的實體單元中的有效舊資料與欲寫入的新資料寫入至從閒置區中提取的實體單元並且將已寫入新資料的實體單元關聯為資料區，並且將原本資料區的實體單元進行抹除並關聯為閒置區。為了能夠讓主機能夠順利地存取以輪替方式儲存資料的實體單元，快閃記憶體儲存系統會提供邏輯單元以映射此些實體單元。具體來說，快閃記憶體儲存系統會將主機所存取的邏輯存取位址轉換至對應的邏輯單元，並且透過在邏輯單元-實體單元對映表(logical unit-physical unit mapping table)

中記錄與更新邏輯單元與資料區的實體單元之間的對映關係來反映實體單元的輪替，所以主機僅需依據邏輯存取位址進行存取，而快閃記憶體儲存系統會依據邏輯單元-實體單元對映表對所對映的實體單元進行資料的讀取或寫入。

基於上述快閃記憶體儲存系統的運作架構下，在將快閃記憶體儲存系統應用作為電腦系統的主硬碟時，由於電腦系統會經常性地反覆地寫入與更新資料量較小的資料，所以快閃記憶體儲存系統的實體單元會被頻繁地進行抹除動作來以上述輪替方式寫入電腦系統所更新的資料。然而，組成實體單元之實體區塊的抹除次數是有限的(例如實體區塊抹除一萬次後就會損壞)，因此在頻繁地抹除實體單元時將大幅縮短快閃記憶體儲存裝置的壽命。

【發明內容】

本發明提供一種資料寫入方法與記憶體控制器，其能夠減少實體單元的抹除，由此有效地增加記憶體儲存裝置的效能並且延長記憶體儲存裝置的壽命。

此外，本發明提供一種記憶體儲存裝置，其具有較長的使用壽命與較佳的寫入效能。

本發明範例實施例提出一種資料寫入方法，用於寫入資料至多個實體區塊。本資料寫入方法包括將此些實體區塊分組為多個實體單元，將此些實體單元至少分組為資料區與閒置區，並且配置多個邏輯單元以映射屬於資料區的實體單元。本資料寫入方法也包括從屬於閒置區的實體單

元之中提取一個實體單元，將屬於此些邏輯單元之中的至少一邏輯單元的至少一資料寫入至所提取的實體單元中，以及在所提取的實體單元中寫入一結束標記，其中在所提取的實體單元中此結束標記是接續於屬於此邏輯單元的資料之後。

在本發明之一實施例中，上述之資料寫入方法更包括將屬於此些邏輯單元之中的至少一其他邏輯單元的至少一資料寫入至所提取的實體單元中，其中此至少一其他邏輯單元的資料是接續於上述結束標記之後。

在本發明之一實施例中，上述之資料寫入方法更包括在所提取的實體單元中寫入結束標記之前執行資料合併程序。

在本發明之一實施例中，每一實體單元具有多個實體頁面並且每一實體頁面具有一資料位元區與一冗餘位元區。此外，上述之在所提取的該實體單元中寫入結束標記的步驟包括：在所提取的實體單元中一個實體頁面的冗餘位元區中寫入結束標記。

本發明範例實施例提出一種資料寫入方法，用於寫入資料至多個實體區塊。本資料寫入方法包括將此些實體區塊分組為多個實體單元，將此些實體單元至少分組為資料區與閒置區，並且配置多個邏輯單元以映射屬於資料區的實體單元。本資料寫入方法也包括接收屬於此些邏輯單元之中的第一邏輯單元的第一資料，其中第一邏輯單元映射屬於資料區的實體單元之中的第一實體單元。本資料寫入

方法亦包括判斷第一邏輯單元是否進入混亂寫入狀態，並且當第一邏輯單元進入混亂寫入狀態時，本資料寫入方法更包括從屬於閒置區的實體單元之中提取第三實體單元，並且將第一資料依序地寫入至第三實體單元中。本資料寫入方法還包括接收屬於此些邏輯單元之中的第二邏輯單元的第二資料，其中此第二邏輯單元映射屬於資料區的實體單元之中的第二實體單元。本資料寫入方法也包括判斷此第二邏輯單元是否進入混亂寫入狀態，並且當第二邏輯單元進入混亂寫入狀態時，本資料寫入方法還包括將第二資料依序地寫入至第三實體單元中。本資料寫入方法更包括對第一邏輯單元與第二邏輯單元執行一資料合併程序，並且在對第一邏輯單元與第二邏輯單元執行資料合併程序之後，在第三實體單元中寫入結束標記，其中在第三實體單元中此結束標記是接續於第一資料與第二資料之後。

在本發明之一實施例中，上述之對第一邏輯單元與第二邏輯單元執行資料合併程序的步驟包括：從屬於閒置區的實體單元之中提取第四實體單元；將第一實體單元中的有效資料與第一資料寫入至第四實體單元中；從屬於閒置區的實體單元之中提取第五實體單元；將第二實體單元中的有效資料與第二資料寫入至第五實體單元中；將第一邏輯單元映射至第四實體單元並且將第二邏輯單元映射至該第五實體單元；以及抹除第一實體單元與第二實體單元並且將第一實體單元與第二實體單元關聯至閒置區。

在本發明之一實施例中，上述之資料寫入方法更包括

接收屬於此些邏輯單元之中的第三邏輯單元的第三資料，其中第三邏輯單元映射屬於資料區的實體單元之中的第六實體單元。上述資料寫入方法也包括判斷第三邏輯單元是否進入混亂寫入狀態，並且當第三邏輯單元進入混亂寫入狀態時，本資料寫入方法還包括將第三資料依序地寫入至該第三實體單元中。本資料寫入方法也包括接收屬於此些邏輯單元之中的第四邏輯單元的第四資料，其中第四邏輯單元映射屬於該資料區的此些實體單元之中的第七實體單元。本資料寫入方法也包括判斷第四邏輯單元是否進入混亂寫入狀態，並且當第四邏輯單元進入混亂寫入狀態時，本資料寫入方法還包括將第四資料依序地寫入至第三實體單元中，其中在第三實體單元中該第三資料與該第四資料是接續於該結束標記之後。

在本發明之一實施例中，上述之資料寫入方法更包括：對第三邏輯單元與第四邏輯單元執行資料合併程序；以及在對第三邏輯單元與第四邏輯單元執行資料合併程序之後，在第三實體單元中寫入另一結束標記，其中在第三實體單元中此另一結束標記是接續於第三資料與第四資料之後。

在本發明之一實施例中，上述之在第三實體單元中寫入結束標記的步驟包括：在第三實體單元的實體頁面的冗餘位元區中寫入上述結束標記。

本發明範例實施例提出一種記憶體控制器，用於管理非揮發性記憶體模組，其中此非揮發性記憶體模組具有多

個實體區塊。本記憶體控制器包括主機介面、記憶體介面與記憶體管理電路。主機介面用以耦接至主機系統，並且記憶體介面用以耦接至非揮發性記憶體模組。記憶體管理電路耦接至此主機介面與此記憶體介面，並且用以執行上述資料寫入方法。

本發明範例實施例提出一種記憶體儲存系統，其包括連接器、非揮發性記憶體模組與記憶體控制器。非揮發性記憶體模組具有多個實體區塊。記憶體控制器耦接至此非揮發性記憶體模組與此連接器，並且用以執行上述資料寫入方法。

基於上述，本發明範例實施例的資料寫入方法與記憶體控制器能夠有效地延長記憶體儲存裝置的壽命。並且，配置使用上述資料寫入方法之記憶體控制器的記憶體儲存裝置具有較長的使用壽命。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

圖 1A 是根據本發明範例實施例繪示主機系統與記憶

體儲存裝置。

請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 1B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 1B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟 (Solid State Drive, SSD) 1216 等的非揮發性記憶體儲存裝置。

一般而言，主機系統 1000 可實質地為可儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機) 1310 時，非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick) 1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲

存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與非揮發性記憶體模組 106。

在本範例實施例中，連接器 102 為通用序列匯流排(Universal Serial Bus, USB)連接器。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 連接器、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)連接器、序列先進附件(Serial Advanced Technology Attachment, SATA)連接器、安全數位(Secure Digital, SD)介面連接器、記憶棒(Memory Stick, MS)介面連接器、多媒體儲存卡(Multi Media Card, MMC)介面連接器、小型快閃(Compact Flash, CF)介面連接器、整合式驅動電子介面(Integrated Device Electronics, IDE)連接器或其他適合的連接器。

記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。在本範例實施例中，記憶體控制器 104 用以根據本發明範例實施例的資料寫入方法與記憶體管理方法

來管理非揮發性記憶體模組 106。根據本發明範例實施例的資料寫入方法與記憶體管理方法將於以下配合圖式作詳細說明。

非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且用以儲存主機系統 1000 所寫入之資料。在本範例實施例中，非揮發性記憶體模組 106 為可複寫式非揮發性記憶體模組。例如，非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組。然而，本發明不限於此，非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

圖 3 是根據本發明範例實施例所繪示的記憶體控制器的概要方塊圖。

請參照圖 3，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，此些控制指令會被執行以根據本範例實施例的資料寫入方法與記憶體管理方法來管理非揮發性記憶體模組 106。

在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制

指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以完成根據本發明範例實施例的資料寫入方法與記憶體管理方法。

在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼段，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以執行本發明第一範例實施例的資料寫入方法與記憶體管理方法。此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。

主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是對應連接器 102 為 USB 介面。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是 PATA 介面、IEEE 1394 介面、PCI Express 介面、SATA 介面、SD 介面、MS 介面、MMC 介面、CF 介面、IDE 介面或其他

適合的資料傳輸介面。

記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取非揮發性記憶體模組 106。也就是說，欲寫入至非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為非揮發性記憶體模組 106 所能接受的格式。

在本發明一範例實施例中，記憶體控制器 104 還包括緩衝記憶體 252。緩衝記憶體 252 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於非揮發性記憶體模組 106 的資料。

在本發明一範例實施例中，記憶體控制器 104 還包括電源管理電路 254。電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

在本發明一範例實施例中，記憶體控制器 104 還包括錯誤檢查與校正電路 256。錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤檢查與校

正碼對所讀取的資料執行錯誤檢查與校正程序。

圖 4 是根據本發明範例實施例所繪示的非揮發性記憶體模組的概要方塊圖。

請參照圖 4，非揮發性記憶體模組 106 包括第一記憶體子模組 410、第二記憶體子模組 420、第三記憶體子模組 430 與第四記憶體子模組 440，其中第一記憶體子模組 410 具有實體區塊 410(0)~410(R)；第二記憶體子模組 420 具有實體區塊 420(0)~420(R)；第三記憶體子模組 430 具有實體區塊 430(0)~430(R)；以及第四記憶體子模組 440 具有實體區塊 440(0)~440(R)。例如，第一記憶體子模組 410、第二記憶體子模組 420、第三記憶體子模組 430 與第四記憶體子模組 440 是分別地透過獨立的資料匯流排耦接至記憶體控制器 104。然而，必須瞭解的是，在本發明另一範例實施例中，第一記憶體子模組 410、第二記憶體子模組 420、第三記憶體子模組 430 與第四記憶體子模組 440 亦可透過 1 個資料匯流排或 2 個資料匯流排與記憶體控制器 104 耦接。第一記憶體子模組 410、第二記憶體子模組 420、第三記憶體子模組 430 與第四記憶體子模組 440 中的每一實體區塊分別具有複數個實體頁面，其中屬於同一個實體區塊之實體頁面可被獨立地寫入且被同時地抹除。例如，每一實體區塊是由 128 個實體頁面所組成。然而，必須瞭解的是，本發明不限於此，每一實體區塊是可由 64 個實體頁面、256 個實體頁面或其他任意個實體頁面所組成。

更詳細來說，實體區塊為抹除之最小單位。亦即，每

一實體區塊含有最小數目之一併被抹除之記憶胞。實體頁面為程式化的最小單位。即，實體頁面為寫入資料的最小單位。然而，必須瞭解的是，在本發明另一範例實施例中，寫入資料的最小單位亦可以是扇區(Sector)或其他大小。每一實體頁面通常包括資料位元區 D 與冗餘位元區 R。資料位元區 D 用以儲存使用者的資料，而冗餘位元區 R 用以儲存系統的資料（例如，錯誤檢查與校正碼）。

此外，第一記憶體子模組 410、第二記憶體子模組 420、第三記憶體子模組 430 與第四記憶體子模組 440 的實體區塊通常也可被分組為數個區域(zone)，以每一獨立的區域來管理實體區塊 410(0)~410-(R)、實體區塊 420(0)~420(R)、實體區塊 430(0)~430(R) 與實體區塊 440(0)~440(R)可增加操作執行的平行程度且簡化管理的複雜度。

值得一提的是，雖然本發明範例實施例是以包括 4 個記憶體子模組的非揮發性記憶體模組 106 為例來描述，但本發明不限於此。

在本範例實施例中，記憶體控制器 104 的記憶體管理電路 202 會將實體區塊 410(0)~410-(R)、實體區塊 420(0)~420(R)、實體區塊 430(0)~430(R) 與實體區塊 440(0)~440(R)分組為實體單元 310(0)~310(R)，並且以每一實體單元為單位來管理非揮發性記憶體模組 106。也就是說，倘若每一個實體區塊具有 128 個實體頁面時，每一實體單元會包括 512 個實體頁面，並且記憶體管理電路 202

會以 512 個實體頁面為單位來管理非揮發性記憶體模組 106。

圖 5 與圖 6 是根據本發明範例實施例所繪示的管理實體單元的示意圖。

請參照圖 5，記憶體控制器 104 的記憶體管理電路 202 會將實體單元 310(0)~310(R)邏輯地分組為資料區 502、閒置區 504、系統區 506 與取代區 508。

邏輯上屬於資料區 502 與閒置區 504 的實體單元是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 是已儲存資料的實體單元，而閒置區 504 的實體單元是用以替換資料區 502 的實體單元。因此，閒置區 504 的實體單元為空或可使用的實體單元，即無記錄資料或標記為已沒用的無效資料。也就是說，在閒置區 504 中的實體單元已被執行抹除運作，或者當閒置區 504 中的實體單元被提取用於儲存資料之前所提取之實體單元會被執行抹除運作。因此，閒置區 504 的實體單元為可被使用的實體單元。

邏輯上屬於系統區 506 的實體單元是用以記錄系統資料，其中此系統資料包括關於非揮發性記憶體模組的製造商與型號、非揮發性記憶體模組的實體區塊數、每一實體區塊的實體頁面數等。

邏輯上屬於取代區 508 中的實體單元是替代實體單元。例如，非揮發性記憶體模組 106 於出廠時會預留 4% 的實體單元作為更換使用。也就是說，當資料區 502、閒

置區 504 與系統區 506 中的實體單元損毀時，預留於取代區 508 中的實體單元是用以取代損壞的實體單元。因此，倘若取代區 508 中仍存有正常之實體單元且發生實體單元損毀時，記憶體管理電路 202 會從取代區 508 中提取正常的實體單元來更換損毀的實體單元。倘若取代區 508 中無正常之實體單元且發生實體單元損毀時，則記憶體管理電路 202 會將整個記憶體儲存裝置 100 宣告為寫入保護(write protect)狀態，而無法再寫入資料。

特別是，資料區 502、閒置區 504、系統區 506 與取代區 508 之實體單元的數量會依據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 100 的運作中，實體單元關聯至資料區 502、閒置區 504、系統區 506 與取代區 508 的分組關係會動態地變動。例如，當閒置區 504 中的實體單元損壞而被取代區的實體單元取代時，則原本取代區 508 的實體單元會被關聯至閒置區 504。

請參照圖 6，如上所述，資料區 502 與閒置區 504 的實體單元是以輪替方式來儲存主機系統 1000 所寫入之資料。在本範例實施例中，記憶體管理電路 202 會配置邏輯單元 510(0)~510(H)以映射以上述輪替方式來儲存資料之實體單元，並且將邏輯單元 510(0)~510(H)映射至主機系統 1000 所存取的邏輯存取位址，以利主機系統 1000 來存取資料。

例如，記憶體管理電路 202 會初始地將邏輯單元 510(0)~510(H)映射至資料區 502 的實體單元。具體來說，

當記憶體儲存裝置 100 被完成製造時，邏輯單元 510(0)~510(H) 分別地映射至資料區 502 的實體單元 310(0)~310(D)。也就是說，一個邏輯單元會映射資料區 502 中的一個實體單元。在此，記憶體管理電路 202 會建立邏輯單元-實體單元映射表(logical unit-physical unit mapping table)，以記錄邏輯單元與實體單元之間的映射關係。也就是說，記憶體管理電路 202 會將主機系統 1000 欲存取的邏輯存取位址轉換成對應之邏輯單元，由此透過邏輯單元-實體單元映射表於實體位址中存取資料。

圖 7~圖 9 是根據本發明範例實施例所繪示的以一般寫入模式寫入資料至非揮發性記憶體模組的範例。

請同時參照圖 7~圖 9，例如，在邏輯單元 510(0)是映射至實體單元 310(0)的映射狀態下，當記憶體控制器 104 從主機系統 1000 中接收到寫入指令而欲寫入資料至屬於邏輯單元 510(0)的邏輯存取位址時，記憶體管理電路 202 會依據邏輯單元-實體單元映射表識別邏輯單元 510(0)目前是映射至實體單元 310(0)並且從閒置區 504 中提取實體單元 310(D+1)作為替換實體單元來輪替實體單元 310(0)。然而，當記憶體管理電路 202 將新資料寫入至實體單元 310(D+1)的同時，記憶體管理電路 202 不會立刻將實體單元 310(0)中的所有有效資料搬移至實體單元 310(D+1)而抹除實體單元 310(0)。具體來說，記憶體管理電路 202 會將實體單元 310(0)中欲寫入實體頁面之前的有效資料(即，實體單元 310(0)的第 0 實體頁面與第 1 實體頁面中的資料)

複製至實體單元 310(D+1)的第 0 實體頁面與第 1 實體頁面中(如圖 7 所示)，並且將新資料寫入至實體單元 310(D+1)的第 2 實體頁面與第 3 實體頁面中(如圖 8 所示)。此時，記憶體管理電路 202 即完成寫入的運作。因為實體單元 310(0)中的有效資料有可能在下個操作(例如，寫入指令)中變成無效，因此立刻將實體單元 310(0)中的有效資料搬移至實體單元 310(D+1)可能會造成無謂的搬移。此外，資料必須依序地寫入至實體單元內的實體頁面，因此，記憶體管理電路 202 僅會先搬移欲寫入實體頁面之前的有效資料。

在本範例實施例中，暫時地維持此等母子暫態關係(即，實體單元 310(0)與實體單元 310(D+1))的運作稱為開啟(open)母子單元，並且原實體單元稱為母實體單元而替換實體單元稱為子實體單元。

之後，當需要將實體單元 310(0)與實體單元 310(D+1)的內容合併(merge)時，記憶體管理電路 202 才會將實體單元 310(0)與實體單元 310(D+1)的資料整併至一個實體單元，由此提升實體單元的使用效率。在此，合併母子單元的運作稱為資料合併程序或關閉(close)母子單元。例如，如圖 9 所示，當進行關閉母子單元時，記憶體管理電路 202 會將實體單元 310(0)中剩餘的有效資料(即，實體單元 310(0)的第 4 實體頁面～第(K)實體頁面中的資料)複製至替換實體單元 310(D+1)的第 4 實體頁面～第(K)實體頁面中，然後將實體單元 310(0)抹除並關聯至閒置區 504，同

時，將實體單元 310(D+1)關聯至資料區 502。也就是說，記憶體管理電路 202 會在邏輯單元-實體單元映射表中將邏輯單元 510(0)重新映射至實體單元 310(D+1)。此外，在本範例實施例中，記憶體管理電路 202 會建立閒置區實體單元表(未繪示)來記錄目前被關聯至閒置區的實體單元。值得一提的是，閒置區 504 中實體單元的數目是有限的，基此，在記憶體儲存裝置 100 運作期間，開啟之母子單元的組數亦會受到限制。因此，當記憶體儲存裝置 100 接收到來自於主機系統 1000 的寫入指令時，倘若已開啟母子單元的組數達到上限時，記憶體管理電路 202 需關閉至少一組目前已開啟之母子單元(即，執行關閉母子單元運作)以執行此寫入指令。在此，圖 7~圖 9 所示的寫入運作稱為一般寫入模式。

在本範例實施例中，記憶體控制器 104 的記憶體管理電路 202 除了執行上述之一般寫入模式之外，更用以執行混亂寫入模式(Random Writing Mode)來寫入資料。

具體來說，由於非揮發性記憶體模組的程式化規範要求必須從每一實體區塊的起始實體頁面開始寫入至最後一個實體頁面並且在每個位元僅能程式一次(即由僅能“1”變為“0”)的條件下，一旦實體區塊的實體頁面被寫入資料後，若欲更新已寫入的資料就必須從閒置區 504 中提取一實體區塊來重新進行圖 7~9 所示的步驟。因此，當實體區塊在未進行圖 9 所示之關閉母子區塊運作之前(即處於圖 8 所示的暫態)，而發生必須更新剛搬移的資料(例如圖 7 所

示之第 0 實體頁面與第 1 實體頁面中的資料)時，則所搬移的舊資料就必須再搬移一次。特別是，在記憶體儲存裝置 100 作為主機系統 1000 的系統硬碟(即，安裝作業系統的硬碟)時，主機系統 1000 會於相同邏輯存取位址上存取少量的資料。例如，主機系統 1000 會頻繁地更改檔案配置表(File Allocation Table, FAT)。此時，記憶體管理電路 202 會將此邏輯單元視為進入混亂寫入狀態，並且以混亂寫入模式來將此邏輯單元的資料寫入至非揮發性記憶體模組 106 中。例如，當以混亂寫入模式來寫入資料時，記憶體管理電路 202 會從閒置區 504 中提取一個實體單元作為混亂實體單元並直接從所提取之實體單元的起始實體頁面開始寫入新資料而不進行圖 7 所示的動作(即，複製有效資料的動作)。並且，當混亂寫入狀態結束後再從閒置區 504 中提取另一實體單元來進行資料合併程序，以將對應此邏輯單元的所有有效資料整理至所提取的實體單元中。

特別是，在本範例實施例中，記憶體管理電路 202 會將進入混亂寫入狀態之一個或多個邏輯單元的資料寫入至同一個混亂實體單元中。例如，在本範例實施例中，記憶體管理電路 202 會將進入混亂寫入狀態之 2 個邏輯單元的資料寫入至同一個混亂實體單元中。

圖 10A~10B 是根據本發明範例實施例所繪示的以混亂寫入模式寫入資料的範例示意圖，其繪示以混亂寫入模式將來自於主機系統 1000 之屬於第一邏輯單元(即，邏輯單元 510(0))的資料(亦稱為第一資料)與屬於第二邏輯單元

(即，邏輯單元 510(4))的資料(亦稱為第二資料)寫入至混亂實體單元的範例，其中假設邏輯單元 510(0)是映射至第一實體單元(即，實體單元 310(0))並且邏輯單元 510(4)是映射至第二實體單元(即，實體單元 310(4))。

請參照圖 10A，當欲以混亂寫入模式寫入屬於邏輯單元 510(0)的第 3 個邏輯頁面的資料(即，更新實體單元 310(0)的第 3 個實體頁面)時，記憶體管理電路 202 會從閒置區 504 中提取第三實體單元(即，實體單元 310(D+1))作為混亂實體單元，並且將此資料寫入至實體單元 310(D+1)的第 0 個實體頁面中。

之後，當欲以混亂寫入模式來寫入屬於邏輯單元 510(4)的第 2 個邏輯頁面的資料(即，更新實體單元 310(4)的第 2 個實體頁面)時，記憶體管理電路 202 會將屬於邏輯單元 510(4)的第 2 個邏輯頁面的資料寫入至實體單元 310(D+1)的第 1 個實體頁面中。

請參照圖 10B，在圖 10A 所示的狀態下，當欲寫入屬於邏輯單元 510(0)的第 2 個邏輯頁面的資料(即，更新實體單元 310(0)的第 2 個實體頁面)時，記憶體管理電路 202 會將屬於邏輯單元 510(0)的第 2 個邏輯頁面的資料寫入至實體單元 310(D+1)的第 2 個實體頁面中。類似地，之後，當欲寫入屬於邏輯單元 510(4)的第 1 個邏輯頁面的資料(即，更新實體單元 310(4)的第 1 個實體頁面)時，記憶體管理電路 202 會將屬於邏輯單元 510(4)的第 1 個邏輯頁面的資料寫入至實體單元 310(D+1)的第 3 個實體頁面中。

基於上述，如圖 10A 與圖 10B 所示，在混亂寫入模式中，資料不會如圖 7~圖 9 所示依據對應的實體頁面來寫入，因此，可省去搬移資料的時間，提高存取速度。

值得一提的是，閒置區 504 中實體單元的數目是有限的，因此，在記憶體儲存裝置 100 運作期間，能夠作為混亂實體單元的實體單元的數目亦會受到限制。例如，當已用作為混亂實體單元的實體單元的數目大於預設門檻值並且需要從閒置區 504 中提取一個實體單元作為下一個寫入指令所對應之邏輯單元的混亂實體單元時，記憶體控制器 104 會執行資料合併程序，來整理有效資料，由此將皆儲存無效資料的實體單元關聯至閒置區 504。或者，當混亂寫入模式結束時，記憶體控制器 104 亦會執行資料合併程序，來整理有效資料，由此將皆儲存無效資料的實體單元關聯至閒置區 504。

圖 10C 是根據本發明範例實施例所繪示的對以混亂寫入模式所寫入的資料執行資料合併程序的範例示意圖，其繪示對邏輯單元 510(0)與邏輯單元 510(4)執行資料合併程序的範例。

請參照圖 10C，記憶體管理電路 202 會從閒置區 504 中提取第四實體單元(即，實體單元 310(D+2))與第五實體單元(即，實體單元 310(D+3))。並且，記憶體管理電路 202 會將實體單元 310(0)與實體單元 310(D+1)中屬於邏輯單元 510(0)的有效資料搬移至實體單元 310(D+2)並且在邏輯單元-實體單元映射表中將邏輯單元 510(0)映射至(或稱關聯

至)實體單元 310(D+2)。此外，記憶體管理電路 202 會將實體單元 310(4)與實體單元 310(D+1)中屬於邏輯單元 510(4)的有效資料搬移至實體單元 310(D+3)並且在邏輯單元-實體單元映射表中將邏輯單元 510(4)映射至(或稱關聯至)實體單元 310(D+3)。

特別是，在本範例實施例中，記憶體管理電路 202 會在混亂實體單元 310(D+1)中寫入結束標記 EM。例如，結束標記會被記錄在已使用過之實體頁面的下一個實體頁面的冗餘位元區中(如圖 10C 所示)。也就是說，在混亂實體單元 310(D+1)中，結束標記 EM 會接續於屬於邏輯單元 510(0)與邏輯單元 510(4)的資料之後被記錄，以表示在結束標記 EM 之前的資料已被執行過資料合併程序。基此，倘若之後有邏輯單元進入混亂寫入狀態而需以混亂寫入模式來寫入資料時，結束標記 EM 以下的儲存空間會再被用來寫入此資料，以有效地使用實體單元。在本範例實施例中，結束標記 EM 可以是任何文字或任何字元。

具體來說，如上所述，在混亂寫入模式中所寫入的資料一般為少量的資料，因此，混亂實體單元 310(D+1)中仍有其他儲存空間未被使用。若繼續使用混亂實體單元中未被寫入資料的空間，直到混亂實體單元的所有空間皆被使用後再對此混亂實體單元執行抹除運作，將可大幅減少實體單元的抹除次數，延長記憶體儲存裝置 100 的壽命。

圖 11 是根據本發明另一範例實施例所繪示的以混亂寫入模式寫入資料的範例示意圖，其係繪示在圖 10C 所示

的狀態下以混亂寫入模式將來自於主機系統 1000 之屬於第三邏輯單元(即，邏輯單元 510(6))的資料(亦稱為第三資料)與屬於第四邏輯單元(即，邏輯單元 510(2))的資料(亦稱為第四資料)寫入至混亂實體單元的範例，其中假設邏輯單元 510(6)是映射至第六實體單元(即，實體單元 310(6))並且邏輯單元 510(2)是映射至第七實體單元(即，實體單元 310(2))。

請參照圖 11，當欲以混亂寫入模式寫入屬於邏輯單元 510(6)的第 1 個邏輯頁面的資料(即，更新實體單元 310(6)的第 1 個實體頁面)時，記憶體管理電路 202 會將屬於邏輯單元 510(6)的第 1 個邏輯頁面的資料寫入至實體單元 310(D+1)的第 5 個實體頁面中。類似地，之後，當欲寫入屬於邏輯單元 510(2)的第 0 個邏輯頁面的資料(即，更新實體單元 310(2)的第 0 個實體頁面)時，記憶體管理電路 202 會將屬於邏輯單元 510(2)的第 0 個邏輯頁面的資料寫入至實體單元 310(D+1)的第 6 個實體頁面中。

類似地，倘若記憶體管理電路 202 對邏輯單元 510(6)與邏輯單元 510(2)執行資料合併程序之後，另一個結束標記 EM 會接續於屬於邏輯單元 510(6)與邏輯單元 510(2)的資料之後被記錄在混亂實體單元 310(D+1)中(如圖 12 所示)，以表示在結束標記 EM 之前的資料已被執行過資料合併程序。

值得一提的是，倘若在記憶體儲存裝置 100 中有邏輯單元是進入混亂寫入狀態並且發生不正常的斷電時，記憶

體控制器 104 的記憶體管理電路 202 會根據混亂實體單元中的結束標記來識別哪些資料已完成資料合併程序。例如，記憶體管理電路 202 會從混亂實體單元的最後一個實體頁面開始向前搜尋結束標記，並且識別記錄在所搜尋到之第一個結束標記之後的資料為未完成資料合併程序的資料。

圖 13 是根據本發明範例實施例所繪示的資料寫入方法的流程圖。

請參照圖 13，在步驟 S1301 中，記憶體控制器 104 會從主機系統 1000 接收寫入指令以及對應的邏輯存取位址與資料。

然後，在步驟 S1303 中，記憶體控制器 104 會判斷對應此邏輯存取位址的邏輯單元是否進入混亂寫入狀態。

倘若對應此邏輯存取位址的邏輯單元未進入混亂寫入狀態時，則在步驟 S1305 中，記憶體控制器 104 會以一般寫入模式將資料寫入至對應之實體單元的實體頁面中。以一般寫入模式寫入資料的方式已配合圖 7~圖 9 描述如上，在此不重複描述。

倘若對應此邏輯存取位址的邏輯單元進入混亂寫入狀態時，則在步驟 S1307 中，記憶體控制器 104 會判斷是否存有已被設定對應此邏輯單元的混亂實體單元。

倘若存有已被設定對應此邏輯單元的混亂實體單元時，則在步驟 S1309 中，記憶體控制器 104 會以混亂寫入模式將資料依序地寫入至對應的混亂實體單元中。

倘若未存有已被設定對應此邏輯單元的混亂實體單元時，則在步驟 S1311 中，記憶體控制器 104 會判斷是否可將目前之混亂實體單元的其中之一設定給此邏輯單元。例如，在本範例實施例中，記憶體控制器 104 會使用一個混亂實體單元來儲存對應 2 個邏輯單元的資料。因此，倘若目前之混亂實體單元之中有任一個混亂實體單元僅儲存對應 1 個邏輯單元的資料時，則此混亂實體單元就可同時設定給另一個邏輯單元。

倘若在步驟 S1311 中判斷可將目前之混亂實體單元的其中之一設定給此邏輯單元，則在步驟 S1313 中，記憶體控制器 104 會將其中一個混亂實體單元設定給此邏輯單元並且將資料依序地寫入至所設定之混亂實體單元中。

倘若在步驟 S1311 中判斷無法將目前之混亂實體單元的任何一個設定給此邏輯單元時，則在步驟 S1315 中，記憶體控制器 104 會判斷所使用的混亂實體單元的數目是否已達到預設門檻值。

倘若所使用的混亂實體單元的數目已達到預設門檻值時，則在步驟 S1317 中，記憶體控制器 104 會選擇其中一個已使用之混亂實體單元執行資料合併程序並且在所選擇的混亂實體單元中加入結束標記。執行資料合併程序與加入結束標記的方式已配合圖 10C 描述如上，在此不重複描述。

之後，在步驟 S1319，將所選擇的混亂實體單元設定給此邏輯單元，並且將資料依序地寫入至所設定的混亂實

體單元中。

倘若所使用的混亂實體單元的數目未達到預設門檻值時，則在步驟 S1321 中記憶體控制器 104 會從閒置區 504 中提取一個實體單元作為對應此邏輯單元的混亂實體單元，並且將資料依序地寫入至所設定的混亂實體單元中。

綜上所述，本發明範例實施例的資料寫入方法及使此方法的記憶體控制器與記憶體儲存裝置能夠有效地利用混亂實體單元的儲存空間，減少實體單元的抹除次數，延長非揮發性記憶體模組的壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據本發明範例實施例繪示的主機系統與記憶體儲存裝置。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據本發明範例實施例所繪示的記憶體控制器

的概要方塊圖。

圖 4 是根據本發明一範例實施例所繪示的非揮發性記憶體模組的概要方塊圖。

圖 5 與圖 6 是根據本發明範例實施例所繪示的管理實體單元的示意圖。

圖 7~圖 9 是根據本發明範例實施例所繪示的以一般寫入模式寫入資料至非揮發性記憶體模組的範例。

圖 10A~10B 是根據本發明範例實施例所繪示的以混亂寫入模式寫入資料的範例示意圖。

圖 10C 是根據本發明範例實施例所繪示的對以混亂寫入模式所寫入的資料執行資料合併程序的範例示意圖。

圖 11 是根據本發明另一範例實施例所繪示的以混亂寫入模式寫入資料的範例示意圖。

圖 12 是根據本發明另一範例實施例所繪示的混亂實體單元的範例示意圖。

圖 13 是根據本發明範例實施例所繪示的資料寫入方法的流程圖。

【主要元件符號說明】

1000：主機系統

1100：電腦

1102：微處理器

1104：隨機存取記憶體

1106：輸入/輸出裝置
1108：系統匯流排
1110：資料傳輸介面
1202：滑鼠
1204：鍵盤
1206：顯示器
1208：印表機
1212：隨身碟
1214：記憶卡
1216：固態硬碟
1310：數位相機
1312：SD 卡
1314：MMC 卡
1316：記憶棒
1318：CF 卡
1320：嵌入式儲存裝置
100：記憶體儲存裝置
102：連接器
104：記憶體控制器
106：非揮發性記憶體模組
202：記憶體管理電路
204：主機介面
206：記憶體介面
252：緩衝記憶體

254：電源管理電路

256：錯誤檢查與校正電路

410：第一記憶體子模組

420：第二記憶體子模組

430：第三記憶體子模組

440：第四記憶體子模組

410(0)~410(R)、420(0)~420(R)、430(0)~430(R)、
440(0)~440(R)：實體區塊

D：資料位元區

R：冗餘位元區

310(0)~310(R)：實體單元

502：資料區

504：閒置區

506：系統區

508：取代區

510(0)~510(H)：邏輯單元

S1301、S1303、S1305、S1307、S1309、S1311、S1313、
S1315、S1317、S1319、S1321：資料寫入的步驟

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99/32195

※申請日：99.9.23

※IPC 分類：G06F 12/00 (2006.01)
G06F 12/02 (2006.01)

一、發明名稱：

資料寫入方法、記憶體控制器與記憶體儲存裝置
DATA WRITING METHOD, MEMORY CONTROLLER
AND MEMORY STORAGE APPARATUS

二、中文發明摘要：

一種資料寫入方法使用此方法的記憶體控制器與儲存裝置。本資料寫入方法包括將多個實體區塊分組為多個實體單元，將此些實體單元至少分組為資料區與閒置區，並且配置多個邏輯單元以映射屬於資料區的實體單元。本資料寫入方法也包括從屬於閒置區的實體單元之中提取一個實體單元，將屬於此些邏輯單元之中的至少一邏輯單元的至少一資料寫入至所提取的實體單元中，以及在所提取的實體單元中寫入一結束標記，其中在所提取的實體單元中此結束標記是接續於屬於此邏輯單元的資料之後。基此，可有效地使用實體單元，延長記憶體儲存裝置的壽命。

三、英文發明摘要：

A data writing method and a memory controller and a memory storage apparatus using the same are provided.

The method includes grouping a plurality of physical blocks into a plurality of physical units, grouping the physical units into at least a data area and a free area, and configuring a plurality of logical units for mapping the physical units of the data area. The method also includes getting one physical unit from the free area, writing data belonging to at least one logical unit into the gotten physical unit, and writing an end mark into the gotten physical unit, wherein the end mark is following the data in the gotten physical unit. Accordingly, the method can effectively use the storage space of each physical unit, thereby prolonging the lifespan of the memory storage apparatus.

四、指定代表圖：

(一) 本案之指定代表圖：圖 13

(二) 本代表圖之元件符號簡單說明：

S1301、S1303、S1305、S1307、S1309、S1311、S1313、
S1315、S1317、S1319、S1321：資料寫入的步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種資料寫入方法，用於寫入資料至多個實體區塊，該資料寫入方法包括：

將該些實體區塊分組為多個實體單元；

將該些實體單元至少分組為一資料區與一閒置區；

配置多個邏輯單元以映射屬於該資料區的實體單元；

從屬於該閒置區的實體單元之中提取一實體單元；

將屬於該些邏輯單元之中的至少一邏輯單元的至少一資料寫入至所提取的該實體單元中；以及

在所提取的該實體單元中寫入一結束標記，其中在所提取的該實體單元中該結束標記是接續於屬於該至少一邏輯單元的該至少一資料之後。

2. 如申請專利範圍第 1 項所述之資料寫入方法，更包括：

將屬於該些邏輯單元之中的至少一其他邏輯單元的至少一資料寫入至所提取的該實體單元中，其中該至少一其他邏輯單元的該至少一資料是接續於該結束標記之後。

3. 如申請專利範圍第 1 項所述之資料寫入方法，更包括：

在所提取的該實體單元中寫入該結束標記之前執行一資料合併程序。

4. 如申請專利範圍第 1 項所述之資料寫入方法，其中每一該些實體單元具有多個實體頁面並且每一該些實體頁面具有一資料位元區與一冗餘位元區，

其中在所提取的該實體單元中寫入該結束標記的步驟包括：

在所提取的該實體單元的該些實體頁面中的一實體頁面的該冗餘位元區中寫入該結束標記。

5. 一種資料寫入方法，用於寫入資料至多個實體區塊，該資料寫入方法包括：

將該些實體區塊分組為多個實體單元；

將該些實體單元至少分組為一資料區與一閒置區；

配置多個邏輯單元以映射屬於該資料區的實體單元；

接收屬於該些邏輯單元之中的一第一邏輯單元的第一資料，其中該第一邏輯單元映射屬於該資料區的該些實體單元之中的一第一實體單元；

判斷該第一邏輯單元是否進入一混亂寫入狀態；

當該第一邏輯單元進入該混亂寫入狀態時，從屬於該閒置區的實體單元之中提取一第三實體單元，並且將該第一資料依序地寫入至該第三實體單元中；

接收屬於該些邏輯單元之中的一第二邏輯單元的第二資料，其中該第二邏輯單元映射屬於該資料區的該些實體單元之中的一第二實體單元；

判斷該第二邏輯單元是否進入該混亂寫入狀態；

當該第二邏輯單元進入該混亂寫入狀態時，將該第二資料依序地寫入至該第三實體單元中；

對該第一邏輯單元與該第二邏輯單元執行一資料合併程序；以及

在對該第一邏輯單元與該第二邏輯單元執行該資料合併程序之後，在該第三實體單元中寫入一結束標記，其中在該第三實體單元中該結束標記是接續於該第一資料與該第二資料之後。

6. 如申請專利範圍第 5 項所述之資料寫入方法，其中對該第一邏輯單元與該第二邏輯單元執行該資料合併程序的步驟包括：

從屬於該閒置區的該些實體單元之中提取一第四實體單元；

將該第一實體單元中的有效資料與該第一資料寫入至該第四實體單元中；

從屬於該閒置區的該些實體單元之中提取一第五實體單元；

將該第二實體單元中的有效資料與該第二資料寫入至該第五實體單元中；

將該第一邏輯單元映射至該第四實體單元並且將該第二邏輯單元映射至該第五實體單元；以及

抹除該第一實體單元與該第二實體單元，並且將該第一實體單元與該第二實體單元關聯至該閒置區。

7. 如申請專利範圍第 5 項所述之資料寫入方法，更包括：

接收屬於該些邏輯單元之中的一第三邏輯單元的一第三資料，其中該第三邏輯單元映射屬於該資料區的該些實體單元之中的一第六實體單元；

判斷該第三邏輯單元是否進入該混亂寫入狀態；

當該第三邏輯單元進入該混亂寫入狀態時，將該第三資料依序地寫入至該第三實體單元中；

接收屬於該些邏輯單元之中的一第四邏輯單元的一第四資料，其中該第四邏輯單元映射屬於該資料區的該些實體單元之中的一第七實體單元；

判斷該第四邏輯單元是否進入該混亂寫入狀態；以及

當該第四邏輯單元進入該混亂寫入狀態時，將該第四資料依序地寫入至該第三實體單元中，

其中在該第三實體單元中該第三資料與該第四資料是接續於該結束標記之後。

8. 如申請專利範圍第 7 項所述之資料寫入方法，更包括：

對該第三邏輯單元與該第四邏輯單元執行該資料合併程序；以及

在對該第三邏輯單元與該第四邏輯單元執行該資料合併程序之後，在該第三實體單元中寫入一另一結束標記，其中在該第三實體單元中該另一結束標記是接續於該第三資料與該第四資料之後。

9. 如申請專利範圍第 7 項所述之資料寫入方法，其中每一該些實體單元具有多個實體頁面並且每一該些實體頁面具有一資料位元區與一冗餘位元區，

其中在該第三實體單元中寫入該結束標記的步驟包括：

在該第三實體單元的該些實體頁面之中的一實體頁面的該冗餘位元區中寫入該結束標記。

10. 一種記憶體控制器，用於管理一非揮發性記憶體模組，其中該非揮發性記憶體模組具有多個實體區塊，該記憶體控制器包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該非揮發性記憶體模組；

以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以將該些實體區塊分組為多個實體單元，將該些實體單元至少分組為一資料區與一閒置區，並且配置多個邏輯單元以映射屬於該資料區的實體單元，

其中該記憶體管理電路更用以從屬於該閒置區的實體單元之中提取一實體單元，將屬於該些邏輯單元之中的至少一邏輯單元的至少一資料寫入至所提取的該實體單元中，並且在所提取的該實體單元中寫入一結束標記，

其中在所提取的該實體單元中該結束標記是接續於屬於該至少一邏輯單元的該至少一資料。

11. 一種記憶體控制器，用於管理一非揮發性記憶體模組，其中該非揮發性記憶體模組具有多個實體區塊，該記憶體控制器包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該非揮發性記憶體模組；
以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以將該些實體區塊分組為多個實體單元；將該些實體單元至少分組為一資料區與一閒置區並且配置多個邏輯單元以映射屬於該資料區的實體單元，

其中該記憶體管理電路更用以接收屬於該些邏輯單元之中的一第一邏輯單元的一第一資料，其中該第一邏輯單元映射屬於該資料區的該些實體單元之中的一第一實體單元；

其中該記憶體管理電路更用以判斷該第一邏輯單元是否進入一混亂寫入狀態，

其中該記憶體管理電路更用以在該第一邏輯單元進入該混亂寫入狀態時，從屬於該閒置區的實體單元之中提取一第三實體單元，並且將該第一資料依序地寫入至該第三實體單元中，

其中該記憶體管理電路更用以接收屬於該些邏輯單元之中的一第二邏輯單元的一第二資料，其中該第二邏輯單元映射屬於該資料區的該些實體單元之中的一第二實體單元，

其中該記憶體管理電路更用以判斷該第二邏輯單元是否進入該混亂寫入狀態，

其中該記憶體管理電路更用以在該第二邏輯單元進入該混亂寫入狀態時，將該第二資料依序地寫入至該第三實體單元中，

其中該記憶體管理電路更用以對該第一邏輯單元與該第二邏輯單元執行一資料合併程序，以及在對該第一邏輯單元與該第二邏輯單元執行該資料合併程序之後，該記憶體管理電路更用以在該第三實體單元中寫入一結束標記，

其中在該第三實體單元中該結束標記是接續於該第一資料與該第二資料之後。

12. 如申請專利範圍第 11 項所述之記憶體控制器，其中在對該第一邏輯單元與該第二邏輯單元所執行的該資料合併程序中，該記憶體管理電路用以從屬於該閒置區的該些實體單元之中提取一第四實體單元，將該第一實體單元中的有效資料與該第一資料寫入至該第四實體單元中，從屬於該閒置區的該些實體單元之中提取一第五實體單元，將該第二實體單元中的有效資料與該第二資料寫入至該第五實體單元中，將該第一邏輯單元映射至該第四實體單元，將該第二邏輯單元映射至該第五實體單元，抹除該第一實體單元與該第二實體單元，並且將該第一實體單元與該第二實體單元關聯至該閒置區。

13. 如申請專利範圍第 11 項所述之記憶體控制器，

其中該記憶體管理電路更用以接收屬於該些邏輯單元中的一第三邏輯單元的一第三資料，其中該第三邏輯

單元映射屬於該資料區的該些實體單元中的一第六實體單元，

其中該記憶體管理電路更用以判斷該第三邏輯單元是否進入該混亂寫入狀態，

其中該記憶體管理電路更用以在該第三邏輯單元進入該混亂寫入狀態時，將該第三資料依序地寫入至該第三實體單元中，

其中該記憶體管理電路更用以接收屬於該些邏輯單元中的一第四邏輯單元的一第四資料，其中該第四邏輯單元映射屬於該資料區的該些實體單元中的一第七實體單元，

其中該記憶體管理電路更用以判斷該第四邏輯單元是否進入該混亂寫入狀態，

其中該記憶體管理電路更用以在該第四邏輯單元進入該混亂寫入狀態時，將該第四資料依序地寫入至該第三實體單元中，

其中在該第三實體單元中該第三資料與該第四資料是接續於該結束標記之後。

14. 如申請專利範圍第 11 項所述之記憶體控制器，

其中該記憶體管理電路更用以對該第三邏輯單元與該第四邏輯單元執行該資料合併程序，

其中在對該第三邏輯單元與該第四邏輯單元執行該資料合併程序之後，該記憶體管理電路更用以在該第三實體單元中寫入一另一結束標記，

其中在該第三實體單元中該另一結束標記是接續於該第三資料與該第四資料之後。

15. 如申請專利範圍第 11 項所述之記憶體控制器，其中每一該些實體單元具有多個實體頁面並且每一該些實體頁面具有一資料位元區與一冗餘位元區，

其中該記憶體管理電路更用以在該第三實體單元的該些實體頁面之中的一實體頁面的該冗餘位元區中寫入該結束標記。

16. 一種記憶體儲存裝置，包括：

一連接器，用以耦接至一主機系統；

一非揮發性記憶體模組，具有多個實體區塊；以及

一記憶體控制器，耦接至該連接器與該非揮發性記憶體模組，

其中該記憶體控制器用以將該些實體區塊分組為多個實體單元，將該些實體單元至少分組為一資料區與一閒置區並且配置多個邏輯單元以映射屬於該資料區的實體單元，

其中該記憶體控制器更用以接收屬於該些邏輯單元之中的一第一邏輯單元的一第一資料，其中該第一邏輯單元映射屬於該資料區的該些實體單元之中的一第一實體單元；

其中該記憶體控制器更用以判斷該第一邏輯單元是否進入一混亂寫入狀態，

其中該記憶體控制器更用以在該第一邏輯單元進入

該混亂寫入狀態時，從屬於該閒置區的實體單元之中提取一第三實體單元，並且將該第一資料依序地寫入至該第三實體單元中，

其中該記憶體控制器更用以接收屬於該些邏輯單元中的一第二邏輯單元的一第二資料，其中該第二邏輯單元映射屬於該資料區的該些實體單元中的一第二實體單元，

其中該記憶體控制器更用以判斷該第二邏輯單元是否進入該混亂寫入狀態，

其中該記憶體控制器更用以在該第二邏輯單元進入該混亂寫入狀態時，將該第二資料依序地寫入至該第三實體單元中，

其中該記憶體控制器更用以對該第一邏輯單元與該第二邏輯單元執行一資料合併程序，以及在對該第一邏輯單元與該第二邏輯單元執行該資料合併程序之後，該記憶體控制器更用以在該第三實體單元中寫入一結束標記，

其中在該第三實體單元中該結束標記是接續於該第一資料與該第二資料之後。

17. 如申請專利範圍第 16 項所述之記憶體儲存裝置，其中在對該第一邏輯單元與該第二邏輯單元所執行的該資料合併程序中，該記憶體控制器用以從屬於該閒置區的該些實體單元之中提取一第四實體單元，將該第一實體單元中的有效資料與該第一資料寫入至該第四實體單元中，從屬於該閒置區的該些實體單元之中提取一第五實體

單元，將該第二實體單元中的有效資料與該第二資料寫入至該第五實體單元中，將該第一邏輯單元映射至該第四實體單元，將該第二邏輯單元映射至該第五實體單元，抹除該第一實體單元與該第二實體單元，並且將該第一實體單元與該第二實體單元關聯至該閒置區。

18. 如申請專利範圍第 16 項所述之記憶體儲存裝置，

其中該記憶體控制器更用以接收屬於該些邏輯單元之中的一第三邏輯單元的一第三資料，其中該第三邏輯單元映射屬於該資料區的該些實體單元之中的一第六實體單元，

其中該記憶體控制器更用以判斷該第三邏輯單元是否進入該混亂寫入狀態，

其中該記憶體控制器更用以在該第三邏輯單元進入該混亂寫入狀態時，將該第三資料依序地寫入至該第三實體單元中，

其中該記憶體控制器更用以接收屬於該些邏輯單元之中的一第四邏輯單元的一第四資料，其中該第四邏輯單元映射屬於該資料區的該些實體單元之中的一第七實體單元，

其中該記憶體控制器更用以判斷該第四邏輯單元是否進入該混亂寫入狀態，

其中該記憶體控制器更用以在該第四邏輯單元進入該混亂寫入狀態時，將該第四資料依序地寫入至該第三實體單元中，

其中在該第三實體單元中該第三資料與該第四資料是接續於該結束標記之後。

19. 如申請專利範圍第 16 項所述之記憶體儲存裝置，其中該記憶體控制器更用以對該第三邏輯單元與該第四邏輯單元執行該資料合併程序，

其中在對該第三邏輯單元與該第四邏輯單元執行該資料合併程序之後，該記憶體控制器更用以在該第三實體單元中寫入一另一結束標記，

其中在該第三實體單元中該另一結束標記是接續於該第三資料與該第四資料之後。

20. 如申請專利範圍第 16 項所述之記憶體儲存裝置，其中每一該些實體單元具有多個實體頁面並且每一該些實體頁面具有一資料位元區與一冗餘位元區，

其中該記憶體控制器更用以在該第三實體單元的該些實體頁面之中的一實體頁面的該冗餘位元區中寫入該結束標記。

35308TW_J

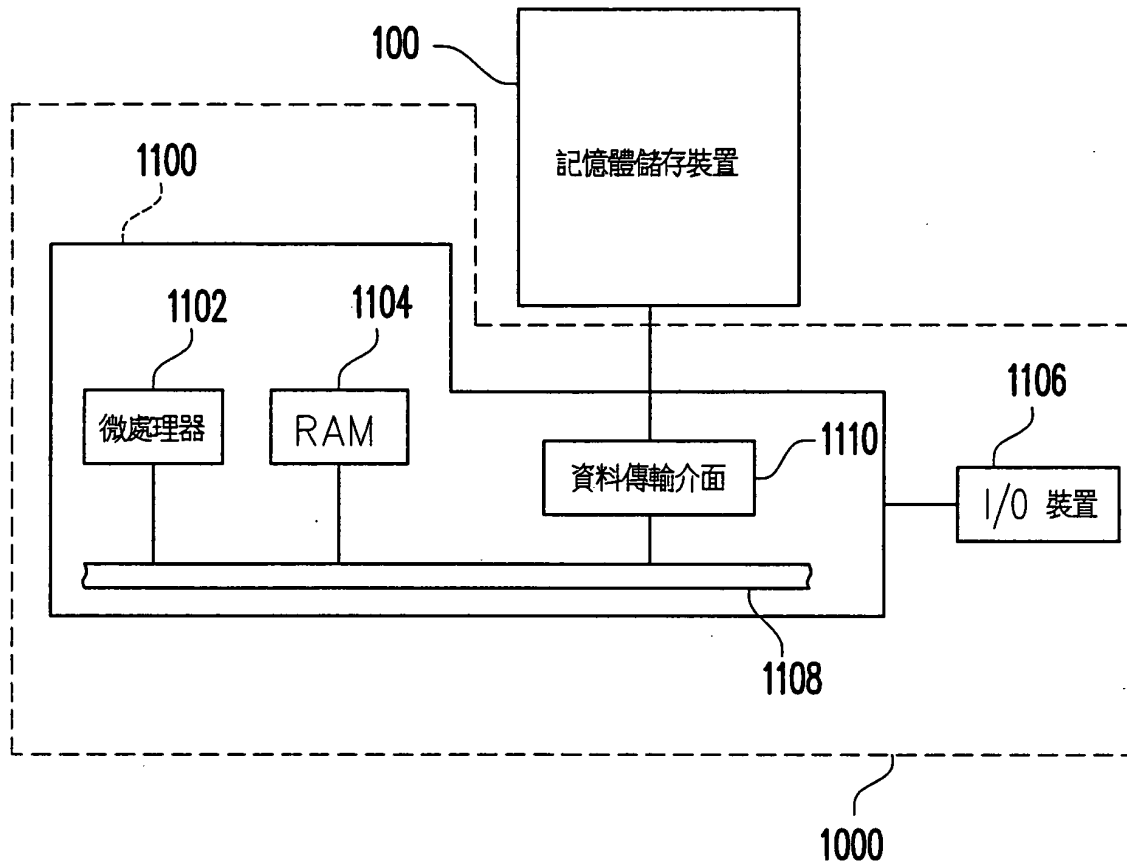


圖 1A

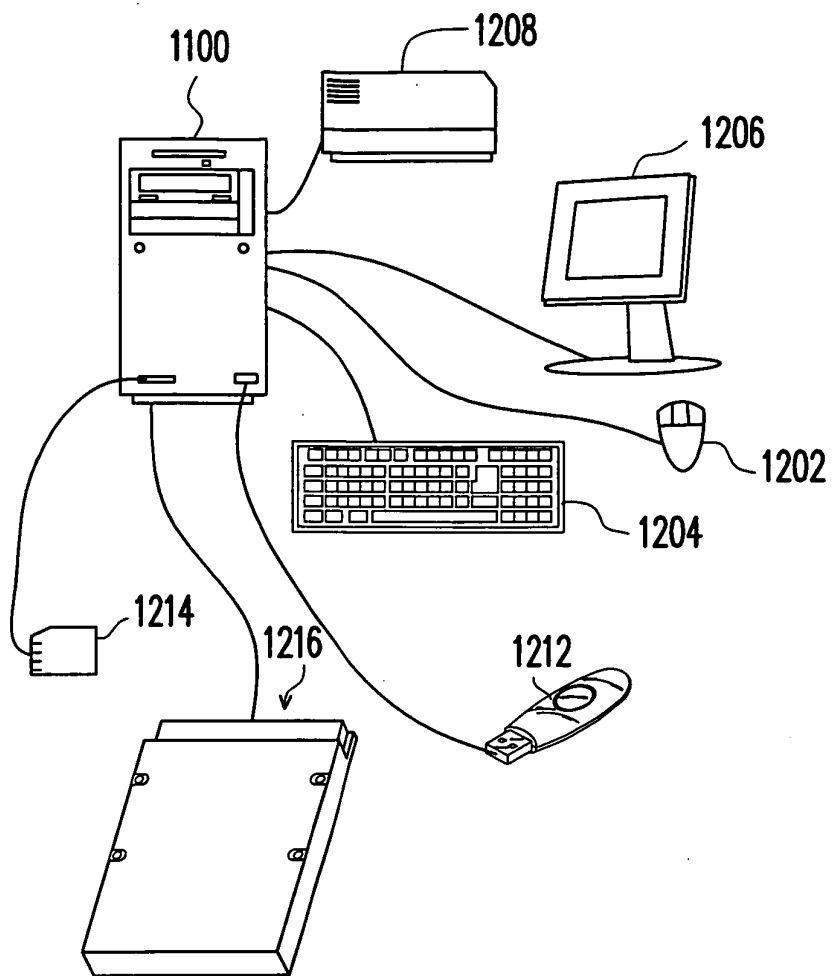


圖 1B

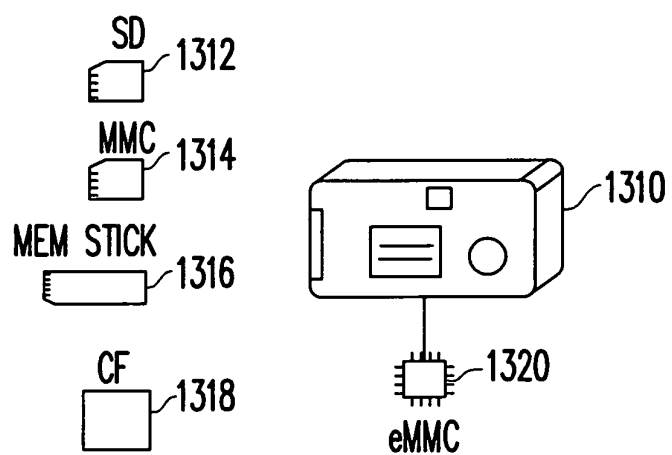


圖 1C

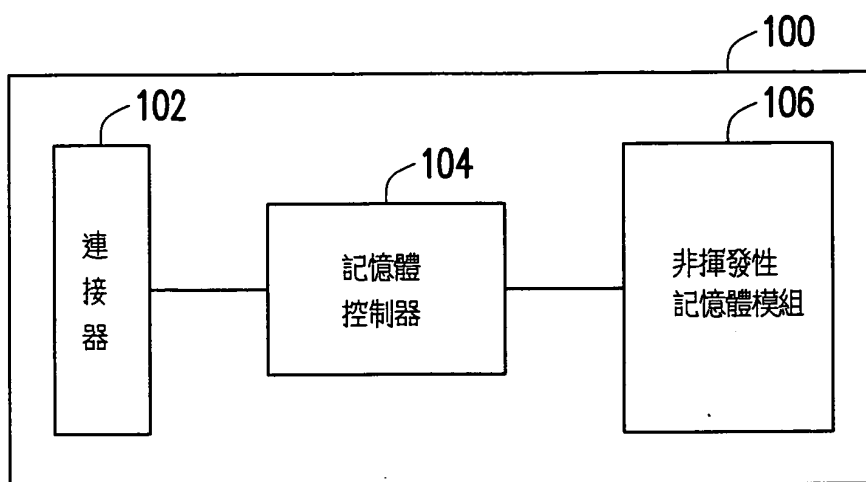


圖 2

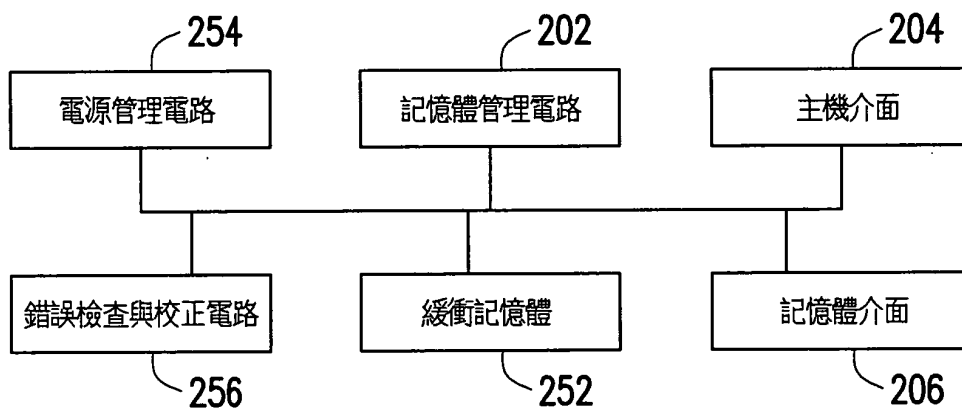


圖 3

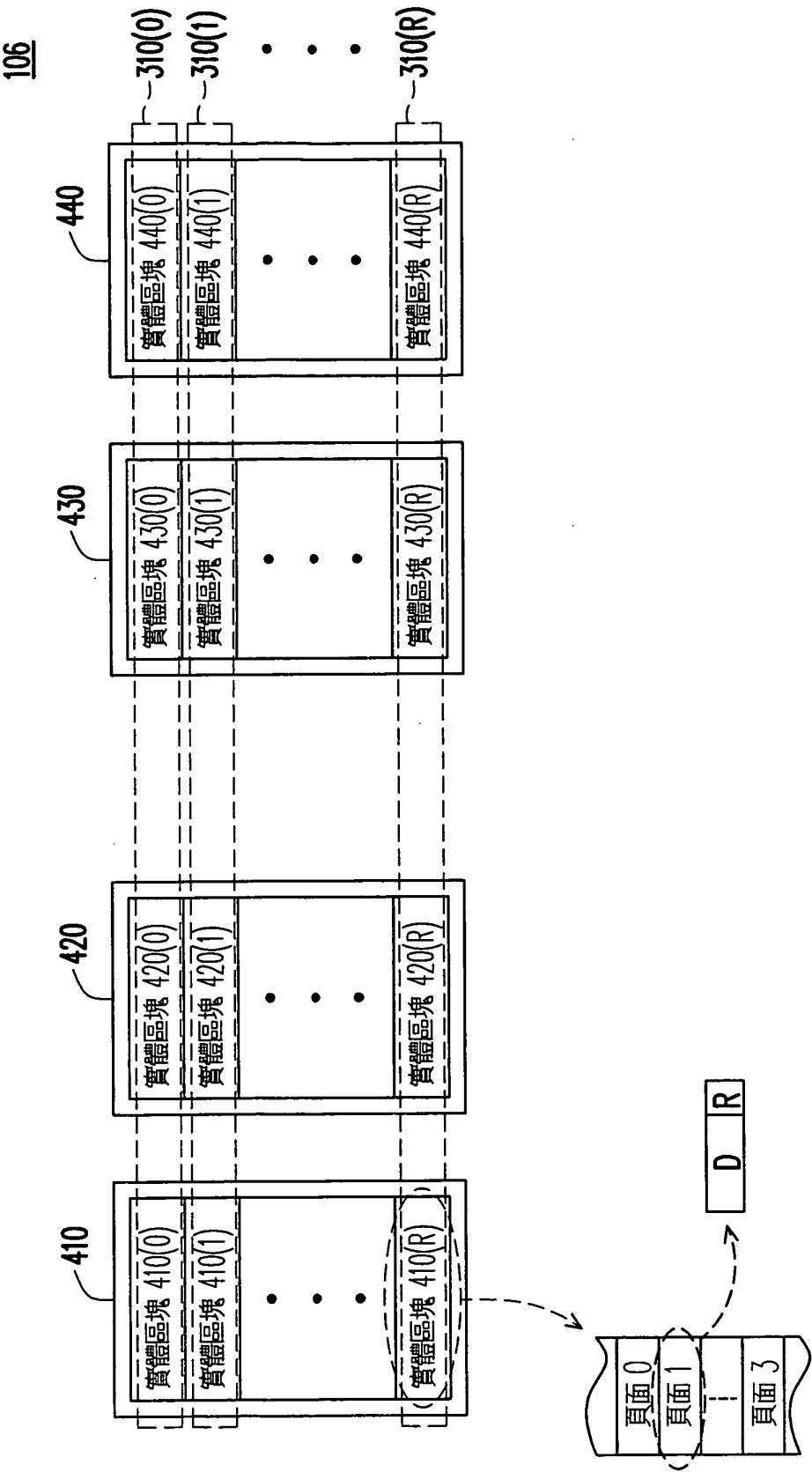


圖 4

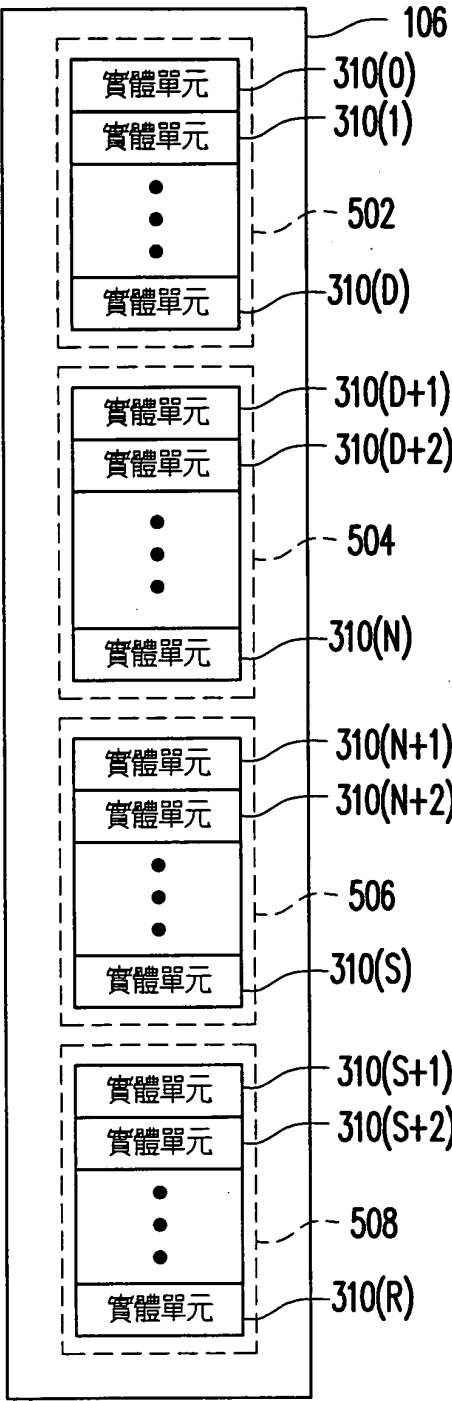


圖 5

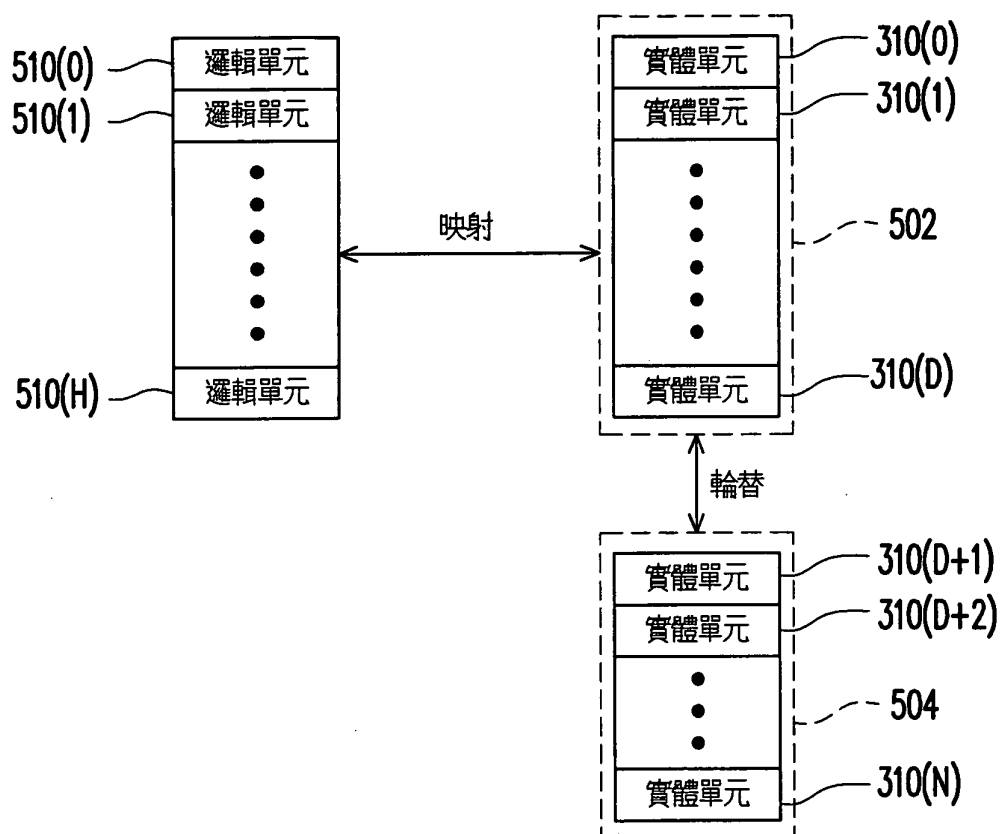


圖 6

35308TW_J

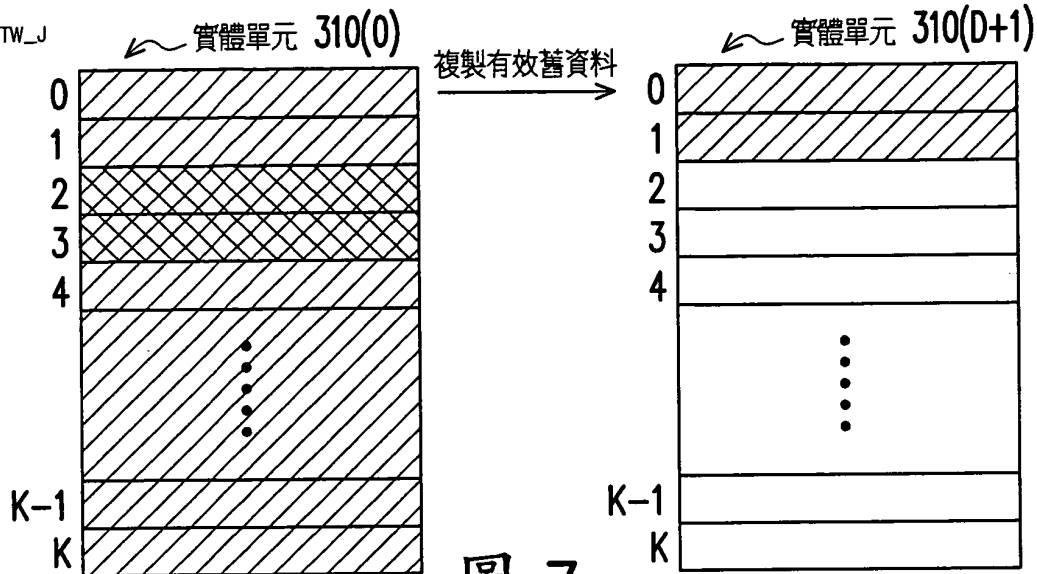


圖 7

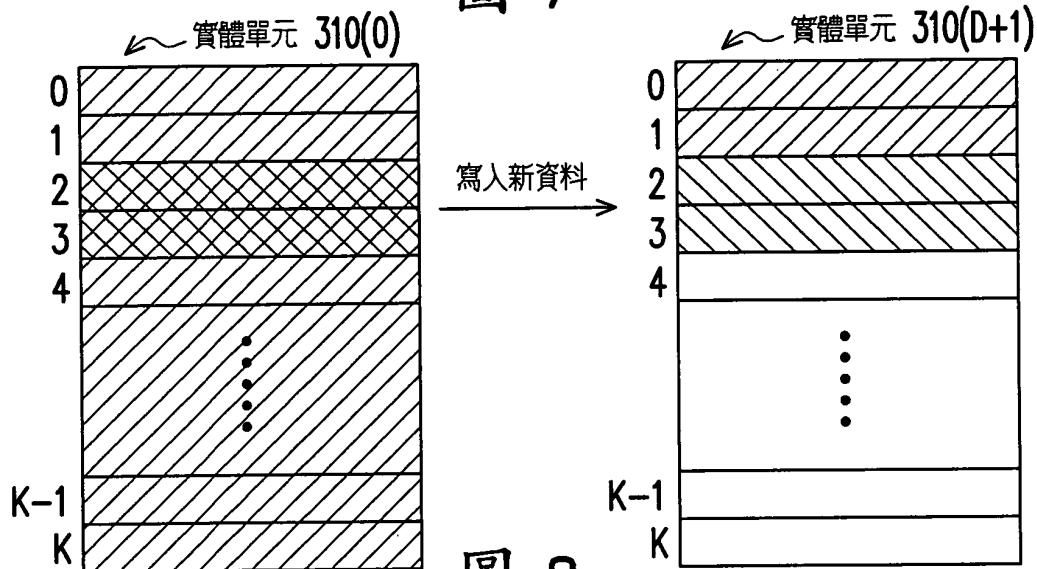


圖 8

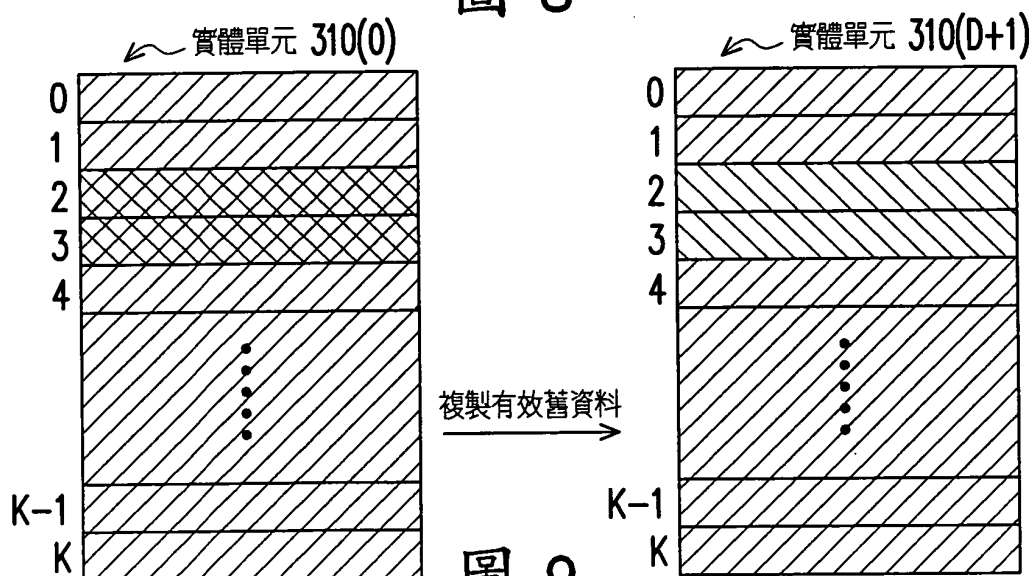


圖 9

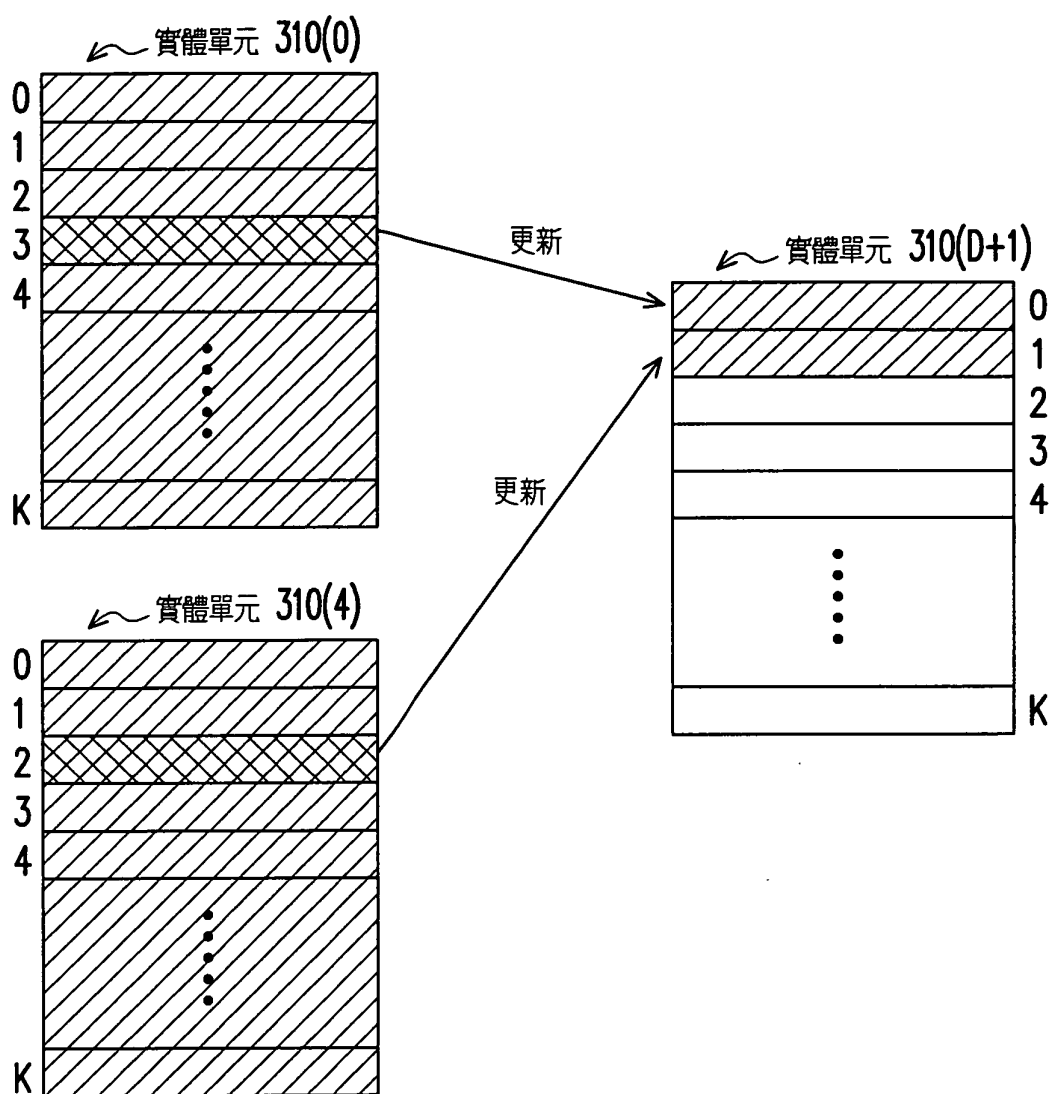


圖 10A

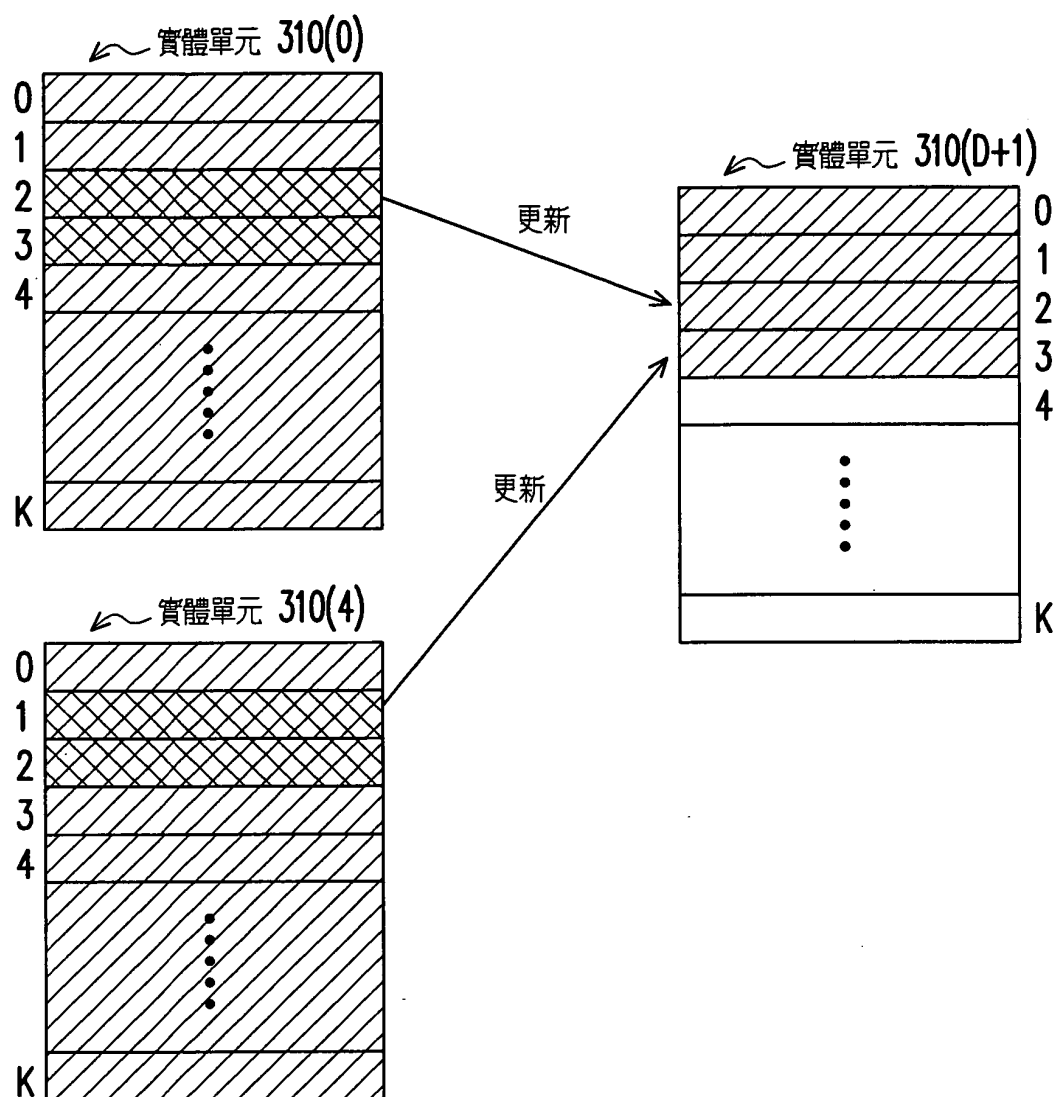


圖 10B

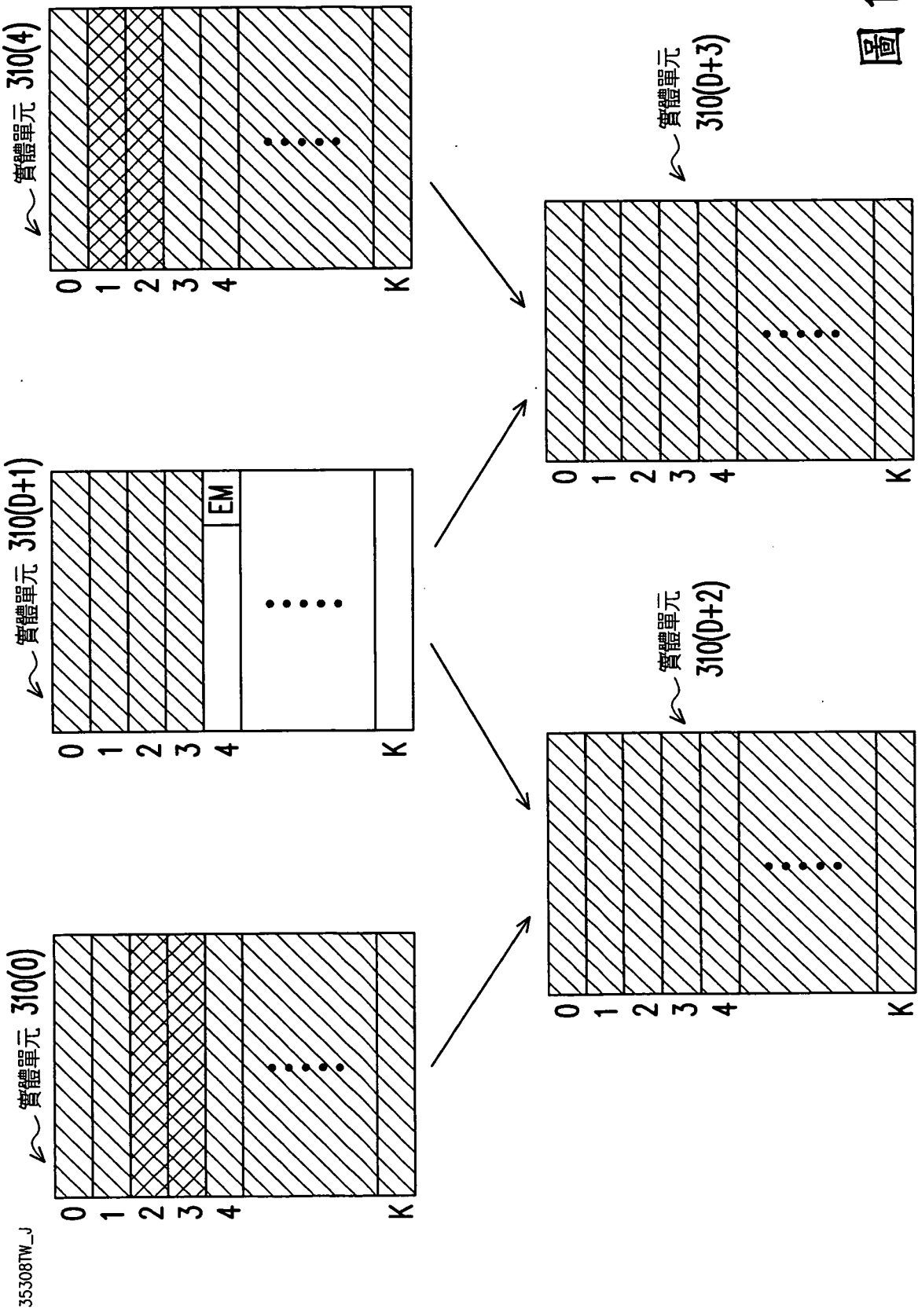


圖 10C

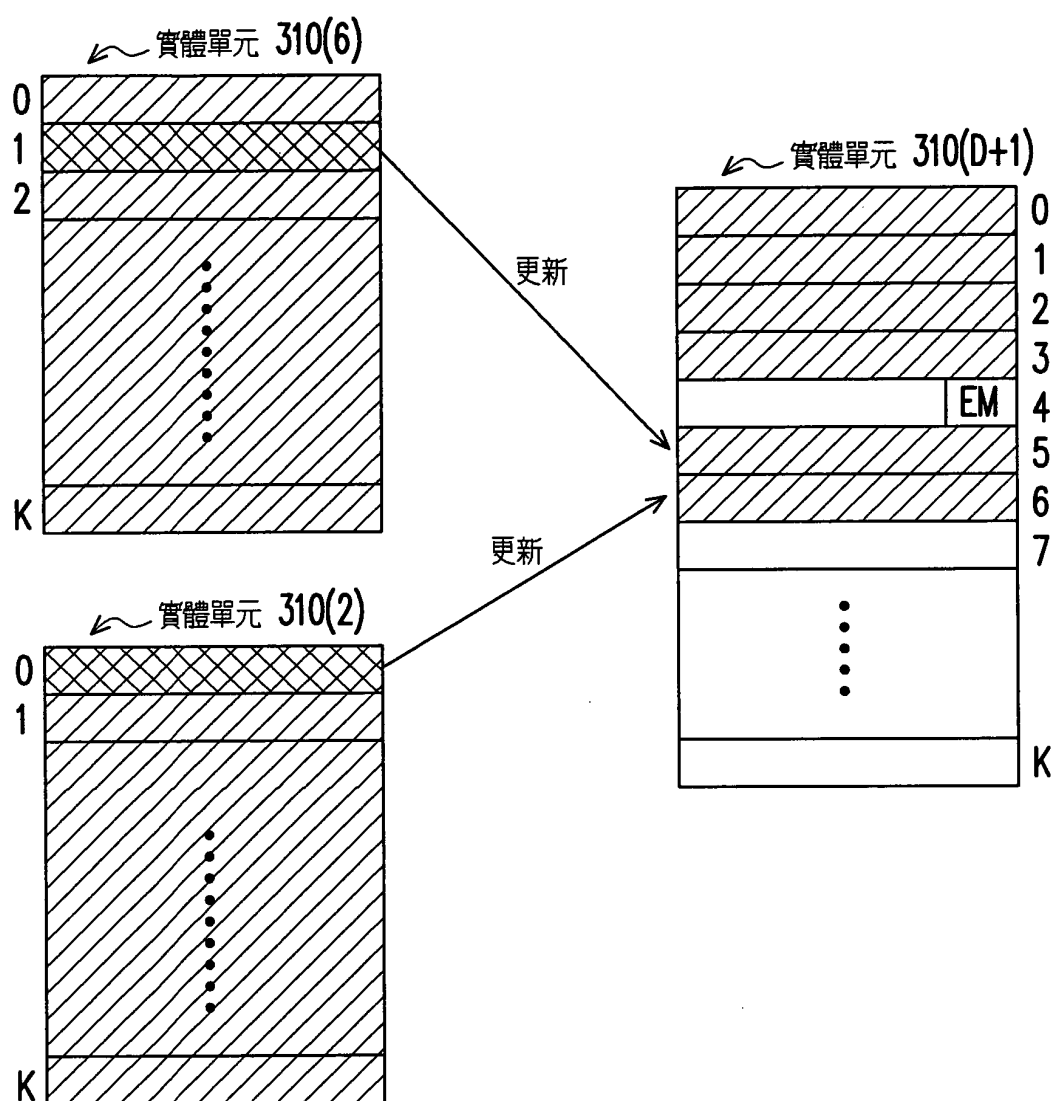


圖 11

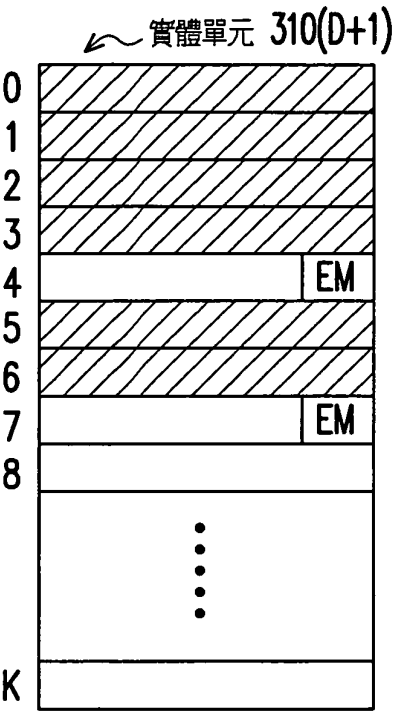


圖 12

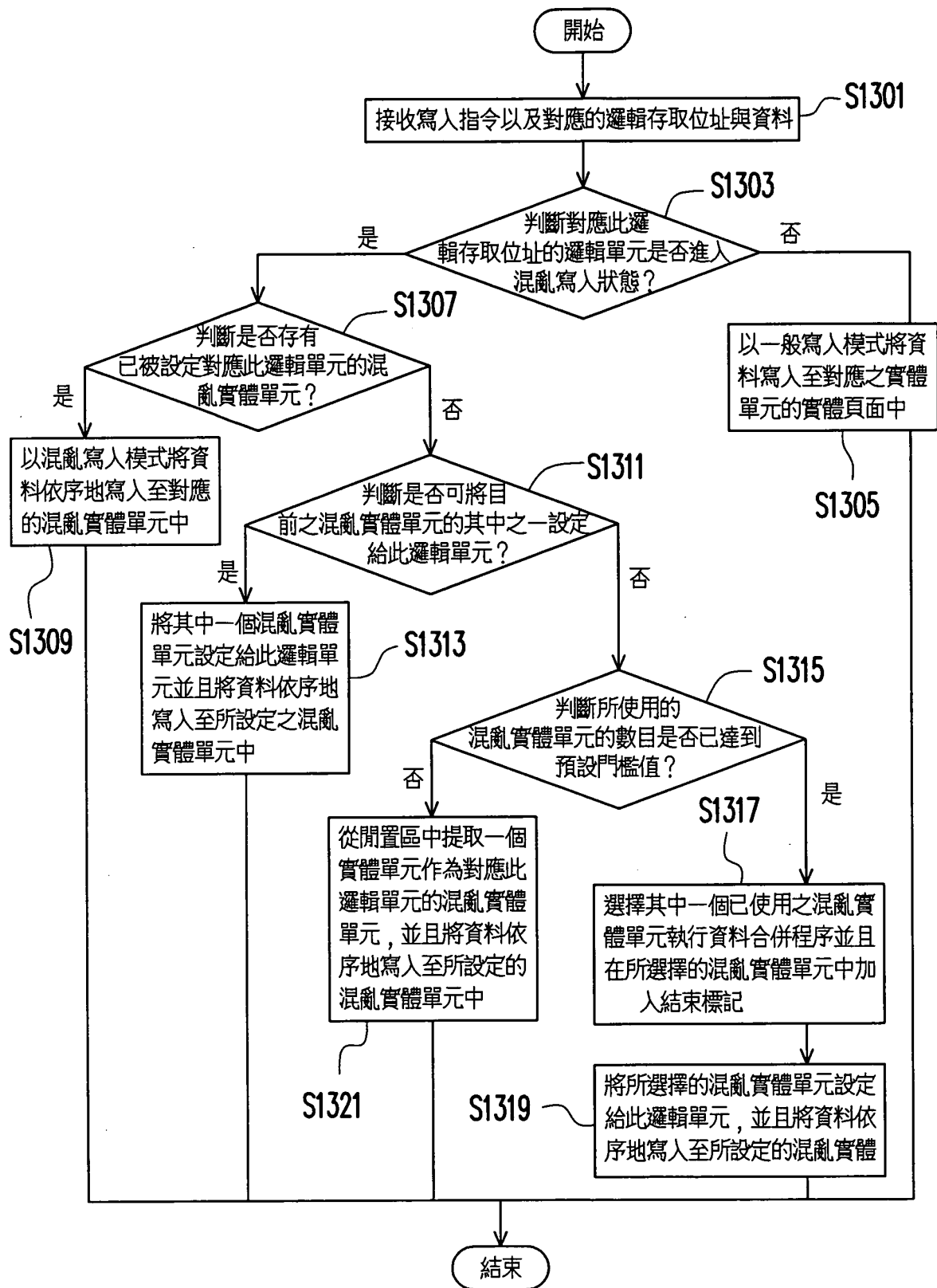


圖 13

The method includes grouping a plurality of physical blocks into a plurality of physical units, grouping the physical units into at least a data area and a free area, and configuring a plurality of logical units for mapping the physical units of the data area. The method also includes getting one physical unit from the free area, writing data belonging to at least one logical unit into the gotten physical unit, and writing an end mark into the gotten physical unit, wherein the end mark is following the data in the gotten physical unit. Accordingly, the method can effectively use the storage space of each physical unit, thereby prolonging the lifespan of the memory storage apparatus.

四、指定代表圖：

(一) 本案之指定代表圖：圖 13

(二) 本代表圖之元件符號簡單說明：

S1301、S1303、S1305、S1307、S1309、S1311、S1313、
S1315、S1317、S1319、S1321：資料寫入的步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無