



POPIS VYNÁLEZU

195 985

K AUTORSKÉMU OSVĚDČENÍ

(11) (B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno

(21)

12 07 77
(PV 4649 - 77)

(51) Int. Cl.¹ H 02 P 9/30

ÚŘAD PRO VYNÁLEZY

A OBJEVY

(40) Zveřejněno

29 06 79

(45) Vydáno

01 1 82

(75)
Autor vynálezu

HRZÁN EMIL ing. CSc.,

PETRÁŠEK PETR ing.,

PLZEŇ

(54)

Zapojení obvodu zadané hodnoty regulátoru buzení
synchronních alternátorů

1

Vynález se týká zapojení obvodu zadané hodnoty regulátoru buzení synchronních alternátorů, které se skládá z paměťového integračního členu, rozdílového členu, obvodu řízení přepínače, přepínače, obvodu řídicích signálů obousměrného čítače, obousměrného čítače, digitálně analogového převodníku a obvodu pro vyhodnocení poklesu napájecího napětí.

Až dosud se používalo v regulátorech buzení potenciometru ovládaného servomechanismem. Značná nevýhoda tohoto řešení spočívá v použití mechanických prvků, které mají omezenou životnost, velké rozměry a vyžadují náročnou výrobu a údržbu.

Uvedené nevýhody odstraňuje předmět vynálezu, jehož podstata spočívá v tom, že první vstup zapojení obvodu zadané hodnoty regulátoru buzení je tvořen prvním vstupem paměťového integračního členu. Jeho výstup je připojen na rozdílový člen, kam je současně přiveden i výstup z digitálně analogového převodníku. Výstup rozdílového členu je připojen spolu s druhým vstupem zapojení obvodu zadané hodnoty regulátoru buzení na vstup obvodu řízení přepínače a současně na přepínač. Na vstup přepínače je přiveden i výstup z obvodu řízení přepínače. Přepínač má dva výstupy, z nichž první je veden na vstup obvodu řídicích signálů obousměrného čítače. Výstupy z obvodu řídicích signálů obousměrného čítače jsou připojeny na vstupy obousměrného čítače. Výstup obousměrného čítače je spojen se vstupem digitálně analogového převodníku. Druhý výstup přepínače je veden na druhý vstup paměťového integračního členu, jehož výstup je současně i výstupem obvodu zadané hodnoty

185 985

regulátoru buzení synchronních alternátorů.

Praktické provedení předmětu vynálezu je na přiloženém výkresu obr. 1, které znázorňuje blokové zapojení obvodu zadané hodnoty regulátoru buzení. Obr. 2 a 3 znázorňuje možné zapojení obvodu vyhodnocení poklesu napájecího napětí a paměťového integračního členu.

Napěťový signál, kterému je úměrná změna zadané hodnoty regulátoru buzení synchronních alternátorů, se přivádí na první vstup VI, který je prvním vstupem A paměťového integračního členu 1. Velikost výstupního napětí se porovnává v rozdílovém členu 2 s napětím z digitálně analogového převodníku 7 a vzniklá odchylka je vedena do obvodu 3 řízení přepínače a současně do přepínače 4, je-li odchylka z rozdílového členu 2 větší než nastavená necitlivost obvodu 3 řízení přepínače, nebo je-li na druhý vstup VII přivedeno napětí, je přepínač 4 sepnut do polohy prvního výstupu X a odchylka je vedena na vstup obvodu 2 řídicích signálů. Tento obvod vyhodnotí, zda je signál kladný nebo záporný a na jeho výstupu U nebo D se objeví impulsy. Číslíkový signál z obousměrného čítače 6 se potom zavádí na vstup digitálně analogového převodníku 7 a jeho výstupní napětí je regulováno tak, aby odchylka rozdílového členu 2 byla uvnitř necitlivosti obvodu 3 řízení přepínače. V ustáleném stavu, kdy odchylka z rozdílového členu 2 je uvnitř necitlivosti obvodu 3 řízení přepínače, je přepínač 4 sepnut do polohy druhého výstupu X a na druhém vstupu B, paměťového integračního členu 1 se objeví vhodné napětí, které udržuje výstupní napětí paměťového integračního členu 1 tak, aby bylo shodné s výstupním napětím digitálně analogového převodníku 7. Obvod 8 vyhodnocení poklesu napájecího napětí se uplatní při poklesu nebo dokonce výpadku napájecího napětí. Zajišťuje uchování stejné hodnoty výstupního napětí obvodu zadané hodnoty regulátoru buzení, jako byla před poruchou. Výstup Q paměťového integračního členu 1 je i výstupem celého obvodu zadané hodnoty regulátoru buzení a řídí buzení synchronního alternátoru.

Princip zapojení tedy spočívá v tom, že jestliže není paměťový integrační člen 1 řízen vnějším signálem, je jeho výstupní napětí udržováno na konstantní velikosti odchylkou mezi tímto výstupním napětím a výstupním napětím z digitálně analogového převodníku 7. V případě změny výstupního napětí paměťového integračního členu 1 vnějším signálem, nebo po výpadku napájecího napětí, se nejprve srovná výstupní napětí digitálně analogového převodníku 7 s výstupním napětím paměťového integračního členu 1, a poté se opět přejde na výše popsany režim udržování konstantního výstupního napětí paměťového integračního členu 1.

Možné zapojení obvodu 8 vyhodnocení poklesu napájecího napětí a paměťového integračního členu 1 je na obr. 2.

Paměťový integrační člen 1 je realizován hybridním operačním zesilovačem F s vysokým vstupním odporem a kondenzátorem C_x. Vstupní signál se přivádí na vstup V hybridního operačního zesilovače F přes monolitický spínač S, jehož stav je ovládán napětím z obvodu 8 vyhodnocení poklesu napájecího napětí. Tento obvod je složen ze tří operačních zesilovačů G, H, I a dvou tranzistorů T₁, T₂. První operační zesilovač G pracuje jako

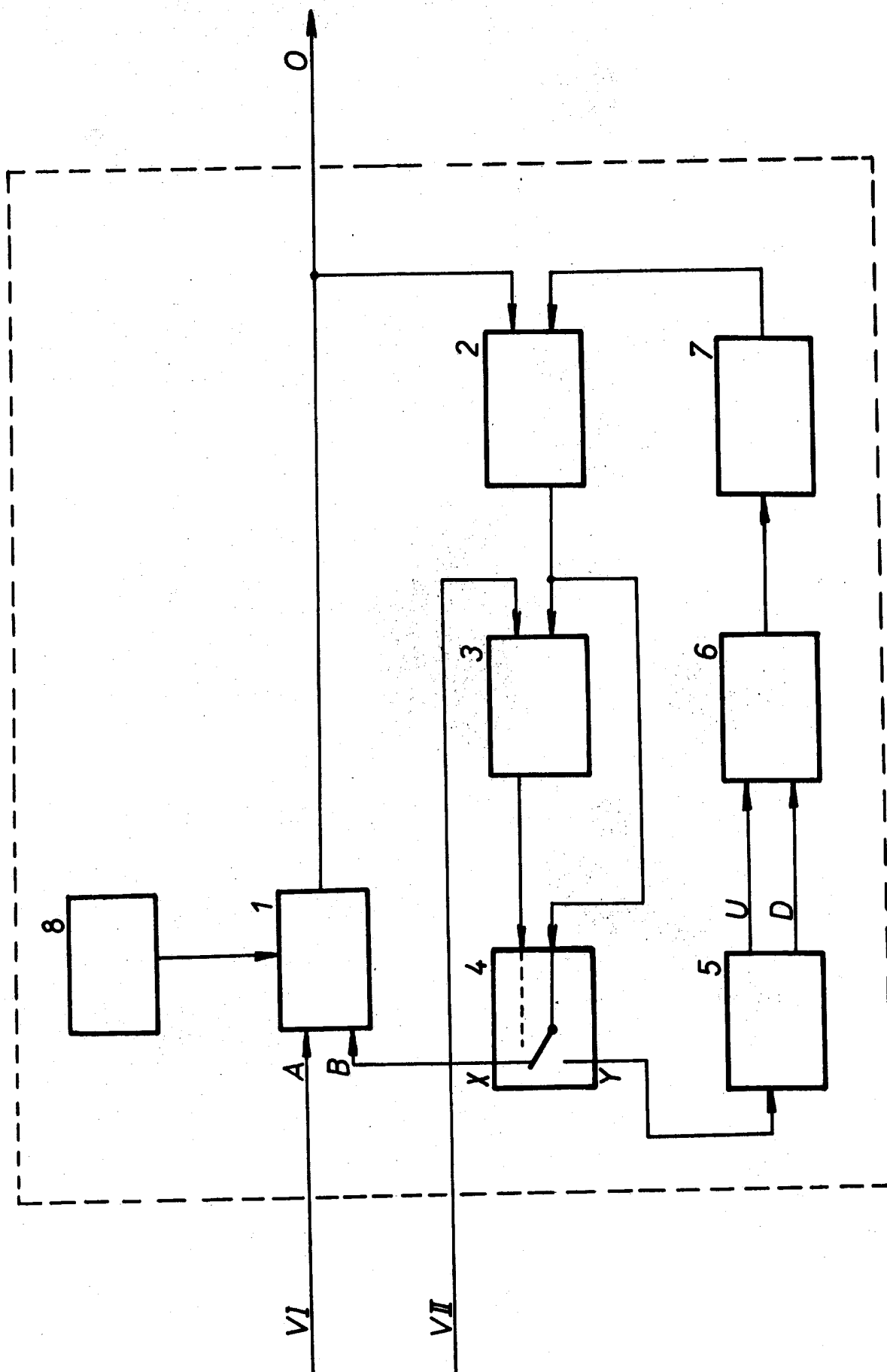
inverter napájecího napětí. Na vstupu druhého operačního zesilovače H se provádí součet napájecích napětí a současně tento zesilovač pracuje jako integrátor. Třetí operační zesilovač I pracuje jako klopný obvod a ovládá první tranzistor T_1 , který zkratuje kondenzátor ve zpětné vazbě druhého operačního zesilovače H . Výstup druhého operačního zesilovače H je dále propojen přes Zennerovu diodu Z na druhý tranzistor T_2 , který pracuje jako klopný obvod. Napětí U_R z kolektoru druhého tranzistoru T_2 je současně řídicím napětím monolitického spínače S a jeho průběh je naznačen na obr. 3. V okamžiku t_1 dochází k výpadku napájecího napětí a polarita U_R se změní z hodnoty $-U$ na hodnotu $+U$. V okamžiku t_2 došlo k obnovení napájecího napětí, avšak ke změně U_R zpět na hodnotu $-U$ dochází se zpožděním, až v časovém okamžiku t_3 .

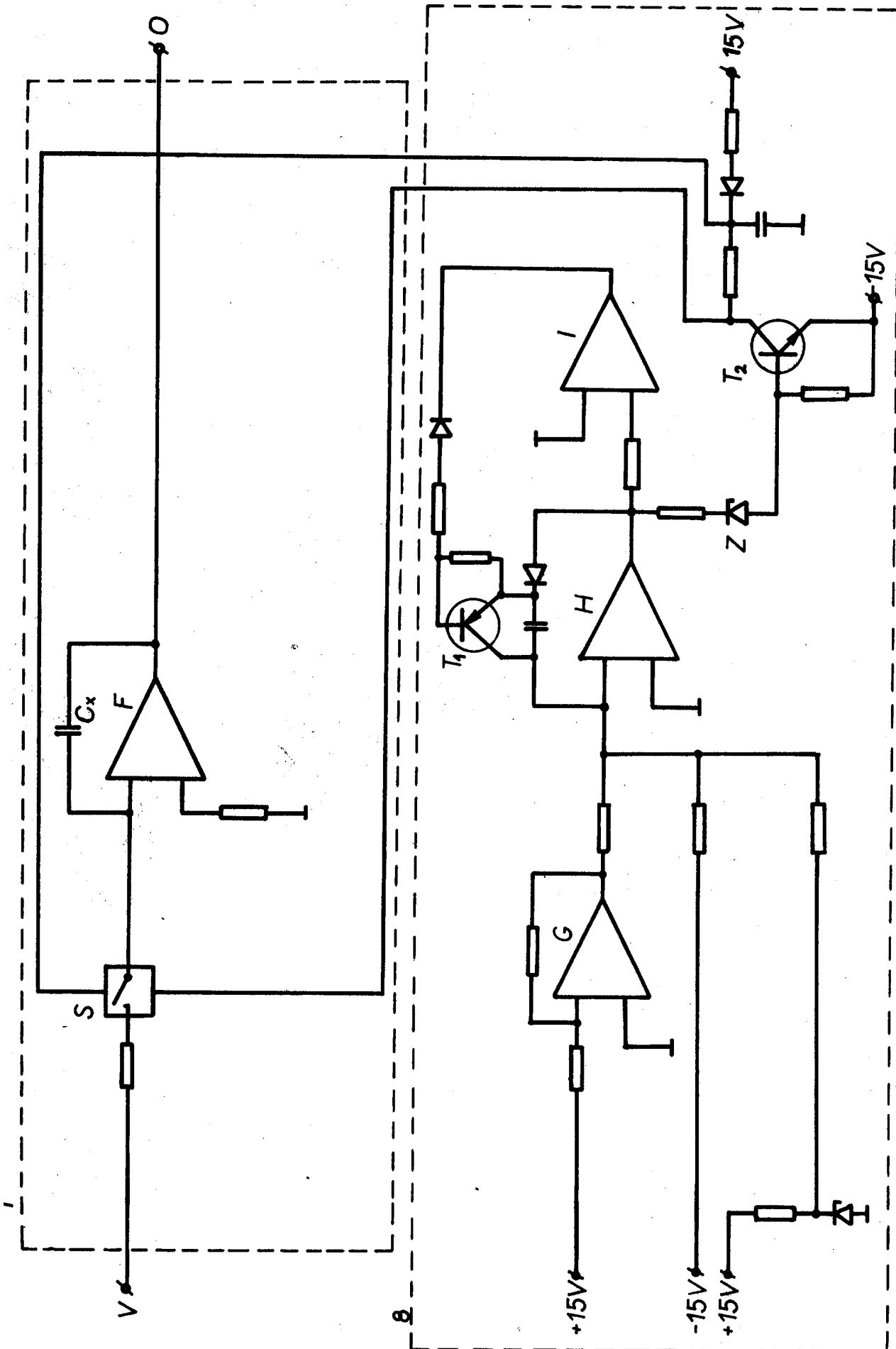
Popsaný vynález najde použití ve všech regulovaných budicích soustavách synchronních alternátorů.

PŘEDMĚT VYNÁLEZU

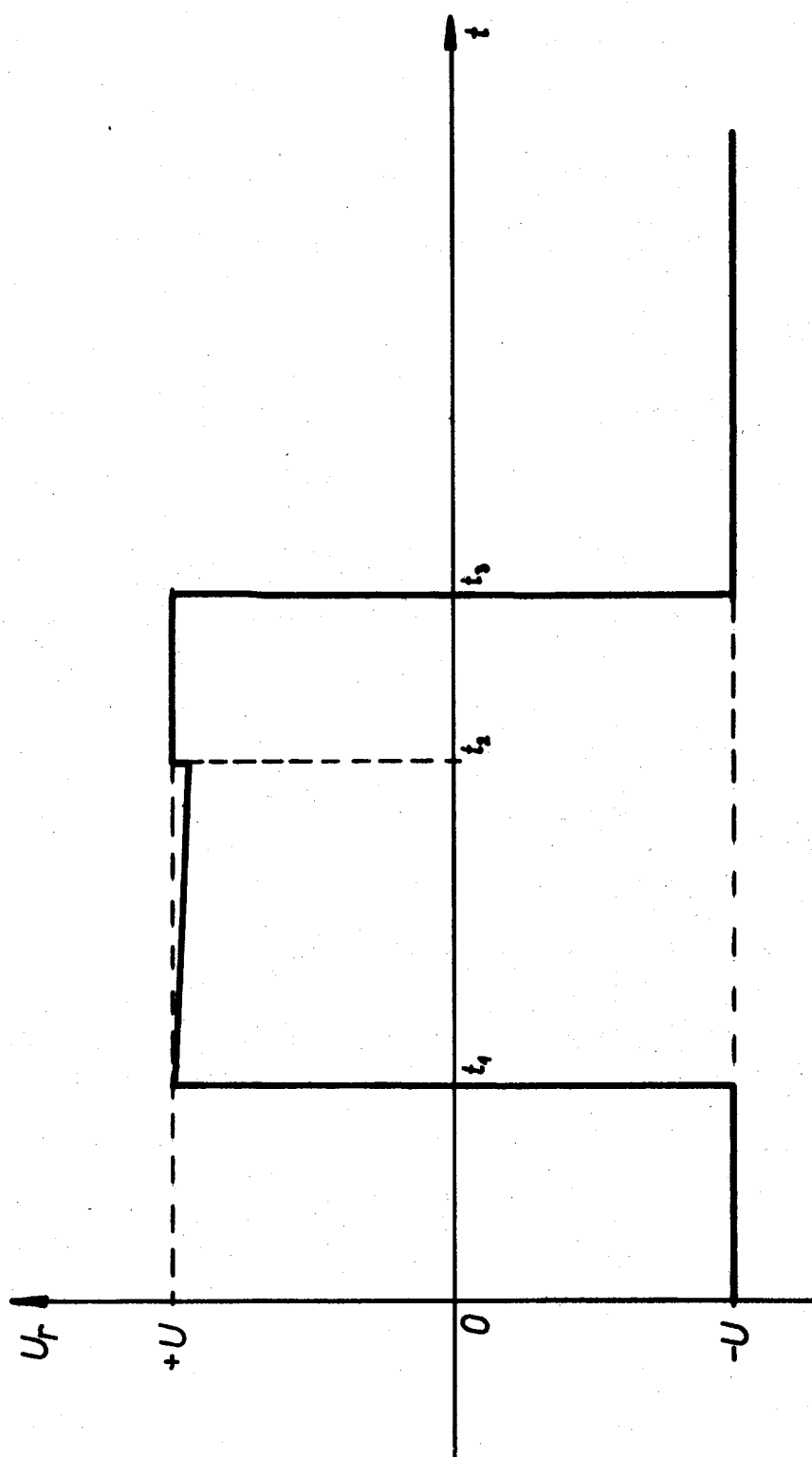
Zapojení obvodu zadané hodnoty regulátoru buzení synchronních alternátorů, složené z paměťového integračního členu, rozdílového členu, obvodu řízení přepínače, přepínače, obvodu řídicích signálů obousměrného čítače, obousměrného čítače, digitálně analogového převodníku a obvodu vyhodnocení poklesu napájecího napětí, vyznačené tím, že první vstup (VI) zapojení obvodu zadané hodnoty regulátoru buzení je tvořen prvním vstupem (A) paměťového integračního členu (1), jehož výstup je připojen na rozdílový člen (2), kam je současně připojen i výstup digitálně analogového převodníku (7), přičemž výstup rozdílového členu (2) je připojen spolu s druhým vstupem (VII) zapojení obvodu zadané hodnoty regulátoru buzení na vstup obvodu (3) řízení přepínače, jehož výstup je spolu s výstupem rozdílového členu (2) připojen na přepínač (4), který má dva výstupy, z nichž první výstup (Y) je veden na vstup obvodu (5) řídicích signálů obousměrného čítače (6) jehož výstupy (U,D) jsou připojeny na vstupy obousměrného čítače (6), který má výstup spojen se vstupem digitálně analogového převodníku (7), a druhý výstup (X) přepínače (4) je veden na druhý vstup (B) paměťového integračního členu (1), jehož výstup (O) je současně i výstupem obvodu zadané hodnoty regulátoru buzení synchronních alternátorů.

3 výkresy





Obr. 2



Obr. 3