

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-239903
(P2004-239903A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO 1 R 31/28	GO 1 R 31/28	2 G 1 3 2
HO 1 L 21/822	GO 1 R 31/28	5 F O 3 8
HO 1 L 27/04	HO 1 L 27/04	T

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2004-21723 (P2004-21723)	(71) 出願人	000003078
(22) 出願日	平成16年1月29日(2004.1.29)		株式会社東芝
(31) 優先権主張番号	10/358, 461	(71) 出願人	390009531
(32) 優先日	平成15年2月4日(2003.2.4)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(33) 優先権主張国	米国 (US)		INTERNATIONAL BUSINESS MACHINES CORPORATION
			アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
		(74) 代理人	100058479
			弁理士 鈴江 武彦

最終頁に続く

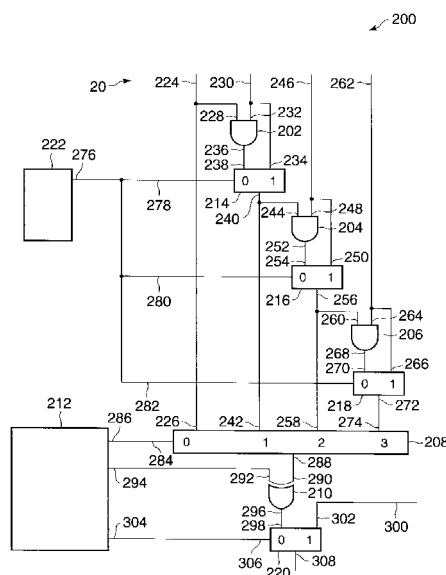
(54) 【発明の名称】 重み付けされた擬似ランダム試験パターンを用いた集積回路試験装置および試験方法

(57) 【要約】

【課題】 複数個の論理回路を備える集積回路の試験に係る時間およびコストを低減することができる集積回路試験装置および試験方法を提供する。

【解決手段】 電子回路16をテストするための方法は、第1のマルチプレクサ208を用いる入力信号の選択、少なくとも1つの他のマルチプレクサ202, 204, 206を用いる第1のマルチプレクサ208に入力されるべき信号の選択、および制御回路222から出力される選択信号を用いる少なくとも1つの他のマルチプレクサ202, 204, 206の制御を含む。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

少なくとも 2 つの間の入力信号を選択するための第 1 のマルチプレクサと、
前記第 1 のマルチプレクサに接続されているとともに、前記第 1 のマルチプレクサに入力される信号を選択するための少なくとも 1 つの他のマルチプレクサと、
前記少なくとも 1 つの他のマルチプレクサに接続されるとともに、前記少なくとも 1 つの他のマルチプレクサの選択線に入力されて、前記第 1 のマルチプレクサに入力される少なくとも 1 つの信号を選択するために用いられる少なくとも 1 つの選択信号を出力する少なくとも 1 つの制御回路と、
を具備することを特徴とする電子回路試験用回路。

10

【請求項 2】

前記第 1 のマルチプレクサは、 n を 1 以上の整数とする 2^n 対 1 のマルチプレクサであることを特徴とする請求項 1 に記載の電子回路試験用回路。

【請求項 3】

前記第 1 のマルチプレクサの選択線に接続される少なくとも 1 つの選択線出力を有するとともに、前記第 1 のマルチプレクサから出力される信号を決定するために前記第 1 のマルチプレクサの選択線に入力される重み選択信号を出力する重み付けチャンネル回路を、さらに具備することを特徴とする請求項 1 に記載の電子回路試験用回路。

【請求項 4】

前記第 1 のマルチプレクサの出力に接続される 1 つの入力および前記重み付けチャンネル回路の他の出力に接続された他の入力を有する出力論理ゲートを、さらに具備することを特徴とする請求項 3 に記載の電子回路試験用回路。

20

【請求項 5】

前記出力論理ゲートの出力に接続された 1 つの入力を有する出力マルチプレクサをさらに具備するとともに、前記重み付けチャンネル回路の追加出力は前記出力マルチプレクサの選択線に接続されており、前記重み付けチャンネル回路は前記出力マルチプレクサから出力される信号を決定するために前記出力マルチプレクサの選択線に入力される出力選択信号を出力することを特徴とする請求項 4 に記載の電子回路試験用回路。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、集積電子回路の試験に係り、特に集積電子回路の機能性を試験するための自己試験回路および試験方法が組み込まれた集積電子回路の試験に関する。

【背景技術】**【0002】**

単体の超大規模集積回路 (VLSI) 半導体素子は、例えば、AND、OR、NAND、NOR、あるいは XOR ゲートを含む互いに接続された数千の論理ゲートを備えている。そのようないかなる集積回路にとって製造プロセスの重要な部分は、集積回路内に含まれた各論理ゲートの機能性を検証することである。それぞれの論理ゲートの機能性を検証することは、限られた数の集積回路用の入力 / 出力 (I/O) 端子、および多数の論理ゲートの各入力と各出力との間の複雑な相互接続により、困難になるおそれがある。多くの場合、集積回路内の多数のチャンネルは、I/O 端子を共有している。

40

【0003】

半導体素子内に備えられた集積回路の機能性テストを行っている間、素子内の論理ゲートに入力される複数の 0 と 1 との連続からなる所定のデジタルデータパターンを、集積回路の入力は受け取る。これに回答して、各論理ゲートは各入力データパターンを処理し、結果として、集積回路は、各入力データパターンおよび各論理ゲートの機能性に依る、再び複数の 0 と 1 との連続からなる出力データパターンを発生させる。出力データパターンが予想された出力データパターンと一致しないときは、各論理ゲートのうちの少なくとも 1 個の論理ゲートに誤りが生じたことが分かる。

50

【0004】

多くの集積回路は、純粋なランダムな入力データパターンを用いるテストが困難な論理ゲート構造を含んでいる。そのような論理ゲート構造の一例として、ANDゲートがある。ANDゲートにおける欠陥が検出される確率は、ANDゲートに対する入力数が増えるに連れて減少する。初めに、ANDゲートの欠陥を検査するためには、ANDゲートから出力される信号を1とするために、全てのANDゲートの入力は1の入力ディジットを受け取らなければならない。次に、ANDゲートの正しい機能を果たすことが正しいことを確かめるために、ANDゲートの入力の1つは殆ど1とされるべきである。それゆえに、集積回路に入力されるデータパターンを構成するビットは、それぞれのANDゲートの入力に入力されなければならない様々なビットの変換を容易にするように構成されなければならない。

10

【0005】

乱数発生テストの制限を処理するために、0か1の発生の確率を変更するテスト方法は発展してきた。これらのテスト方法は、要求された論理ゲートの特定のテストを実行するように、重み付けされた乱数発生装置を用いてランダムな入力データパターンに重み付けする。重み付けされた乱数発生装置は、重み付けされたランダムな入力パターンをテスト中に集積回路に出力する。重み付け因子が正の数である場合、重み付けされたランダムな入力パターンの中で、入力ディジットが0である確率は重み付け因子の2分の1倍を掛けたものであり、そして入力ディジットが1である確率は1から重み付け因子の2分の1倍を引いたものである。このように、重み付け因子は0か1の発生の確率として表現される。重み付け因子は、集積回路への入力数および素子内部の論理ゲートの数とタイプに依存して選択される。さらに、重み付け因子は、論理回路の中に欠陥が存在しないという確信を受けることができる水準を伴ったテストにより、時間とコストの効率の良さを促進するように選択される。

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

集積回路の機能性テストに対する一つの選択肢は、あらゆる予想された出力データパターンを発生することを期待して、素子の入力への多数のデータパターンの供給に関係している。しかしながら、そのようなテスト処理は、多数の入力データパターンを発生させて入力する必要があるため、極めて長いテスト時間を必要とするおそれがある。

30

【0007】

他の選択肢は、欠陥のある論理ゲートを見分けることを期待して、集積回路の入力に対するランダムなデータパターンの供給に関係している。論理回路から出力された評価されたデータパターンは、予想された出力データパターンと再び比較される。しかしながら、ランダムなデータパターンの供給に関連する1つの問題は、論理回路の一部のみしかテストされないことであり、そしてそれゆえに、集積回路は欠陥を検出されないまま有する可能性がある。多数のランダムな入力データパターンを集積回路の入力に供給することは、より多くの論理ゲートがテストされる可能性を増大させる。しかしながら、増大した多くの入力データパターンは全体のテスト時間を長時間化させ、そしてこのため、集積回路の製造コスト全体が増大する。

40

【0008】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、複数個の論理回路を備える集積回路の試験に係る時間およびコストを低減することができる集積回路試験装置および試験方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明を取り入れている電子回路をテストするための代表的な回路は、第1のマルチプレクサ、少なくとも1つの他のマルチプレクサ、および少なくとも1つの制御回路を含む。第1のマルチプレクサは、少なくとも2つの間の入力信号を選択するためのものである

50

。少なくとも1つの制御回路は、少なくとも1つの他のマルチプレクサに接続されるとともに、少なくとも1つの制御回路は、少なくとも1つの他のマルチプレクサの選択線に入力されて、第1のマルチプレクサに入力される少なくとも1つの信号を選択するために用いられる、少なくとも1つの選択信号を出力する。

【0010】

電子回路をテストするための装置は、線形フィードバックレジスタ、プログラム可能な重み付けされたランダムパターン発生装置、および多入力シフトレジスタを含む。プログラム可能な重み付けされたランダムパターン発生装置は、線形フィードバックレジスタと電子回路との間に接続される。プログラム可能な重み付けされたランダムパターン発生装置は、第1のマルチプレクサ、少なくとも1つの他のマルチプレクサ、および少なくとも1つの制御回路を含む。第1のマルチプレクサは、少なくとも2つの間の入力信号を選択するためのものである。少なくとも1つの他のマルチプレクサは、第1のマルチプレクサに入力されるデジタル信号を選択するためのものである。少なくとも1つの制御回路は、少なくとも1つの他のマルチプレクサに接続されるとともに、少なくとも1つの制御回路は、少なくとも1つの他のマルチプレクサの選択線に入力されて、第1のマルチプレクサに入力される少なくとも1つの信号を選択するために用いられる、少なくとも1つの選択信号を出力する。多入力シフトレジスタは、電子回路に接続される。

10

【0011】

電子回路をテストするための方法は、第1のマルチプレクサを用いる入力信号の選択、少なくとも1つの他のマルチプレクサを用いる第1のマルチプレクサに入力されるべき信号の選択、および制御回路から出力される選択信号を用いる少なくとも1つの他のマルチプレクサの制御を含んでいる。

20

【0012】

本発明の他の態様は、本発明を実施するために熟考されたベストモードを簡潔に説明することにより本発明の代表的な形態を示すとともに説明する以下の詳細な説明から、この技術の中のこれらの技術に対して容易かつ明確になる。本発明は、全く本発明からはずれることなく、他の異なる実施形態に有用であるとともに、その幾つかの細部は様々な点において修正可能であるしたがって、図および説明は、本質的に実例とみなされるときにも、限定的なものではない。

【発明の効果】

30

【0013】

本発明によれば、複数個の論理回路を備える集積回路の試験に係る時間およびコストを低減することができる。

【発明を実施するための最良の形態】

【0014】

図1は、擬似ランダムパターン発生技術を利用する典型的な自己テスト内蔵論理(“LBIST”)テスト構成10のブロックダイアグラムである。LBISTテスト構成は、MSIRおよび並列シフトレジスタ連続発生装置を用いる自己テスト(“STUMPS”)と呼ばれるスキャンパス構造とも呼ばれる。STUMPS構造は、多数のチップシステムを高速スループットでテストするための組込み型の構造である。LBISTテスト構成は、線形フィードバックシフトレジスタ(“LFSR”)12、プログラム可能な重み付けされたランダムパターン発生装置(“PWR”)14、テストされる集積回路16、および多入力シフトレジスタ(“MISR”)18を含んでいる。16の出力20としてのLFSRは、4つの出力22の4つのグループから構成され、PWRの対応する16の入力24に接続される。PWRは、集積回路の対応する4つの入力28に接続された4つの出力26を有する。集積回路は、MISRの対応する4つの入力32に接続された4つの出力を有する。MISRは、1つの出力34を有する。

40

【0015】

図1において、LFSRは16の出力20のみを有するものとして描かれており、PWRは16の入力24と4つの出力26のみを有するものとして描かれており、テストされ

50

る集積回路16は4つの入力28と4つの出力30とを有するものとして描かれており、そしてMISR18は4つの入力32と1つの出力34のみを有するものとして描かれているが、LFSR、PWR、テストされる集積回路、およびMISRのいずれも、より少なくかより多くの入力か出力を有する。

【0016】

作動中は、LFSR12は、LFSRから出力されてPWR14に入力される擬似ランダムデータパターンを発生させる擬似ランダムバイナリー数発生装置として作動する。PWRはLFSRからの擬似ランダムデータパターンを受け取り、テスト効率を増加させるために擬似ランダムデータパターンに重み付けする。結果として生じる重み付けされた擬似ランダムデータパターンは、PWRから出力されてテストされる集積回路16に入力される。テストされる集積回路は、入力される重み付けされた擬似ランダムデータパターンおよび集積回路内に含まれた論理ゲートの誤り状態に応じた出力データパターンを発生させる。結果として生じる出力データパターンは、テストされる集積回路から出力されてMISR18に入力される。MISRは、テストされる集積回路からの出力データパターンを、テストされる集積回路内に含まれた論理回路からの応答を意味する特異な記号に圧縮する。MISRで発生させられた記号は、MISRから出力されて解析されるとともに予想された記号と比較される。このように、評価されるとともに予想された記号を解析した後、テストされる集積回路が誤っているかどうか決定される。

10

【0017】

以上議論したように、欠陥のある論理ゲートをテストするための努力は、例えば、ANDゲートのように、特定のタイプの論理ゲートに対してより難しくなる。図2は、12のフリップフロップ42~64、第1のANDゲート66、第2のANDゲート68、およびインバータ70を含むSTUMPSテスト構成40を描く。12のフリップフロップは、4つのカラム72~78から構成されており、それぞれのカラムは直列接続された3つのフリップフロップを含んでいる。各フリップフロップ、第1および第2のANDゲート、およびインバータは、幾つかの商業上利用できるフリップフロップ、ANDゲート、およびインバータの中から望ましいものが選択される。

20

【0018】

第1のANDゲート66は、3つの入力80~84と1つの出力86を有する。第1のカラム72内の3つの直列接続されたフリップフロップ42~46のそれぞれのアウトプットは、第1のANDゲートの各入力のうちの1つに接続されている。特に、第1のフリップフロップの出力88は第1のANDゲートの第1の入力80に接続され、第2のフリップフロップの出力90は第1のANDゲートの第2の入力82に接続され、そして第3のフリップフロップの出力92は第1のANDゲートの第3の入力84に接続されている。第1のANDゲートの出力は、第2のカラム74内の第4のフリップフロップ48の入力94に接続されている。

30

【0019】

第2のANDゲート68は、3つの入力96~100と1つの出力102を有する。第3のフリップフロップの出力92は、第2のANDゲートの第1の入力96に接続されている。第6のフリップフロップの出力104は、インバータ70の入力106に接続されている。インバータの出力108は、第2のANDゲートの第2の入力98に接続されている。第9のフリップフロップの出力110は、第2のANDゲートの第3の入力100に接続されている。第2のANDゲートの出力102は、第12のフリップフロップ64の入力112に接続されている。

40

【0020】

以上簡単に述べたように、第1および第2のANDゲート66および68の機能をテストするために、ANDゲートへの全ての入力80~84および96~100は1に設定されなければならないとともに、ANDゲートの出力86および102は各入力が1から0へ値を変化させるものとして監視される。それゆえに、PWR14から出力されてテストされる集積回路16に入力される重み付けされた擬似ランダムデータパターンに依存して

50

、第1か第2のいずれかのANDゲートの欠陥をテストすることは困難である。テストされる集積回路が多数の入力を有するANDゲートを含んでいると、擬似ランダムパターンを用いてANDゲートの全ての入力に“1”を与えることは困難である。限られた数のI/Oチャンネル114～120によってもたらされるこの困難のために、欠陥の補償範囲は限定される。図2は、欠陥Aは検出され得るが、しかしながら、欠陥Bは検出され得ないテスト構成40を示す。

【0021】

図3は、第1のANDゲート132、第2のANDゲート134、第3のANDゲート136、4対1マルチプレクサ138、XORゲート140、および重み付けチャンネル回路142を含む従来のPWR14に含まれている、回路構成130のブロックダイアグラムである。LFSR12の第1の出力144は、4対1マルチプレクサの第1の入力146および第1のANDゲート132の入力148に接続されている。LFSRの第2の出力150は、第1のANDゲート132の他の入力152に接続されている。第1のANDゲート132の出力154は、4対1マルチプレクサの第2の入力156および第2のANDゲート134の入力158に接続されている。LFSRの第3の出力160は、第2のANDゲート134の他の入力162に接続されている。第2のANDゲートの出力164は、4対1マルチプレクサの第3の入力166および第3のANDゲート136の入力168に接続されている。LFSRの第4の出力170は、第3のANDゲート136の他の入力172に接続されている。第3のANDゲートの出力174は、4対1マルチプレクサの第4の入力176に接続されている。

10

20

【0022】

4対1マルチプレクサの2本の選択線(1本のみ図示)178は、重み付けチャンネル回路142の選択出力(1つのみ図示)180に接続されている。4対1マルチプレクサの出力182は、XORゲート140の1つの入力184に接続されている。XORゲートの他の入力186は、重み付けチャンネル回路の他の出力188に接続されている。さらに図1を参照すると、XORゲートの出力190は、テストされる集積回路16の入力に接続されている。

【0023】

以上簡単に述べたように、図3に描かれた回路構成130は、PWR14の一部のみを表す。図3に描かれた回路構成はLFSR12からの4本の出力線22およびテストされる集積回路16の1つの入力チャンネル28に接続されるので、図3に描かれた回路構成の4つはPWRに含まれるであろう。それゆえに、回路構成の数は、変えることができるとともに、LFSRからの出力20の数およびテストされる回路への入力チャンネル28の数に依存する。

30

【0024】

第1、第2、および第3のANDゲート132～136、4対1マルチプレクサ138、ならびにXORゲート140は、多数の商業上利用できる電子部品から望ましいものが選択される。

【0025】

作動中は、図3に描かれた回路構成130は、擬似ランダム4ビットデータパターンをLFSR12から受け取る。4ビットのそれぞれが0か1になる確率は2分の1である。それゆえに、LFSRから出力されて4対1マルチプレクサの第1の入力146が受け取る第1のビットが1である確率は2分の1である。LFSRから出力されて第1のANDゲート132の1つの入力148に入力される第1のビットが1となる確率が2分の1であるとともに、LFSRから出力されて第1のANDゲート132の他の入力152に入力される第2のビットが1となる確率が2分の1であるので、第1のANDゲート132から出力されて4対1マルチプレクサの第2の入力156に入力される信号が1となる確率は4分の1である。第1のANDゲートから出力されて第2のANDゲート134の1つの入力158に入力される信号が1となる確率が4分の1であるとともに、LFSRから出力されて第2のANDゲート134の他の入力162に入力される第3のビットが1

40

50

となる確率が2分の1であるので、第2のANDゲートから出力されて4対1マルチプレクサの第3の入力166にとなる確率は8分の1である。また、第2のANDゲート134から出力されてから第3のANDゲート136の1つの入力168にとなる確率が4分の1であるとともに、LFSRから出力されて第3のANDゲート136の他の入力172にされる第4のビットが1となる確率が2分の1であるので、第3のANDゲート136から出力されて4対1マルチプレクサの第4の入力176にされる信号が1となる確率は16分の1である。

【0026】

4対1マルチプレクサ138から出力される信号は、重み付けチャンネル回路142から出力される2つの重み選択信号によって制御されるとともに、4対1マルチプレクサの選択線178にされる。2本の選択線上の重み選択信号が(0,0)、(0,1)、(1,0)、あるいは(1,1)であると、4対1マルチプレクサから出力される信号は、それぞれ4対1マルチプレクサの第1の入力、第2の入力、第3の入力、あるいは第4の入力146, 156, 166, あるいは176によって受け取られた信号のいずれかになる。このように、重み選択信号が(0,0)、(0,1)、(1,0)、あるいは(1,1)であると、4対1マルチプレクサの出力182における信号が1となる確率は、それぞれ2分の1、4分の1、8分の1、あるいは16分の1である。

【0027】

図3に描かれた重み付けチャンネル回路142はまた、XOR140の1つの入力186によって受け取られる単一のビット制御信号を出力する。XORの他の入力184は、4対1マルチプレクサ138から出力される信号を受け取る。XORから出力される信号の確率は、単一のビット制御信号に加えて、4対1マルチプレクサから出力される信号に依存する。単一のビット制御信号が0であるとともに、選択線信号が(0,0)、(0,1)、(1,0)、あるいは(1,1)であると、XORゲートの出力190における信号が1となる確率は、それぞれ2分の1、4分の1、8分の1、あるいは16分の1である。さらに、単一のビット制御信号が1であるとともに、選択線信号が(0,0)、(0,1)、(1,0)、あるいは(1,1)であると、XORゲートの出力190における信号が1となる確率は、それぞれ2分の1、4分の3、8分の7、あるいは16分の15である。

【0028】

図4は、本発明の一実施形態に係るPWR14に含まれる回路構成200のブロックダイアグラムである。図3の回路構成と同様に、図4の回路構成は第1のANDゲート202、第2のANDゲート204、第3のANDゲート206、4対1マルチプレクサ208、XORゲート210、および重み付けチャンネル回路212を含む。さらに、図4に描かれた回路構成は、第1の2対1マルチプレクサ214、第2の2対1マルチプレクサ216、第3の2対1マルチプレクサ218、第4の2対1マルチプレクサ220、および制御回路222を含む。

【0029】

4対1マルチプレクサ208は第1のマルチプレクサとも呼ばれるとともに、第1、第2、および第3の2対1マルチプレクサ214, 216, および218は、それぞれ、累積的に少なくとも1つの他のマルチプレクサとも呼ばれる。第4の2対1マルチプレクサ220は、出力マルチプレクサとも呼ばれる。XORゲート210は出力論理ゲートとも呼ばれるとともに、第1、第2、および第3のANDゲート202, 204, および206は、それぞれ、集合的に他の論理ゲートとも呼ばれる。

【0030】

第1、第2、第3、および第4の2対1マルチプレクサ214~220、ならびに制御回路222は、あらゆる様々なタイプの電子構成部品から望ましいものが選択されればよい。代替の実施形態では、図4の回路構成200に含まれる構成部品は、単体の電子素子(図示せず)内に収容される。

【0031】

10

20

30

40

50

LFSR 12の第1の出力224は、4対1マルチプレクサの第1の入力226および第1のANDゲート202の入力228に接続される。LFSRの第2の出力230は、第1のANDゲート202の他の入力232および第1の2対1マルチプレクサの第2の入力234に接続される。第1のANDゲートの出力236は、第1の2対1マルチプレクサの第1の入力238に接続される。第1の2対1マルチプレクサの出力240は、4対1マルチプレクサの第2の入力242および第2のANDゲート204の1つの入力244に接続される。LFSRの第3の出力246は、第2のANDゲート204の他の入力248および第2の2対1マルチプレクサの第2の入力250に接続される。第2のANDゲートの出力252は、第2の2対1マルチプレクサの第1の入力254に接続される。第2の2対1マルチプレクサ216の出力256は、4対1マルチプレクサの第3の入力258および第3のANDゲート206の1つの入力260に接続される。LFSRの第4の出力262は、第3のANDゲート204の他の入力264および第3の2対1マルチプレクサの第2の入力266に接続される。第3のANDゲートの出力268は、第3の2対1マルチプレクサの第1の入力270に接続される。第3の2対1マルチプレクサの出力272は、4対1マルチプレクサの第4の入力274に接続される。制御回路222の出力276は、第1の2対1マルチプレクサの選択線278、第2の2対1マルチプレクサの選択線280、および第3の2対1マルチプレクサの選択線282に接続される。

10

【0032】

図4に描かれた実施形態200ではたった1つの制御回路222が挿入されているが、さらなる実施形態(図示せず)では1つ以上の制御回路を含んでもよい。それらさらなる実施形態では、各制御回路は1つ以上の2対1マルチプレクサの選択線に接続されても構わない。このように、選択線上の信号が各2対1マルチプレクサごとに異なる実施形態があっても構わない。

20

【0033】

4対1マルチプレクサの2本の選択線(1本のみ図示)284は、重み付けチャンネル回路212の選択出力(1つのみ図示)286に接続されている。4対1マルチプレクサの出力288は、XORゲート210の1つの入力290に接続されている。XORゲートの他の入力292は、重み付けチャンネル回路の他の出力294に接続されている。XORゲートの出力296は、第4の2対1マルチプレクサの第1の入力298に接続されている。外部入力300は、第4の2対1マルチプレクサの第2の入力302に接続されている。重み付けチャンネル回路の追加出力304は、第4の2対1マルチプレクサの選択線306に接続されている。さらに、図1を参照すると、第4の2対1マルチプレクサの出力308は、テストされる回路16の入力28に接続されている。

30

【0034】

作動中は、図4の回路構成200は、LFSR 12からの擬似ランダム4ビットデータパターンを受け取る。4対1マルチプレクサの各入力226, 242, 258, および274が受け取る信号が1となる確率は、それぞれ、第1、第2、および第3の2対1マルチプレクサ214, 216, および218の選択線278, 280, および282上の選択信号に依存する。第1、第2、および第3の2対1マルチプレクサの選択線上の選択信号が0である場合、第1、第2、および第3のANDゲート202, 204, および206の各出力236, 252, および268は、それぞれ、4対1マルチプレクサ208の第2、第3、および第4の各入力242, 258, および274に、それぞれ接続される。このように、4対1マルチプレクサそしてまたXORゲート210から出力される信号の確率は、図3に描かれた回路構成130のものと同じである。

40

【0035】

図4の回路構成200は、第4の2対1マルチプレクサ220から出力された信号は、重み付けチャンネル回路212から出力されて第4の2対1マルチプレクサの選択線306に入力される出力選択信号に依存するという、さらなる特徴を有している。第4の2対1マルチプレクサの選択線に入力される出力選択信号が0であると、XORゲート210

50

から出力される信号は、第4の2対1マルチプレクサを介して接続されて、第4の2対1マルチプレクサから出力される。第4の2対1マルチプレクサの選択線に入力される出力選択信号が1であると、外部入力300上の信号は、第4の2対1マルチプレクサを介して接続されて、第4の2対1マルチプレクサから出力される。

【0036】

第1、第2、および第3の2対1マルチプレクサ214, 216, および218の各選択線278, 280, および282上の信号がそれぞれ1である場合、LFSR12から出力される第2、第3、および第4のそれぞれのビットは、それぞれ第1、第2、および第3の2対1マルチプレクサ214, 216, および218を介して、4対1マルチプレクサ208の第2、第3、および第4の入力242, 258, および274にそれぞれ接続される。上述したように、LFSRから出力される4つのビットのそれぞれが0か1となる確率は2分の1である。このように、LFSRから出力されて4対1マルチプレクサの第1、第2、第3、および第4の各入力226, 242, 258, および274で受け取られる第1、第2、第3、および第4の各ビットが、それぞれ1である確率は、2分の1である。これにより、4対1マルチプレクサの選択線(1本を図示)284に入力される信号の状態に拘らず、4対1マルチプレクサから出力される信号が1となる確率は、2分の1である。それとともに、XORゲート210から出力される信号が1となる確率は、重み付けチャンネル回路の他の出力294から出力される信号に拘らず、2分の1である。

10

【0037】

以上議論したように、図4の回路構成200中の第4の2対1マルチプレクサの出力308から出力される信号は、重み付けチャンネル回路の追加出力304から出力されて第4の2対1マルチプレクサの選択線306に入力される信号に依存する。第4の2対1マルチプレクサの選択線に入力される信号が0である場合、XORゲート210から出力される信号は、第4の2対1マルチプレクサ220を介して接続されて、第4の2対1マルチプレクサの出力から出力される。このように、第4の2対1マルチプレクサの選択線に入力される信号が0であると、XORゲートから出力される信号が1となる確率は、2分の1である。対照的に、第4の2対1マルチプレクサの選択線に入力される信号が0であると、XORゲートから出力される信号は外部入力300上に現われる信号になるとともに、第4の2対1マルチプレクサから出力される信号が1となる確率は、外部入力300上に現われる信号が1となる確率に依存する。

20

30

【0038】

このように、第4の2対1マルチプレクサ220から出力される信号が1となる確率は、重み付けチャンネル回路の選択および他の出力286および294からそれぞれ出力される信号、ならびに第1、第2、および第3の2対1マルチプレクサ214, 216, および218の選択線278, 280, および282にそれぞれ入力される信号と同様に、重み付けチャンネル回路の追加出力304から出力される信号に依存する。それゆえに、図4に描かれた回路構成200は、選択的に1となる確率を有する出力信号を有利に提示する。このように、テストされる電子回路の誤りの補償範囲を増大させることにより、本発明は、I/Oチャンネルを横切ってテストされる電子回路16に渡されるテスト信号を発生させるにあたり、より大きな適応性を提供する。

40

【0039】

さらなる実施形態では、 n を1以上の整数として、4対1マルチプレクサが 2^n 対1のマルチプレクサになり、そして回路構成が $2^n - 1$ 個のANDゲートおよび $2^n - 1$ 個の2対1マルチプレクサを含むとともに、制御回路212、 $2^n - 1$ 個のANDゲート、 $2^n - 1$ 個の2対1マルチプレクサ、およびLFSR12の間が同様の接続となるように、図4に描かれた回路構成200は拡張され得る。これらさらなる実施形態においては、回路構成はLFSRの 2^n 個の出力およびテストされる回路16の1つの入力に接続する。

【0040】

それとともに、図4の回路構成200は、コンピュータ(図示せず)が制御回路222

50

、重み付けチャンネル回路 2 1 2、および外部入力 3 0 0 を制御できるという点で有利である。なぜなら、回路構成はコンピュータにより制御可能であるので、回路構成によって発生させられてテストされる電子回路 1 6 に与えられるパターンは、テストの要求を満足させるために修正可能となるからである。

【 0 0 4 1 】

さらには、様々な技術におけるこれらの技術に対して、この中の発明自身は他の課題や他の応用への適応に対する解決策を提案するものである。本実施形態は、それゆえに実例としての全ての点において考慮されなければならないとともに、限定されるものではない。本発明の範囲は、それらの実施形態には限定されるものではなく、その代わりに添えられたクレームにより、それらの法的に権利を与えられたクレームと同等の最大限の範囲とともに決定されなければならないものである。

10

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 S T U M P S 構造のブロックダイアグラム。

【 図 2 】 多数の入力 A N D ゲートを有するテスト中の回路を含む S T U M P S 構造のブロックダイアグラム。

【 図 3 】 従来のプログラム可能な重み付けされたランダムパターン発生装置に含まれる回路構成のブロックダイアグラム。

【 図 4 】 本発明に係るプログラム可能な重み付けされたランダムパターン発生装置に含まれる回路構成の一実施形態に係るブロックダイアグラム。

20

【 符号の説明 】

【 0 0 4 3 】

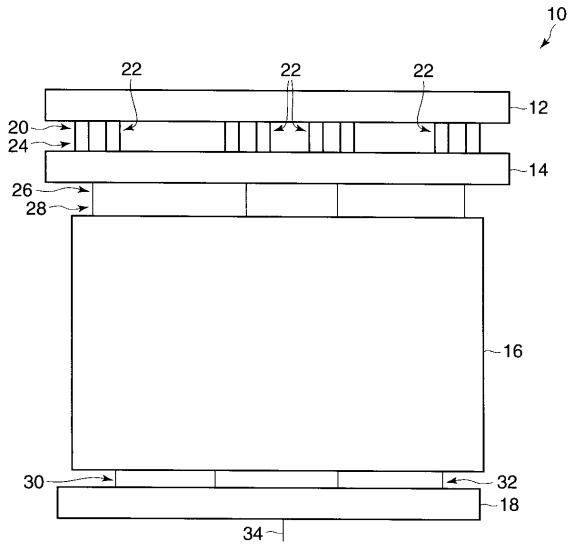
1 0 ... L B I S T テスト構成 (電子回路試験装置)、1 2 ... L F S R (線形フィードバックシフトレジスタ)、1 4 ... P W R (プログラム可能な重み付けされたランダムパターン発生装置)、1 6 ... テストされる集積回路 (電子回路)、1 8 ... M I S R (多入力シフトレジスタ)、2 0 0 ... P W R に含まれる回路構成 (電子回路試験用回路)、2 0 2 ... 第 1 の A N D ゲート (他の論理ゲート)、2 0 4 ... 第 2 の A N D ゲート (他の論理ゲート)、2 0 6 ... 第 3 の A N D ゲート (他の論理ゲート)、2 0 8 ... 4 対 1 マルチプレクサ (2ⁿ 対 1 のマルチプレクサ、第 1 のマルチプレクサ)、2 1 0 ... X O R ゲート (出力論理ゲート)、2 1 2 ... 重み付けチャンネル回路、2 1 4 ... 第 1 の 2 対 1 マルチプレクサ (他のマルチプレクサ)、2 1 6 ... 第 2 の 2 対 1 マルチプレクサ (他のマルチプレクサ)、2 1 8 ... 第 3 の 2 対 1 マルチプレクサ (他のマルチプレクサ)、2 2 0 ... 第 4 の 2 対 1 マルチプレクサ (出力マルチプレクサ)、2 2 2 ... 制御回路 (少なくとも 1 つの制御回路)、2 2 8 ... 第 1 の A N D ゲートの 1 つの入力 (他の論理ゲートの 1 つの入力)、2 3 6 ... 第 1 の A N D ゲートの出力 (他の論理ゲートの出力)、2 4 4 ... 第 2 の A N D ゲートの 1 つの入力 (他の論理ゲートの 1 つの入力)、2 5 2 ... 第 2 の A N D ゲートの出力 (他の論理ゲートの出力)、2 6 0 ... 第 3 の A N D ゲートの 1 つの入力 (他の論理ゲートの 1 つの入力)、2 6 8 ... 第 3 の A N D ゲートの出力 (他の論理ゲートの出力)、2 7 8 ... 第 1 の 2 対 1 マルチプレクサの選択線 (他のマルチプレクサの選択線)、2 8 0 ... 第 2 の 2 対 1 マルチプレクサの選択線 (他のマルチプレクサの選択線)、2 8 2 ... 第 3 の 2 対 1 マルチプレクサの選択線 (他のマルチプレクサの選択線)、2 8 4 ... 4 対 1 マルチプレクサの選択線 (第 1 のマルチプレクサの選択線)、2 8 6 ... 重み付けチャンネル回路の選択線出力、2 8 8 ... 4 対 1 マルチプレクサの出力 (第 1 のマルチプレクサの出力)、2 9 0 ... X O R ゲートの 1 つの入力 (出力論理ゲートの 1 つの入力)、2 9 2 ... X O R ゲートの他の入力 (出力論理ゲートの他の入力)、2 9 4 ... 重み付けチャンネル回路の他の出力、2 9 6 ... X O R ゲートの出力 (出力論理ゲートの出力)、2 9 8 ... 第 4 の 2 対 1 マルチプレクサの 1 つの入力 (出力マルチプレクサの 1 つの入力)、3 0 0 ... 外部入力、3 0 2 ... 第 4 の 2 対 1 マルチプレクサの他の入力 (出力マルチプレクサの他の入力)、3 0 4 ... 重み付けチャンネル回路の追加出力、3 0 6 ... 第 4 の 2 対 1 マルチプレクサの選択線 (出力マルチプレクサの選択線)

30

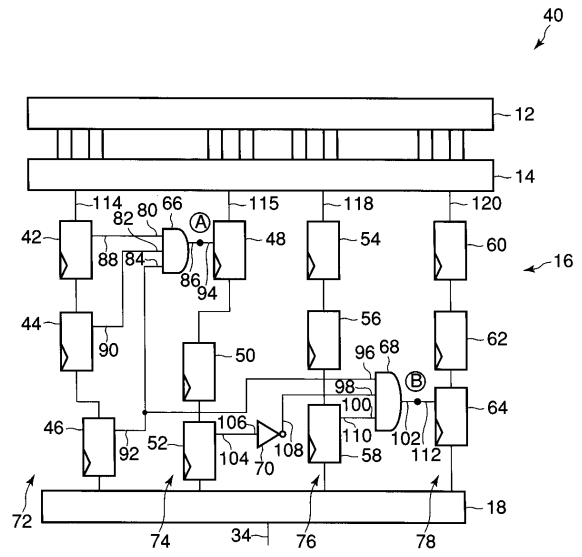
40

50

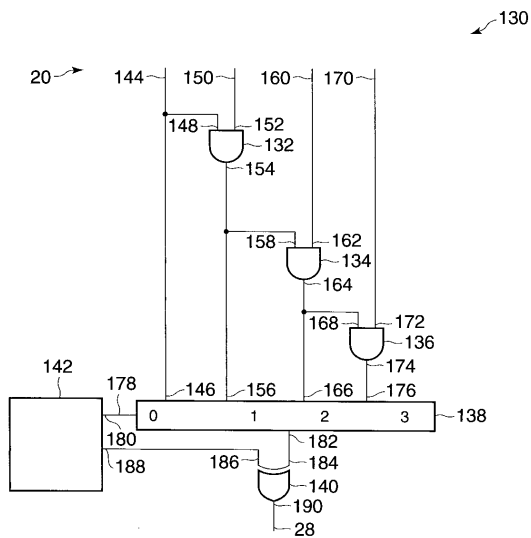
【 図 1 】



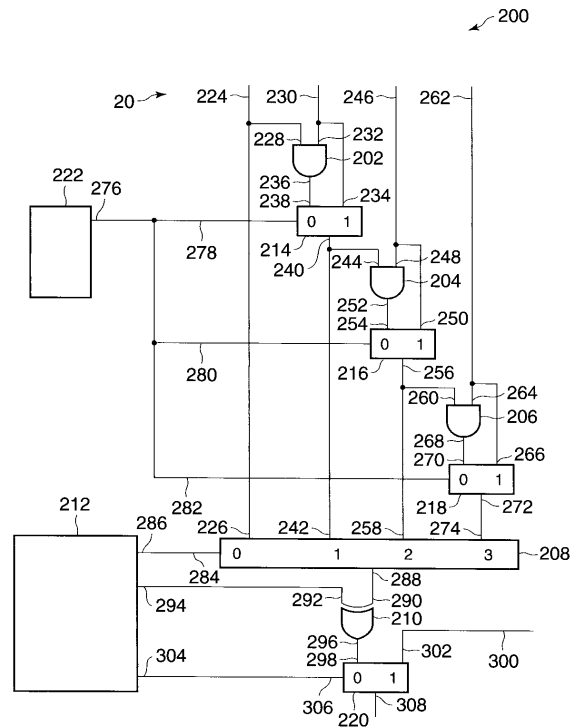
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(74)代理人 100091351

弁理士 河野 哲

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100108855

弁理士 蔵田 昌俊

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 桐生 直樹

アメリカ合衆国、 カリフォルニア州、 サンノゼ、 リンコン・サークル 1060

(72)発明者 ルイス・ブシャード

アメリカ合衆国、 テキサス州、 オースチン、 バーネットロード 11400

Fターム(参考) 2G132 AA01 AA20 AB01 AC03 AD06 AE11 AG02 AG05 AK07 AK22

AK29 AL09

5F038 DF01 DT06 DT07 DT08 DT15 EZ20