

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 3 月 31 日(31.03.2011)

PCT

(10) 国際公開番号
WO 2011/036770 A1

- (51) 国際特許分類:
H01L 29/82 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01) H01L 43/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/066678
- (22) 国際出願日: 2009 年 9 月 25 日(25.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 杉山 英行 (SUGIYAMA Hideyuki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 棚本 哲史 (TANAMOTO Tetsufumi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 丸亀 孝生 (MARUKAME Takao) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 石川 瑞恵 (ISHIKAWA Mizue) [JP/JP]; 〒1058001

東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 井口 智明 (INOKUCHI Tomoaki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 齊藤 好昭 (SAITO Yoshiaki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP).

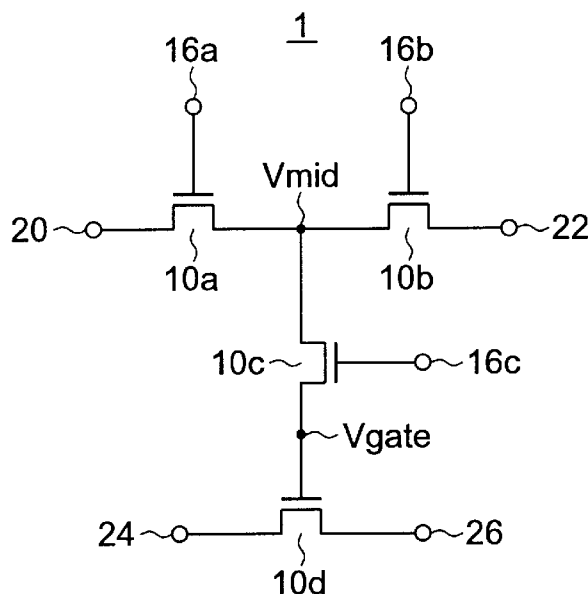
- (74) 代理人: 吉武 賢次, 外 (YOSHITAKE Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目 2 番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,

[続葉有]

(54) Title: PASS TRANSISTOR CIRCUIT WITH MEMORY FUNCTION, AND SWITCHING BOX CIRCUIT PROVIDED WITH PASS TRANSISTOR CIRCUIT

(54) 発明の名称: メモリ機能付きパストランジスタ回路およびこのパストランジスタ回路を有するスイッチングボックス回路

[図1]



(57) Abstract: A pass transistor circuit which can achieve higher integration and consume less power. The pass transistor circuit is provided with: a first input/output terminal (24) which is connected to a first signal line; a second input/output terminal (26) which is connected to a second signal line; a first device (10a), one end of which is connected to a first power supply; a second device (10b), one end of which is connected to the other end of the first device and the other end of which is connected to a second power supply; a first transistor (10c), the source of which is connected to the other end of the first device, and the gate of which receives a first control signal; and a second transistor (10d), the gate of which is connected to the drain of the first transistor, the source of which is connected to the first input/output terminal, and the drain of which is connected to the second input/output terminal. At least one device among the first and second devices is a non-volatile memory device, while the other is a MOSFET.

(57) 要約:

[続葉有]



NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

〔課題〕高集積化および低消費電力化が可能なパストランジスタ回路を提供する。〔解決手段〕第 1 の信号線に接続される第 1 の入出力端子 2 4 と、第 2 の信号線に接続される第 2 の入出力端子 2 6 と、一端が第 1 の電源に接続される第 1 の素子 1 0 a と、第 1 の素子の他端に一端が接続され、他端が第 2 の電源に接続される第 2 の素子 1 0 b と、第 1 の素子の他端にソースが接続され、ゲートに第 1 の制御信号を受ける第 1 のトランジスタ 1 0 c と、第 1 のトランジスタのドレインにゲートが接続され、第 1 の入出力端子にソースが接続され、第 2 の入出力端子にドレインが接続された第 2 のトランジスタ 1 0 d と、を備え、第 1 および第 2 の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方が MOS FET である。

明 細 書

発明の名称：

メモリ機能付きパストランジスタ回路およびこのパストランジスタ回路を有するスイッチングボックス回路

技術分野

[0001] 本発明は、メモリ機能付きパストランジスタ回路およびこのパストランジスタ回路を有するスイッチングボックス回路に関する。

背景技術

[0002] 近年、電子のスピン自由度を利用したスピンエレクトロニクスデバイスの研究開発が盛んに行われている。トンネル磁気抵抗効果（TMR）を基礎とする研究開発が盛んに行われ、磁気ランダムアクセスメモリ（MRAM）やハードディスクドライブ（HDD）の再生ヘッドなどに応用されるに至っている。さらに、半導体と磁性体とを結合したスピントランジスタが注目されている。

[0003] 現在の半導体技術を基にしたリコンフィギュラブル論理回路として、FPGA（Field Programmable Gate Array）と呼ばれる集積回路がある。FPGAは、内部のSRAMに情報を蓄え、このメモリに記憶された情報に基づいて、リコンフィギュラブル論理回路の論理と結線とを制御することができる。このように、ソフトウェアで論理を変更できるため、ハードウェアを作製後に回路の修正が可能となる。複雑化する集積回路を短納期で安価に実現する手段として、近年急速に伸びている。

[0004] FPGAの中で、スイッチングボックス回路が数多く使用されている。スイッチングボックス回路は、4方向から来る信号線の結線方法を記憶させておき、信号線の入力と出力および信号線間の結線と断線を決定する回路である。このスイッチングボックス回路を有する回路は、メモリを書き換えることにより任意の結線方法を実現できる。

[0005] スwitchングボックス回路内ではメモリの出力を、パストランジスタ回路

に接続する。パストランジスタ回路はスイッチの役割を果たし、メモリに記憶された情報に基づいて、信号線間の結線と断線を決める（例えば、非特許文献1参照）。

先行技術文献

非特許文献

- [0006] 非特許文献1: Design of Interconnection Networks for Programmable Logic, Guy Lemieux and David Lewis, Kluwer Academic Publishers, ISBN:1-4020-7700-9, Chapter6, pages 101-139

発明の概要

発明が解決しようとする課題

- [0007] 半導体のCMOS技術によってスイッチングボックス回路を作製する場合、情報を記憶するメモリとしてSRAMが用いられる。このため、素子数が多くなってしまう。このスイッチボックス回路は、大量のSRAMを使用しているため、動作をしていないときでもリーク電流による消費電力が大きくなってしまう。そのため、高集積化しにくい回路となっている。
- [0008] また、スイッチングボックス回路で多くのパストランジスタ回路を使用するため回路規模は非常に大きくなってしまい、高集積化を妨げる要因の一つとなっている。
- [0009] 更に、SRAMは電源を切ると情報が失われてしまう揮発性メモリであるため、電源投入をする毎に外部メモリに蓄えていた情報を書き込む必要がある。このため、電源投入時に手間と時間がかかるという課題がある。
- [0010] また、電源切断時に情報を蓄えておくための外部メモリを確保しておく必要があり、外部メモリのために消費電力および容積が必要になるという課題がある。このため、システム全体での高集積化および低消費電力化を妨げる要因の一つとなっている。
- [0011] 本発明は、上記事情を考慮してなされたものであって、高集積化および低消費電力化が可能なパストランジスタ回路およびスイッチングボックス回路

を提供することを目的とする。

課題を解決するための手段

[0012] 本発明の第1の態様によるパストラジスタ回路は、第1の信号線に接続される第1の入出力端子と、第2の信号線に接続される第2の入出力端子と、一端が第1の電源に接続される第1の素子と、前記第1の素子の他端に一端が接続され、他端が第2の電源に接続される第2の素子と、前記第1の素子の他端にソースが接続され、ゲートに第1の制御信号を受ける第1のトランジスタと、前記第1のトランジスタのドレインにゲートが接続され、前記第1の入出力端子にソースが接続され、前記第2の入出力端子にドレインが接続された第2のトランジスタと、を備え、前記第1および第2の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方がMOSFETであることを特徴とする。

[0013] また、本発明の第2の態様によるスイッチングボックス回路は、第1の態様によるパストラジスタ回路と、前記第1および第2の信号線と、を備えていること特徴とする。

発明の効果

[0014] 本発明によれば、高集積化および低消費電力化が可能なパストラジスタ回路およびスイッチングボックス回路を提供することができる。

図面の簡単な説明

[0015] [図1]一実施形態のパストラジスタ回路を示す回路図。

[図2]一実施形態のパストラジスタ回路を示す回路図。

[図3]一実施形態のパストラジスタ回路を示す回路図。

[図4]一実施形態のパストラジスタ回路を示す回路図。

[図5]第1実施形態のパストラジスタ回路を示す回路図。

[図6A]第1実施形態のパストラジスタ回路の動作を説明する波形図。

[図6B]第1実施形態のパストラジスタ回路の動作を説明する波形図。

[図7]第2実施形態のパストラジスタ回路を示す回路図。

[図8]第3実施形態のパストラジスタ回路を示す回路図。

[図9] 第3実施形態の変形例によるパストランジスタ回路を示す回路図。

[図10] 第4実施形態のパストランジスタ回路を示す回路図。

[図11] 第5実施形態のパストランジスタ回路を示す回路図。

[図12] 第5実施形態の変形例によるパストランジスタ回路を示す回路図。

[図13] 第6実施形態のパストランジスタ回路を示す回路図。

[図14] 一実施形態のスイッチングボックス回路を示す回路図。

[図15] 入出力部の一具体例を示すブロック図。

[図16] 一実施形態のスイッチングブロック回路を示す回路図。

発明を実施するための形態

[0016] 以下に、本発明の実施形態を、図面を参照して詳細に説明する。ただし、図面は模式的なものであり、各部分の大きさ、各電圧の高さおよび各時間の長さ、部分間の大きさの比率、電圧間の比率、時間の間隔などは現実のものとは異なる。また、図面の相互間においても、同じ部分を指す場合であっても、互いの寸法や比率が異なって示されている部分もある。

[0017] まず、本発明の実施形態を説明する前に、本発明の各実施形態によるメモリ機能付きパストランジスタ回路の概要について説明する。本発明の各実施形態は、不揮発性メモリ素子を備えたメモリ機能付きパストランジスタ回路である。不揮発性メモリ素子としては、スピンMOSFETまたはMTJ (Magnetic Tunneling Junction) 素子が用いられる。スピンMOSFETは、通常のMOSFET構造のソースおよびドレイン電極にそれぞれ強磁性体を具備している。強磁性体の磁化の向きによりスピンMOSFETの特性が異なり、かつメモリ機能を有している。また、MTJ素子は、2つの磁性体間にトンネルバリアを挟んだ構造を有しており、2つの磁性体の磁化の向きにより抵抗値が異なり、メモリ機能を有している。このため、スピンMOSFETまたはMTJ素子を用いると、少ない素子数でメモリ機能付きパストランジスタ回路を構成できる。そして、スピンMOSFETおよびMTJ素子は、強磁性体を用いてメモリ機能を実現しかつ不揮発性であるため、電源投

入する毎にスイッチングボックス回路のメモリへの書き込みをしなくてすむ。そして、このパストランジスタ回路は内部に不揮発性メモリを有しているため、動作していない場合は電源を切断することが可能になり、低消費電力なスイッチングボックス回路を構築できる。

[0018] スピンMOSFETは、2つの強磁性体の互いの磁化の向きにより、2つの強磁性体間の抵抗値が異なる。このスピンMOSFETにおけるソースおよびドレイン電極の磁性体の磁化の向きは略平行か略反平行のいずれかになっており、2つの強磁性体間の抵抗も低抵抗と高抵抗のいずれかの状態になっている。MTJ素子も同様に、2つの強磁性体の互いの磁化の向きにより、2つの強磁性体間の抵抗値が異なる。2つの強磁性体間の抵抗値において、低抵抗の場合を低抵抗状態、高抵抗の場合を高抵抗状態と呼ぶ。

[0019] 本発明の一実施形態によるメモリ機能付きパストランジスタ回路を図1に示す。このパストランジスタ回路1は、4個のトランジスタ10a、10b、10c、10dを備えている。トランジスタ10aおよび10bのうち少なくとも一方がスピンMOSFETとなっている。トランジスタ10aは、ソースが第1電源20に接続され、ゲートが第1端子16aに接続され、ドレインがトランジスタ10bのドレインに接続されている。トランジスタ10bは、ソースが第2電源22に接続され、ゲートが第2端子16bに接続されている。すなわち、トランジスタ10a、10bは直列に接続されている。トランジスタ10cは、ソースがトランジスタ10a、10bのドレインに接続され、ゲートが第3端子16cに接続され、ドレインがトランジスタ10dのゲートに接続されている。トランジスタ10dは、ソースが第1入出力端子24に接続され、ドレインが第2入出力端子26に接続されている。第1乃至第3端子16a、16b、16cにはタイミング信号（制御信号）、電源電圧V_{dd}、もしくは基準電圧GNDが印加される。

[0020] 次に、本発明の一実施形態におけるパストランジスタ回路1を備えたスイッチングボックス回路の一具体例を図14に示す。一般に、スイッチングボックス回路は、4方向からの信号線が合流する領域において、結線と断線を

決定する回路である。この具体例のスイッチングボックス回路50は、4本の信号線 SL_1 、 SL_2 、 SL_3 、 SL_4 の結線と断線を決定するものであって、4個の入出力部 $60_1 \sim 60_4$ と、4個の接続ノード $62_1 \sim 62_4$ と、6個のパストランジスタ回路 $1_1 \sim 1_6$ とを有している。パストランジスタ回路 $1_1 \sim 1_6$ は、それぞれ本発明の一実施形態におけるパストランジスタ回路1と同じ構成となっている。

[0021] 4本の信号線 SL_1 、 SL_2 、 SL_3 、 SL_4 は、4方向に1本ずつ配置される構成となっている。図14においては、上方には信号線 SL_1 が、左方には信号線 SL_2 が、下方には信号線 SL_3 が、右方には信号線 SL_4 が配置される。各信号線 SL_i ($i = 1, \dots, 4$)に入出力部 60_i が接続される。各入出力部 60_i ($i = 1, \dots, 4$)に接続ノード 62_i が接続される。パストランジスタ回路 1_1 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_1 に接続され、他方の入出力端子が接続ノード 62_2 に接続される。パストランジスタ回路 1_2 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_1 に接続され、他方の入出力端子が接続ノード 62_3 に接続される。パストランジスタ回路 1_3 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_1 に接続され、他方の入出力端子が接続ノード 62_4 に接続される。パストランジスタ回路 1_4 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_2 に接続され、他方の入出力端子が接続ノード 62_3 に接続される。パストランジスタ回路 1_5 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_2 に接続され、他方の入出力端子が接続ノード 62_4 に接続される。パストランジスタ回路 1_6 は、第1および第2入出力端子の一方の入出力端子が接続ノード 62_3 に接続され、他方の入出力端子が接続ノード 62_4 に接続される。したがって、任意の一つの信号線は、入出力部、接続ノード、パストランジスタ回路、接続ノード、入出力部を通して他の任意の信号線と接続することができる。例えば、信号線 SL_1 は、入出力部 60_1 、接続ノード 62_1 、パストランジスタ回路 1_1 、接続ノード 62_2 、入出力部 60_2 からなるルートを通して信号線 SL_2 と接続される。

[0022] 次に、上記スイッチングボックス回路50の入出力部60の一具体例を図15に示す。この具体例の入出力部60は、入力部60a、メモリ部60b、および出力部60cを備えている。メモリ部60bは、図15に示すように、1個の不揮発性記憶素子（スピンMOSFET）と、2個のトランジスタとからなるパストラジスタ回路を有している。そして、入力部60aと出力部60cのいずれか一方だけが導通となるように接続される。

[0023] したがって、パストラジスタ回路1がスイッチングボックス回路50に用いられた場合には、第1入出力端子24は、入出力部を介して、4方向の内のある一方向における一本の信号線に接続され、第2入出力端子26は、他の入出力部を介して他の方向における一本の信号線に接続される。すなわち、トランジスタ10dがパストラジスタとなる。このパストラジスタのオンまたはオフ状態に応じて、信号線間の結線と断線が決定される。

[0024] 図1に示す本発明の一実施形態において、トランジスタ10aをp型MOSFET10a1に置き換え、トランジスタ10bをn型スピンMOSFET10Bに置き換え、トランジスタ10c、10dをn型MOSFET10c1、10d1にそれぞれ置き換えたパストラジスタ回路1を図2に示す。このパストラジスタ回路1においては、第1電源20に電源電圧Vddを印加し、第2電源22に基準電圧GNDを印加する。更に、トランジスタ10a1のゲートに基準電圧GNDが印加され、スピンMOSFET10Bのゲートおよびトランジスタ10c1のゲートには制御信号ENABLE2およびENABLE1がそれぞれ入力される。

[0025] 本発明の一実施形態のパストラジスタ回路1には、充電期間と動作期間を持つ。このパストラジスタ回路を論理動作させる前に、充電期間を設けて動作の安定化を行う。そして、動作期間の間に論理動作を行う。

[0026] 次に、本発明の一実施形態のパストラジスタ回路1の動作を説明する。本明細書においては、Hレベルは電源電圧Vddの半分以上の電圧とし、Lレベルは電源電圧Vddの半分未満の電圧とする。

[0027] 充電期間中の動作

ENABLE 2 信号がHレベルに達したときにトランジスタ 10a1 とスピ
ンMOSFET 10Bに直列に電流が流れる。トランジスタ 10a1 とス
ピンMOSFET 10Bとの間のノードの電圧 V_{mid} は、トランジスタ 1
0a1 とスピンMOSFET 10Bの抵抗値により決まる。また、スピ
ンMOSFET 10Bの抵抗状態により、電圧 V_{mid} が異なる。トランジスタ
10d1のゲート電圧を V_{gate} とする。

[0028] 今、ENABLE 1 信号をHレベルとする。ENABLE 1 信号がHレ
ベルでは、トランジスタ 10d1のソースとドレイン間が導通しているため、
電圧 V_{mid} と電圧 V_{gate} が略同電圧となる。このとき、第1入出力端
子24もしくは第2入出力端子26のいずれか、もしくは第1入出力端子2
4と第2入出力端子26の両方の端子を、充電期間の間にLレベルにする。
トランジスタ 10d1のゲートに充電される電荷量はスピ
ンMOSFET 10Bの抵抗状態に依存する。

[0029] スピンMOSFET 10Bの抵抗状態が高抵抗状態の場合、トランジスタ
10d1のゲートに正電荷が充電される。スピ
ンMOSFET 10Bの抵抗
状態が低抵抗状態の場合、トランジスタ 10d1のゲートに正電荷が充電さ
れないか、もしくは少ない量の正電荷だけが充電される。第1入出力端子2
4もしくは第2入出力端子26を、充電が完了して電圧 V_{gate} が略一定
電圧になった後に、Hレベルにする。その後、ENABLE 1 信号およびE
NABLE 2 信号をそれぞれLレベルにする。

[0030] 動作期間中の動作

ENABLE 1 信号がLレベルなので、トランジスタ 10c1 は非導通状
態となっている。トランジスタ 10d1のゲートに十分な正電荷が充電され
ていれば、第1入出力端子24と第2入出力端子26は導通状態となり、第
1入出力端子24と第2入出力端子26が結線された状態となる。これに対
して、トランジスタ 10d1のゲートに十分な正電荷が充電されていなけれ
ば、第1入出力端子24と第2入出力端子26は非導通状態となり、第1入
出力端子24と第2入出力端子26が断線の状態となる。このように論理動

作の直前に充電期間の動作を行う。トランジスタ 10 d 1 のゲートは、トランジスタ 10 c 1 のリーク電流により長い時間が経つと充電される。リーク電流により充電される前に、充電期間の動作を行う。

[0031] 本発明の一実施形態では、図 1 に示すトランジスタ 10 a を p 型 MOS FET に置き換え、トランジスタ 10 b を n 型スピノ MOS FET 10 B に置き換えた。しかし、図 3 に示す本発明の他の実施形態のようにトランジスタ 10 a を p 型スピノ MOS FET 10 A に置き換え、トランジスタ 10 b を n 型 MOS FET 10 b 1 に置き換えてもよい。

[0032] また、上記実施形態では、トランジスタ 10 c およびトランジスタ 10 d を n 型 MOS FET としたが、p 型 MOS FET を用いても構わない。

[0033] また上記実施形態では、トランジスタ 10 a 1 のゲートに基準電圧 GND、スピノ MOS FET 10 B のゲートに ENABLE 2 信号を印加したが、図 4 に示すようにトランジスタ 10 a 1 のゲートに ENABLE 2 の反転信号を入力し、スピノ MOS FET 10 B のゲートに電源電圧 V d d を印加しても構わない。

[0034] また、上記実施形態では、メモリ機能付き素子としてスピノ MOS FET を用いたが、MTJ（強磁性トンネル接合）素子を用いても構わない。この場合は、制御信号が不要となる。

[0035] S R A M を用いた従来のメモリ付きパストラジスタ回路は 7 個の素子（S R A M が 6 個の素子 + 1 個のパストラジスタ）を使用するのに対し、本発明の一実施形態では 4 個の素子でメモリ機能付きパストラジスタ回路を実現できる。また、S R A M を用いた従来のメモリ付きパストラジスタ回路は、揮発性メモリであるため電源を切断できないが、本発明の一実施形態では論理動作をしていないときは電源を切断できるため、低消費電力のメモリ機能付きパストラジスタ回路が実現できる。

[0036] 以上説明したように、本発明の一実施形態によれば、少ない素子数でメモリ機能付きパストラジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストラジスタ回路を実現することが可能となり、

小面積のスイッチングボックス回路を得ることができる。また、本発明の一実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本発明の一実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

[0037] また、上記スイッチングボックス回路を用いて、例えば、図16に示すスイッチングブロック回路80を構成することができる。このスイッチングブロック回路80は、縦方向と横方向に n (≥ 1)本の信号線が配置され、縦方向の信号線と横方向の信号線との交差点に例えば図14に示すスイッチングボックス回路50を設けた構成となっている。このように構成されたスイッチングブロック回路80も低消費電力となる。

[0038] (第1実施形態)

本発明の第1実施形態によるメモリ機能付きパストランジスタ回路を図5に示す。この実施形態のパストランジスタ回路1は、図1に示すパストランジスタ回路1において、トランジスタ10aをp型MOSFET10a1(以下、トランジスタ10a1ともいう)に置き換え、トランジスタ10bをn型スピンドルMOSFET10B(以下、トランジスタ10Bともいう)に置き換え、トランジスタ10cをn型MOSFET10c1(以下、トランジスタ10c1ともいう)に置き換え、トランジスタ10dをn型MOSFET10d1(以下、トランジスタ10d1ともいう)に置き換えた構成となっている。トランジスタ10a1のゲートには基準電圧GNDが印加され、トランジスタ10Bのゲートには制御信号ENABLE2が入力し、トランジスタ10c1のゲートには制御信号ENABLE1が入力する。

[0039] 次に、本実施形態のパストランジスタ回路1の動作について図6Aを参照して説明する。図6Aは、制御信号ENABLE1、ENABLE2、第1および第2入出力端子24、26、および電圧 V_{mid} 、 V_{gate} の波形図である。ここで、電圧 V_{mid} はトランジスタ10a1のドレインと、ト

ランジスタ 10B のドレインの接続ノードの電圧であり、電圧 V_{gate} はトランジスタ 10d1 のゲートの電圧である。

図 6A の電圧 V_{mid} の波形および電圧 V_{gate} の波形において、スピンド MOSFET 10B が高抵抗状態の場合を実線で示し、低抵抗状態の場合を破線で示す。時刻 t_1 において、ENABLE 2 信号を L レベルから H レベルにする。すると、電圧 V_{mid} は H レベルから、スピンド MOSFET 10B の抵抗状態に応じたレベルとなる。スピンド MOSFET 10B が高抵抗状態のときは V_{dd} と GND との間のレベルとなり、スピンド MOSFET 10B が低抵抗状態のときは L レベルになる。

[0040] 次に、時刻 t_2 において、ENABLE 1 信号を L レベルから H レベルにする。すると、 V_{mid} と V_{gate} は略同電圧となる。なお、時刻 t_2 は、時刻 t_1 と略同時かもしくは時間 t_1 より後とする。本実施形態のように、まず、ENABLE 2 信号を L レベルから H レベルにして、電圧 V_{mid} を H レベルから、スピンド MOSFET 10B の抵抗状態に応じたレベルとし、その後、ENABLE 1 信号を L レベルから H レベルにすることが好ましい。

[0041] 次に、時刻 t_3 において、第 1 および第 2 入出力端子 24、26 の電圧を H レベルから L レベルにする。なお、図 6A では、時刻 t_3 以前の第 1 入出力端子 24 および第 2 入出力端子 26 の電圧が H レベルとなっているが、L レベルでも構わない。また、第 1 および第 2 入出力端子 24、26 の電圧を L レベルにする時刻 t_3 は、図 6A では時刻 t_2 の後であるが、時刻 t_2 より前でもかつ時刻 t_1 の後であっても構わないし、時刻 t_1 の前でも構わない。時刻 t_3 から時刻 t_4 の間に、トランジスタ 10d1 のゲートに電荷が充電、もしくはゲートから電荷が放電される。

[0042] 次に、時刻 t_4 において、第 1 および第 2 入出力端子 24、26 の電圧を L レベルから H レベルにする。すると、スピンド MOSFET 10B が高抵抗状態のときは電圧 V_{gate} が上昇し、 V_{dd} よりも大きな値となる。しかし、スピンド MOSFET 10B が低抵抗状態のときは電圧 V_{gate} がほとんど変化しない。これは、スピンド MOSFET 10B が高抵抗状態の場合にお

いて、電圧 V_{gate} が、トランジスタ 10c1 のゲート電圧となっている制御信号 $ENABLE_1$ の電圧値からトランジスタ 10c1 の閾値電圧を引いた値より高い、もしくは制御信号 $ENABLE_1$ の電圧値からトランジスタ 10c1 の閾値電圧を引いた値と同程度のため、トランジスタ 10c1 にはほとんど電流が流れない。しかしトランジスタ 10d1 のゲートには正電荷が充電されているため、時刻 t_4 の直後に、電圧 V_{gate} が電源電圧 V_{dd} 以上の高電圧となる。

[0043] 次に、時刻 t_5 において、制御信号 $ENABLE_1$ を H レベルから L レベルにする。すると、電圧 V_{gate} は、その値が少し小さくなる。時刻 t_2 から時刻 t_5 の間は、電圧 V_{mid} 、 V_{gate} がスピン MOSFET 10B の抵抗状態に依存する。なお、時刻 t_5 は、時刻 t_4 より後とする。時刻 t_5 において、電圧 V_{gate} は低くなるが、電圧低下量は非常に小さいため、パストランジスタ 10d1 の動作には影響を与えない。制御信号 $ENABLE_1$ が L レベルになると、トランジスタ 10c1 は非導通状態になり、電圧 V_{mid} が変動しても、電圧 V_{gate} に小さな変動しか与えない。

[0044] 次に、時刻 t_6 において、制御信号 $ENABLE_2$ を H レベルから L レベルにする。制御信号 $ENABLE_1$ が L レベルであるため、トランジスタ 10c1 は非導通状態である。トランジスタ 10d1 のゲートに充電された電荷は、トランジスタ 10d1 のゲートに保持される。なお、時刻 t_6 は、時刻 t_5 と略同時、もしくは時刻 t_5 より後とする。

[0045] 上記の動作を充電動作と呼び、上記の動作を行う期間を充電期間と呼ぶ。図 6A では、時刻 t_1 から時刻 t_6 まだが充電期間となる。

[0046] 図 6A に示すように、上記の動作の後では、電圧 V_{gate} はスピン MOSFET 10B の高抵抗状態と低抵抗状態で大きな差がある。高抵抗状態では電圧 V_{gate} が非常に高く、低抵抗状態では電圧 V_{gate} が低い。

[0047] スピン MOSFET 10B が高抵抗状態のときは、トランジスタ 10d1 のゲートに十分な電荷が充電されているため、トランジスタ 10d1 は導通状態となり、第 1 および第 2 入出力端子 24、26 は結線された状態となっ

ている。

- [0048] これに対して、スピンドラフトトランジスタ10Bが低抵抗状態のときは、トランジスタ10d1のゲートに電荷がほとんど充電されていないため、トランジスタ10d1は非導通状態となり、第1および第2入出力端子24、26は断線された状態となっている。
- [0049] 制御信号ENABLE1およびENABLE2がLレベルのときに、本実施形態のメモリ機能付きパストラジスタ回路は論理動作を行う。
- [0050] なお、上記の動作説明では、第1および第2入出力端子の電圧は、時刻 t_4 以降は、Hレベルとなっていたが、図6Bに示すように、時刻 t_4 と時刻 t_5 との間の時刻 t_4' において、Lレベルとしてもよいし、時刻 t_5 と時刻 t_6 との間にLレベルとしてもよい。
- [0051] スピンドラフトトランジスタ10Bが低抵抗状態であった場合に、時間が経つと、トランジスタ10c1のリーク電流により、トランジスタ10d1のゲートに充電され、電圧 V_{gate} があがる。非常に長い時間が経つと、電圧 V_{gate} はトランジスタ10d1の閾値電圧 V_{th} よりも高くなり、誤動作を引き起こす。誤動作を防ぐために、論理動作を行う直前に充電動作を行うか、もしくは一定間隔毎に充電動作を行うことが好ましい。
- [0052] 一定間隔で充電動作を行う場合の充電間隔 τ_c は、トランジスタ10d1のゲートのキャパシタンス成分 C_g と、トランジスタ10c1が非導通状態のときのトランジスタ10c1のソースとドレイン間の抵抗 R_{off} で決まる。一定間隔で充電動作を行う場合の充電間隔 τ_c は、 $\tau_c = C_g \times R_{off} / 2$ より短いことが必要となる。本実施形態では、 $\tau_c = 10 \mu s$ とした。
- [0053] スピンドラフトトランジスタ10Bは不揮発性メモリであるため、本実施形態のメモリ機能付きパストラジスタ回路が論理動作していないときにはメモリ機能付きパストラジスタ回路の電源を切断する。
- [0054] SRAMを用いた従来のメモリ付きパストラジスタ回路は7個の素子を使用するのに対し、本実施形態では4個の素子でメモリ機能付きパストラ

ジスタ回路を実現できる。また、SRAMを用いた従来のメモリ付きパストランジスタ回路は、揮発性メモリであるため電源を切断できないが、本実施形態では論理動作をしていないときは電源を切断できるため、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

[0055] 以上説明したように、本実施形態によれば、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

[0056] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

[0057] (第2実施形態)

次に、本発明の第2実施形態によるパストランジスタ回路を図7に示す。この実施形態のパストランジスタ回路は、図5に示す第1実施形態において、トランジスタ10a1のゲートに制御信号ENABLE2の反転制御信号ENABLE2-INVを入力し、スピนมOSFET10Bのゲートに電源電圧V_{dd}を印加した構成となっている。

[0058] このように構成された本実施形態のパストランジスタ回路において、第1実施形態と同様に、充電動作を行った後に、論理動作を行う。

[0059] 本実施形態も第1実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

[0060] また、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

[0061] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば

、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギャラブル論理回路を実現することができる。

[0062] (第3実施形態)

次に、本発明の第3実施形態によるパストランジスタ回路を図8に示す。この実施形態のパストランジスタ回路は、図5に示す第1実施形態において、トランジスタ10a1をp型スピンMOSFET10Aに置き換え、スピンMOSFET10Bをn型MOSFET10b1（以下、トランジスタ10b1ともいう）に置き換えた構成となっている。そして、スピンMOSFET10Aのゲートに基準電圧GNDが印加され、トランジスタ10b1のゲートに制御信号ENABLE2が入力される。

[0063] このように構成された本実施形態のパストランジスタ回路において、第1実施形態と同様に、充電動作を行った後に、論理動作を行う。なお、本実施形態においては、第1実施形態と異なり、p型スピンMOSFET10Aが高抵抗状態の場合に、トランジスタ10d1は非導通状態となり、p型スピンMOSFET10Aが低抵抗状態の場合に、トランジスタ10d1は導通状態となる。

[0064] 本実施形態も第1実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

[0065] また、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

[0066] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギャラブル論理回路を実現することが

できる。

[0067] なお、本実施形態において、図9に示すように、p型スピンドラフトMOSFET 10Aのゲートに制御信号ENABLE 2-INV信号を入力し、トランジスタ10b1のゲートに電源電圧V_{dd}を印加してもかまわない。この図9に示す、本実施形態の変形例によるパストラジスタ回路も、本実施形態と同様の効果を得ることができる。

[0068] (第4実施形態)

次に、本発明の第4実施形態によるパストラジスタ回路を図10に示す。この実施形態のパストラジスタ回路は、図5に示す第1実施形態において、n型MOSFET 10c1、10d1をp型MOSFET 10c2、10d2にそれぞれ置き換え、p型MOSFET 10c2のゲートに制御信号ENABLE 1の反転信号ENABLE 1-INVを入力した構成となっている。

[0069] 本実施形態のパストラジスタ回路は、第1実施形態と同様に、充電動作を行った後に、論理動作を行う。なお、本実施形態においては、n型スピンドラフトMOSFET 10Bが高抵抗状態の場合に、p型MOSFET 10d2は非導通状態となり、n型スピンドラフトMOSFET 10Bが低抵抗状態の場合に、p型MOSFET 10d2は導通状態となる。

[0070] なお、第4実施形態の変形例として、図7、図8、図9に示すパストラジスタ回路において、n型MOSFET 10c1、10d1を、それぞれp型MOSFETに置き換え、ENABLE 1信号をENABLE 1-INV信号に置き換えた構成としてもよい。

[0071] 本実施形態およびその変形例も、第1実施形態と同様に、低消費電力のメモリ機能付きパストラジスタ回路を実現することができる。

[0072] また、少ない素子数でメモリ機能付きパストラジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストラジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

[0073] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギュラブル論理回路を実現することができる。

[0074] (第5実施形態)

次に、本発明の第5実施形態によるパストランジスタ回路を図11に示す。この実施形態のパストランジスタ回路は、図5に示す第1実施形態において、スピนมオスフェト10BをMTJ(強磁性トンネル接合)素子10B1に置き換え、トランジスタ10a1のゲートに制御信号ENABLE2-INVを入力した構成となっている。MTJ素子10B1はトランジスタ10a1と直列に接続される。MTJ素子10B1は高抵抗状態および低抵抗状態を持ち、抵抗状態は不揮発性である。

[0075] 本実施形態は第1実施形態と同様に、充電動作を行った後に、論理動作を行う。本実施形態においては、MTJ素子10B1が高抵抗状態の場合に、トランジスタ10d1は導通状態となり、MTJ素子10B1が低抵抗状態の場合に、トランジスタ10d1は非導通状態となる。

[0076] なお、第5実施形態の変形例として、図12に示すように、トランジスタ10a1をMTJ素子10A1に置き換えるとともにMTJ素子10B1をn型モスフェト10b1に置き換え、トランジスタ10b1のゲートに制御信号ENABLE2を入力するように、構成してもよい。

また、第1乃至第4実施形態およびそれらの変形例において、スピนมオスフェトを、MTJ素子に置き換えてもよい。

[0077] 本実施形態も、第1実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

[0078] また、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ること

ができる。

[0079] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したがって、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギャラブル論理回路を実現することができる。

[0080] (第6実施形態)

次に、本発明の第6実施形態によるパストランジスタ回路を図13に示す。この実施形態のパストランジスタ回路は、図5に示す第1実施形態において、p型MOSFET10a1をp型のスピนมOSFET10Aに置き換えた構成となっている。すなわち、直列に2個のスピนมOSFET10A、10Bが接続された構成となっている。

[0081] そして、本実施形態においては、2つのスピนมOSFET10A、10Bのうちの一方のスピนมOSFETの磁化状態を反平行とし、他方のスピนมOSFETの磁化状態を平行状態とする。このように、直列に接続された2つのスピนมOSFET10A、10Bの磁化状態を相補的にしておくことで、大きな抵抗変化が得られるため、安定に回路動作することができる。

[0082] 本実施形態も 本実施形態は第1実施形態と同様に、充電動作を行った後に、論理動作を行う。

[0083] 本実施形態も、第1実施形態と同様に、低消費電力のメモリ機能付きパストランジスタ回路を実現することができる。

[0084] 更に、少ない素子数でメモリ機能付きパストランジスタ回路を実現することができる。これにより、小面積のメモリ機能付きパストランジスタ回路を実現することが可能となり、小面積のスイッチングボックス回路を得ることができる。

[0085] また、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、低消費電力のスイッチングボックス回路を構成することができる。したが

って、本実施形態によるメモリ機能付きパストランジスタ回路を用いれば、高集積でかつ低消費電力のリコンフィギャラブル論理回路を実現することができる。

[0086] なお、本実施形態では、スピนมOSFET 10Aのゲートに基準電圧GNDを印加し、スピนมOSFET 10Bのゲートに制御信号ENABLE 2を入力したが、スピนมOSFET 10Aのゲートに制御信号ENABLE − INVを入力し、スピนมOSFET 10Bのゲートに電源電圧V_{dd}を印加してもよい。

[0087] また、本実施形態では、トランジスタ 10c1、10d1にn型MOSFETを用いたが、トランジスタ 10c1、10d1にp型MOSFETを用いてもよい。

符号の説明

[0088] 10a トランジスタ
10a1 p型MOSFET
10A p型スピนมOSFET
10A1 MTJ素子
10b トランジスタ
10b1 n型MOSFET
10B n型スピนมOSFET
10B1 MTJ素子
10c トランジスタ
10c1 n型MOSFET
10c2 p型MOSFET
10d トランジスタ（パストランジスタ）
10d1 n型MOSFET
10d2 p型MOSFET
20 第1電源
22 第2電源

2 4 第 1 入出力端子

2 6 第 2 入出力端子

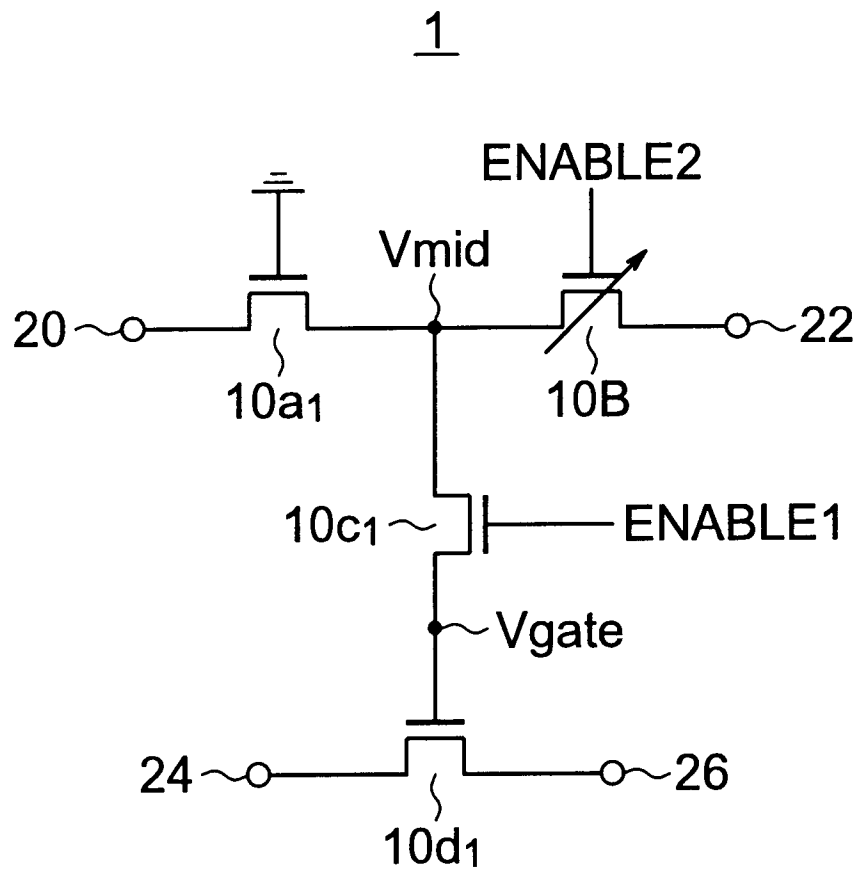
請求の範囲

- [請求項1] 第1の信号線に接続される第1の入出力端子と、
第2の信号線に接続される第2の入出力端子と、
一端が第1の電源に接続される第1の素子と、
前記第1の素子の他端に一端が接続され、他端が第2の電源に接続される第2の素子と、
前記第1の素子の他端にソースが接続され、ゲートに第1の制御信号を受ける第1のトランジスタと、
前記第1のトランジスタのドレインにゲートが接続され、前記第1の入出力端子にソースが接続され、前記第2の入出力端子にドレインが接続された第2のトランジスタと、
を備え、前記第1および第2の素子のうちの少なくとも一方が不揮発性メモリ素子であり、他方がMOSFETであることを特徴とするパストランジスタ回路。
- [請求項2] 前記不揮発性メモリ素子は、スピントラジスタであることを特徴とする請求項1記載のパストランジスタ回路。
- [請求項3] 前記第1の素子はp型MOSFETであり、前記第2の素子はn型スピントラジスタであることを特徴とする請求項2記載のパストランジスタ回路。
- [請求項4] 前記第1の素子はp型スピントラジスタであり、前記第2の素子はn型MOSFETであることを特徴とする請求項2記載のパストランジスタ回路。
- [請求項5] 前記第1の素子はp型スピントラジスタであり、前記第2の素子はn型スピントラジスタであることを特徴とする請求項2記載のパストランジスタ回路。
- [請求項6] 前記第1および第2のトランジスタは、n型MOSFETであることを特徴とする請求項3記載のパストランジスタ回路。
- [請求項7] 前記第1および第2のトランジスタは、p型MOSFETであるこ

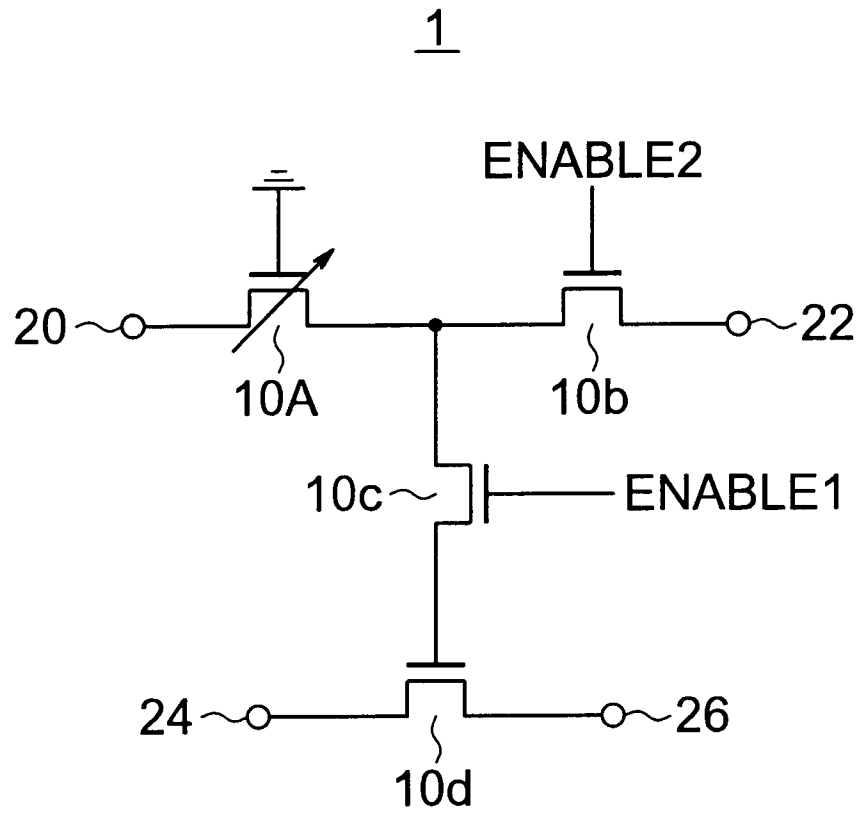
とを特徴とする請求項 3 記載のパストランジスタ回路。

[請求項 8] 前記第 1 の素子は M T J 素子であり、前記第 2 の素子は M O S F E T であることを特徴とする請求項 1 記載のパストランジスタ回路。

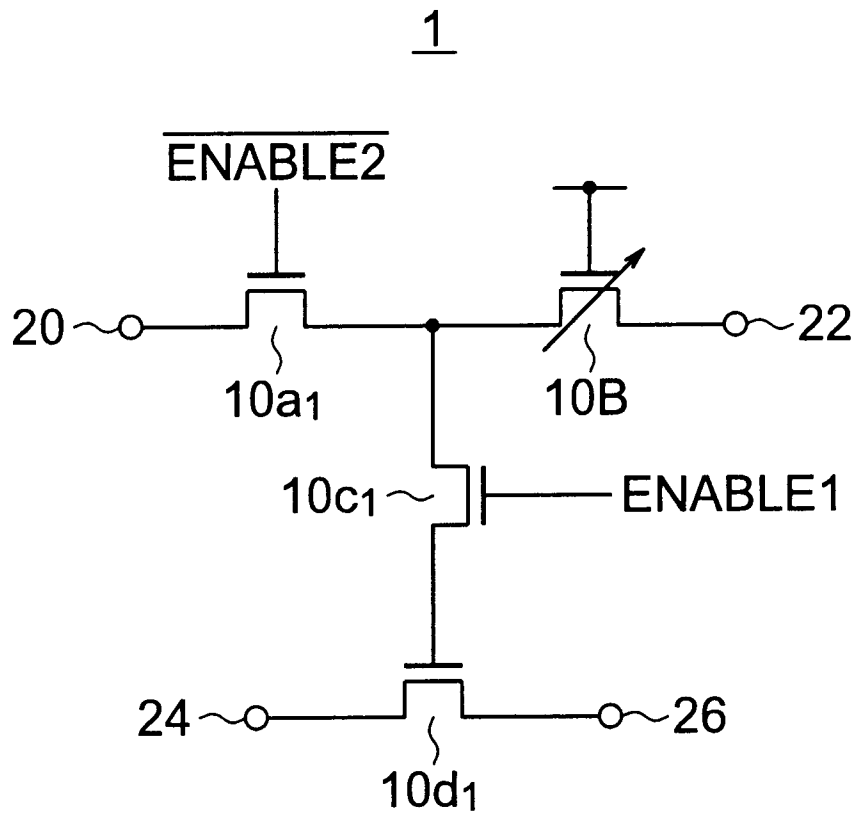
[請求項 9] 請求項 1 記載のパストランジスタ回路と、前記第 1 および第 2 の信号線と、を備えていること特徴とするスイッチングボックス回路。



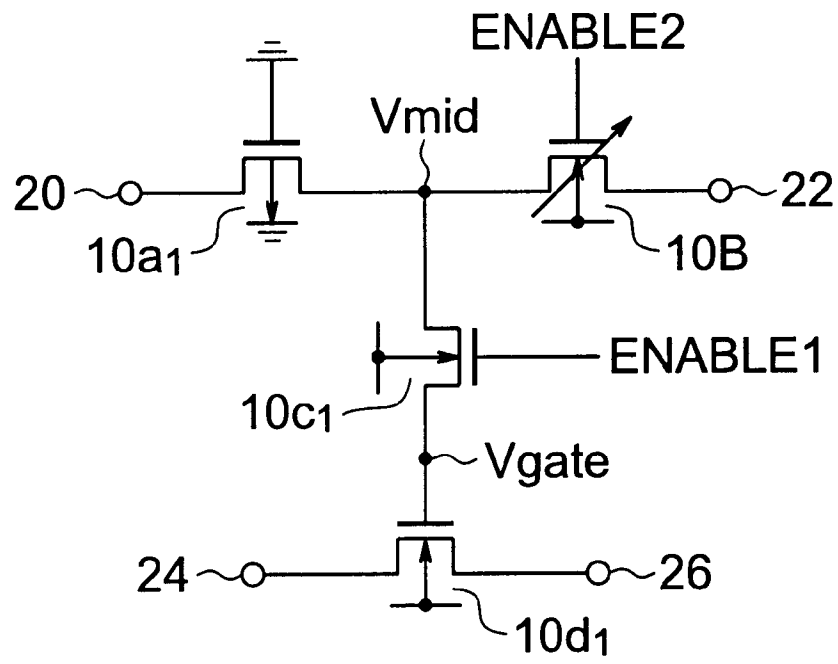
[図3]



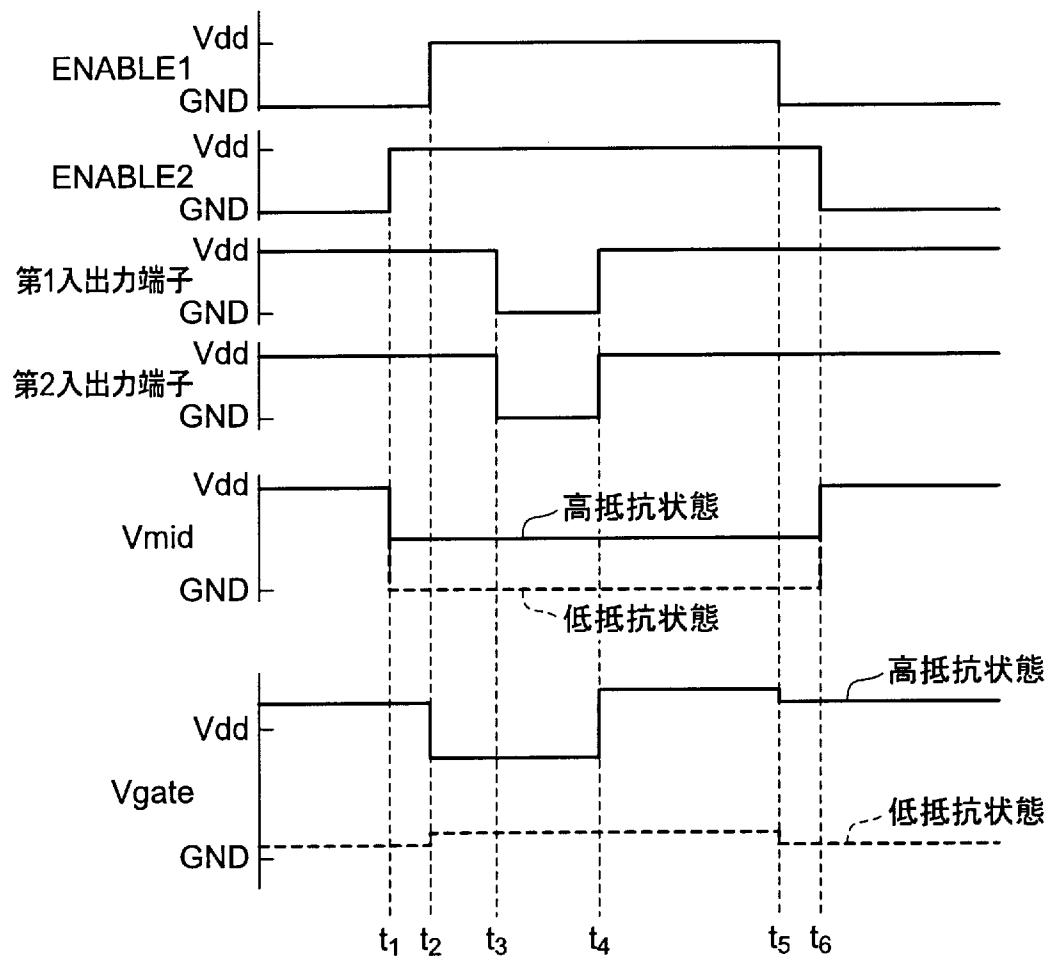
[図4]



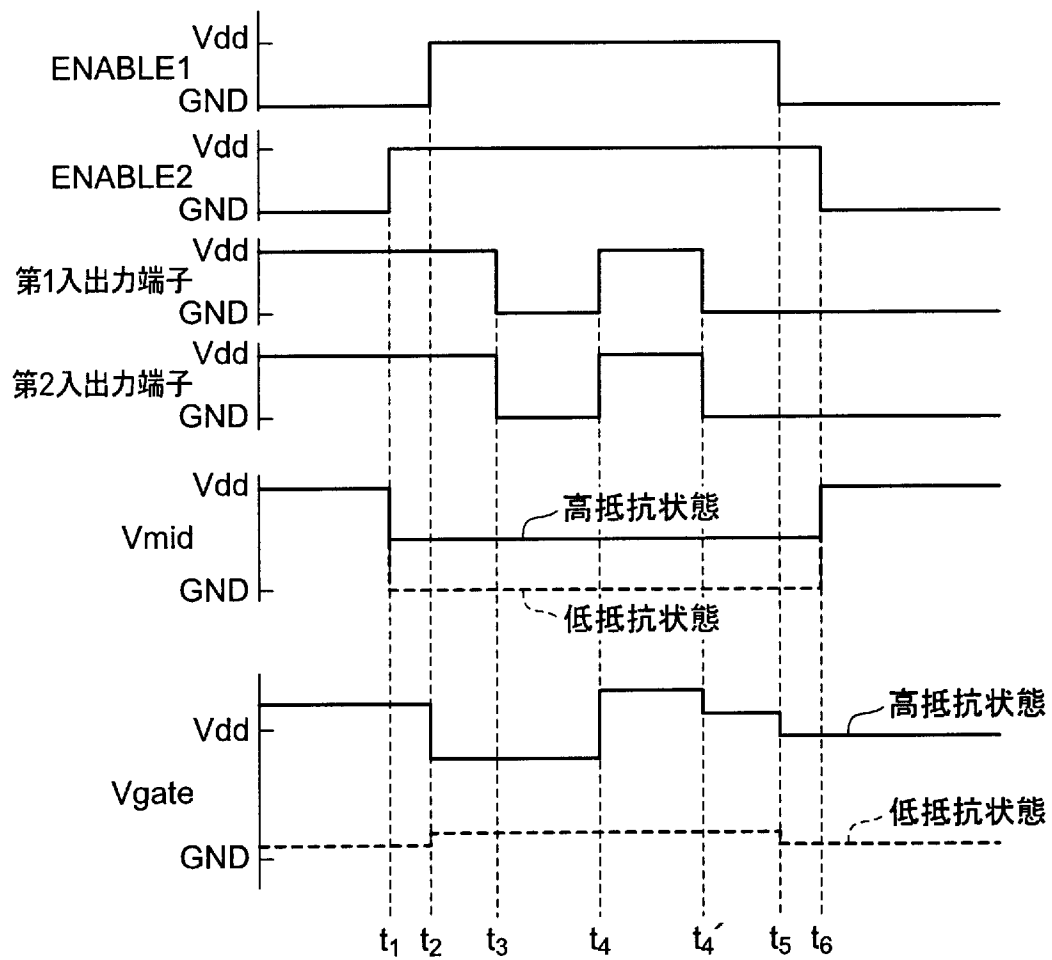
[図5]

1

[図6A]

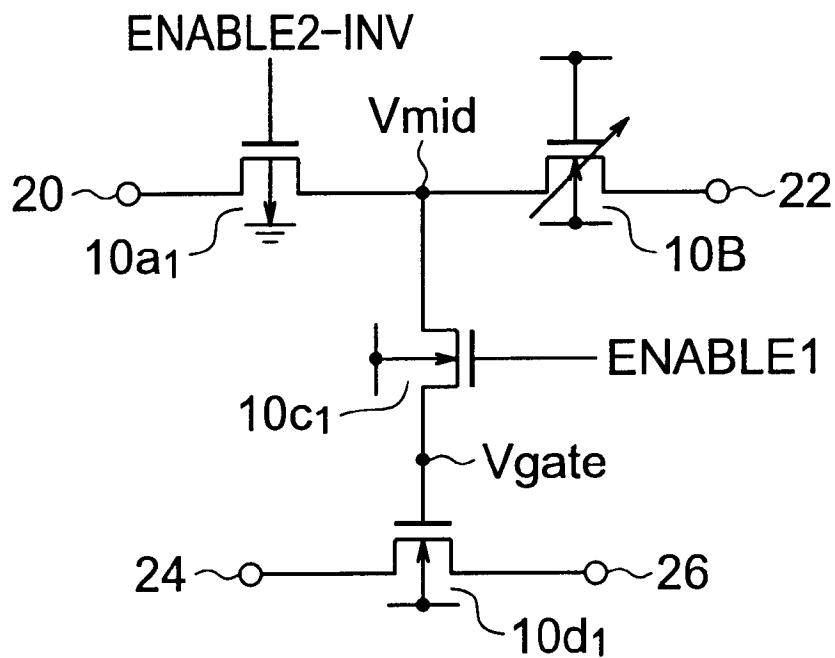


[図6B]

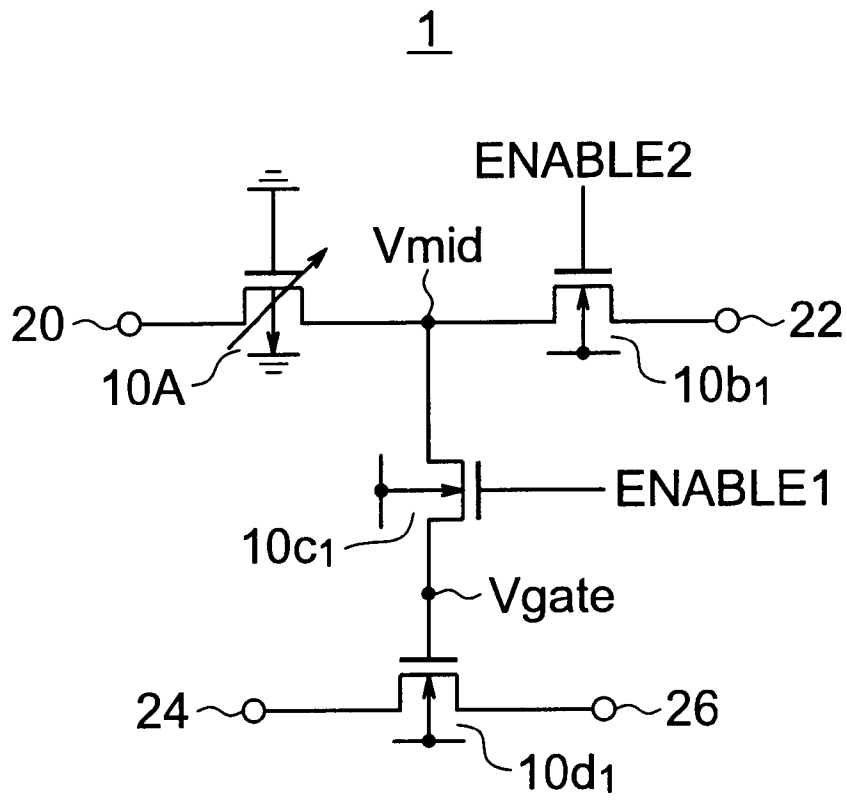


[図7]

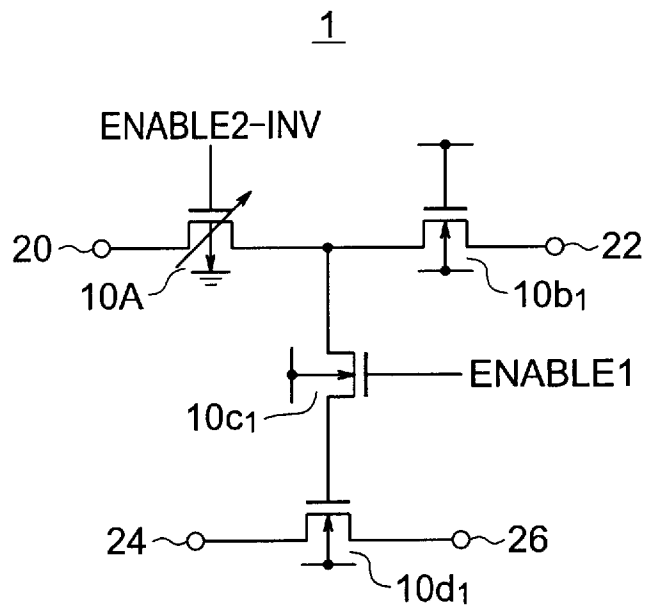
1

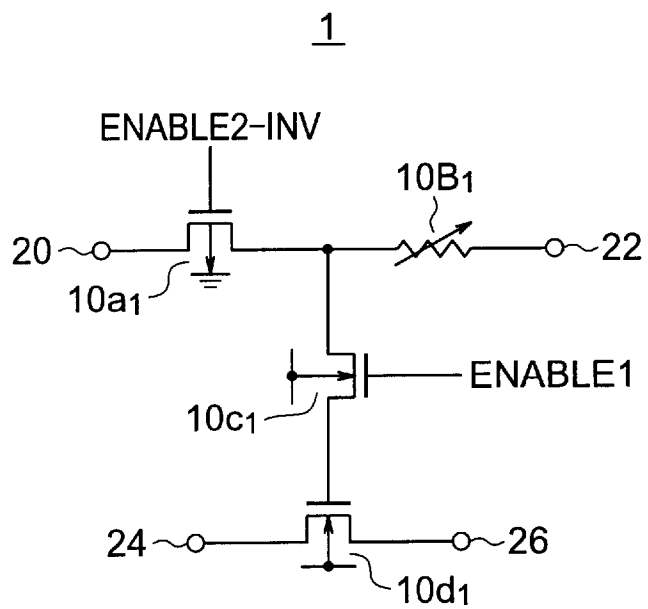


[図8]

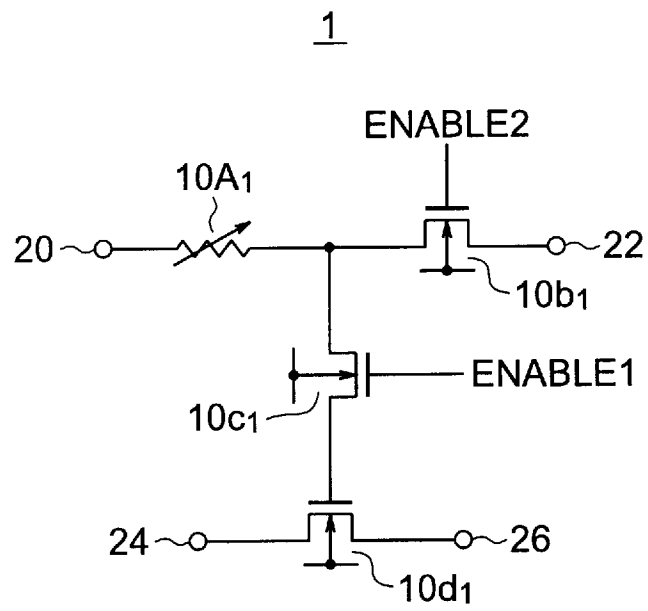


[図9]

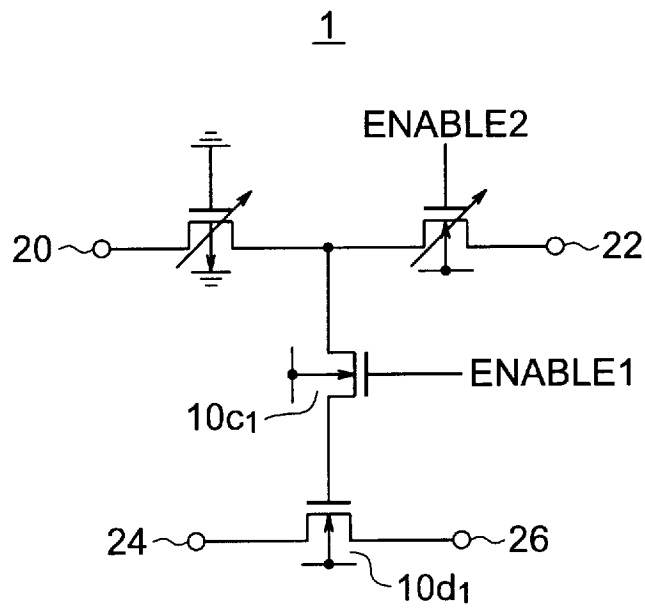




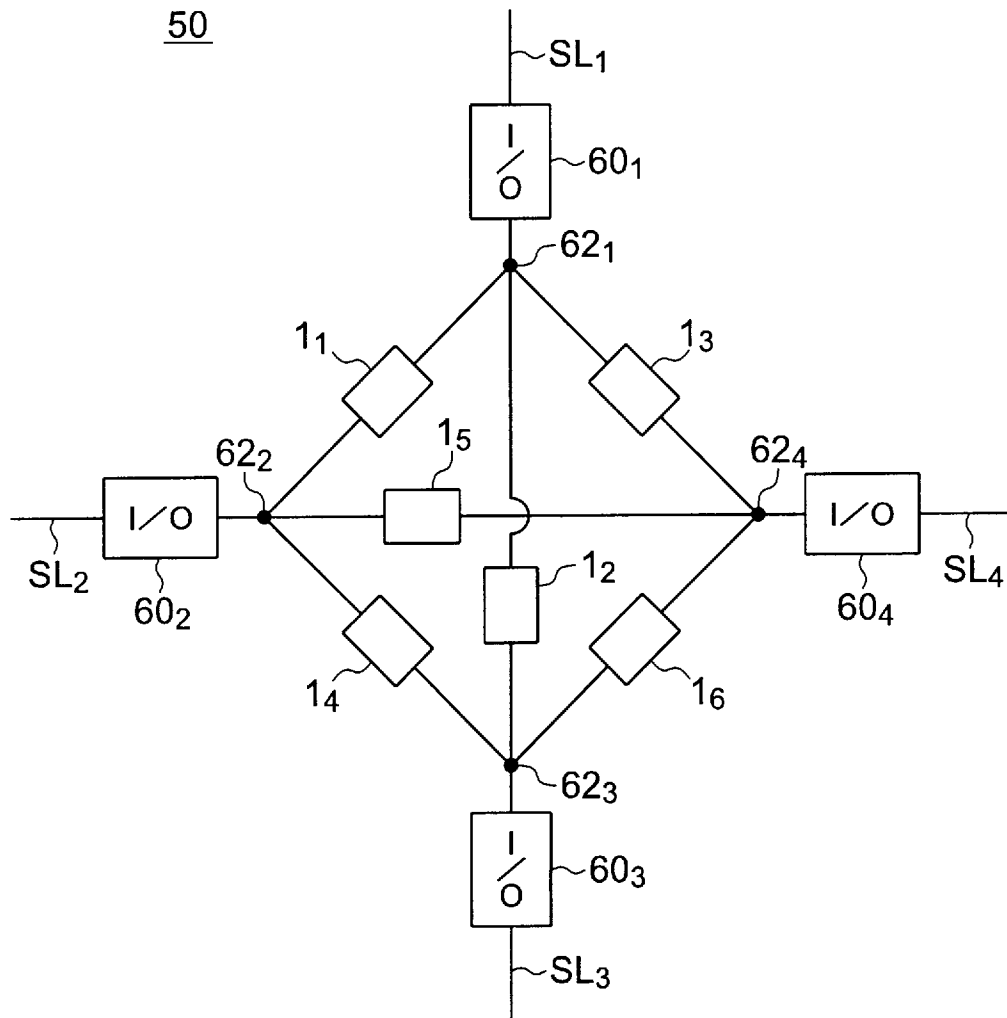
[図12]



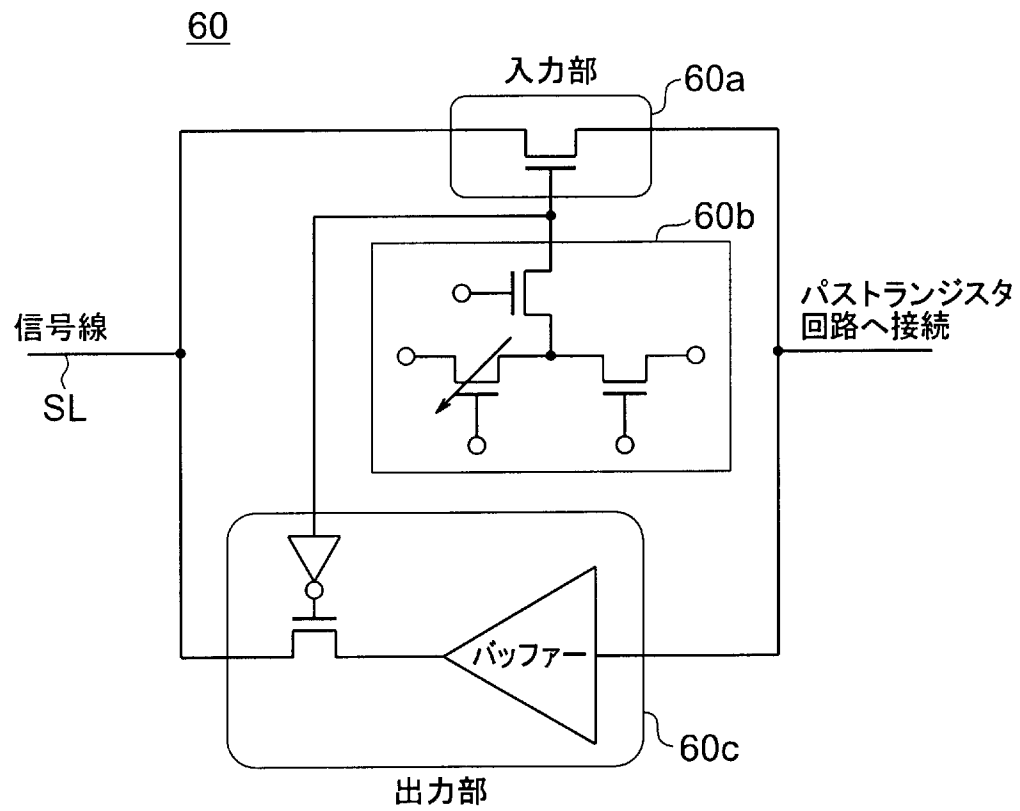
[図13]



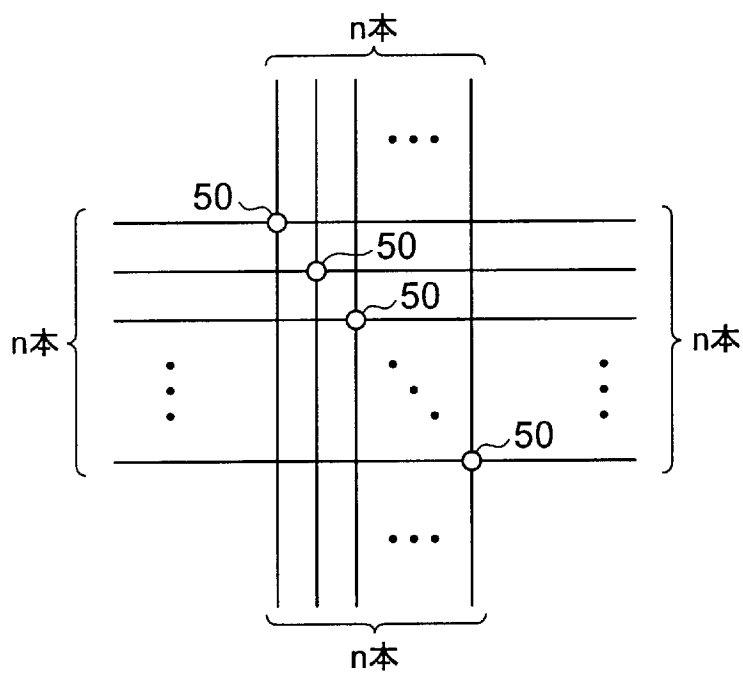
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066678

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i,
H01L27/088(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/82, H01L21/8234, H01L21/8246, H01L27/088, H01L27/105, H01L43/08,
H03K19/173, H01L29/786, H01L29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-509460 A (Actel Corp.), 05 March 2009 (05.03.2009), entire text & US 2007/0064484 A1 & EP 1927112 A & WO 2007/037823 A1	1-9
Y	JP 2006-339235 A (Renesas Technology Corp.), 14 December 2006 (14.12.2006), paragraphs [0002], [0046]; fig. 14 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 December, 2009 (10.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066678

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-135533 A (Japan Science and Technology Agency), 18 June 2009 (18.06.2009), paragraphs [0002] to [0006], [0011], [0098] to [0100]; fig. 11, 17 & US 2008/0061336 A1 & EP 1555694 A1 & WO 2004/012272 A1	2-8
Y	JP 2009-124175 A (NEC Corp.), 04 June 2009 (04.06.2009), paragraphs [0003], [0082] to [0086]; fig. 19 & US 2005/0045919 A1	9
A	JP 2009-059807 A (Fujitsu Ltd.), 19 March 2009 (19.03.2009), entire text (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/82(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i, H01L27/088(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/82, H01L21/8234, H01L21/8246, H01L27/088, H01L27/105, H01L43/08, H03K19/173, H01L29/786, H01L29/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-509460 A（アクテル・コーポレーション）2009.03.05, 全文 & US 2007/0064484 A1 & EP 1927112 A & WO 2007/037823 A1	1-9
Y	JP 2006-339235 A（株式会社ルネサステクノロジ）2006.12.14, 段落【0002】、【0046】、図14（ファミリーなし）	1-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川村 裕二

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

3 3 4 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-135533 A (独立行政法人科学技術振興機構) 2009. 06. 18, 段落【0002】－【0006】、【0011】、【0098】－【0100】、図11、17 & US 2008/0061336 A1 & EP 1555694 A1 & WO 2004/012272 A1	2-8
Y	JP 2009-124175 A (日本電気株式会社) 2009. 06. 04, 段落【0003】、【0082】－【0086】、図19 & US 2005/0045919 A1	9
A	JP 2009-059807 A (富士通株式会社) 2009. 03. 19, 全文 (ファミリーなし)	1-9