

公告本

申請日期	89 年 6 月 14 日
案 號	89111653
類 別	H01L 37/00

A4
C4

557568

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 飯島晉平 (2) 山本智志 (3) 黑田淳
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都小平市上水本町五丁目二番一 號日立超愛爾・愛斯・愛・系統(股)內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二番一 號
	代 表 人 姓 名	(1) 庄山悅彦 (2) 鈴木仁一郎

裝

訂

線

申請日期	89 年 6 月 14 日
案 號	89111653
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 三木浩史 (5) 藤崎芳久 (6) 吉田正義
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(5) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (6) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

申請日期	89 年 6 月 14 日
案 號	89111653
類 別	

A4

C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 山口賢一
	國 籍	(7) 日本 (7) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：，☐有 ☐無主張優先權日本 1999 年 7 月 6 日 11-192009 ☒有主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明所屬領域

本發明矽關於半導體裝置及其製造技術，特別是關於適用於具有 D R A M (Dynamic Random Access Memory : 動態隨機存取記憶體) 之半導體裝置有效之技術。

發明背景

以往以來，以高集成化為目的之 D R A M 構造為所知悉者為：在位元線之上部配置電容器之位元線上電容器 (Capacitor Over Bitline) 構造，進而將配置在位元線之上部之電容器之下部電極 (儲存電極) 加工成圓筒狀，在此下部電極形成電容絕緣膜與上部電極 (板電極) 之構造。藉由將下部電極加工成圓筒狀，增加其表面積，彌補伴隨記憶體單元之微細化之電容器之儲存電荷量 (C s) 之減少。如此，於具有 C O B 構造之記憶體單元中，在確保作為半導體記憶裝置之動作信賴性上，對於電容器之構造必須相當之立體化。

然而，即使藉由電容器構造之立體化，近年之被集成化之半導體裝置，特別是於相當於 2 5 6 M b i t (百萬位元) 以後之 D R A M 中，可以預想得到必要電容值 (儲存電荷量) 之確保會變得困難。

因此，作為謀求電極面積之更為擴大之技術，為所知悉者為：在下部電極之矽表面形成微小之凹凸，使之粗糙化，不使下部電極尺寸變大，能使其表面積實質變大之技術，所謂之 H S G (Hemispherical Silicon Grain : 半球狀

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

矽粒)構造之技術。

發明摘要

但是，在前述之 H S G 構造之技術中，有以下之問題點。又，以下說明之問題點係本發明者們檢討之事項，並非特別為所周知。

即，下部電極藉由採用 H S G 構造，雖然下部電極表面之物理的表面積可以擴大，但是存在相當於該面積擴大之程度之儲存電荷量之增加，並不一定可以有效獲得之問題。特別是由 n 型矽形成之下部電極對於上部電極，被偏壓為正電壓時，問題顯著出現。此可認為係在鄰接於電容絕緣膜之下部電極之界面產生缺乏層(缺乏化)之故。即，下部電極採用 H S G 構造之故，該材料必然需要採用矽。但是，在將矽材料當成導電體使用，需要相當量之不純物之導入。在被活性化之不純物被充分導入之情形，雖然缺乏化被抑制，但是在導入不純物量少之情形，或不純物雖被多量導入，但是未被活性化之情形，矽中形成缺乏層。此缺乏層矽電氣絕緣性之故，與電容絕緣膜同樣作用，外觀上可視為電容絕緣膜之膜厚增加。因此，電容容量值減少，導致儲存電荷量無法增加為與下部電極表面積之增加相稱之程度。電容容量之減少(電容損失)在以缺乏率表示之情形，達到 30%，阻礙 D R A M 之更新特性之提升，產生成為阻礙 D R A M 性能之提升之大的原因之問題。又，本詳細說明書中，缺乏率係以 $(1 - C^- / C^+)$ 定

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

義之。但是， C^- 係使電容器偏壓為 -1 V 時之電容值， C^+ 係使電容器偏壓為 $+1\text{ V}$ 時之電容值。

在避免缺乏化方面，也考慮未被活性化之不純物之存在，可以採取導入在補償其之足夠程度之多量的不純物之手段。但是，在形成 H S G 構造上，有必要對非晶質狀態之矽膜施以指定之熱處理，使固相成長為多結晶之半球狀結晶。由此非晶質狀態之結晶成長中，當然熱處理條件（溫度、時間、氣氛等）有關係，但是，被包含在出發材料之非晶質矽之不純物量也有關係。即，在多量之不純物被包含於非晶質矽膜之情形，過度促進由非晶質矽來之結晶化，無法形成充分大之粒狀矽（半球狀結晶）。因此，預先被包含在非晶質矽膜之不純物之量被限制，變成產生與前述缺乏化之問題相反之要求。

另一方面，即使對於粒狀矽之形成，不產生問題之程度之比較少之不純物量之情形，這些之不純物如被充分活性化，可以抑制缺乏化。即，如能實現被包含於形成半球狀結晶後之矽膜（下部電極）之不純物被充分活性化之狀態（被包含於膜中之不純物之中，相當多之不純物被活性化之狀態），可以有效抑制缺乏化。但是，在矽內之不純物之活性化上，需要高溫或長時間之熱處理（例如， 800°C 、20分鐘以上之高溫或長時間之退火），如對下部電極施行高溫長時間之熱處理，會產生以下之類的問題。即，在採用 C O B 構造之情形，電容器在位元線之形成後被形成。又，周邊電路之第1層配線與位元線同時被

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(4)

形成。因此，周邊電路之第1層配線與基板（周邊電路之M I S F E T之源極、汲極等）之接續部份在電容器之形成階段已經被形成。又，爲了接續電阻降低用，在此接續部份形成鈦等之金屬矽化物膜。然而，此金屬矽氧化膜一般耐熱性不足，第1層配線形成後之熱處理溫度被限制在金屬矽氧化膜之耐熱性之範圍內之低溫度範圍。即，無法對電容器下部電極施行使不純物活性化之充分高溫度之熱處理。

又，於此處，雖然注目於第1層配線與基板之接續部份，但是，其它已經被形成之不耐耐熱性之構件之全部，也不施行高溫熱處理爲妥。例如，被形成於半導體基板之不純物區域等。在被高集成化之半導體裝置中，不純物擴散層（源極、汲極等）位置以及深度被精密控制而形成。藉由高溫長時間之熱處理，這些被精密形成之不純物擴散層內之不純物再度擴散，使得其構造變化。此使當初之設計亂掉，當然也對裝置特性給予不好之影響。再者，在採用於閘極電極（多晶矽膜）被植入硼之p+閘極構造之情形，藉由熱處理，硼擴散（洩漏），擴散之硼到達通道，使M I S F E T之臨界值變動。此也成爲裝置特性之變化要因，爲使半導體裝置之信賴性降低之原因。

又，由於伴隨D R A M之高集成化之要求之裝置尺寸之微細化，也要求下部電極之佔有面積尺寸要小。特別是，筒形狀之下部電極之情形，被要求筒內徑之縮小，要求微細化之筒內部之精度良好之粒狀矽之形成。即，具有伴

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(5)

隨構成下部電極之多晶矽膜之薄膜化之粒狀矽之高度(凹凸)之控制相對變得困難之問題。

本發明之目的在於提供：於被限制之熱處理條件中，可以抑制下部電極之缺乏化之技術。

本發明之其它目的在於提供：於具有粒狀矽之下部電極中，可以實現低缺乏化率之技術。

本發明之進而其它之目的在於提供：適合於粒狀矽之結晶成長控制之技術。

本發明之進而其它之目的在於提供：關於漏電流少之電容器之技術，提升D R A M之信賴性。

本發明之進而其它之目的在於提供：能相當高地維持被微細化之半導體裝置之性能以及信賴性。

本發明之前述以及其它之目的與新的特徵，可以由本詳細說明書之記述以及所附圖面變得明白。

本案所公開揭露之發明之中，如簡單說明代表性者之概要，則如下述。

1．一種半導體裝置之製造方法，包含：(a)堆積非晶質狀態之矽膜，使矽膜之表面結晶化以粗糙化之工程，(b)使被粗糙化之矽膜之全體結晶化之工程，(c)藉由於包含不純物元素之氣氛中，熱處理矽膜，對矽膜導入不純物元素之工程。

2．一種半導體裝置之製造方法，包含：(a)堆積非晶質狀態之矽膜，使矽膜之表面結晶化以粗糙化之工程，(b)藉由於包含不純物元素之氣氛中，熱處理矽膜，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

對矽膜導入不純物元素之同時，使矽膜之全體結晶化之工程。

3．一種半導體裝置之製造方法，包含：(a) 堆積非晶質狀態之矽膜之工程，(b) 藉由對矽膜施行熱處理，使矽膜之表面結晶化粗糙化，藉由在比熱處理開始還遲之時刻，將包含不純物元素之氣體導入熱處理氣氛，對矽膜導入不純物元素之工程。

4．如前述第3項記載之半導體裝置之製造方法，其中藉由(b) 工程之氣體之導入，停止矽膜之粗糙化反應。

5．一種半導體裝置之製造方法，包含：(a) 堆積非晶質狀態之矽膜之工程，(b) 藉由於包含不純物元素之氣氛中，熱處理矽膜，對矽膜導入不純物元素之工程。

6．一種半導體裝置之製造方法，包含：(a) 堆積非晶質狀態或多結晶狀態之第1矽膜，再者，堆積非晶質狀態之第2矽膜，形成積層矽膜之工程，(b) 使第2矽膜結晶化，以使積層矽膜之表面粗糙化之工程，(c) 藉由於包含不純物元素之氣氛中，熱處理積層矽膜，對積層矽膜導入不純物元素之工程。

7．如前述第6項記載之半導體裝置之製造方法，其中在第1矽膜與第2矽膜之間形成自然氧化膜。

8．如前述第7項記載之半導體裝置之製造方法，其中被包含於第1矽膜之不純物量比被包含於第2矽膜之不純物量還多。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

9 . 如前述第 1 ~ 8 項記載之半導體裝置之製造方法，其中在不純物之導入前，使矽膜或積層矽膜之表面清淨化。

10 . 如前述第 1 ~ 9 項記載之半導體裝置之製造方法，其中不純物之導入後，不成爲開放大氣狀態地，在矽膜或積層矽膜上形成電介質膜。

11 . 如前述第 10 項記載之半導體裝置之製造方法，其中電介質膜之形成後，施以 800℃、15 分鐘以內之熱處理。

12 . 如前述第 1 ~ 9 項記載之半導體裝置之製造方法，其中不純物之導入後，對矽膜或積層矽膜施以 800℃、15 分鐘以內之熱處理，之後，在矽膜或積層矽膜上形成電介質膜。

13 . 如前述第 12 項記載之半導體裝置之製造方法，其中不純物導入後之熱處理後，使矽膜或積層矽膜之表面清淨化。

14 . 如前述第 1 ~ 13 項記載之半導體裝置之製造方法，其中不純物元素爲磷 (P)，導入不純物元素之熱處理係在包含磷 (PH_3) 之氣氛中，以 500℃ ~ 850℃ 之溫度範圍進行。

15 . 如前述第 14 項記載之半導體裝置之製造方法，其中導入不純物元素之熱處理係在包含磷 (PH_3) 以及氫氣 (H_2) 之減壓狀態之氣體氣氛中，於 500℃ ~ 850℃ 之溫度範圍、10 分鐘以下之處理時間進行。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

16. 如前述第1~15項記載之半導體裝置之製造方法，其中在非晶質狀態之矽膜或非晶質狀態之第2矽膜包含不純物 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下之濃度。

17. 如前述第1~16項記載之半導體裝置之製造方法，其中在(a)工程之前，在半導體基板或構成閘極電極之多晶矽膜之表面形成金屬矽化物膜。

18. 如前述第1~17項記載之半導體裝置之製造方法，其中更包含：在矽膜或積層矽膜上形成第1矽氮化膜之工程，第1矽氮化膜係藉由矽膜或積層矽膜表面之氮化處理，或對矽膜或積層矽膜上之被膜堆積而形成。

19. 如前述第18項記載之半導體裝置之製造方法，其中更包含：在第1矽氮化膜上形成多結晶氧化鉬膜之工程。

20. 如前述第19項記載之半導體裝置之製造方法，其中多結晶氧化鉬膜之形成工程係包含：第1多結晶氧化鉬膜之形成工程，以及比第1多結晶氧化鉬膜膜厚還大之第2多結晶氧化鉬膜之形成工程。

21. 如前述第19或20項記載之半導體裝置之製造方法，其中多結晶氧化鉬膜、第1多結晶氧化鉬膜或第2多結晶氧化鉬膜之形成工程係包含：藉由CVD法之非晶質氧化鉬膜之堆積工程，以及使非晶質氧化鉬膜藉由氧化性氣氛之熱處理結晶化之工程。

22. 如前述第18項記載之半導體裝置之製造方法

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

，其中更包含：在第1矽氮化膜上形成藉由CVD法之第2矽氮化膜之工程。

23．如前述第18～22項記載之半導體裝置之製造方法，其中更包含：在包含矽氮化膜之電介質膜、多結晶氧化鋁膜、第2多結晶氧化鋁膜或第2矽氮化膜上形成藉由CVD法之氮化鈦膜之工程。

24．一種包含堆積非晶質狀態之矽膜，使矽膜之表面結晶化以粗糙化之工程之半導體裝置之製造方法，被包含於非晶質狀態之矽膜之不純物濃度在 2.5×10^{20} atoms/cm³以下。

25．如前述第24項記載之半導體裝置之製造方法，其中非晶質狀態之矽膜係被堆積在多結晶或非晶質狀態之底層矽膜上，在底層矽膜包含比矽膜還高濃度之不純物。

26．如前述第25項記載之半導體裝置之製造方法，其中在底層矽膜與矽膜之間形成自然氧化物膜。

27．一種由具有複數之MISFET與電容器，電容器被與MISFET導電接續，其之表面被粗糙化之多晶矽形成之第1電極，以及被與第1電極對向形成，由金屬形成之第2電極，以及被形成在第1以及第2電極間之絕緣膜形成之半導體裝置，電容器之缺乏化率在10%以下。

28．如前述第27項記載之半導體裝置，其中電容器之缺乏化率在5%以下。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

29 . 一種具備：在基板堆積非晶質矽膜之第1反應室，以及可以進行基板之熱處理之第2反應室，以及被接續於第1以及第2反應室，一邊保持減壓狀態，一邊將基板搬運於第1以及第2反應室之真空搬運室，以及被接續於真空搬運室，進行基板之裝載、卸載之裝載閉鎖室之半導體製造裝置，在第1反應室之非晶質矽膜之對基板之堆積後，將基板搬入第2反應室，藉由第2反應室之矽烷氣體之照射以及熱處理，使非晶質矽膜之表面粗糙化，在粗糙化之開始後，導入包含磷之氣體於第2反應室，使粗糙化停止之同時，對被粗糙化之矽膜導入磷。

30 . 如前述第29項記載之半導體製造裝置，其中於第2反應室中，將基板之溫度上升至被粗糙化之矽膜之全部被結晶化之溫度為止。

31 . 如前述第29或30項記載之半導體製造裝置，其中更具有：可以進行氮氣氛之熱處理或矽氮化膜之堆積之被接續於真空搬運室之第3反應室，由第2反應室往第3反應室，透過真空搬運室，不真空破壞地移動基板，於第3反應室中，在被粗糙化之矽膜之表面形成矽氮化膜。

合適實施形態之說明

以下依據圖面說明本發明之實施形態。又，於說明實施形態用之全圖中，對具有同一機能者賦予相同之標號，省略其之重複說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

利用圖 1 ~ 圖 3 8 依據工程順序說明本發明之實施形態 1 之 D R A M (Dynamic Random Access Memory : 動態隨機存取記憶體) 之製造方法。又, 顯示基板之剖面之各圖之左側部份係顯示形成 D R A M 記憶體單元之區域 (記憶體單元陣列), 右側部份係顯示周邊電路區域。

首先, 如圖 1 所示般地, 準備由 p 型、比電阻為 $10 \Omega \cdot \text{cm}$ 程度之單晶矽形成之半導體基板 (以下, 單稱為基板) 1, 利用光蝕刻以及蝕刻技術, 在基板 1 形成 350 nm 程度之元件分離溝 2。之後, 藉由例如 $850^\circ\text{C} \sim 900^\circ\text{C}$ 程度之溼氧化、或約 1000°C 之乾熱氧化在元件分離溝 2 之內壁形成薄的 (膜厚 10 nm 程度之) 矽氧化膜 6。再者, 例如藉由利用臭氧 (O_3) 與四乙鄰矽酸鹽 (T E O S) 為源頭氣體之電漿 C V D 法, 堆積矽氧化膜 (以下, 稱為 T E O S 氧化膜) 為 400 nm 程度之膜厚, 埋住元件分離溝 2。藉由 C M P (Chemical Mechanical Polishing : 化學機械研磨法) 研磨此矽氧化膜, 去除元件分離溝 2 以外之區域之矽氧化膜, 在元件分離溝 2 之內部殘留矽氧化膜 7, 形成元件分離區域。

接著, 如圖 2 所示般地, 在基板 1 離子植入 p 型不純物 (硼) 以及 n 型不純物 (例如磷) 後, 藉由以約 1000°C 之熱處理使上述不純物擴散, 在記憶體單元陣列之基板 1 形成 p 型井 3 以及 n 型井 5, 在周邊電路區域之基板 1 形成 p 型井 3 以及 n 型井 4。再者, 使用氟酸系之洗淨液, 溼洗淨基板 1 (p 型井 3 以及 n 型井 4) 之表

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

面後，以約 800℃ 之熱氧化在 p 型井 3 以及 n 型井 4 之各別的表面形成膜厚 6 nm 程度之乾淨之閘極氧化膜 8。

接著，如圖 3 所示般地，在閘極氧化膜 8 之上部以 CVD 法堆積膜厚 100 nm 程度之多晶矽膜 9a。

接著，如圖 4 所示般地，以光阻膜 PR 覆蓋形成周邊電路之 n 通道型 MISFET 之區域（形成周邊電路之 p 型井 3 之區域）以外之區域，離子植入顯示 n 型之導電性之不純物，例如磷（P）。藉由此，使形成周邊電路之 n 通道型 MISFET 之區域之多晶矽膜 9a 成為 n 型多晶矽膜 9an。

接著，如圖 5 所示般地，以光阻膜 PR 覆蓋形成周邊電路之 n 通道型 MISFET 之區域（形成周邊電路之 p 型井 3 之區域），離子植入顯示 p 型之導電性之不純物，例如硼（B）。藉由此，使形成 p 通道型 MISFET 之區域之多晶矽膜 9a 成為 p 型多晶矽膜 9ap。

藉由上述離子植入，在周邊電路區域之 p 型井 3 上形成 n 型多晶矽膜 9an，在周邊電路區域之 n 型井 4 以及記憶體單元陣列區域之 p 型井 3 上形成 p 型多晶矽膜

9ap。n 型或 p 型多晶矽膜 9an、9ap 如之後敘述般地，成為 MISFET 之閘極電極之一部份，被形成在記憶體單元陣列之 n 通道型 MISFET，其之閘極電極成為 p 型。又，被形成於周邊電路區域之 MISFET，其之閘極電極在 n 通道型 MISFET 之情形為 n 型，在 p 通道型 MISFET 之情形成為 p 型。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (13)

如此，藉由分別使用記憶體單元陣列用 M I S F E T 與周邊電路用 M I S F E T 之閘極電極之導電型，起因於其之功率函數之不同，具有以下之效果。即，關於記憶體單元陣列之 M I S F E T，於 n 通道型 M I S F E T 使用 p 型閘極電極之故， V_{th} （臨界值）變大，可以降低 M I S F E T 之通道漏電流。因此，改善 D R A M 之更新特性，能提升半導體裝置之性能。

另一方面，關於周邊電路區域之 M I S F E T，於 n 通道型 M I S F E T 使用 n 型、於 p 通道型 M I S F E T 使用 p 型之閘極電極之故，關於 n 以及 p 型之各通道型 M I S F E T， V_{th} （臨界值）之值被平均化。因此，形成臨界值調整用之通道擴散層之必要性降低。臨界值調整用之導入不純物量之降低促進通道內之載子散射原因之降低，可以謀求載子移動度之提升，能提升 M I S F E T 之性能。又，不導入臨界值調整用之通道擴散層， V_{th} （臨界值）之值降低之故，可以適用於低電壓動作之 M I S F E T。

上述效果係：對記憶體單元陣列之 M I S F E T 主要被要求之更新特性之改善、對周邊電路區域之 M I S F E T 主要被要求之開關速度之改善各有直接貢獻之效果，適用於本實施形態之 D R A M 之效果大。

又，閘極電極之一部份如使用包含硼之多晶矽膜，硼之熱擴散係數大之故，由閘極電極（多晶矽膜）所擴散之硼通過閘極絕緣膜，到達通道區域（井），會產生使

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(14)

M I S F E T 臨界值電壓變動之問題。特別是於之後敘述之電容器形成工程中，中介存在高溫度之熱處理工程，產生問題可能性大。但是，在本實施形態中，抑制本工程後之高溫熱處理之故，抑制硼之熱擴散，抑制如前述之問題之產生。此點之後敘述。

接著，如圖 6 所示般地，在 n 型或 p 型多晶矽膜 9 a n、9 a p 上部以濺鍍法堆積膜厚 5 n m 程度之 W N 膜 9 b 與膜厚 5 0 n m 程度之 W 膜 9 c，進而在其上部以 C V D 法堆積膜厚 1 0 0 n m 程度之矽氧化膜 1 0 a。

接著，以上述 W 膜 9 c 之應力緩和與 W N 膜 9 b 之緻密化為目的，在氮氣等之不活性氣體氣氛中進行約 8 0 0 ℃ 之熱處理。W 膜 9 c 之上部之矽氧化膜 1 0 a 係以：此熱處理時之 W 膜 9 c 之表面保護，以及在下一工程中，堆積在矽氧化膜 1 0 a 之上部之氮化矽膜 (1 0 b) 與下層之 W 膜 9 c 之界面之應力緩和為目的而形成。

接著，如圖 7 所示般地，在矽氧化膜 1 0 a 之上部以 C V D 法堆積膜厚 1 0 0 n m 程度之氮化矽膜 1 0 b 後，藉由以光阻膜 (未圖示出) 為光罩，乾蝕刻氮化矽膜 1 0 b，在形成閘極電極之區域殘留氮化矽膜 1 0 b。

接著，去除光阻膜後，如圖 8 所示般地，以氮化矽膜 1 0 b 為光罩乾蝕刻矽氧化膜 1 0 a、W 膜 9 c、W N 膜 9 b 以及 n 型或 p 型多晶矽膜 9 a n、9 a p。藉由此，形成由 n 型多晶矽膜 9 a n、W N 膜 9 b 以及 W 膜 9 c 形成之閘極電極 9 n，以及由 p 型多晶矽膜 9 a p、W N 膜

五、發明說明 (15)

9 b 以及 W 膜 9 c 形成之閘極電極 9 p 。如前述般地，閘極電極 9 p 被形成在記憶體單元陣列以及周邊電路區域，閘極電極 9 n 被形成在周邊電路區域。進而在這些閘極電極 9 n 、 9 p 之上部形成由矽氧化膜 1 0 a 以及氮化矽膜 1 0 b 形成之蓋子絕緣膜 1 0 。又，被形成於記憶體單元陣列之閘極電極 9 p 係動作爲字元線 W L 之機能。

接著，如圖 9 所示般地，藉由在閘極電極 9 n 、 9 p 之兩側之 p 型井 3 離子植入 n 型不純物（磷或砷），形成 n - 型半導體區域 1 1 ，在 n 型井 4 離子植入 p 型不純物（硼），形成 p - 型半導體區域 1 2 。

接著，如圖 1 0 所示般地，在基板 1 上以 C V D 法堆積膜厚 5 0 n m 程度之氮化矽膜 1 3 後，以光阻膜（未圖示出）覆蓋記憶體單元陣列之基板 1 之上部，藉由非等向性蝕刻周邊電路區域之氮化矽膜 1 3 ，在周邊電路區域之閘極電極 9 n 、 9 p 之側壁形成側壁間隔 1 3 a 。

接著，藉由在周邊電路區域之 p 型井 3 離子植入 n 型不純物（磷或砷），形成 n + 型半導體區域 1 4 （源極、汲極），在 n 型井 4 離子植入 p 型不純物（硼），形成 p + 型半導體區域 1 5 （源極、汲極）。在以至目前爲止之工程，形成於周邊電路區域具備 L D D （ Lightly Doped Drain ：輕度摻雜汲極）構造之源極、汲極之 n 通道型 M I S F E T Q n 以及 p 通道型 M I S F E T Q p 。

接著，如圖 1 1 所示般地，在閘極電極 9 n 、 9 p 之上部形成矽氧化膜 1 6 。矽氧化膜 1 6 例如可以設爲

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (16)

T E O S 氧化膜，藉由 C M P 法平坦化其之表面。

接著，如圖 1 2 所示般地，以光阻膜（未圖示出）為光罩，乾蝕刻記憶體單元陣列之矽氧化膜 1 6 後，如圖 1 3 所示般地，乾蝕刻矽氧化膜 1 6 之下層之氮化矽膜 1 3。如此，藉由以 2 階段蝕刻，在 n - 型半導體區域 1 1 之上部形成接觸孔 1 8、1 9。

上述矽氧化膜 1 6 之蝕刻係以與氮化矽相比，氧化矽（矽氧化膜 1 6）之蝕刻速度大之條件進行，使得氮化矽膜 1 3 不會被完全去除。又，氮化矽膜 1 3 之蝕刻係以與矽（基板）或氧化矽相比，氮化矽之蝕刻速度大之條件進行，使得基板 1 或矽氧化膜 7 不會被深深削除。再者，氮化矽膜 1 3 之蝕刻係以氮化矽膜 1 3 被非等向性蝕刻之條件進行，使得在閘極電極 9 p（字元線 W L）之側壁殘留氮化矽膜 1 3。藉由此，具有微細直徑之接觸孔 1 8、1 9 對於閘極電極 9 p（字元線 W L）自行對準地被形成。

接著，如圖 1 4 所示般地，藉由通過上述接觸孔 1 8、1 9 於記憶體單元陣列之 p 型井 3（n - 型半導體區域 1 1）離子植入 n 型不純物（磷或砷），形成 n + 型半導體區域 1 7（源極、汲極）。以至目前為止之工程，在記憶體單元陣列形成以 n 通道型所構成之記憶體單元選擇用 M I S F E T Q s。

接著，如圖 1 5 所示般地，在接觸孔 1 8、1 9 之內部形成插塞 2 0。在形成插塞 2 0 上，首先使用包含氟酸

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (17)

之洗淨液，溼洗淨接觸孔 1 8、1 9 之內部後，在包含接觸孔 1 8、1 9 之內部之矽氧化膜 1 6 之上部以 C V D 法堆積摻雜磷 (P) 等之 n 型不純物之低電阻多晶矽膜，接著，回蝕刻 (或以 C M P 法研磨) 此多晶矽膜，藉由使殘留在接觸孔 1 8、1 9 之內部而形成。

接著，如圖 1 6 所示般地，在矽氧化膜 1 6 之上部以 C V D 法堆積膜厚 2 0 n m 程度之矽氧化膜 2 1 後，藉由以光阻膜 (未圖示出) 為光罩之乾蝕刻，乾蝕刻周邊電路區域之矽氧化膜 2 1 以及其之下層之矽氧化膜 1 6，在 n 通道型 M I S F E T Q n 之源極、汲極 (n + 型半導體區域 1 4) 之上部形成接觸孔 2 2，在 p 通道型 M I S F E T Q p 之源極、汲極 (p + 型半導體區域 1 5) 之上部形成接觸孔 2 3。又，與此時同時，在周邊電路區域之 p 通道型 M I S F E T Q p 之閘極電極 (以及 n 通道型 M I S F E T Q p 之未圖示出之閘極電極 9) 之上部形成接觸孔 2 4，在記憶體單元陣列之接觸孔 1 8 之上部形成通孔 2 5。

接著，如圖 1 7 所示般地，在 n 通道型 M I S F E T Q n 之源極、汲極 (n + 型半導體區域 1 4) 之表面、p 通道型 M I S F E T Q p 之源極、汲極 (p + 型半導體區域 1 5) 之表面、以及接觸孔 1 8 內部之插塞 2 0 之表面分別形成金屬矽化物膜 2 6 後，在接觸孔 2 2、2 3、2 4 之內部以及通孔 2 5 之內部形成插塞 2 7。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

上述金屬矽化物膜 2 6 例如係藉由：在包含接觸孔 2 2、2 3、2 4 之內部以及通孔 2 5 之內部之矽氧化膜 2 1 之上部以濺鍍法堆積膜厚 3 0 n m 程度之 T i 膜與膜厚 2 0 n m 程度之 T i N 膜後，以約 6 5 0 ℃ 熱處理基板 1 而形成。又，插塞 2 7 例如係藉由：在包含接觸孔 2 2、2 3、2 4 之內部以及通孔 2 5 之內部之上述 T i N 膜之上部以 C V D 法堆積膜厚 5 0 n m 程度之 T i N 膜以及膜厚 3 0 0 n m 程度之 W 膜後，以 C M P 法研磨矽氧化膜 2 1 之上部之 W 膜、T i N 膜以及 T i 膜，只這些之膜只殘留於接觸孔 2 2、2 3、2 4 之內部以及通孔 2 5 之內部。

藉由在源極、汲極 (n + 型半導體區域 1 4、p + 型半導體區域 1 5) 與被形成在其上部之插塞 2 7 之界面形成由 T i 金屬矽氧化物形成之上述金屬矽化物膜 2 6，可以減低源極、汲極 (n + 型半導體區域 1 4、p + 型半導體區域 1 5) 與插塞 2 7 之接觸電阻之故，構成周邊電路之 M I S F E T (n 通道型 M I S F E T Q n、p 通道型 M I S F E T Q p) 之動作速度能夠提升。

又，依據本發明者們之檢討，金屬矽化物膜 2 6 之耐熱性有問題。即，於本工程後如經過中介存在高溫度之熱處理，例如以未反應狀態存在之 T i 膜在高溫度之熱處理工程中，再度被金屬矽氧化物化，金屬矽化物膜 2 6 之附近之應力增加，或產生藉由反應物質之移動之孔洞之產生。此種應力上升或孔洞之產生有帶來接觸部份之電阻之上

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

升、信賴性降低之可能性，並不太好。特別是，於之後敘述之電容器形成工程中，其間存在高溫度之熱處理工程，產生問題之可能性很大。但是，在本實施形態中，抑制本工程後之高溫熱處理之故，抑制硼之熱擴散，抑制前述之類的問題之產生。此點之後敘述。

接著，如圖 1 8 所示般地，在記憶體單元陣列之矽氧化膜 2 1 之上部形成位元線 B L，在周邊電路區域之矽氧化膜 2 1 之上部形成第 1 層之配線 3 0 ~ 3 3。位元線 B L 以及第 1 層配線 3 0 ~ 3 3 例如係藉由：在矽氧化膜 2 1 之上部以濺鍍法堆積膜厚 1 0 0 n m 程度之 W 膜後，以光阻膜為光罩，乾蝕刻此 W 膜而形成。此時，位元線 B L 以及配線 3 0 ~ 3 3 之下層之矽氧化膜 1 6 被平坦化之故，可以高精度圖案化位元線 B L 以及配線 3 0 ~ 3 3。

接著，如圖 1 9 所示般地，在位元線 B L 以及第 1 層之配線 3 0 ~ 3 3 之上部形成膜厚 3 0 0 n m 程度之矽氧化膜 3 4。此矽氧化膜 3 4 係以與前述矽氧化膜 1 6 相同之方法形成。

接著，如圖 2 0 所示般地，在矽氧化膜 3 4 之上部以 C V D 法堆積膜厚 2 0 0 n m 程度之多晶矽膜 3 5 後，藉由以光阻膜為光罩，乾蝕刻記憶體單元陣列之多晶矽膜 3 5，在接觸孔 1 9 之上方之多晶矽膜 3 5 形成溝 3 6。

接著，如圖 2 1 所示般地，在上述溝 3 6 之側壁形成側壁間隔 3 7 後，藉由以此側壁間隔 3 7 以及多晶矽膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(20)

3 5 為光罩，乾蝕刻矽氧化膜 3 4 以及其之下層之矽氧化膜 2 1，在接觸孔 1 9 之上部形成通孔 3 8。溝 3 6 之側壁之側壁間隔 3 7 係藉由：在包含溝 3 6 之內部之多晶矽膜 3 5 之上部以 C V D 法堆積多晶矽膜後，以非等向性蝕刻此多晶矽膜，在溝 3 6 之側壁殘留而形成。

藉由在側壁形成側壁間隔 3 7 之上述溝 3 6 之底部形成通孔 3 8，通孔 3 8 之直徑比其下部之接觸孔 1 9 之直徑還小。藉由此，即使縮小記憶體單元尺寸，位元線 B L 與通孔 3 8 之配合裕度被確保之故，可以確實防止在下一工程中，被埋入通孔 3 8 之內部之插塞 3 9 與位元線 B L 之短路。

接著，以乾蝕刻去除上述多晶矽膜 3 5 與側壁間隔 3 7 後，如圖 2 2 所示般地，在通孔 3 8 之內部形成插塞 3 9。插塞 3 9 係藉由：在包含通孔 3 8 之內部之矽氧化膜 3 4 之上部以 C V D 法堆積摻雜 n 型不純物（磷）之低電阻多晶矽膜後，回蝕刻此多晶矽膜，只在通孔 3 8 之內部殘留而形成。

接著，如圖 2 3 所示般地，在矽氧化膜 3 4 之上部以 C V D 法堆積膜厚 1 0 0 n m 程度之氮化矽膜 4 0 後，接著，在氮化矽膜 4 0 之上部以 C V D 法堆積矽氧化膜 4 1 後，如圖 2 4 所示般地，以光阻膜（未圖示出）為光罩，乾蝕刻記憶體陣列之矽氧化膜 4 1，接著，藉由乾蝕刻此矽氧化膜 4 1 之下層之氮化矽膜 4 0，在通孔 3 8 之上部形成溝 4 2。資訊儲存用電容元件之下部電極係被沿著此

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(21)

溝 4 2 之內壁而形成之故，爲了增加下部電極之表面積以增加儲存電荷量，有必要以厚的膜厚（例如 $1.3 \mu\text{m}$ 程度）堆積形成溝 4 2 之矽氧化膜 4 1。

接著，如圖 2 5 所示般地，在包含溝 4 2 之內部之矽氧化膜 4 1 之上部以 C V D 法堆積摻雜 n 型不純物（磷）之膜厚 50 nm 程度之非晶質矽膜 4 3 a。設此非晶質矽膜 4 3 a 以 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下之濃度，最好爲在 $2.0 \times 10^{20} \text{ atoms/cm}^3$ 以下之濃度包含磷。如此，以比較低濃度包含磷（不純物）之故，之後敘述之 H S G 之結晶成長可以良好進行。即，在高濃度包含不純物（例如磷）之非晶質矽膜中，由於不純物高濃度存在之故，H S G 之成長無法充分進行。不純物之存在過度促進由非晶質矽來之結晶化，在相當大之 H S G 結晶成長之前，矽膜之結晶化終了之故。但是，在本實施形態中，不純物濃度被抑制之故，在之後說明之 H S G 形成工程中，可以獲得充分大小之結晶粒。又，依據本發明者們之檢討，不純物濃度如在 $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下，最好爲在 $2.0 \times 10^{20} \text{ atoms/cm}^3$ 以下，可以成長充分大小之結晶粒。

又，如此在非晶質矽膜 4 3 a 內沒有多量包含不純物（磷）之故，雖然充分之 H S G（粒狀結晶）可以成長，另一方面，使此不純物之多數活性化之充分之熱處理由於前述金屬矽化物膜 2 6 之存在，或 p 型閘極電極 9 p 之存在，無法施行。但是，如之後敘述般地，在本實施形態中

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (22)

，進行藉由氣相法之不純物摻雜之故，可以迴避缺乏化之問題。

之後，藉由乾蝕刻矽氧化膜 4 1 之上部之非晶質矽膜 4 3 a，沿著溝 4 2 之內壁殘留非晶質矽膜 4 3 a。又，在溝 4 2 內填充成形 S O G 等，藉由 C M P 法研磨以及去除此 S O G 膜與矽氧化膜 4 1 之上部之非晶質矽膜 4 3 a，也可以在溝 4 2 之內壁殘留非晶質矽膜 4 3 a。

接著，如圖 2 6 所示般地，在減壓氣氛中對非晶質矽膜 4 3 a 之表面供給甲矽烷 (SiH_4)，接著，熱處理基板 1，使非晶質矽膜 4 3 a 多結晶化，同時，在其表面使矽粒成長。藉由此，表面被粗糙化之多晶矽膜 4 3 被沿著溝 4 2 之內壁形成。再者，藉由在包含磷以及氫氣之氣體中熱處理基板 1，在多晶矽膜 4 3 摻雜磷 (P)。此多晶矽膜 4 3 被當成資訊儲存用電容元件之下部電極使用。

利用圖 2 7 ~ 圖 3 5 詳細說明此多晶矽膜 4 3 之形成工程。圖 2 7 ~ 圖 3 5 (除了圖 3 1) 係放大顯示圖 2 6 之 A 部之剖面圖。

如圖 2 5 之工程說明般地，在矽氧化膜 4 1 上堆積非晶質矽膜 4 3 a (圖 2 7)。藉由以氟酸系之洗淨液溼洗淨非晶質矽膜 4 3 a 之表面，可以高度確保非晶質矽膜 4 3 a 之表面之清淨度。藉由獲得清淨之膜表面，可以控制性良好地形成粒狀矽 (H S G 結晶)。

接著，在具有清淨表面之非晶質矽膜 4 3 a 之表面供給包含甲矽烷 (SiH_4) 之氣體，接著，熱處理基板 1。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(23)

藉由此，形成粒狀矽43b(圖28)。藉由甲矽烷之供給，在非晶質矽膜43a之表面形成結晶核。結晶核之密度控制係藉由先於甲矽烷之供給之預熱時間以及溫度而進行。又，基板1之熱處理以指定之溫度以及時間管理，可以控制粒狀矽43b之大小(高度)。又，在本實施形態中，被包含於非晶質矽膜43a之不純物(磷)之濃度低之故，具有衝分之控制性，可以形成充分大小之粒狀多晶矽43b。

又，在此階段，粒狀矽43b之部份雖成為被結晶化之多結晶狀態，但是，其以外之部份之矽膜43a還是為非晶質狀態。又，在包含粒狀矽43b之矽膜43a之表面形成藉由殘留氧氣或水分等之氧化膜43c。或者，也有在此粒狀矽43b之形成工程後，在移往下一工程之際，被開放為大氣氣氛，產生藉由大氣中之氧氣、水分之自然氧化，以形成氧化膜43c之情形。

接著，如圖29所示般地，例如藉由利用氟之溼蝕刻以去除氧化膜43c，如圖30所示般地，使矽膜43a完全結晶化。藉由此，形成由粒狀矽43b以及多晶矽膜43d形成之矽膜。又，在矽膜43a沒有包含很多之不純物之故，多結晶狀態之矽膜43d之表面被形成為比較粗。

接著，將基板1導入可以熱處理之反應室，對基板1(晶圓)充分加熱(例如700℃以上)後，導入包含膦(PH₃)之氣體、例如膦與氫氣(H₂)之混合氣體。又

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

，也可以不是混合氣體，而只是磷。

混合氣體之導入時機係如圖 3 1 所示。即，在基板 1 之對反應室之導入之際，晶圓溫度雖為室溫（約 25℃），由 $t = t_0$ 之時間點（晶圓溫度 = 25℃）開始加熱，基板 1 之溫度上升。在加熱時間到達 t_1 為止之間，一邊維持 20 Pa 程度之減壓，一邊以氮氣清除，將反應室內之氣氛轉換為非氧化性氣氛。其間溫度繼續上升，在 $t = t_1$ 時，晶圓（基板 1）之溫度幾乎安定化。 $t_1 - t_0$ 例如為 175 秒。又，也可以藉由此基板 1 之溫度上升，進行前述圖 3 0 說明之矽膜 4 3 a 之結晶化。

而且，在 $t = t_1$ 之到達時間點，導入磷。此時，清除氣體之氮氣之供給停止。磷氣體繼續供給到 $t = t_2$ 為止，在到達 $t = t_2$ 時，停止磷之供給之同時，進行後清除以及抽真空。後清除例如藉由氮氣氣體之供給而進行。又，供給磷氣體之時間（ $t_2 - t_1$ ）例如約 245 秒，供給磷氣體之間之壓力例如為 4000 Pa。

如此，藉由在 700℃～750℃ 之高溫狀態，將包含粒狀矽 4 3 b 之矽膜 4 3 d 暴露於磷氣氛中，如圖 3 2 所示般地，磷被摻雜於粒狀矽 4 3 b 以及矽膜 4 3 d，形成摻雜高濃度磷之不純物區域 4 3 e。如此，藉由形成摻雜高濃度磷之不純物區域 4 3 e，不會在粒狀矽 4 3 b 以及矽膜 4 3 d 形成缺乏層，可以防止電容器下部電極之缺乏化。又，在本實施形態中，在粒狀矽 4 3 b 以及矽膜 4 3 d 之結晶化前之階段之非晶質矽膜 4 3 a 不包含高濃

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (25)

度之不純物（磷）之故，假如不進行在如前述之磷的氣相中之摻雜的情形，無法避免下部電極之缺乏化。但是，在本實施形態中，進行氣相狀態之磷摻雜之故，如前述般地，不會產生此種缺乏化之問題。

又，在本實施形態中，磷在氣相狀態被摻雜之故，磷被均勻地摻雜於被微細加工之粒狀矽 4 3 b 以及矽膜 4 3 d。即，氣體（氣相狀態）之磷氣體即使為沿著被微細加工之溝 4 2 之內壁而形成之粒狀矽 4 3 b 以及矽膜 4 3 d，在溝 4 2 之底部或側壁部均勻擴散，磷不依場所而有不同地被供給。例如，即使嘗試利用離子植入法摻雜磷，在溝 4 2 之側壁離子銳角地被射入，假如即使使基板 1 傾斜，於溝側壁欲植入充分之離子，位於反對側之側壁成為死角，離子無法植入。但是，本實施形態之情形，磷氣體之供給（輸送）並無方向性，又，氣體之故，即使是微細之溝 4 2 之底部也被充分擴散、輸送。再者，在本實施形態中，形成粒狀矽 4 3 b。嘗試在此種被粗糙化之被膜進行離子植入，產生由於粒狀矽 4 3 b 之死角，在該死角部無法摻雜磷。

在欲藉由固相擴散法摻雜磷之情形，雖然等向性地擴散不純物為可能，但是，需要去除不純物擴散後成為擴散源之固相。在對粗糙化之矽膜之不純物導入之情形，不傷及藉由粗糙化表面積變大之矽膜，要只是完全去除成為擴散源之固相非常困難。又，與磷氣體中之磷相比，固相中之磷一般化學活性度低，又，在固相中擴散係數也小之故

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (26)

，爲了在矽膜中導入充分濃度之不純物，必須由於熱處理之大的負荷。由這些點，在藉由固相擴散法之不純物之導入上，伴隨困難性。

即，藉由本實施形態之氣相狀態之不純物（磷）之摻雜係被沿著被微細加工之溝 4 2 內形成，而且，在其之表面被粗糙化之矽膜（4 3 b、4 3 d）均勻摻雜不純物之際，可稱爲特別優異之手法。

又，在伴隨前述磷摻雜之熱處理中，前述之金屬矽化物膜 2 6 之耐熱性並不成爲問題。換言之，如使用本實施形態之摻雜法，不需要以耐熱性成爲問題程度之溫度處理，可以導入充分密度之磷。即，缺乏化之原因係由於如前述之被活性化之不純物之欠缺所致。即使不純物之摻雜量少，如多量之不純物被活性化，可以阻止缺乏化，但是在活性化多量之不純物上，需要高溫長時間之活性化處理（例如，850℃、20分鐘以上之熱處理）。使用金屬矽化物膜 2 6 之本實施形態，並不採用此該手法。另一方面，即使不純物被多量導入，如不被活性化，並不成爲載氣之供給源，但是，如多量之不純物被摻雜，可以阻止缺乏化。本實施形態係採用此後者之手法以阻止缺乏化者。即，依據前述摻雜法，可以以金屬矽化物膜 2 6 之耐熱性並不成爲問題程度之比較低溫度（例如750℃）摻雜高濃度之不純物（磷）之故，於採用金屬矽化物膜 2 6 之高性能而且高集成化之半導體裝置中，可以於成爲下部電極之矽膜（4 3 b、4 3 d）摻雜阻止電容器之缺乏化所需要之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (27)

充分的不純物。又，對於耐熱性成為問題之 p 型閘極電極 9 p 也是相同。

如此，形成由不純物（磷）被高濃度氣相摻雜之粒狀矽 4 3 b 以及矽膜 4 3 d。

接著，如圖 3 3 所示般地，在多晶矽膜 4 3 上形成矽氮化膜 4 4 a。矽氮化膜 4 4 a 成為電容器絕緣膜 4 4 之一部份。矽氮化膜 4 4 a 可以藉由多晶矽膜 4 3 之表面之氮化處理或 C V D 法形成。氮化處理之情形，藉由氨（ NH_3 ）以及氮氣（ N_2 ）之氣氛中、 750°C 、3 分鐘之熱處理形成。在此情形，矽氮化膜 4 4 a 之膜厚約為 1.5 nm 。

又，矽氮化膜 4 4 a 係動作為之後說明之氧化鉭膜之氧化性氣氛之結晶化以及改質處理之際之氧化防止膜之機能。在期待作為此種氧化防止膜之機能之情形，矽氮化膜 4 4 a 最好藉由氮化處理形成。即，在藉由氮化處理形成矽氮化膜 4 4 a 之情形，均勻地被形成在多晶矽膜 4 3 之表面。如前述般地，多晶矽膜 4 3 之表面被形成為比較粗糙之故，在藉由 C V D 法之矽氮化膜之情形，由於表面之凹凸（特別是矽膜 4 3 d 之部份之凹凸），膜厚產生偏差，有成為貫通電容器絕緣膜之漏電流之增加原因之可能性。但是，在藉由氮化處理之情形，矽氮化膜 4 4 a 之膜厚不因多晶矽膜 4 3（粒狀矽 4 3 b 以及矽膜 4 3 d）之表面形狀，均勻被形成之故，在漏電流之抑制有效果。

矽氮化膜 4 4 a 係在對多晶矽膜 4 3 之磷摻雜後，不

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (28)

破壞減壓狀態地，即不進行開放大氣下被形成。如此，藉由在非開放大氣之狀態下，於多晶矽膜 4 3 上形成矽氮化膜 4 4 a，不會在多晶矽膜 4 3 與矽氮化膜 4 4 a 之間形成介電常數低之矽氧化膜。假如在矽氧化膜被形成之情形，矽氧化膜之介電常數低之故，此矽氧化膜成為電容器絕緣膜 4 4 之一部份而動作之故，使得電容器絕緣膜之實效膜厚變厚，無法確保充分之電容器之電容值，有無法做 D R A M 之動作之可能性。

又，假如對多晶矽膜 4 3 之磷摻雜後，破壞減壓狀態，即開放於大氣狀態之情形，在多晶矽膜 4 3 之表面形成自然氧化膜（矽氧化膜）。此種自然氧化膜使電容器絕緣膜之實效膜厚變厚之故，有需要使用氟酸等進行蝕刻，如進行此種蝕刻，摻雜於多晶矽膜 4 3 之不純物也同時被蝕刻去除。即，被摻雜之區域之矽部份也被蝕刻，不純物摻雜之效果被減少。但是，在本實施形態中，在非開放大氣之狀態形成矽氮化膜 4 4 a 之故，不會產生上述之不良情形。

接著，如圖 3 4 所示般地，對基板 1 施以熱處理，進行藉由前述氣相法被摻雜之不純物之擴散。此熱處理係在例如 8 0 0 ℃、4 分鐘之條件進行，在金屬矽化物膜 2 6、p 型閘極電極 9 p 之耐熱性不成為問題之條件進行。此熱處理又也具有多量被摻雜之不純物（磷）之活性化之機能。即，在活性化幾乎全部之不純物，雖然需要如前述之長時間高溫之熱處理，但是，在本實施形態中，藉由氣相

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (29)

法多量之不純物已經被導入之故，即使為 800°C 、4分鐘程度之熱處理，也可以進行提供充分數目之施體之程度之活性化。又，此熱處理在之後存在以相同程度之條件之熱處理工程之情形，並無特別需要。又，在對多晶矽膜

43之磷摻雜後矽氮化膜44a之形成為止之間，以被維持為非開放大氣之狀態為前提，在矽氮化膜44a之形成前進行此熱處理亦可。

接著，如圖35所示般地，在基板1之全面堆積氧化鉬膜，藉由將此氧化鉬膜在氧化性氣氛（例如，氧氣氣氛）熱處理，形成多結晶氧化鉬膜44b。以前述矽氮化膜44a與多結晶氧化鉬膜44b構成電容器絕緣膜44。多結晶氧化鉬膜44b之膜厚例如為 12 nm 。多結晶氧化鉬膜44b即使比介電常數約大到40，具有 12 nm 程度之膜厚，換算為矽氧化膜之實效膜厚為數 nm 以下，可以同時兼顧充分大之電容器之電容值，以及藉由大膜厚之穿隧電流（漏電流）之防止。

前述氧化鉬膜係藉由以戊乙氧基鉬（

$\text{Ta}(\text{OC}_2\text{H}_5)_5$ 與氧氣（ O_2 ）為源頭氣體之CVD法而形成。膜厚例如為 12 nm 。形成溫度由於係使用有機氣體之故，以 450°C 之低溫被形成。以低溫形成被膜之故，氧化鉬膜在非穩態狀態為非晶質。非晶質氧化鉬膜比介電常數約20，與結晶比較為比較小。又，在非穩態狀態中，氧氣缺陷多數存在之故，漏電流大，在維持那種狀態下，適用於電容器絕緣膜有困難。因此，施以氧化性氣

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (30)

氛（例如氧氣氣氛）之熱處理。藉由熱處理，非晶質之氧化鋁膜多結晶氧化，又，藉由氧化性氣氛之處理，氧氣缺陷被回復，可以構成高介電常數而且漏電流小之電容器絕緣膜。氧化性氣氛之熱處理例如在 800℃、3 分鐘之條件進行。於此種熱處理條件中，前述金屬矽化物膜 26、p 型閘極電極 9p 之耐熱性不會成為問題。

又，矽氮化膜 44a 動作爲此氧化性氣氛之熱處理之際之氧氣擴散防止膜之機能。因此，矽氮化膜 44a 被轉換爲矽氧氮化膜 44c。假如於矽氮化膜 44a 不存在之情形，變成在多結晶氧化鋁膜 44b 與底層基板之多晶矽膜 43 之間形成介電常數低之矽氧化膜，此種矽氧化膜例如即使膜厚很薄，但是由於介電常數小，使得電容器絕緣膜 44 之實效膜厚變大，並不理想。但是，矽氮化膜 44a 被形成之故，此種矽氧化膜未被形成，可以使電容器絕緣膜 44 之實效膜厚維持爲比較薄。

如此，形成由矽氧氮化膜 44c 以及多結晶氧化鋁膜 44b 構成之電容器絕緣膜 44（圖 36）。

接著，如圖 37 所示般地，在電容器絕緣膜 44 上形成上部電極 45。上部電極 45 係藉由例如在電容器絕緣膜 44 上堆積氮化鈦膜，圖案化此氮化鈦膜而形成。氮化鈦膜例如係藉由以四氯化鈦（ $TiCl_4$ ）與氨（ NH_3 ）爲源頭氣體之 CVD 法形成。如此藉由利用 CVD 法，可以良好埋入被微細形成之溝 42 內而形成。又，利用如前述之源頭氣體形成氮化鈦膜之故，抑制與多結晶氧化鋁膜

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (31)

之反應，可以良好維持電容器特性。

如此，形成由上部電極 4 5、由電容器絕緣膜 4 4 以及多晶矽膜 4 3 形成之下部電極所構成之資訊儲存用電容元件 C。藉由至目前為止之工程，完成由記憶體單元選擇欲 M I S F E T Q s 以及被與此串聯接續之資訊儲存用電容元件 C 所形成之 D R A M 之記憶體單元。

又，代替構成電容器絕緣膜 4 4 之多結晶氧化鉬膜 4 4 b，也可以藉由以：P Z T、P L T、P L Z T、P b T i O₃、S r T i O₃、B a T i O₃、B S T、S B T 或 T a₂ O₅ 等，具有鈣鈦礦型或複合鈣鈦礦型之結晶構造之高電介質或強電介質為主成分之膜構成。

接著，在資訊儲存用電容元件 C 之上部以以下之方法形成 2 層之 A 1 配線（圖 3 8）。

首先，在資訊儲存用電容元件 C 之上部以 C V D 法堆積膜厚 1 0 0 n m 程度之矽氧化膜 5 0。此時，在周邊電路區域殘留厚的膜厚之矽氧化膜 4 1 之故，由基板 1 之表面至矽氧化膜 5 0 之表面為止之高度（標高）在記憶體單元陣列與周邊電路區域幾乎相同。

接著，藉由以光阻膜（未圖示出）為光罩，乾蝕刻周邊電路區域之第 1 層配線 3 0、3 3 之上部之矽氧化膜 5 0、4 1、氮化矽膜 4 0 以及矽氧化膜 3 4，形成通孔 5 1、5 2 後，在通孔 5 1、5 2 之內部形成插塞 5 3。插塞 5 0 係藉由：例如在矽氧化膜 5 0 之上部以濺鍍法堆積膜厚 1 0 0 n m 程度之 T i N 膜，進而在其上部以

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (32)

C V D 法堆積膜厚 5 0 n m 程度之 W 膜後，回蝕刻這些膜，殘留在通孔 5 1、5 2 之內部而形成。

接著，在矽氧化膜 5 0 之上部形成第 2 層之配線 5 4 ~ 5 6。配線 5 4 ~ 5 6 係藉由：例如在矽氧化膜 5 0 之上部以濺鍍法堆積膜厚 5 0 n m 程度之 T i N 膜、膜厚 5 0 0 n m 程度之 A l (鋁) 合金膜以及膜厚 5 0 n m 程度之 T i 膜後，以光阻膜 (未圖示出) 為光罩，乾蝕刻這些膜而形成。此時，配線 5 4 ~ 5 6 之下層之矽氧化膜 5 0 之標高在記憶體單元陣列與周邊電路區域幾乎相同之故，可以高尺寸精度地圖案化配線 5 4 ~ 5 6。

此後，在第 2 層之配線 5 4 ~ 5 6 之上部形成矽氧化膜，與第 2 層之配線 5 4 ~ 5 6 同樣地，在前述矽氧化膜形成通孔，在通孔內形成插塞，可以形成被接續於此插塞之第 3 配線。之後，也可以藉由同樣之方法，更形成配線層。又，雖然堆積以矽氧化膜以及氮化矽膜構成之鈍化膜，其之圖示省略。藉由以上之工程，略完成本實施形態之 D R A M。

依據本實施形態之 D R A M，在多晶矽膜 4 3 利用氣相法摻雜不純物 (磷) 之故，可以以比較低溫進行高濃度之不純物摻雜。因此，即使於利用金屬矽化物膜 2 6、p 型閘極電極 9 p 等之微細化高集成化之 D R A M，可以不對耐熱性造成不好影響地防止電容器之缺乏化。

圖 3 9 係說明本實施形態之 D R A M 之效果用之曲線， (a) 係顯示利用 S I M S (Secondary Ion Mass

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (33)

Spectroscopy : 第 2 離子質量頻譜儀) 分析 (2 次離子質量分析) 量測氣相摻雜後之磷的深度方向之濃度之結果 , (b) 係顯示量測電容器之缺乏化率之結果。

於圖 3 9 (a) 中 , A 係顯示本實施形態之多晶矽膜 4 3 之磷濃度之深度方向分布。表面濃度為 4×10^{20} a t o m s / c m ³ 程度 , 了解到被摻雜了充分量之磷。另一方面 , B 係顯示 : 進行摻雜後 , 一旦暴露於大氣 , 進行去除包含被形成在表面之自然氧化膜之污染物質之清淨化處理 (例如 , 藉由氟化氫之蝕刻) 後之磷濃度之深度方向分布。表面濃度降低至 5×10^{19} a t m o s / c m ³ 之程度 (約 1 位) 。再者 , C 係顯示將具有 B 之濃度分布之試料施以 8 0 0 ° C 、 6 分鐘之熱處理後之磷濃度之深度方向分布。表面濃度更降低 , 了解到磷擴散至更深區域。如 B 所示般地 , 氣相摻雜後開放大氣 , 中間存在表面之清淨化工程此會減少氣相摻雜之效果 , 並不理想。又 , 之後施以熱處理會促進磷之往深的區域擴散 , 缺乏層被形成在鄰接多晶矽膜 4 3 之電容器絕緣膜 4 4 之區域 (多晶矽膜 4 3 之表面區域) , 產生此區域之不純物濃度降低 , 並不理想。但是 , 進行了藉由熱處理之磷的活性化之故 , 活性化率上升能夠補償濃度降低時 , 則令當別論。

於圖 3 9 (b) 中 , E 係顯示本實施形態之電容器之缺乏化率 , D 係比較用所示資料 , 顯示不進行本實施形態之氣相摻雜之情形的缺乏化率。如前述般地 , 缺乏化率係以 + 1 V 之偏壓電壓時之電容值 C ⁺ 為基準 , - 1 V 之偏壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

電壓時之電容值 C^- 之減少部份而定義 (缺乏化率 $R = 1 - C^- / C^+$)。此處偏壓電壓意指使下部電極接地，對上部電極側施加之電壓之故，如使 n 型半導體之下部電極負偏壓，多少會在下部電極形成缺乏區域。因此，可觀側到 0 以上之值之缺乏化率。於圖 3 9 (b) 中，係顯示使偏壓電壓變化時之電容比 (C^- / C^+)，可視為缺乏化率由 1 0 0 % 之減少部份。

如圖示般地，在本實施形態之電容器 (E) 中，缺乏化率在 1 0 % 以下，與比較例之情形之約 3 0 % 相比，了解到被顯著改善。

又，代替多結晶氧化鋁膜 4 4 b，可以使用 8 n m 程度之膜厚的矽氮化膜。在此情形，不需要藉由熱氮化法之矽氮化膜 4 4 a，可以藉由 C V D 法在多晶矽膜 4 3 上堆積形成矽氮化膜。即，可以以矽氮化膜之單層 1 層構成電容器絕緣膜 4 4。在矽氮化膜之堆積方面，例如可以將二氯矽烷 (SiH_2Cl_2) 與氨當成源頭氣體使用。成膜溫度例如可以選擇 7 3 0 °C。在此情形，耐熱性不成為問題亦如前述。

又，如圖 4 0 以及圖 4 1 所示般地，可以使多結晶氧化鋁膜 4 4 b 成為第 1 多結晶氧化鋁膜 4 4 b 1、第 2 多結晶氧化鋁膜 4 4 b 2 之 2 層膜。

首先，如前述般地，藉由熱氮化法在多晶矽膜 4 3 上形成矽氮化膜 4 4 a，再者，堆積最終之多結晶矽膜之目標膜厚之一半以下 (例如 6 n m) 之膜厚的非晶質氧化鋁

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

膜，將此如前述般地，以氧化氣氛進行熱處理（圖 4 0）。此時，矽氮化膜 4 4 a 被轉換為矽氧氮化膜 4 4 c，非晶質氧化鋇膜被結晶化，形成第 1 多結晶氧化鋇膜 4 4 b 1。熱處理之條件例如為 8 0 0℃、3 分鐘。

接著，如圖 4 1 所示般地，在第 1 多結晶氧化鋇膜 4 4 b 1 上更形成成為最終之多結晶氧化鋇膜之目標膜厚（例如 6 n m）之非晶質氧化鋇膜，將此同樣地施以氧化性氣氛之熱處理，形成第 2 多結晶氧化鋇膜 4 4 b 2。熱處理之條件例如為 8 0 0℃、3 分鐘。此後之工程與前述相同。

如此藉由使多結晶氧化鋇膜 4 4 b 成為 2 層構造，可以抑制電容器絕緣膜 4 4 之漏電流。即，多結晶氧化鋇膜 4 4 b 為多結晶構造之故，通過多結晶氧化鋇膜 4 4 b 之漏電流容易通過結晶粒之粒界產生。即，結晶粒界容易作用為漏電流通道。但是，藉由使多結晶氧化鋇膜 4 4 b 成為 2 層構造，使結晶粒界於膜厚方向切斷，可以阻止漏電流通道之形成。藉由此，可以降低電容器絕緣膜 4 4 間之漏電流。

又，第 1 多結晶氧化鋇膜 4 4 b 1 之膜厚與以單 1 層形成之情形比較，膜厚比較薄。因此，可以降低形成第 1 多結晶氧化鋇膜 4 4 b 1 用之熱處理之負荷。再者，被形成在第 1 多結晶氧化鋇膜 4 4 b 1 上之氧化鋇膜雖係以本來非晶質被形成之條件而形成，但是，底層（第 1 多結晶氧化鋇膜 4 4 b 1）已經結晶化之故，產生一種之磊晶成

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(36)

長，以非穩態狀態之程度結晶化而形成。因此，可以降低形成第 2 多結晶氧化鉬膜 4 4 b 2 用之熱處理負荷。

再者，在以 2 層構成多結晶氧化鉬膜 4 4 b 之情形，會有全部之熱處理變多之情形。在此種情形，下部電極之多晶矽膜 4 3 之被導入之不純物之活性化率提升，能謀求缺乏化率之減少。

又，於本實施形態中，雖以 7 5 0 ℃ 之條件進行氣相摻雜，也可以以 8 0 0 ℃ 程度之條件以氣相進行磷摻雜，省略之後之擴散處理（8 0 0 ℃、4 分鐘之熱處理）。

圖 4 2 以及圖 4 3 係顯示本發明之實施形態 2 之 D R A M 之製造工程之一部份剖面圖。又，圖 4 2 以及圖 4 3 係放大顯示相當於實施形態 1 之圖 2 6 之 A 部之部份。

本實施形態之製造方法係與至實施形態 1 之圖 3 2 所示之工程為止相同。之後，於本實施形態中，退火基板 1，擴散被以氣相法導入之磷。藉由此，不純物區域 4 3 e 內之磷擴散，成為粒狀矽 4 3 b 以及矽膜 4 3 d 之全域含有高濃度不純物之狀態。至少在粒狀矽 4 3 b 以及矽膜 4 3 d 之表面附近之不純物之不均勻存在被消除。又，退火條件可以以 8 0 0 ℃、4 分鐘為例。

之後，如圖 4 3 所示般地，與實施形態 1 同樣地形成矽氮化膜 4 4 a。此矽氮化膜 4 4 a 在不破壞減壓狀態被形成。之後之工程與實施形態 1 相同。

依據本實施形態，在矽氮化膜 4 4 a 之形成前，進行

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (37)

擴散磷之退火之故，增加全部之熱負荷，磷之被活性化之機率提升，有助於抑制電容器之缺乏化。

又，如本實施形態般地，藉由熱處理以使磷擴散之情形，於前述磷之擴散熱處理之前後，也可以使基板 1 開放於大氣。在此情形，如圖 4 4 所示般地，在粒狀矽 4 3 b 以及矽膜 4 3 d 之表面形成自然氧化膜 4 3 f。此自然氧化膜 4 3 f 如前述般地，使電容器絕緣膜之實效膜厚顯著變大，並不理想。因此，如圖 4 5 所示般地，有必要藉由利用氟酸等之溼蝕刻去除自然氧化膜 4 3 f。於實施形態 1 中，在此階段被形成之自然氧化膜之去除，也伴隨包含以氣相法被導入之不純物之矽區域之蝕刻之故，減少氣相摻雜之效果，並不理想。但是，在本實施形態中，被氣相摻雜之不純物藉由擴散，在表面並沒有不均勻存在之故，由於此階段之溼蝕刻之效果減少之程度減低。即，依據本實施形態，可以採用在氣相摻雜工程之後，開放大氣，之後進入電容器絕緣膜 4 4 之形成工程之工程。為了不要在粒狀矽 4 3 b 以及矽膜 4 3 d 與電容器絕緣膜 4 4 之間形成矽氧化膜，雖然在兩工程間維持非開放大氣狀態連續地處理較為理想，但是，為了使量產化製程之工程設計具有自由度，即使不採用連續處理，良好之製程之優點大。在本實施形態中，具有可以滿足此種要求之效果。

又，於本實施形態中，不用說在實施形態 1 之最後段說明之 2 層構造之多結晶氧化鉭膜、或矽氮化膜之單層構造也可以適用於電容器絕緣膜。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (38)

圖 4 6 ~ 圖 4 9 係顯示本發明之實施形態 3 之 D R A M 之製造工程之一部份剖面圖。又，圖 4 6 ~ 圖 4 9 係放大顯示相當於實施形態 1 之圖 2 6 之 A 部之部份。

本實施形態之製造方法係與至實施形態 1 之圖 2 9 之工程為止相同。

之後，如圖 4 6 所示般地，施以與實施形態 1 相同之氣相摻雜。但是，如實施形態 1 說明般地，在矽膜 4 3 a 被結晶化厚，不摻雜不純物（磷），在矽膜 4 3 a 未被結晶化之非晶質狀態之階段施行氣相摻雜。藉由此，形成不純物區域 4 3 g。具體而言，如圖 5 0 所示般地，在晶圓溫度未充分上升之時間點 t_1' 開始磷之導入， $t_1' - t_0$ 例如為 2 5 秒。在此 t_1' 之時間點，矽膜 4 3 a 未被結晶化，為非晶質狀態。 t_1' 厚，繼續導入磷，同時基板 1 之溫度上升，溫度在 750°C 飽和。之後，在 t_2 之時間點（ $t_2 - t_1 = 390$ 秒）停止磷之導入，開始清除（purge）。其它之磷摻雜條件與實施形態 1 相同。

藉由採用此種磷摻雜條件，如圖 4 7 所示般地，矽膜 4 3 a 結晶化之部份之矽膜 4 3 h 之表面被平坦化。此係：在矽膜 4 3 a 之部份被結晶化之階段，已經形成包含高濃度磷之不純物區域 4 3 g 之故，矽膜 4 3 a 之結晶化被促進，在其之表面之凹凸小之狀態被結晶化之故。又，在圖 4 7 中，係顯示：不純物區域 4 3 g 被擴散，粒狀矽 4 3 b 以及矽膜 4 3 h 之幾乎全體被高濃度化之狀態。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (39)

之後，與實施形態 1 相同地，形成矽氮化膜 4 4 a (圖 4 8)，再者形成多結晶氧化鉬膜 4 4 b (圖 4 9)。又，矽氮化膜 4 4 a 被轉換為矽氧氮化膜 4 4 c。

如此，在非晶質狀態之階段，藉由於矽膜 4 3 a 導入不純物，可以在矽膜 4 3 a 摻雜更多之不純物。即，依據本發明者們之檢討，藉由氣相摻雜之不純物之導入，比起多結晶狀態，在非晶質狀態之方面被導入更多。因此，粒狀矽 4 3 b 之部份雖然被摻雜與實施形態 1 同等量之不純物，但是在矽膜 4 3 a 之部份被摻雜比實施形態 1 還多之不純物。藉由此，與實施形態 1 比較，於同一熱處理條件中，可以導入更多之不純物，能降低電容器之缺乏化率。

又，矽膜 4 3 a 被結晶化之多晶矽膜 4 3 h 之表面與實施形態 1 比較，凹凸少，因此，可以緩和矽氧氮化膜 4 4 c、多結晶氧化鉬膜 4 4 b 之電場集中。因此，可以減少電容器絕緣膜 4 4 間之漏電流。

圖 5 1 ~ 圖 5 3 係顯示使氣相摻雜磷之際之條件 (預熱時間 (圖 5 1)、處理溫度 (圖 5 2)、處理壓力 (圖 5 3)) 變化之情形之漏電流之曲線，顯示正偏壓 (左側刻度) 與負偏壓 (右側刻度) 之情形。由圖 5 1 ~ 圖 5 3 可以明白地，變化處理溫度、處理壓力，漏電流也看不到大的差別，如改變預熱時間，在負偏壓之情形的漏電流可以見到顯著之差。預熱時間 2 5 秒之情形與本實施形態相當，預熱時間 1 7 5 秒之情形與實施形態 1 之情形相當。即，在本實施形態之情形，具有使漏電流特別是在負偏壓

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (40)

之情形的漏電流大為減少之效果。

又，於本實施形態中，不用說在實施形態 1 之最後段說明之 2 層構造之多結晶氧化鋁膜、或矽氮化膜之單層構造也可以適用於電容器絕緣膜。

圖 5 4 以及圖 5 5 係顯示本發明之實施形態 4 之 D R A M 之製造工程之一部份剖面圖。又，圖 5 4 以及圖 5 5 係放大顯示相當於實施形態 1 之圖 2 6 之 A 部之部份，底層之矽氧化膜 4 1 省略。

本實施形態之多晶矽膜 4 3 (下部電極) 係以 2 層之矽膜構成。

即，實施形態 1 之圖 2 4 之工程之後，如圖 5 4 所示般地，堆積第 1 非晶質矽膜 4 3 i 。非晶質矽膜 4 3 i 係以 C V D 法被堆積，其之膜厚設為 3 0 n m 。又，在非晶質矽膜 4 3 i 導入 $4.0 \times 10^{20} \text{ atoms} / \text{cm}^3$ 程度之濃度之磷 (P) 。磷之導入可以以 C V D 法在堆積非晶質矽膜 4 3 i 之際，當成不純物氣體例如將磷 (P H ₃) 混入原料氣體而導入。第 1 非晶質矽膜 4 3 i 如之後說明般地，雖然被結晶化成為多晶矽膜，而成為下部電極之一部份，但是對粒狀矽結晶之成長並無貢獻，以膜狀態被結晶化。因此，下部電極之導電性被確保。又，由於 $4.0 \times 10^{20} \text{ atoms} / \text{cm}^3$ 程度之比較高濃度之不純物被導入之故，此點也確保下部電極之導電性。

接著，在 C V D 裝置之反應室內保持基板 1 之狀態，使反應室洩漏，在反應室內導入大氣。之後，如圖 5 4 所

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (41)

示般地，堆積第 2 層之非晶質矽膜 4 3 j。非晶質矽膜 4 3 j 係藉由 C V D 法被堆積，膜厚設為 2 0 n m。又，在非晶質矽膜 4 3 j 與前述同樣地導入 2.5×10^{20} a t o m s / c m³ 程度之濃度之磷 (P)。

非晶質矽膜 4 3 j 如之後說明般地，係成長於粒狀矽結晶之原料層，粒狀結晶構成下部電極之表面部份。因此，不純物之濃度使其低至 2.5×10^{20} a t o m s / c m³ 程度，調整為粒狀結晶容易成長。又，藉由非晶質矽膜 4 3 j 之膜厚可以調整粒狀結晶之高度，即下部電極之膜厚。例如，在使粒狀結晶之高度變高之情形，使非晶質矽膜 4 3 j 之膜厚變厚，使其高度變低之情形，使膜厚變薄。如此，以非晶質矽膜 4 3 j 之膜厚可以容易調整粒狀結晶之高度。

又，被導入非晶質矽膜 4 3 i、4 3 j 之不純物之濃度並不限定於前述。非晶質矽膜 4 3 i 之不純物濃度雖然由確保下部電極之導電性之觀點，愈多愈好，但是，如果太多，無法摻雜，會有成為結晶化之妨礙之情形。因此，非晶質矽膜 4 3 i 之不純物濃度可以設在 1×10^{20} a t o m s / c m³ 以上至 1×10^{22} a t o m s / c m³ 以下。非晶質矽膜 4 3 j 之不純物濃度如考慮粒狀結晶之成長性，期望低者較好。因此，非晶質矽膜 4 3 j 之不純物濃度可以在 2.5×10^{20} a t o m s / c m³ 以下，更好為 2.0×10^{20} a t o m s / c m³ 以下。

又，非晶質矽膜 4 3 i、4 3 j 之膜厚並不限定於前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

述。非晶質矽膜 4 3 i 由確保下部電極之導電性之觀點，雖然期望比較厚者，但是如果太厚，無法對應微細加工。因此，非晶質矽膜 4 3 i 之膜厚可以設在 2 0 n m 以上 1 0 0 n m 以下。非晶質矽膜 4 3 j 之膜厚如前述般地，成為粒狀結晶之原料層。因此，膜厚如太厚，成長大之（高度之高的）粒狀結晶，微細加工上並不理想。但是，如果太薄，有本發明者們之檢討，知道粒狀結晶無法成長。因此，非晶質矽膜 4 3 j 之膜厚可以設在 2 0 n m 以上。

如前述般地，在第 2 層之非晶質矽膜 4 3 j 之堆積前，使第 1 非晶質矽膜 4 3 i 一度暴露於大氣氣氛之故，如圖 5 4 所示般地，在非晶質矽膜 4 3 i 與非晶質矽膜 4 3 j 之間產生自然氧化膜 4 3 k。自然氧化膜 4 3 k 其之膜厚在 2 n m 以下。又，在圖 2 2 中為了方便，雖然將自然氧化膜 4 3 k 顯示為連續之膜，但是也並不一定為膜，也可以為島狀之矽氧化物。自然氧化膜 4 3 k 具有：在之後說明之第 2 層之非晶質矽膜 4 3 j 之結晶化之際，將成為粒狀結晶之原料之矽原子之供給限制為只由非晶質矽膜 4 3 j 來，不使由第 1 之非晶質矽膜 4 3 i 供給對粒狀矽結晶之成長有貢獻之矽原子，阻礙矽原子之移動之阻礙物之機能。

又，此處雖然以藉由使第 1 非晶質矽膜 4 3 i 之表面開放於大氣，暴露於大氣氣氛，以形成自然氧化膜 4 3 k 之情形為例顯示，但是，也可以積極地以薄膜或附著物之形式形成如前述之阻礙矽原子之移動之阻礙物。例如，也

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (43)

可以進行極短時間之矽氧化膜之堆積、或例如氧化劑之臭氧、氧化氮氣等之暴露、或氧化氣氛之電漿處理、紫外線照射處理等。

接著，與實施形態 1 之圖 2 5 之工程相同地，沿著溝 4 2 之內壁殘留非晶質矽膜 4 3 i、4 3 j。

接著，如圖 5 5 所示般地，使非晶質矽膜 4 3 j 結晶化，使粒狀矽 4 3 b 成長。粒狀矽 4 3 b 之成長分成如下之 2 階段。首先，賦予矽核之階段，接著，促進矽粒成長之熱處理階段。連續處理此 2 階段。

賦予矽核之條件為例如在壓力 1×10^{-3} Torr 之甲矽烷 (SiH_4) 氣體氣氛中，以處理溫度 740°C 、處理時間 60 秒之條件保持基板 1。藉由此，在非晶質矽膜 4 3 j 之表面形成矽核。接著，熱處理之條件例如為：處理壓力 1×10^{-8} Torr、處理溫度 740°C 、處理時間 150 秒。在此條件下，矽成長為粒狀。

此處，如前述般地，粒狀矽 4 3 b 由非晶質矽膜 4 3 j 成長，沒有由非晶質矽膜 4 3 i 來之矽的供給。此係藉由係移動阻礙物之自然氧化膜 4 3 k 之機能，不產生由非晶質矽膜 4 3 i 來之矽的移動。此結果為：藉由上述熱處理，即使由非晶質矽膜 4 3 j 被供給矽，產生在表面之矽核汲取由非晶質矽膜 4 3 j 來之矽而成長，在至非晶質矽膜 4 3 j 不見為止，矽被供給殆盡，粒狀矽 4 3 b 之成長至此停止。此被認為係可以藉由非晶質矽膜 4 3 j 之膜厚控制粒狀矽 4 3 b 之高度（凹凸之高度）之機構。因

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (44)

此，習知上雖然藉由熱處理時間以控制成長粒之大小（高度），於此時間之原因成為幾乎沒有關係，可以與熱處理時間無關地調整粒狀矽 4 3 b 之高度（大小）。所謂之自行終了型之反應，控制性極為好，製程窗口變廣，在工程之安定化、活性之提升上極為有利。

接著，施以 8 0 0 °C、3 分鐘程度之熱處理，結晶化第 1 非晶質矽膜 4 3 i，當成多晶矽膜 4 3 m。如此，形成由多晶矽膜 4 3 m、粒狀矽 4 3 b 形成之下不電極。又，於上述之賦予核中，各熱處理之條件不過是所舉之例而已，並不限定於此。例如溫度、處理時間之條件等，可以任意選擇其它之條件，又，也可以代替甲矽烷而使用乙矽烷（ Si_2H_6 ）。

如圖 5 5 所示般地，係顯示粒狀矽 4 3 b 幾乎接受全部之非晶質矽膜 4 3 j 來之矽之供給，成長完了之狀態。因此，在粒狀矽 4 3 b 彼此間並不以膜之形式相連，而成為附著在多晶矽膜 4 3 m 之表面之樣子。另一方面，多晶矽膜 4 3 m 在粒界中，結晶彼此接觸，能謀求充分之電氣導通。又，不由非晶質矽膜 4 3 i 供給矽之故，沒有其之膜厚之減少，維持非晶質矽膜 4 3 i 被形成之狀態被結晶化。

此後之工程與實施形態 1 相同。

依據本實施形態之 D R A M，以 2 層構造之矽膜（4 3 i、4 3 j）構成下部電極之故，粒狀矽 4 3 b 之形成之控制性優異。又，多晶矽膜 4 3 m 可以確實以膜之形

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (45)

式形成之故，不會有下部電極之斷線，可以維持低電阻值，能夠良好維持電容器特性。

又，代替非晶質矽膜 4 3 i，也可以形成多晶矽膜，在此多晶矽膜上形成自然氧化膜後，使非晶質膜為一定之面積，使此非晶質膜成長為粒狀矽。又，於本實施形態中，不用說在實施形態 1 之最後段說明之 2 層構造之多結晶氧化鉬膜、或矽氮化膜之單層構造也可以適用於電容器絕緣膜。

圖 5 6 以及圖 5 7 係顯示本發明之實施形態 5 之 D R A M 之製造工程之一部份剖面圖。又，圖 5 6 以及圖 5 7 係放大顯示相當於實施形態 1 之圖 2 6 之 A 部之部份。

本實施形態之製造方法係與至實施形態 1 之圖 2 7 之工程為止相同。之後，藉由與實施形態 1 相同之方法，對非晶質矽膜 4 3 a 進行熱處理以及甲矽烷氣體之暴露，使粒狀矽成長。

如圖 5 6 所示般地，於粒狀矽之成長初期，產生結晶核 4 3 n。此結晶核矽使周圍之非晶質狀之矽原子為材料進行粒成長，在形成圖 5 7 所示程度之粒狀矽 4 3 b 之階段，停止粒成長。於實施形態 1 中，藉由熱處理時間之控制，於實施形態 4 中，藉由預先分開形成粒成長之非晶質層與被膜部份之非晶質層，控制粒狀矽之大小。

但是，在本實施形態中，粒狀矽 4 3 b 在成長為指定之大小之階段，將不純物摻雜用之磷氣體導入反應室，使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(46)

粒成長停止(圖57)。

如此，藉由磷氣體之供給而使得粒成長停止，被認為係：在非晶質矽膜43a導入磷，該非晶質矽膜43a之結晶化藉由被導入之磷被促進，已經對粒成長有貢獻之矽原子之供給由其周圍不再進行之故。

如此，藉由磷氣體之供給，可以控制粒狀矽43b之大小之故，比起熱地控制之實施形態1之情形，可以響應性良好地控制。即，粒狀矽43b之大小之控制性提升。又，不須如實施形態4之情形般地，將層分開形成，工程可以簡略化。又，在磷氣體之供給之際，非晶質矽膜43a未被完全結晶化之故，與實施形態4相同地，具有可以導入多量之不純物之效果。

又，此後之工程係與實施形態1相同。又，本實施形態中，不用說在實施形態1之最後段說明之2層構造之多結晶氧化鉭膜、或矽氮化膜之單層構造也可以適用於電容器絕緣膜。

圖58係顯示本發明之實施形態6之半導體製造裝置之一例之概念圖。

本實施形態之製造裝置係具有：形成非晶質矽膜之第1反應室120，以及對非晶質矽膜進行熱處理之第2反應室121，第1反應室120與第2反應室121透過閘門閥被接續於真空搬運室122。又，閘門閥省略其圖示。

第1反應室120以及第2反應室121各具備基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

加熱機構與氣體供給機構。第 1 反應室 1 2 0 之氣體供給機構具有：供給藉由 C V D 法形成非晶質矽膜用之原料氣體，例如甲矽烷或二氯矽烷與氫氣之手段。又，第 2 反應室 1 2 1 之氣體供給機構具有供給甲矽烷氣體以及磷氣體之手段。

透過未圖示出之閘門閥，裝載閉鎖室 1 2 3 被接續於真空搬運室 1 2 2，卡匣室 1 2 4、1 2 5 被接續於裝載閉鎖室 1 2 3。在卡匣室 1 2 4、1 2 5 被裝置被保持在晶圓卡匣之晶圓 1 2 6、1 2 7。

晶圓 1 2 6 由卡匣室 1 2 4 透過裝載閉鎖室 1 2 3 被導入真空搬運室 1 2 2。此際，在裝載閉鎖室 1 2 3 中進行真空排氣，真空搬運室 1 2 2 中不混入大氣。因此，真空搬運室 1 2 2、第 1 反應室 1 2 0 以及第 2 反應室 1 2 1 之潔淨度被維持很高。

被導入真空搬運室 1 2 2 之晶圓 1 2 6 被搬入第 1 反應室 1 2 0，被堆積非晶質膜。之後，晶圓 1 2 6 由第 1 反應室 1 2 0 透過真空搬運室 1 2 2 被搬入第 2 反應室 1 2 1。於第 2 反應室 1 2 1 中，對晶圓 1 2 6 施行熱處理以及矽烷氣體之暴露，形成粒狀矽。

第 2 反應室 1 2 1 之粒狀矽之形成在以時間管理為矽粒結晶成長為指定之粒徑為止後，藉由對第 2 反應室 1 2 1 導入磷氣體以使粒成長停止。如此，藉由磷氣體之供給，使粒成長停止之故，與響應速度慢之熱管理比較，可以控制性很好地管理粒徑之大小。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (48)

又，在本實施形態中，設形成非晶質矽膜之第 1 反應室 1 2 0 與形成粒狀矽之第 2 反應室 1 2 1 為個別之反應室，又，以裝載閉鎖接續之故，可以高度保持非晶質膜之潔淨度，粒狀矽之結晶成長之管理變得容易。又，不於第 1 反應室 1 2 0 混入磷氣體之故，非晶質矽膜中之不純物濃度容易控制。

形成粒狀矽之晶圓 1 2 6 由真空搬運室 1 2 2 透過裝載閉鎖室 1 2 3 被搬出卡匣室 1 2 5，當成晶圓 1 2 7 被保持在晶圓卡匣。

又，真空搬運室 1 2 2 更具備第 3 反應室，也可以於此第 3 反應室中，進行形成在實施形態 1 說明之矽氮化膜 4 4 a 用之氮化處理。又，真空搬運室 1 2 2 更具備第 4 反應室，也可以於此第 4 反應室進行構成上部電極之氮化鈦其它之導電膜之堆積。

以上，雖然依據實施形態具體說明由本發明者完成之發明，但是本發明並非受限於前述實施形態者，在不脫離其之要旨之範圍內，不用說可以有種種變更可能。

例如，在前述實施形態中，雖然顯示非晶質矽膜 4 3 a 之形成後，在形成粒狀矽 4 3 b 後，進行氣相摻雜之例，但是，也可以在非晶質矽膜 4 3 a 之狀態進行氣相摻雜。在此情形，沒有形成粒狀矽。

又，在前述實施形態中，雖然顯示只在接續孔 2 2、2 3、2 5 之底部形成金屬矽化物膜 2 6 之例，但是，也可以在閘極電極 9 n、9 p 之表面、n + 型半導體區域

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(49)

1 4 以及 p + 型半導體區域 1 5 上形成金屬矽化物膜。

即，如圖 5 9 所示般地，形成由單層之多晶矽膜形成之閘極電極 9 n、9 p 後，與實施形態 1 相同地，在記憶體單元區域之閘極電極 9 p (W L) 上形成絕緣膜 1 3，在周邊電路區域之閘極電極 9 n、9 p 之側壁形成側壁間隔 1 3 a。之後，全面堆積金屬膜（例如鈦膜）6 0（圖 6 0），對此金屬膜施以熱處理，使引起金屬矽氧化物化。而且，選擇性地蝕刻去除未反應之金屬膜 6 0，藉由此，在閘極電極 9 n、9 p、n⁺型半導體區域 1 4 以及 p⁺型半導體區域 1 5 上形成金屬矽化物膜 6 1（圖 6 1）。此後之工程與前述實施形態相同。

在此種情形，可以使周邊電路之閘極電極以及源極、汲極區域低電阻化，可以提升邏輯電路或混載邏輯電路之 D R A M 之性能。特別是在系統 L S I 之適用上很優異。

又，也可以如圖 6 2 所示般地，形成由金屬矽化物膜 9 d 以及多晶矽膜 9 a n、9 a p 形成之閘極電極 9 n、9 p（在其上部具有蓋子絕緣膜 1 0），與前述相同地，施以金屬膜之堆積以及熱處理，再者，選擇性去除前述金屬膜之未反應部份，在周邊電路之 M I S F E T 之源極、汲極（n⁺型半導體區域 1 4 以及 p⁺型半導體區域 1 5 形成金屬矽化物膜 6 1（圖 6 3）。在此情形，即使在記憶體單元陣列之區域，於閘極電極 9 p 也形成金屬矽化物膜 9 d 之故，降低其之電阻，能提升 D R A M 之性能。

又，於前述實施形態中，雖就適用於 D R A M 之情形

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (50)

做說明，但是並不限定於此，也可以廣泛適用於以
0 . 2 5 μ m 以下之設計法則所製造之 L S I 之絕緣膜形
成方法。

依據本申請案所公開揭露之發明中，如簡略說明藉由
代表性者所獲得之效果，則如下述。

(1) 於被限制之熱處理條件中，可以抑制電容器下
部電極之缺乏化。

(2) 於具有粒狀矽之下部電極中，能實現低缺乏化
率。

(3) 可以提供適用於粒狀矽之結晶成長控制之技術
。

(4) 提供關於漏電流少之電容器之技術，能提升
D R A M 之信賴性。

(5) 可以高度維持被微細化之半導體裝置之性能以
及信賴性。

圖面之簡單說明

圖 1 係以工程順序顯示本發明之實施形態 1 之
D R A M 之製造方法之剖面圖。

圖 2 係以工程順序顯示實施形態 1 之 D R A M 之製造
方法之剖面圖。

圖 3 係以工程順序顯示實施形態 1 之 D R A M 之製造
方法之剖面圖。

圖 4 係以工程順序顯示實施形態 1 之 D R A M 之製造

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (51)

方法之剖面圖。

圖 5 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 6 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 7 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 8 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 9 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 0 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 1 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 2 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 3 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 4 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 5 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 6 係以工程順序顯示實施形態 1 之 D R A M 之製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

造方法之剖面圖。

圖 1 7 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 8 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 1 9 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 0 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 1 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 2 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 3 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 4 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 5 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 6 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 2 7 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 2 8 係以工程順序顯示實施形態 1 之 D R A M 之製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(53)

造方法之一部份剖面圖。

圖 2 9 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 0 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 1 係顯示磷氣體之供給時機曲線。

圖 3 2 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 3 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 4 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 5 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之一部份剖面圖。

圖 3 6 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 3 7 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 3 8 係以工程順序顯示實施形態 1 之 D R A M 之製造方法之剖面圖。

圖 3 9 係說明實施形態 1 之 D R A M 之效果用之曲線，(a) 係顯示氣相摻雜後之磷濃度之深度方向外形之曲線，(b) 係顯示量測電容器之缺乏化率之結果之曲線。

圖 4 0 係以工程順序顯示本發明之實施形態 1 之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(54)

D R A M 之其它製造方法之一部份剖面圖。

圖 4 1 係以工程順序顯示本發明之實施形態 1 之

D R A M 之其它製造方法之一部份剖面圖。

圖 4 2 係顯示本發明之實施形態 2 之 D R A M 之製造工程之一部份剖面圖。

圖 4 3 係顯示本發明之實施形態 2 之 D R A M 之製造工程之一部份剖面圖。

圖 4 4 係顯示本發明之實施形態 2 之 D R A M 之其它製造工程之一部份剖面圖。

圖 4 5 係顯示本發明之實施形態 2 之 D R A M 之其它製造工程之一部份剖面圖。

圖 4 6 係顯示本發明之實施形態 3 之 D R A M 之製造工程之一部份剖面圖。

圖 4 7 係顯示本發明之實施形態 3 之 D R A M 之製造工程之一部份剖面圖。

圖 4 8 係顯示本發明之實施形態 3 之 D R A M 之製造工程之一部份剖面圖。

圖 4 9 係顯示本發明之實施形態 3 之 D R A M 之製造工程之一部份剖面圖。

圖 5 0 係顯示磷氣體之供給時機之曲線。

圖 5 1 係顯示使以氣相摻雜磷之際之預熱時間變化之情形之漏電流之曲線。

圖 5 2 係顯示使以氣相摻雜磷之際之預熱時間變化之情形之漏電流之曲線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

圖 5 3 係使以氣相摻雜磷之際之處理壓力變化之情形之漏電流之曲線。

圖 5 4 係顯示本發明之實施形態 4 之 D R A M 之製造工程之一部份剖面圖。

圖 5 5 係顯示本發明之實施形態 4 之 D R A M 之製造工程之一部份剖面圖。

圖 5 6 係顯示本發明之實施形態 5 之 D R A M 之製造工程之一部份剖面圖。

圖 5 7 係顯示本發明之實施形態 5 之 D R A M 之製造工程之一部份剖面圖。

圖 5 8 係顯示本發明之實施形態 6 之半導體裝置之一例之概念圖。

圖 5 9 係顯示本發明之其它實施形態之 D R A M 之製造工程之剖面圖。

圖 6 0 係顯示本發明之其它實施形態之 D R A M 之製造工程之剖面圖。

圖 6 1 係顯示本發明之其它實施形態之 D R A M 之製造工程之剖面圖。

圖 6 2 係顯示本發明之進而之其它實施形態之 D R A M 之製造工程之剖面圖。

圖 6 3 係顯示本發明之進而之其它實施形態之 D R A M 之製造工程之剖面圖。

主要元件對照表

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (56)

- 1 : 基板
- 2 : 元件分離溝
- 3 : p 型井
- 4 : n 型井
- 9 a : 多晶矽膜
- 9 a n : n 型多晶矽膜
- 9 a p : p 型多晶矽膜
- 1 0 a : 矽氧化膜
- 1 0 b : 氮化矽膜
- 1 1 : n⁻型半導體區域
- 1 2 : p⁻型半導體區域
- 1 3 : 氮化矽膜
- 1 4 : n⁺型半導體區域
- 1 5 : p⁺型半導體區域
- 1 6 : 矽氧化膜
- 1 8 , 1 9 , 2 2 , 2 3 , 2 4 : 接觸孔
- 2 5 : 通孔
- 2 6 : 金屬矽化物膜
- 2 7 : 插塞
- 3 7 : 側壁間隔
- 3 8 : 通孔
- 4 0 : 氮化矽膜
- 4 1 : 矽氧化膜
- 4 3 a : 非晶質矽膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (57)

4 3 b : 粒狀矽

4 3 c : 氧化膜

4 3 e : 不純物區域

4 4 a : 矽氮化膜

4 5 : 上部電極

5 4 ~ 5 6 : 配線

43d: ?

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱： 半導體積體電路裝置及其製造方法)

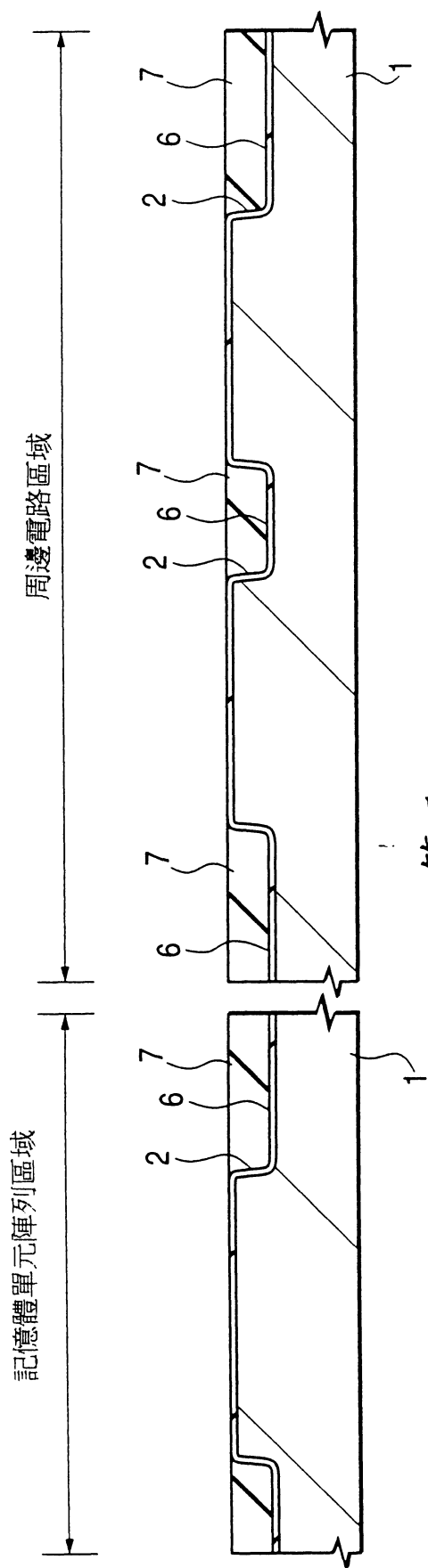
本發明矽關於半導體裝置及其製造技術，特別是關於適用於具有 DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)之半導體裝置有效之技術。本發明係一種具有藉由粗糙化以增加表面積之多晶矽膜所構成之電容元件之下部電極之半導體積體電路裝置之製造方法，對前述多晶矽膜藉由氣相擴散導入不純物，謀求下部電極之低電阻化。

(請先閱讀背面之注意事項再填寫本頁各欄)

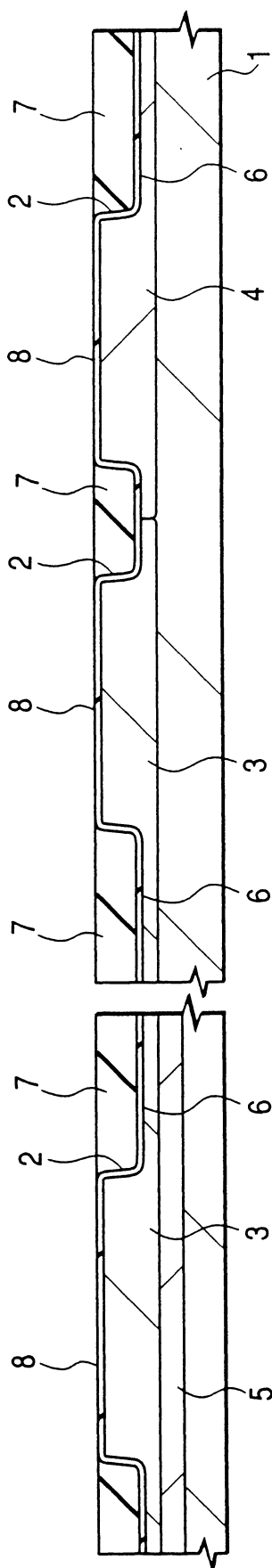
裝

訂

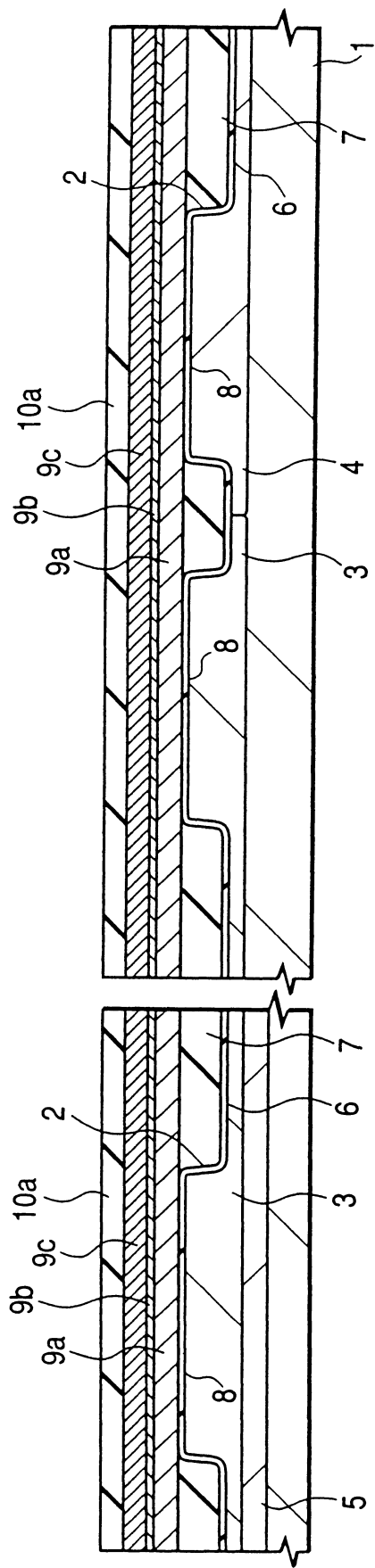
英文發明摘要 (發明之名稱：)



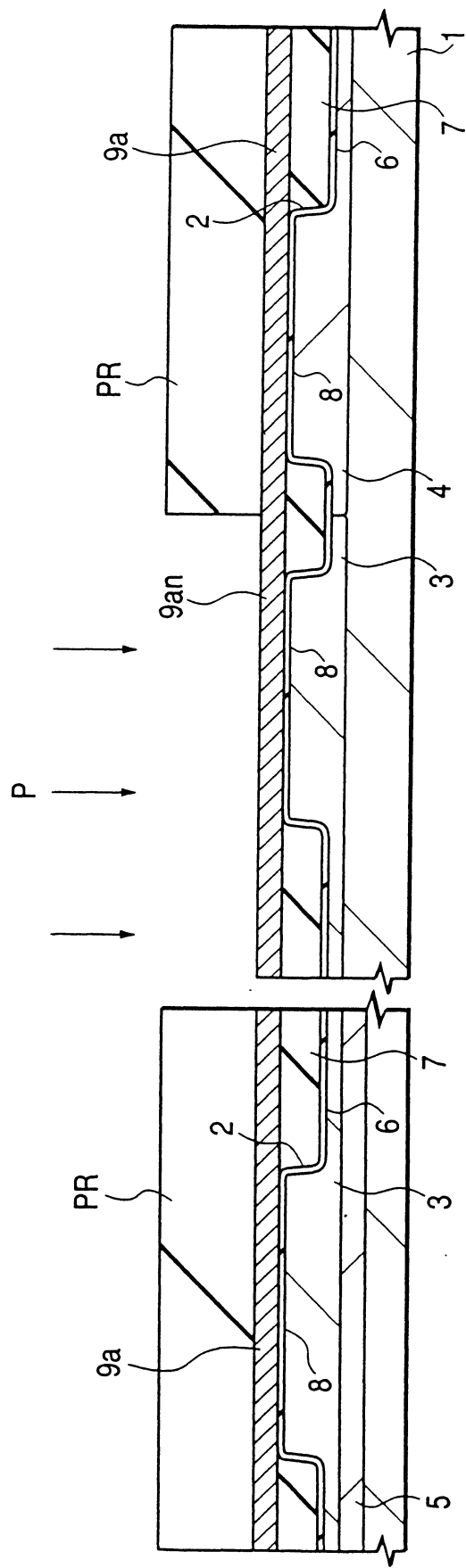
第 1 圖



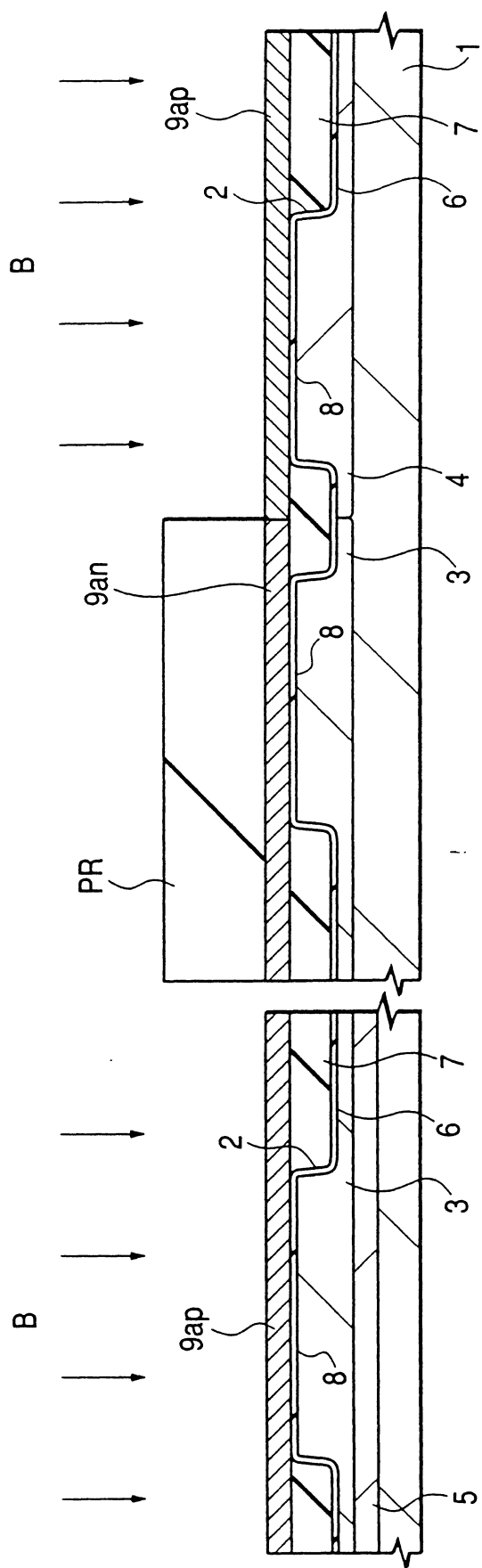
第 2 圖



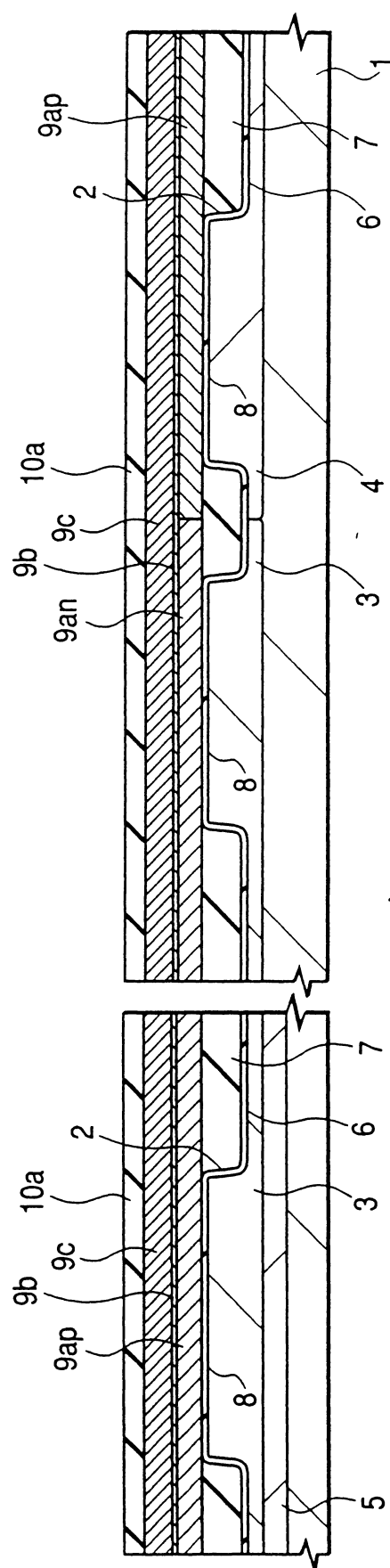
第 3 圖



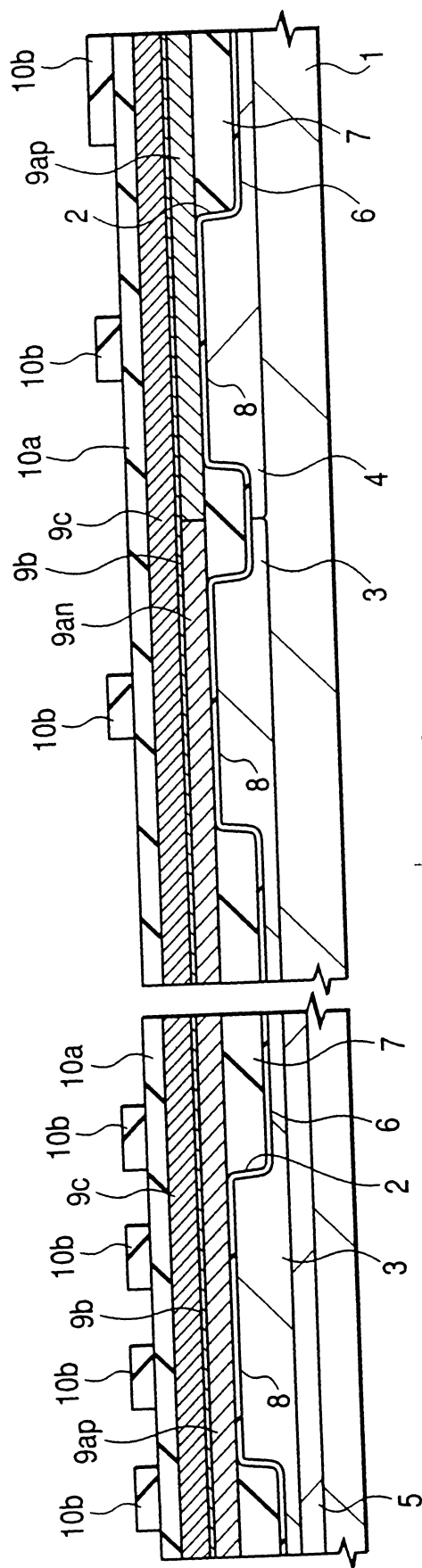
第 4 圖



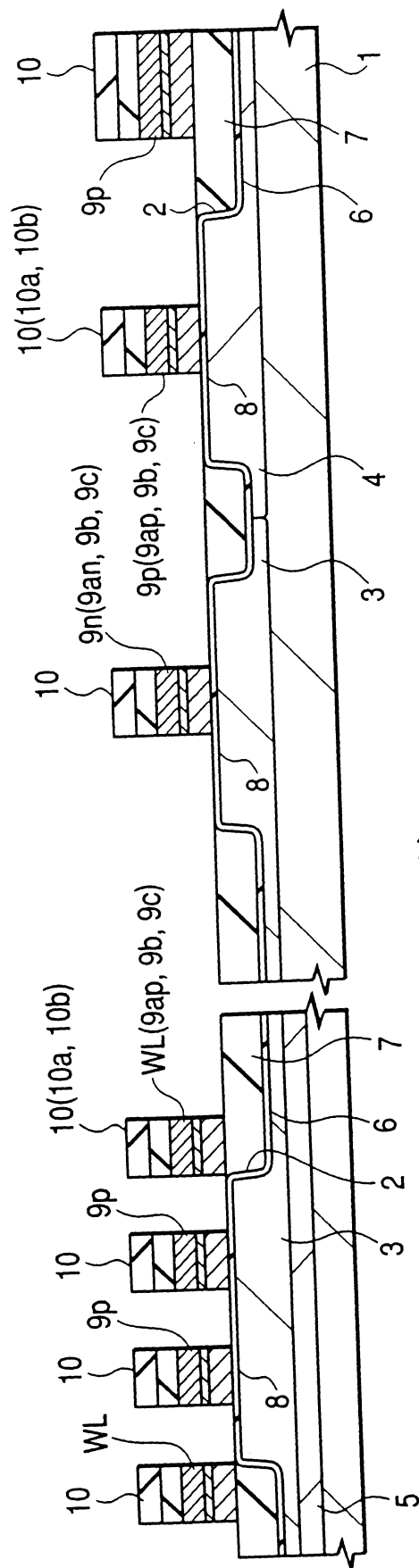
第 5 圖



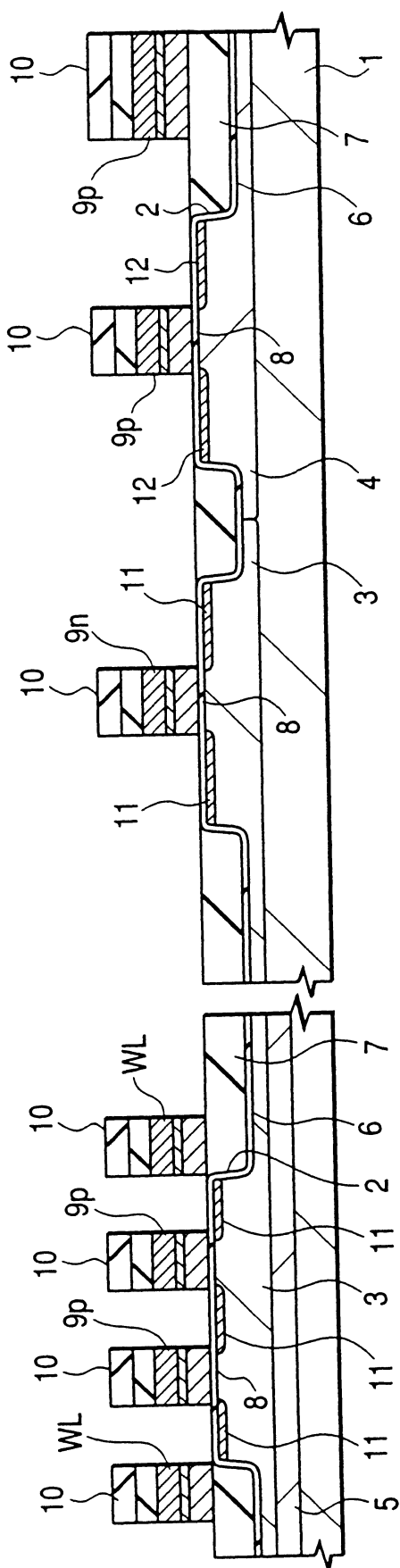
第 6 圖



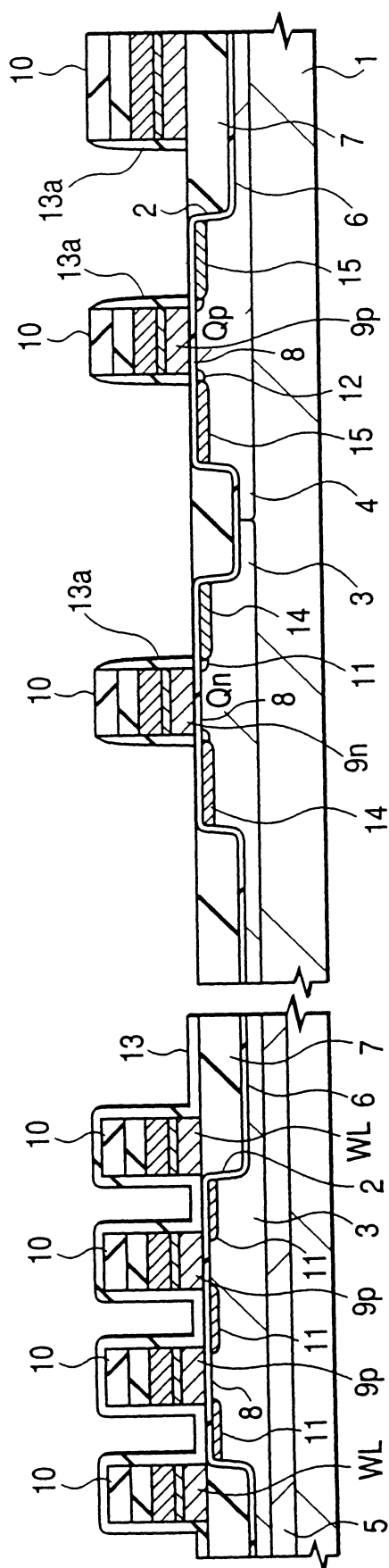
第 7 圖



第 8 圖



第 9 圖



第 10 圖

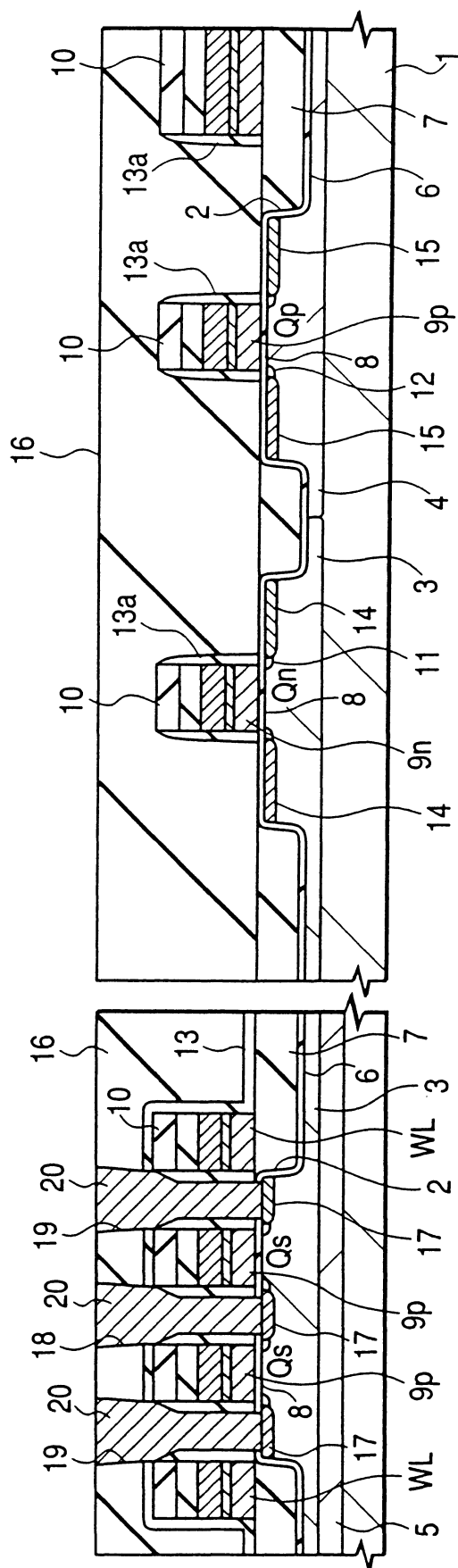
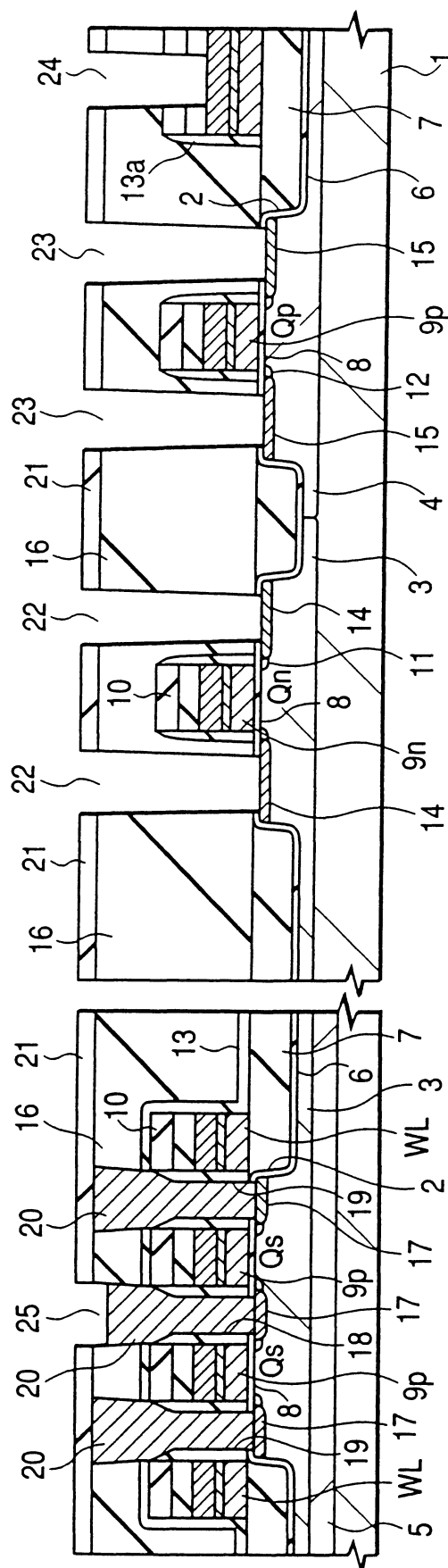
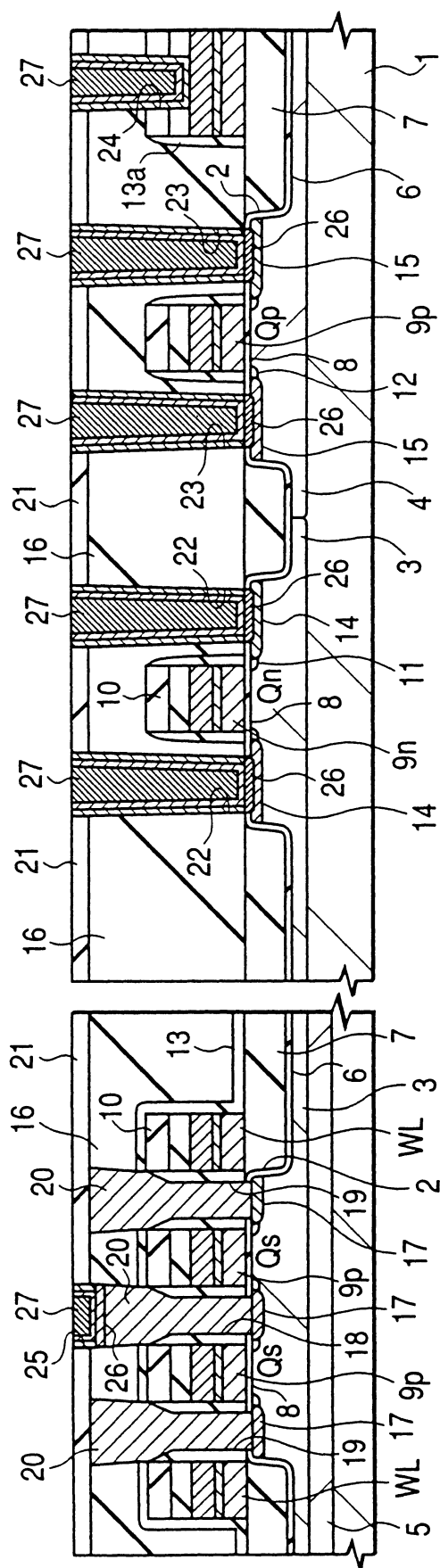


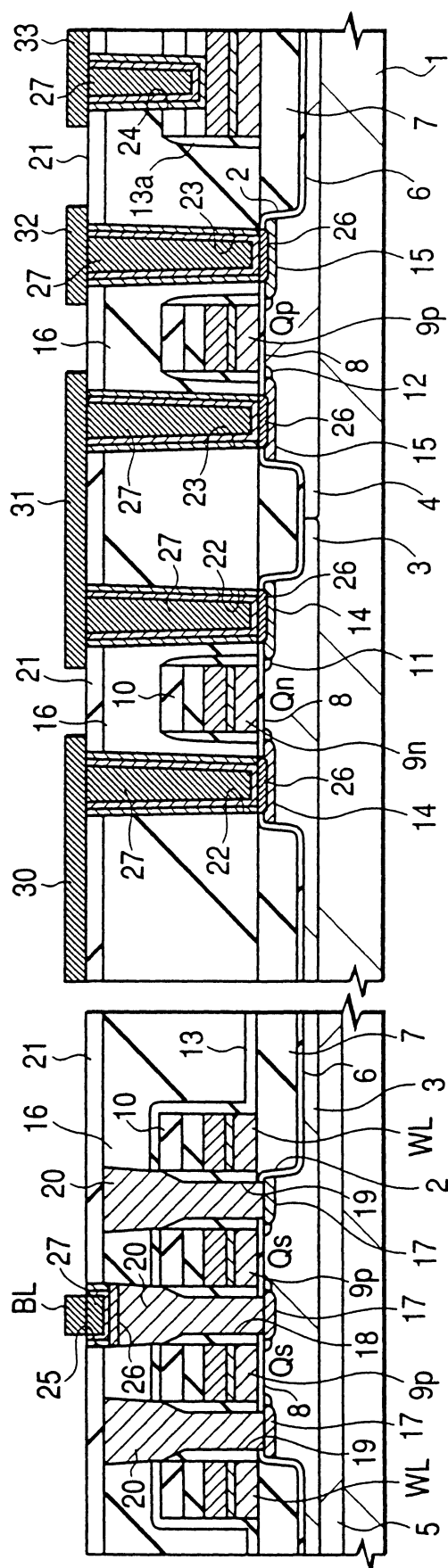
圖 15 第



第 16 圖



第17圖



第18圖

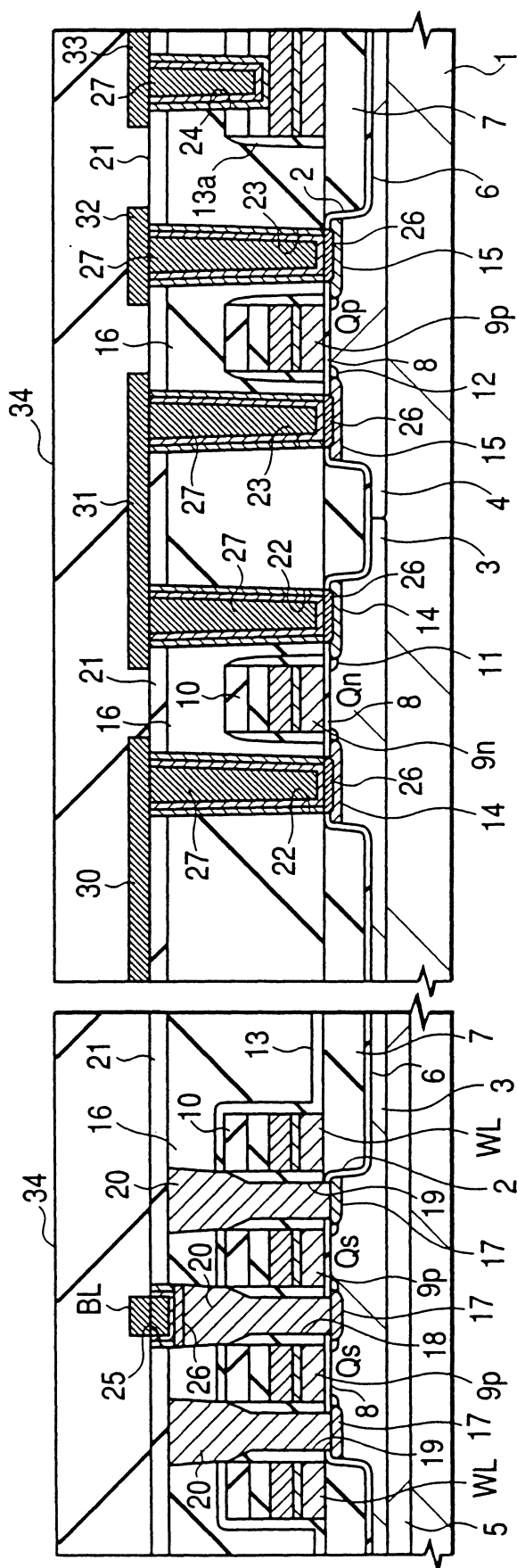


圖 19 第

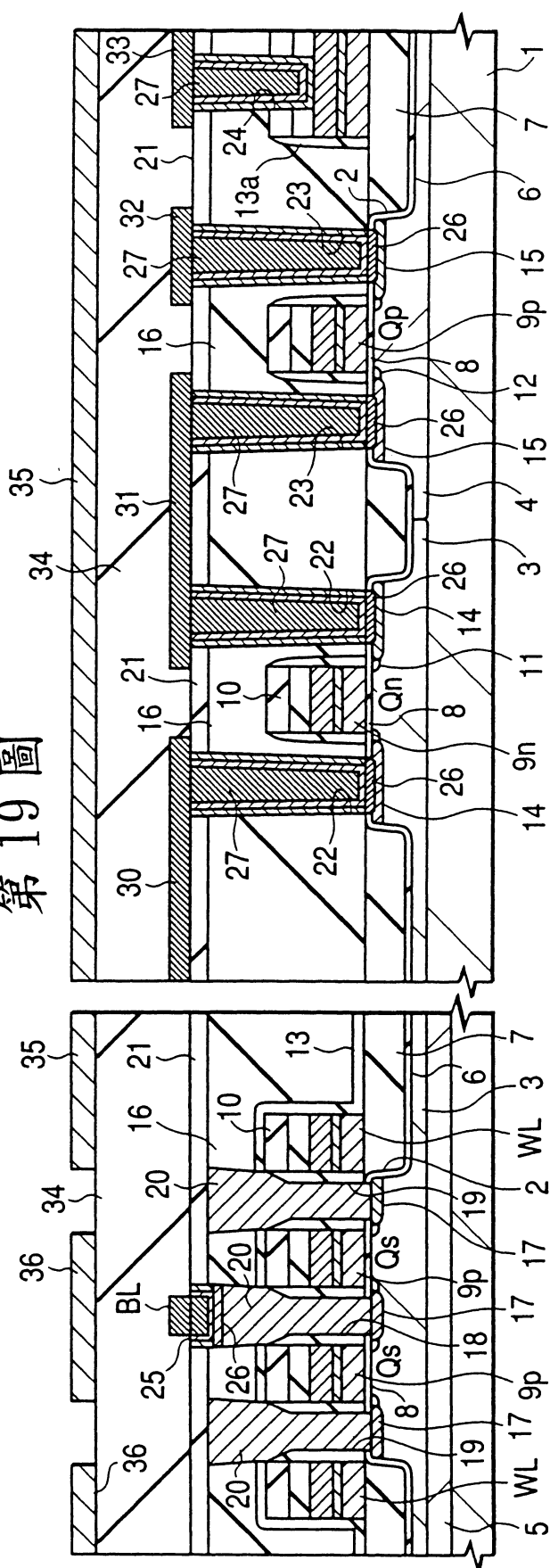
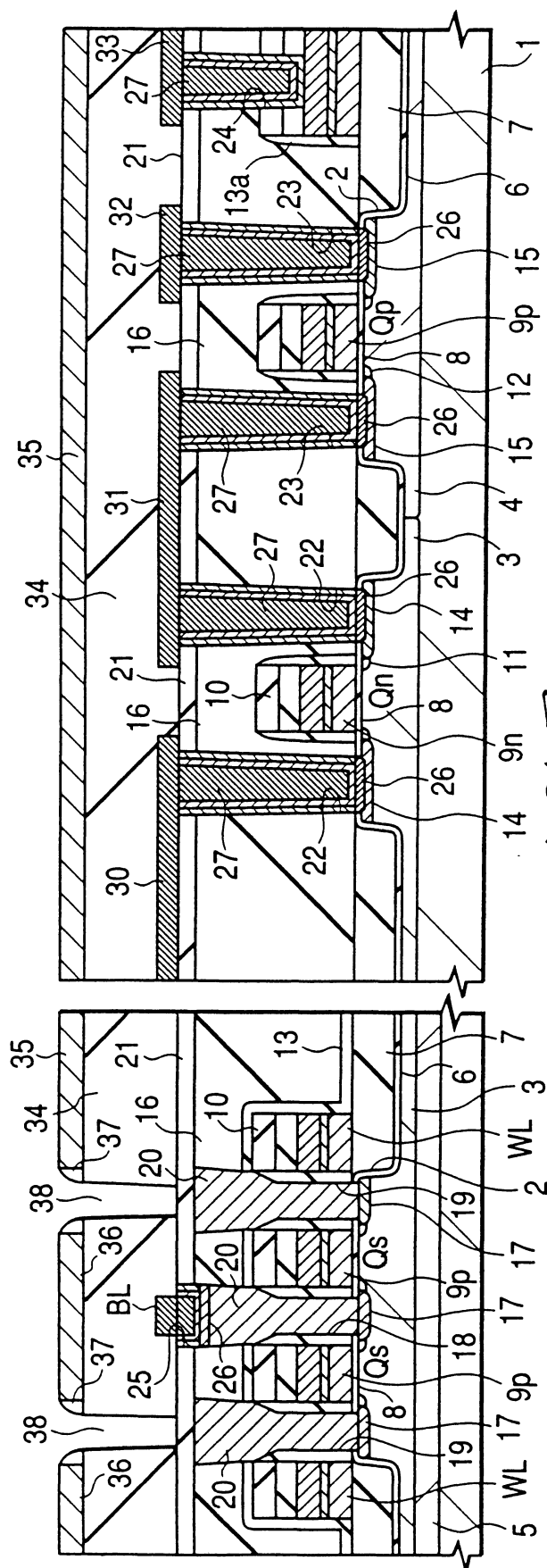
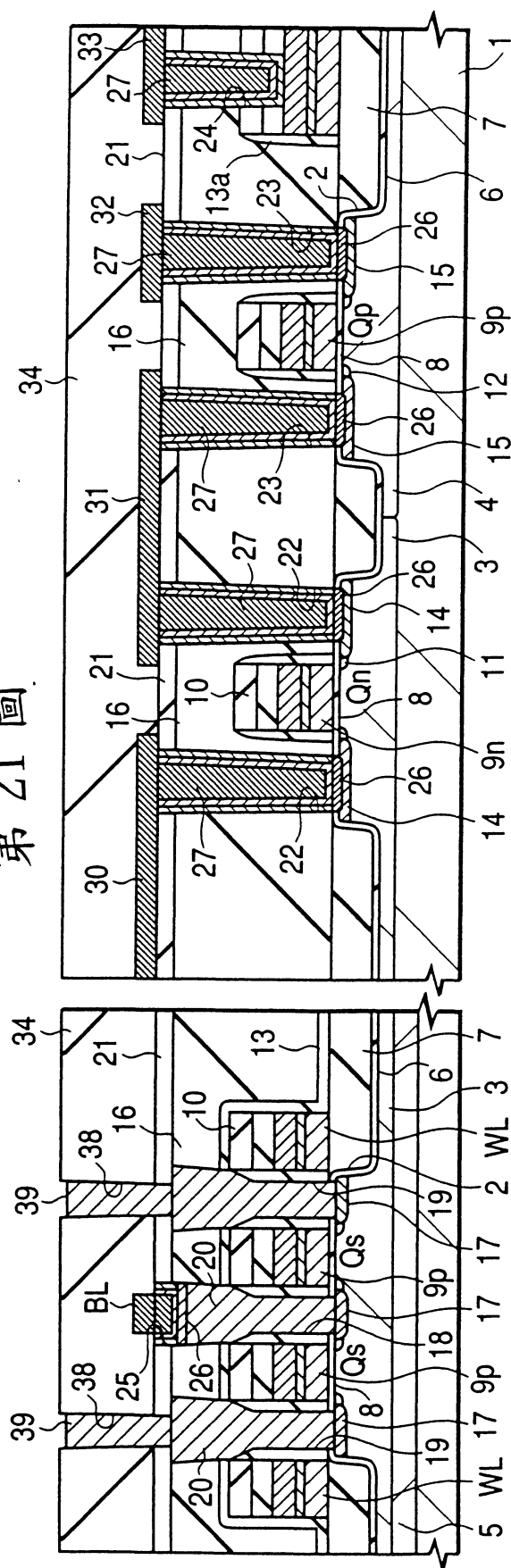


圖 20 第



第 21 圖



第 22 圖

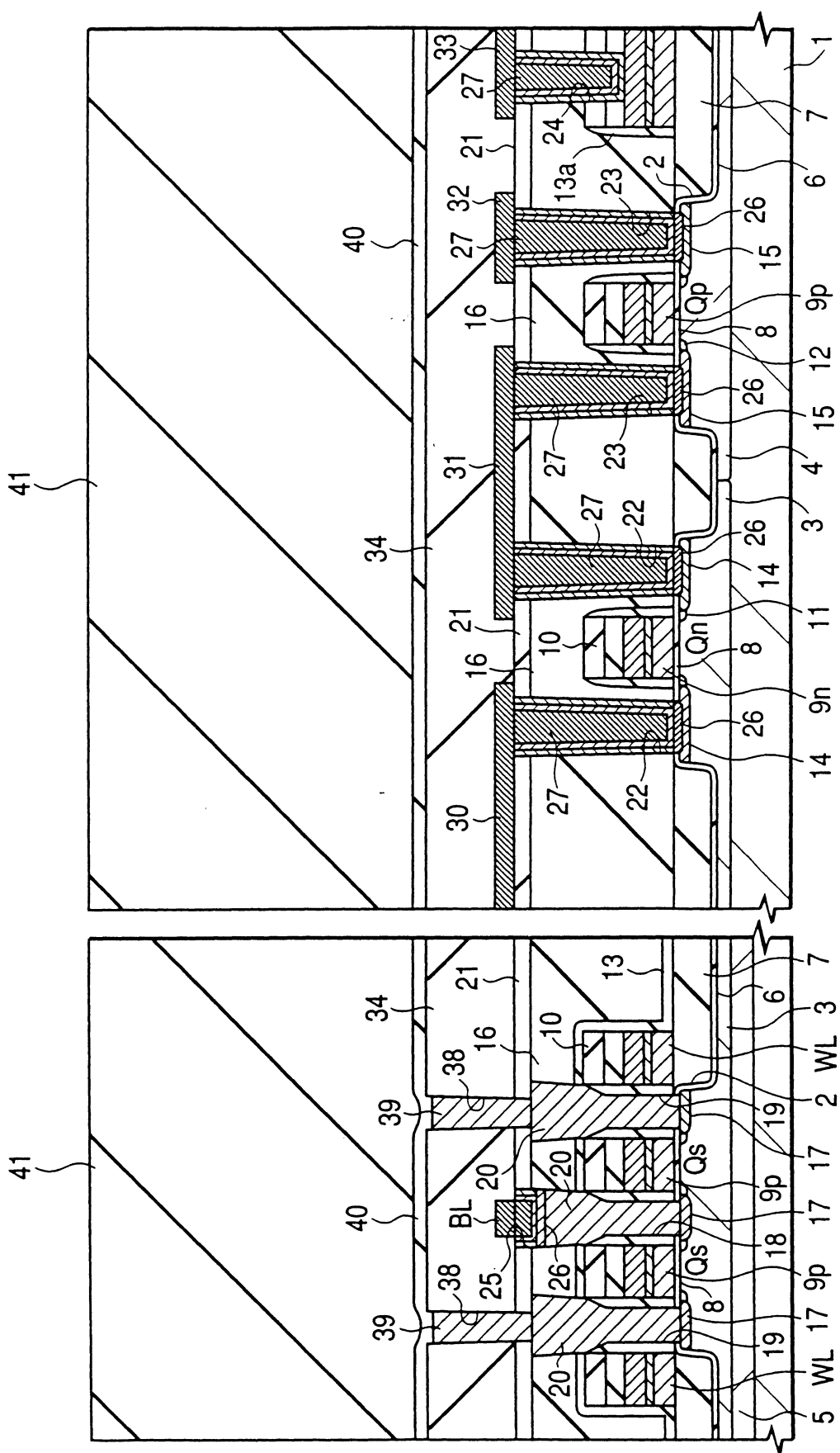
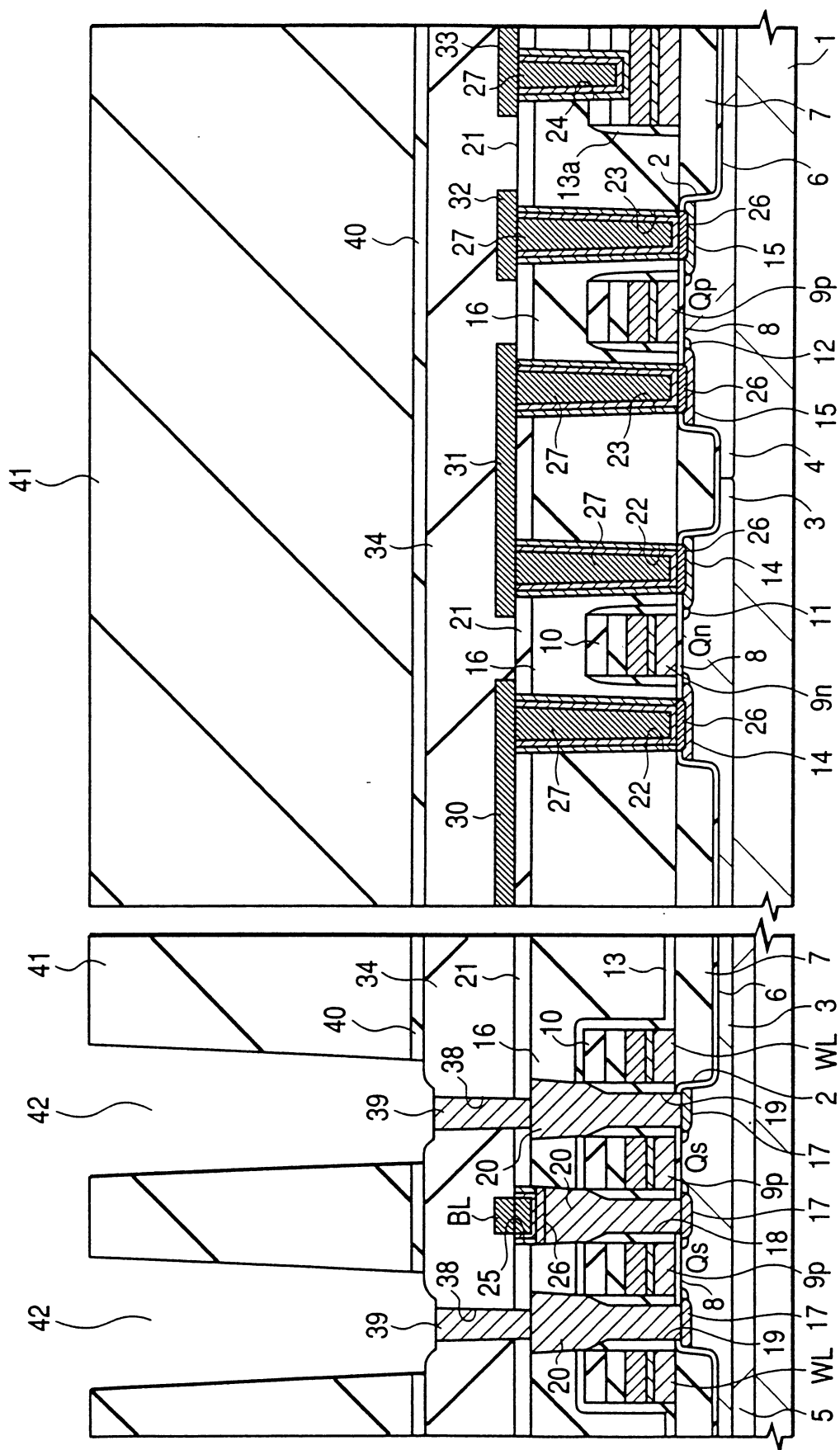
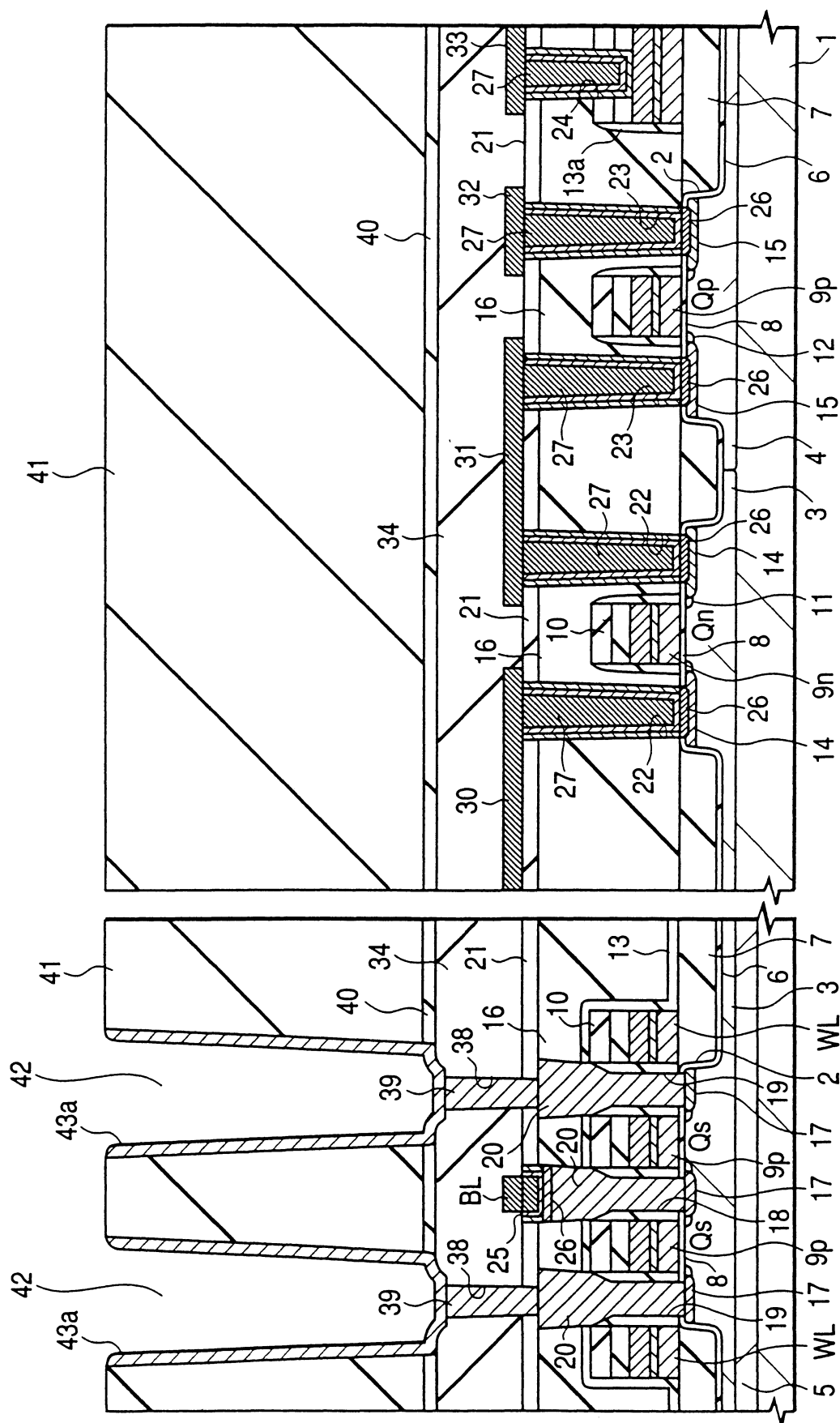


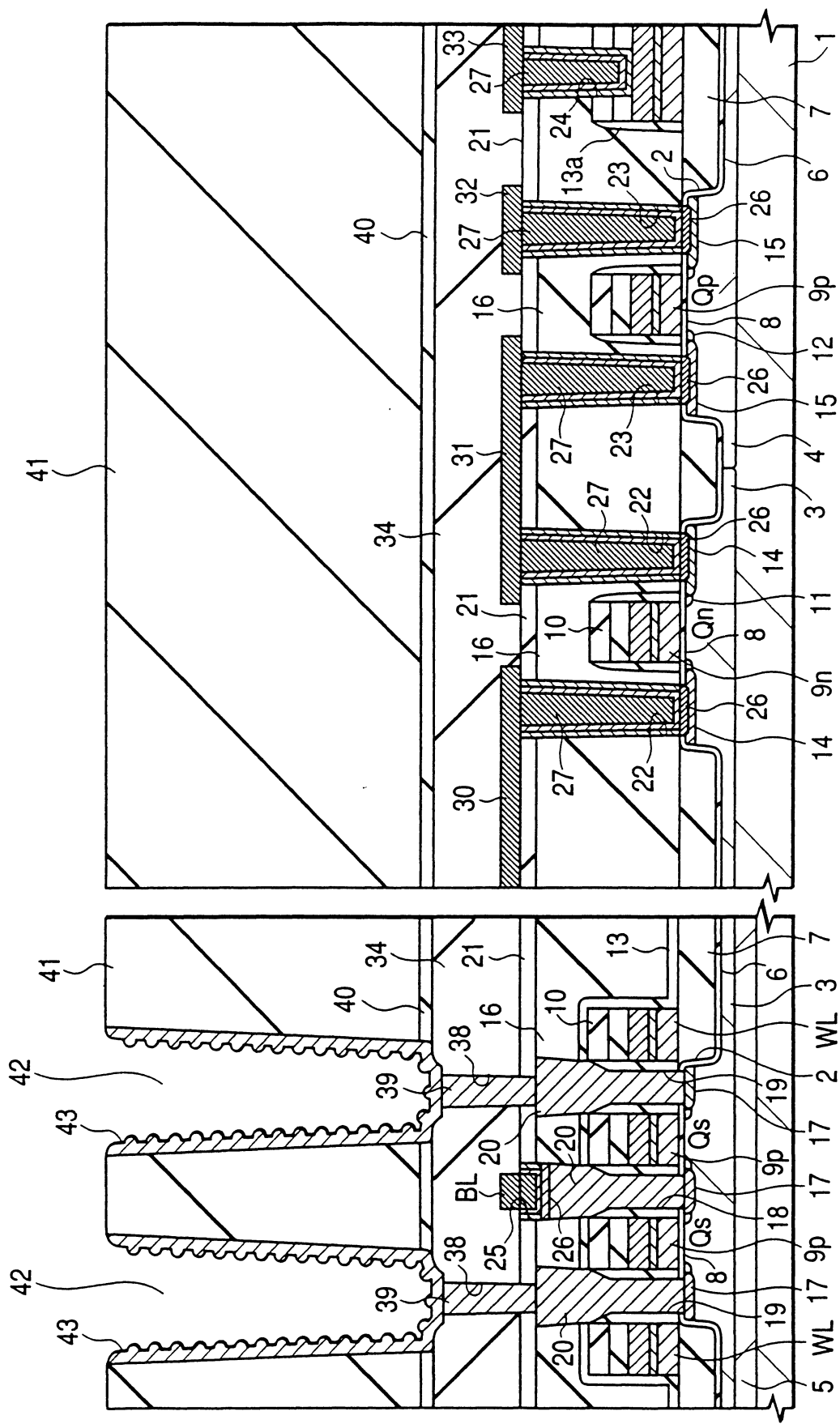
圖 23 第



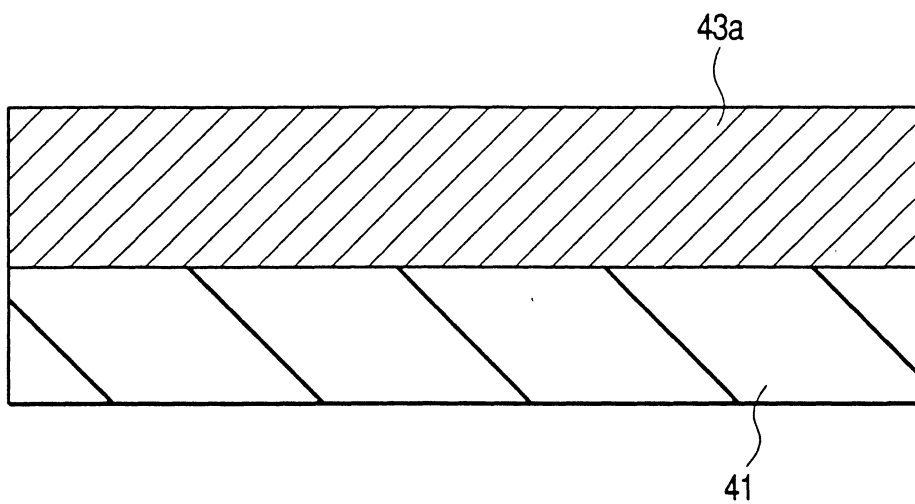
第 24 圖



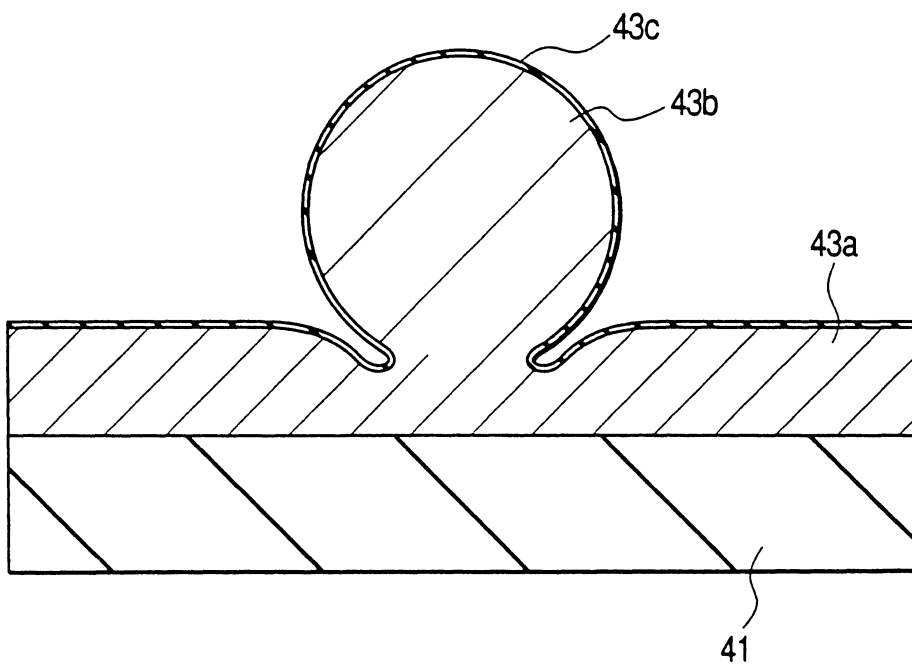
第 25 圖



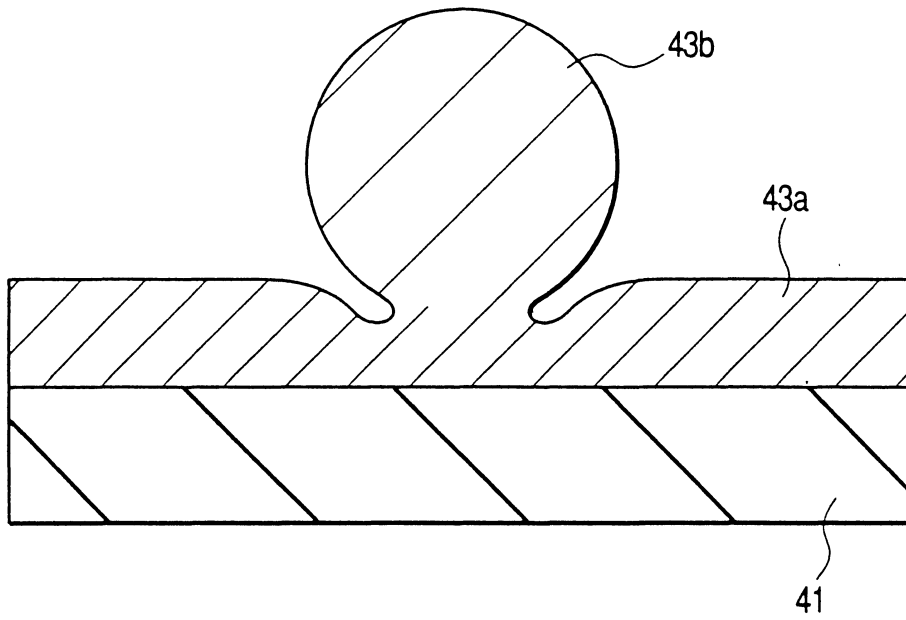
第 26 圖



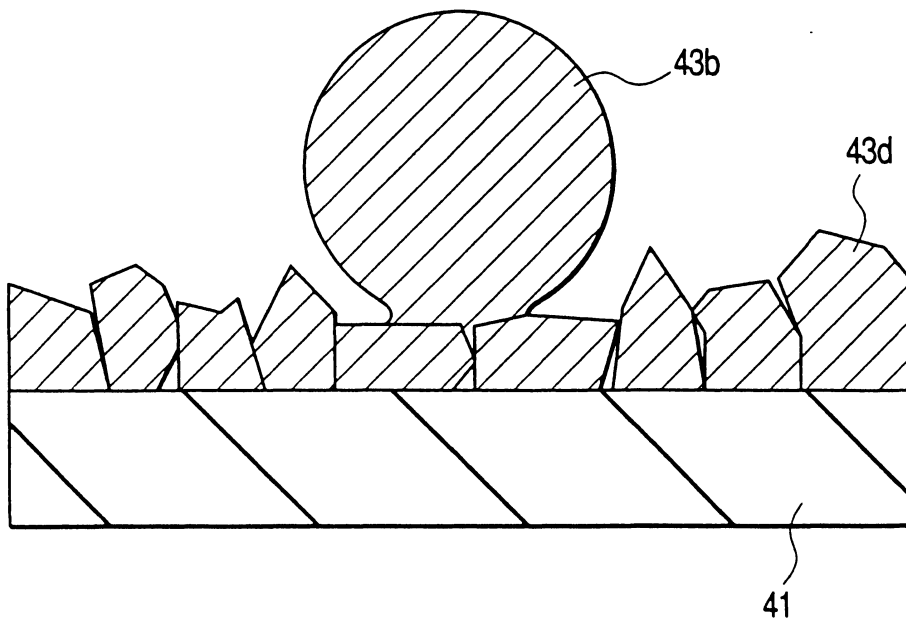
第 27 圖



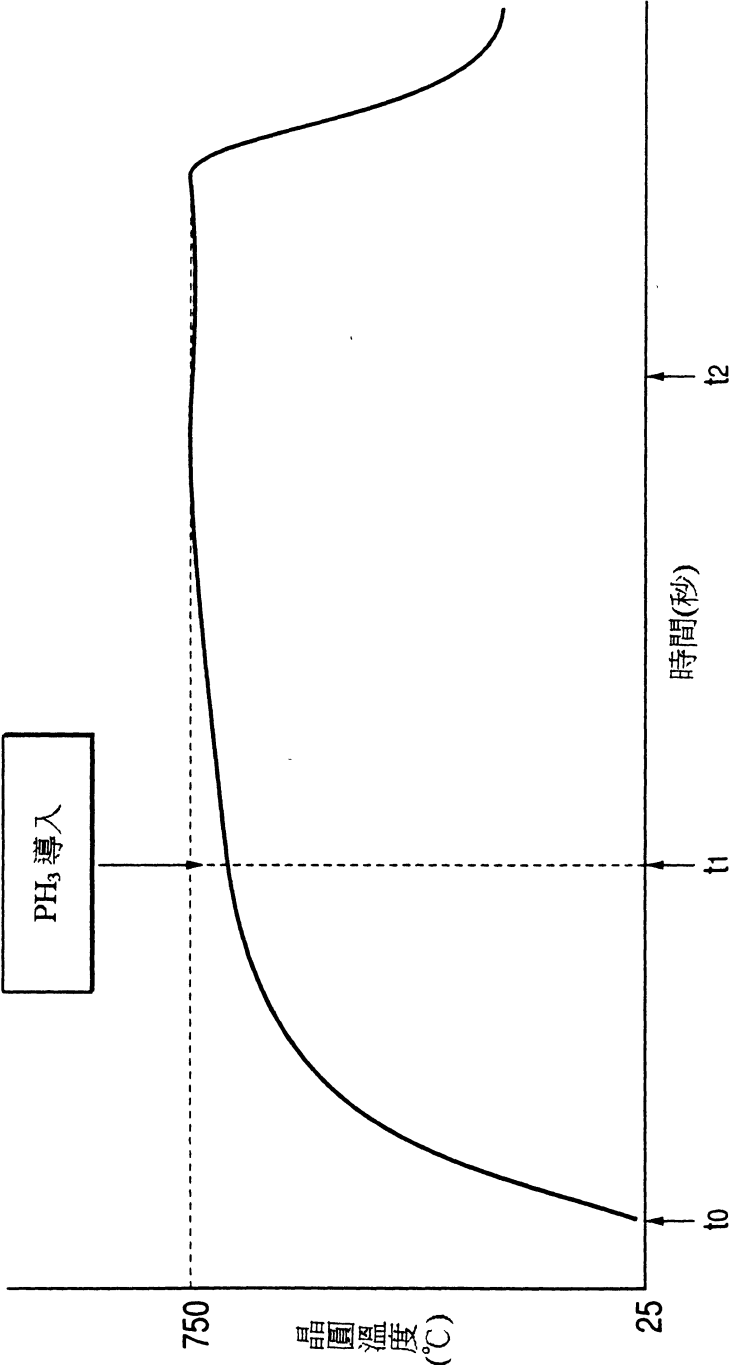
第 28 圖



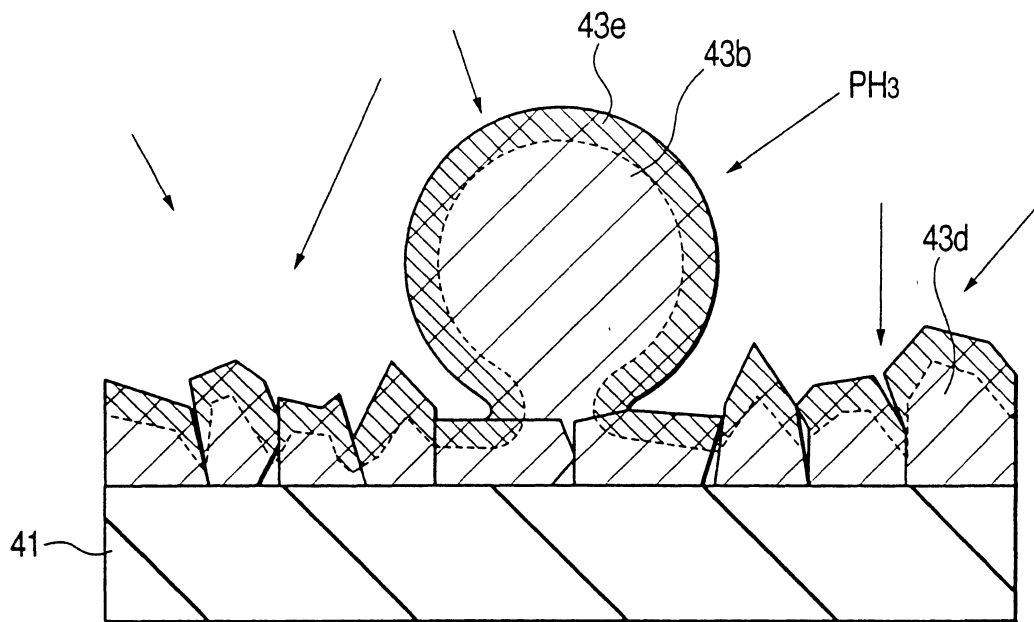
第 29 圖



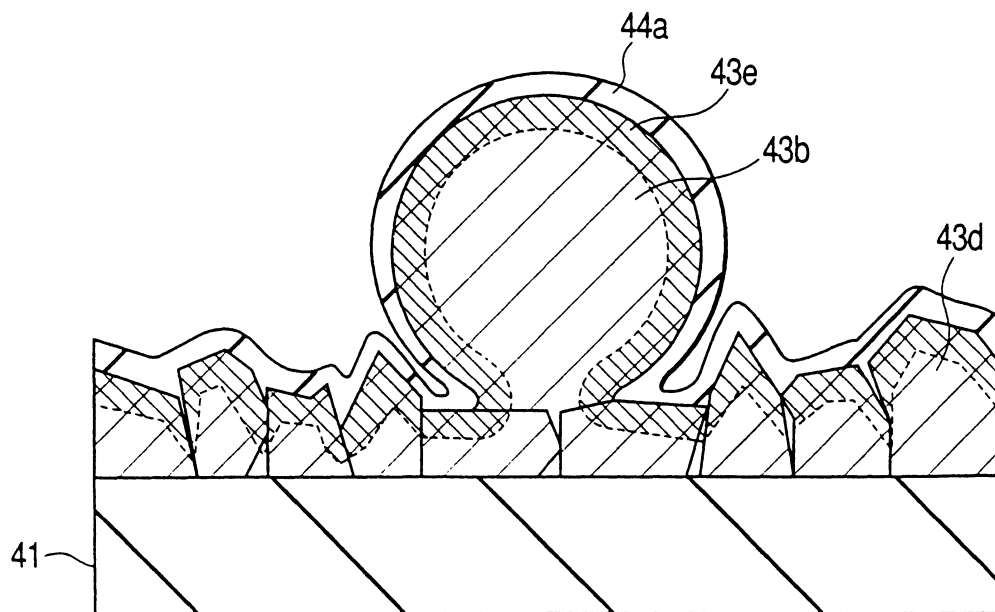
第 30 圖



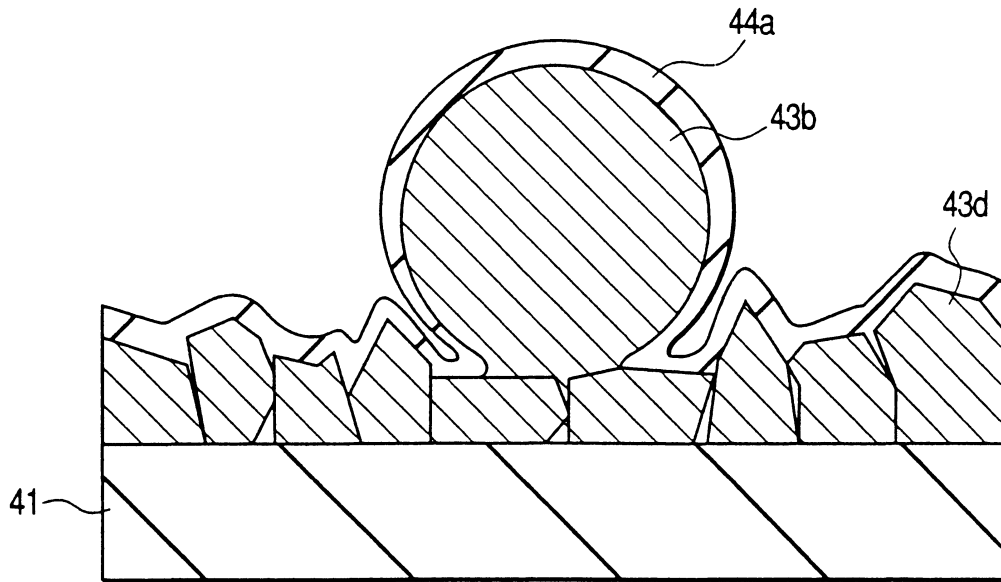
第 31 圖



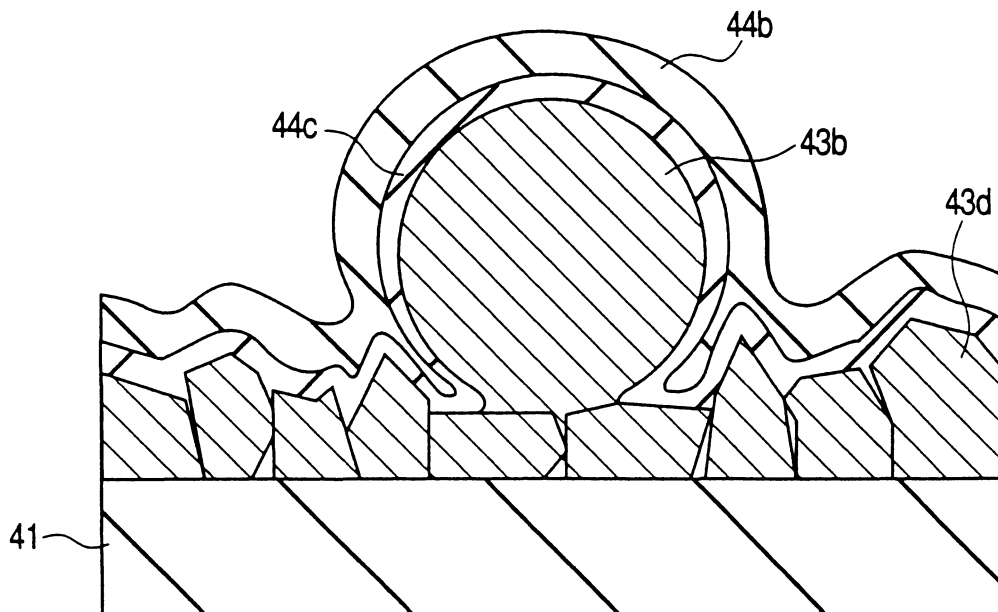
第 32 圖



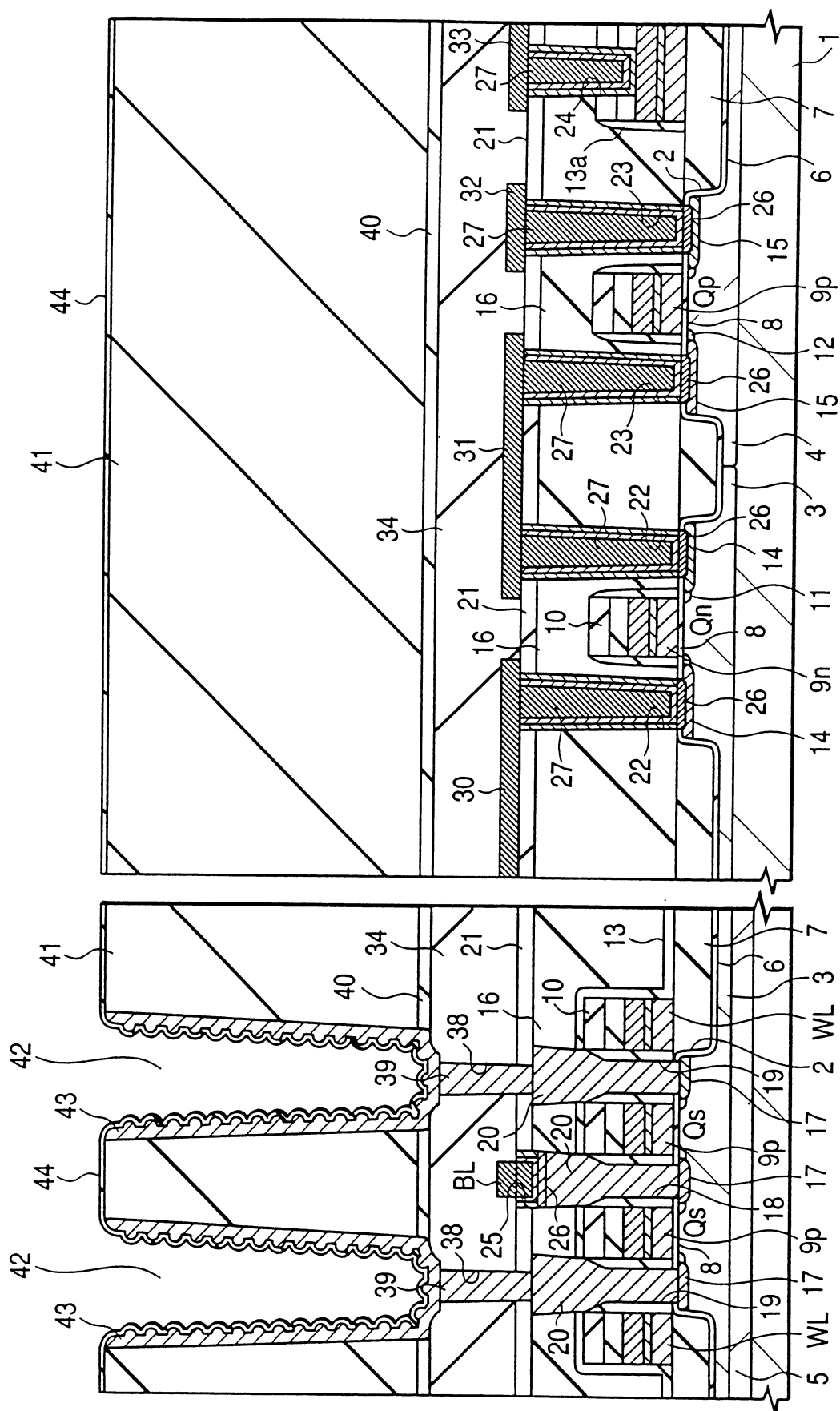
第 33 圖



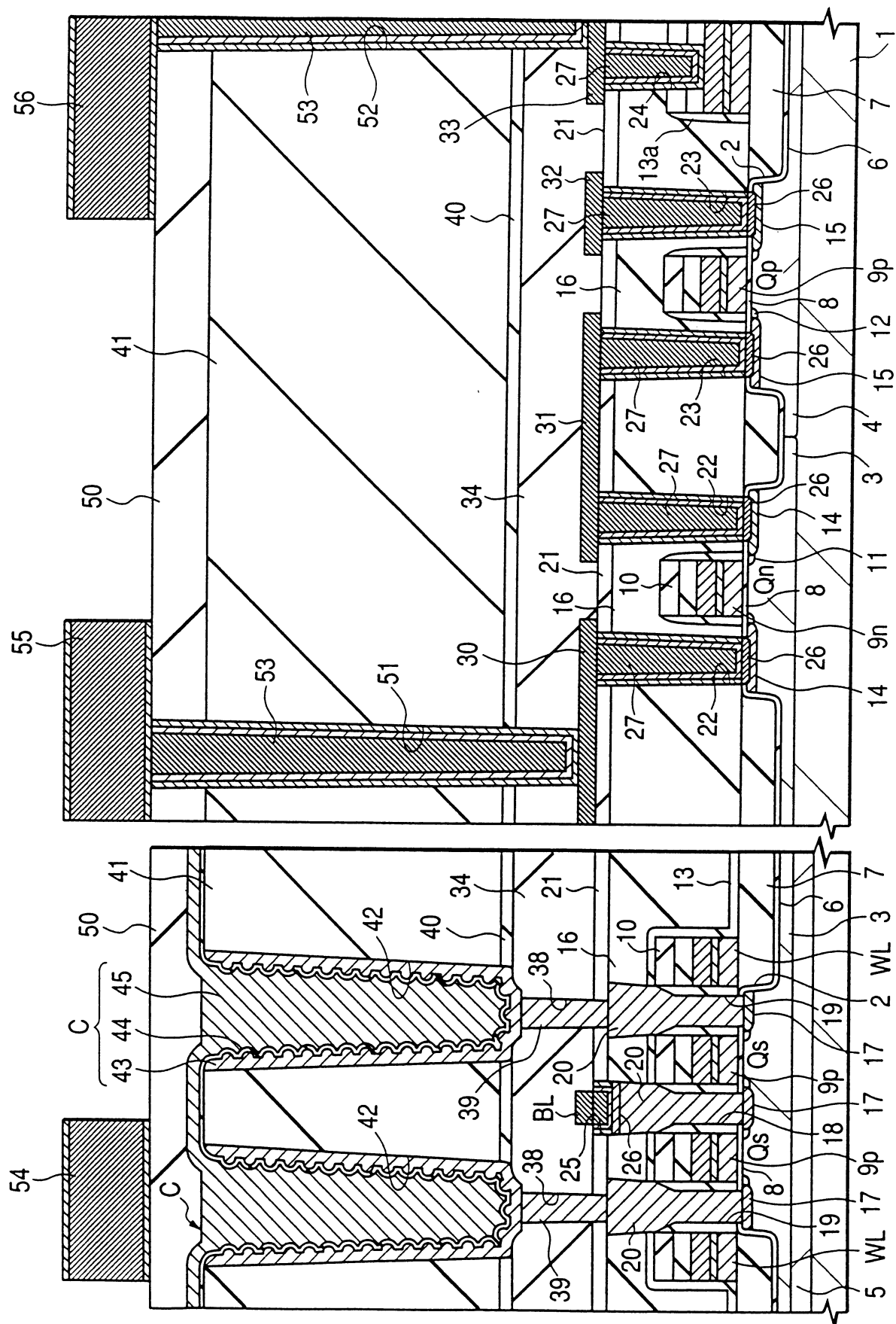
第 34 圖



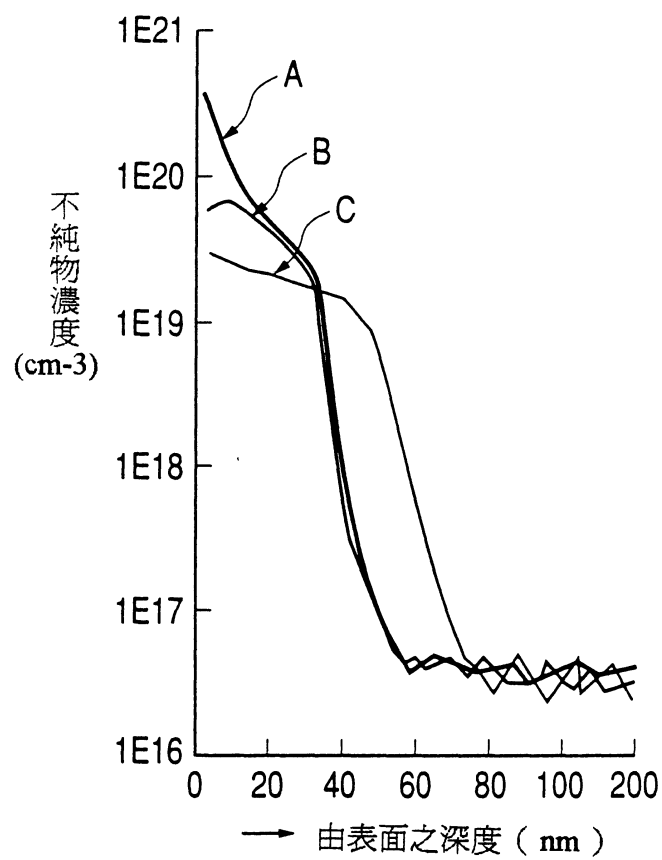
第 35 圖



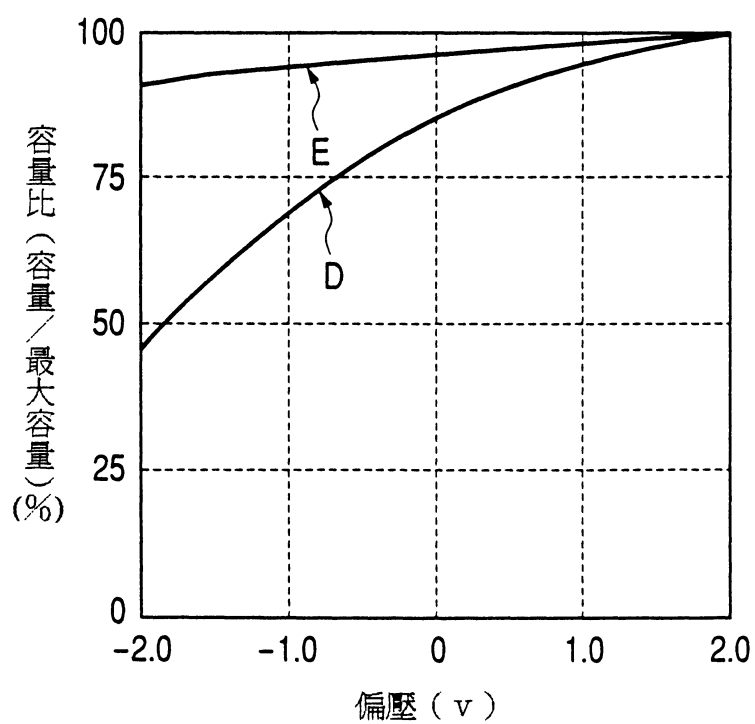
第 36 圖



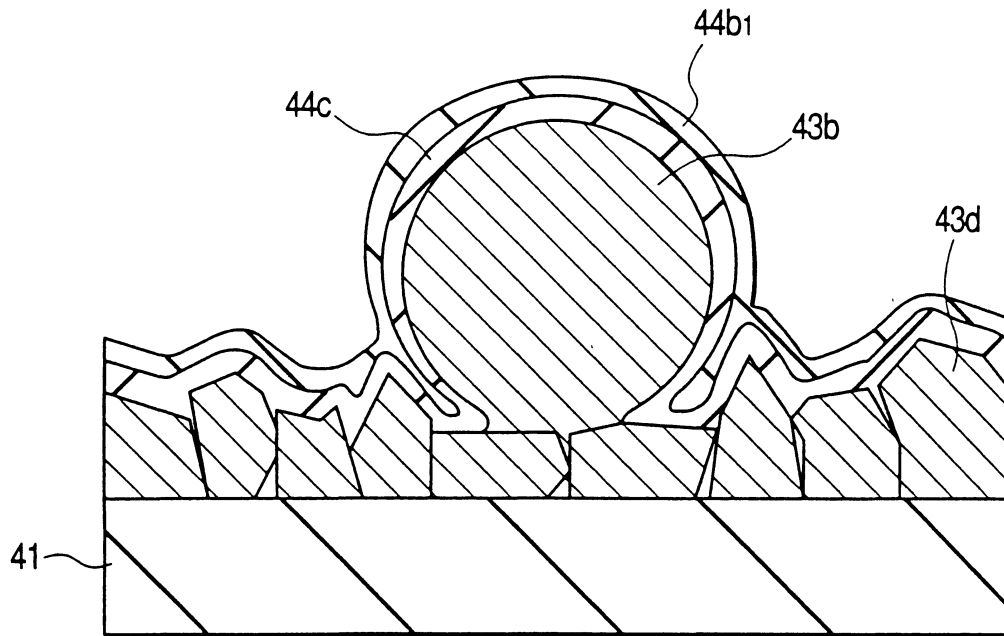
第 38 圖



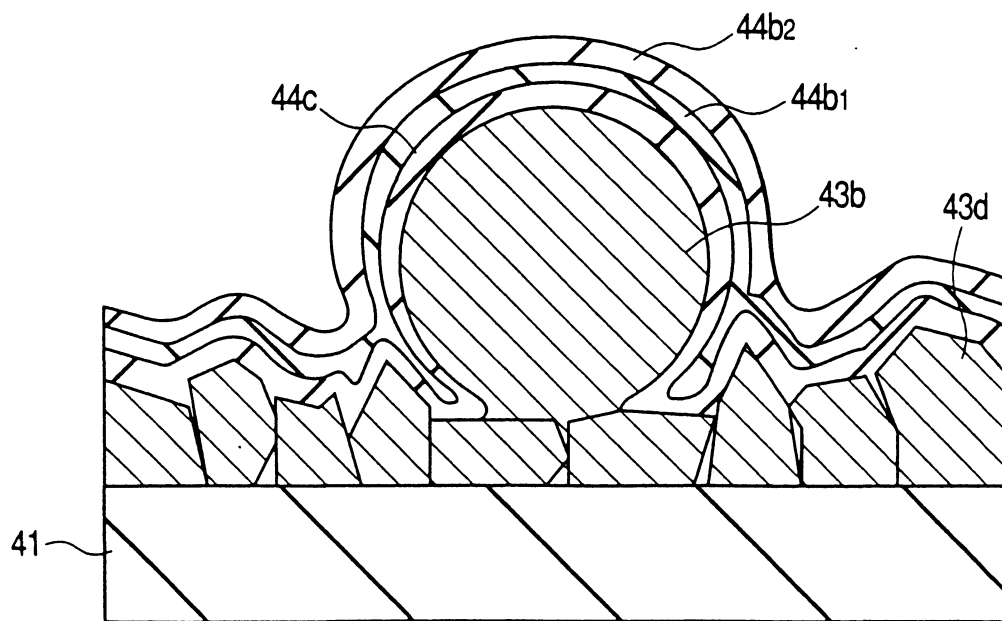
第 39 圖(a)



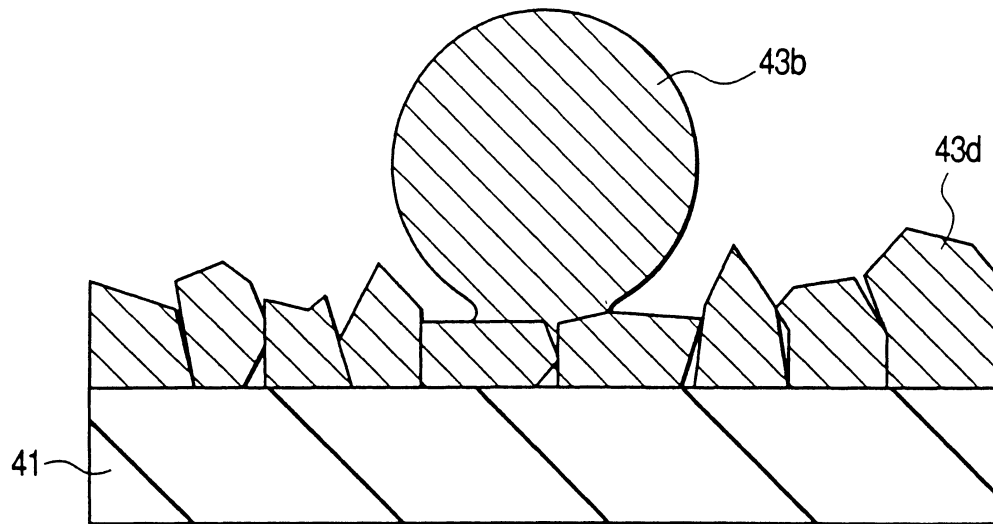
第 39 圖(b)



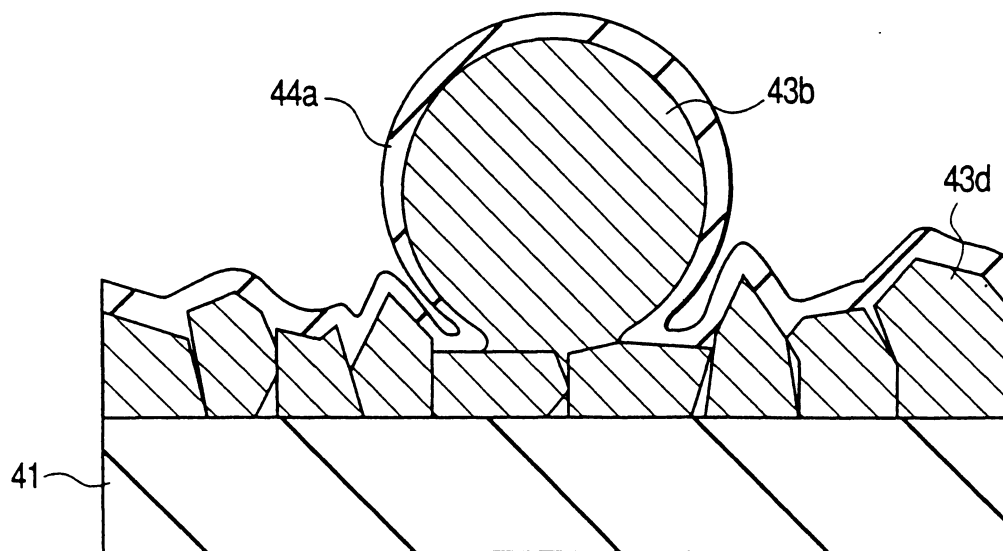
第 40 圖



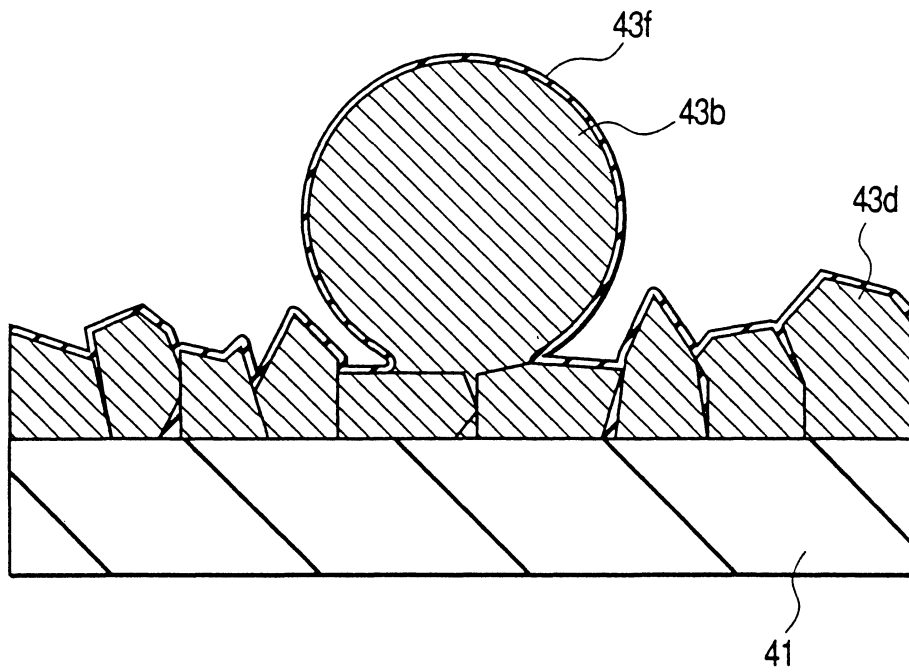
第 41 圖



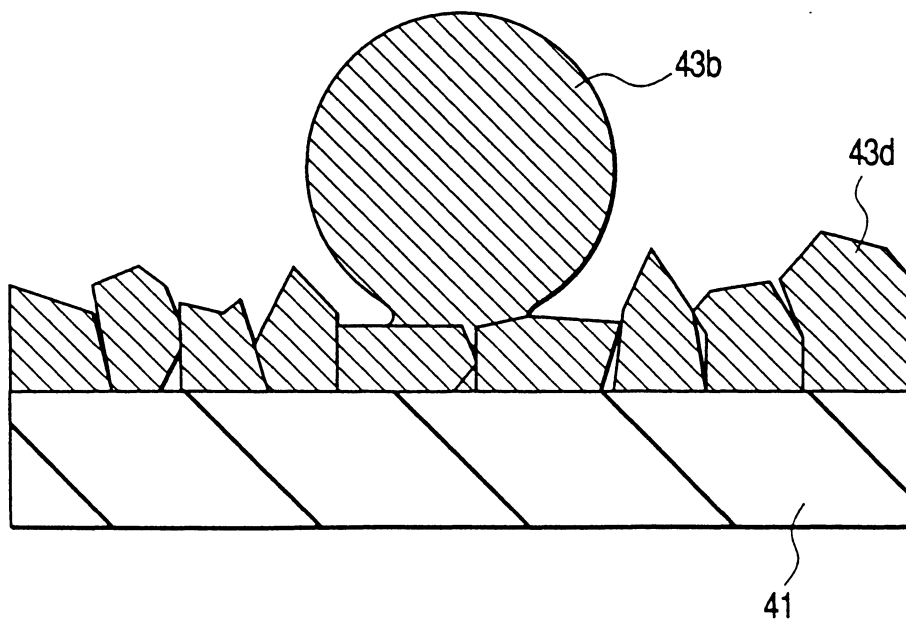
第 42 圖



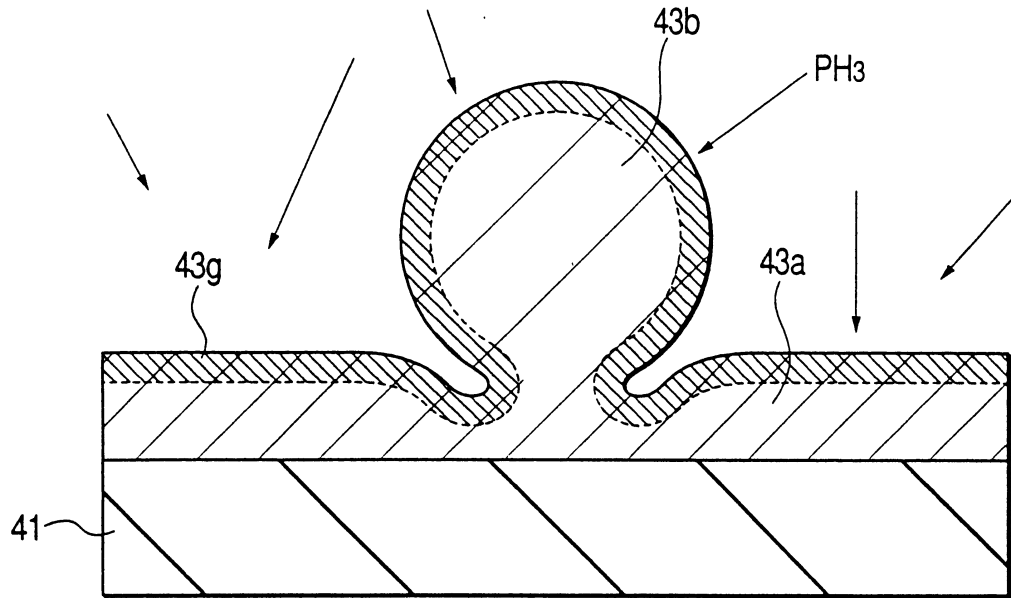
第 43 圖



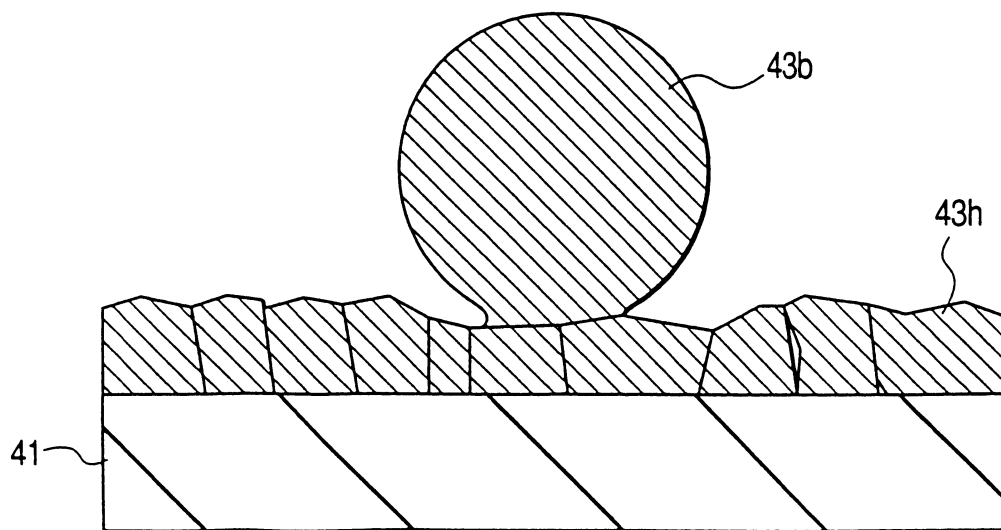
第 44 圖



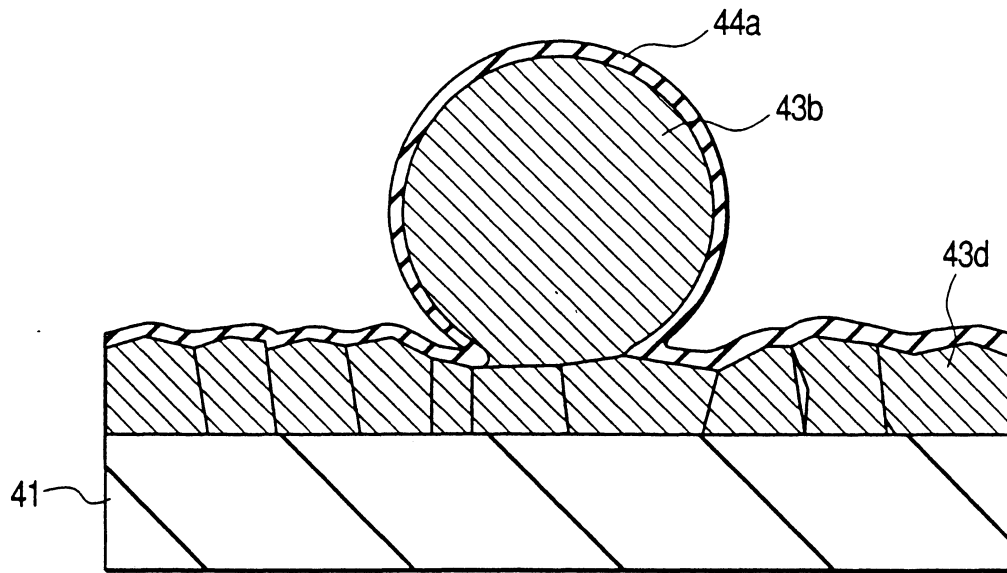
第 45 圖



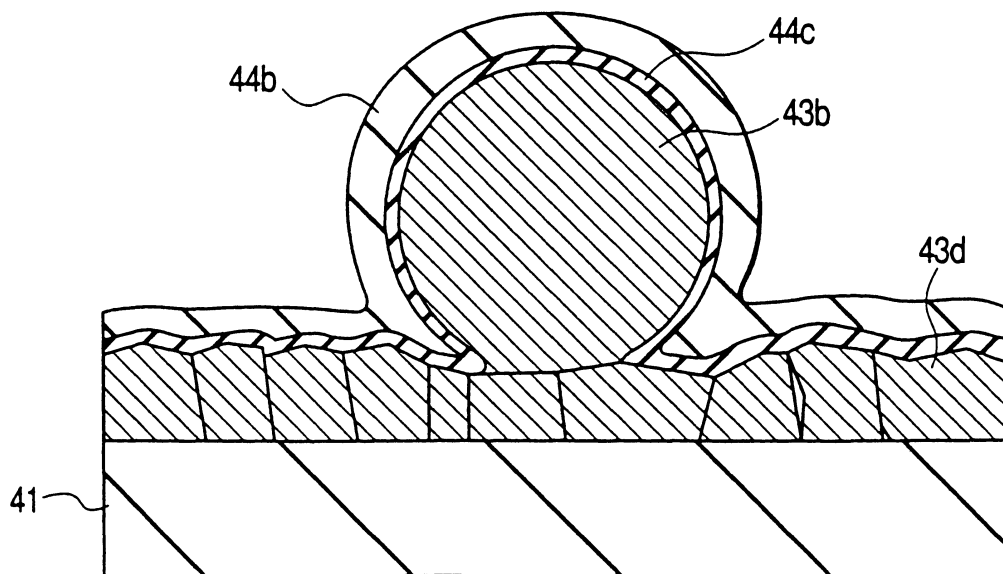
第 46 圖



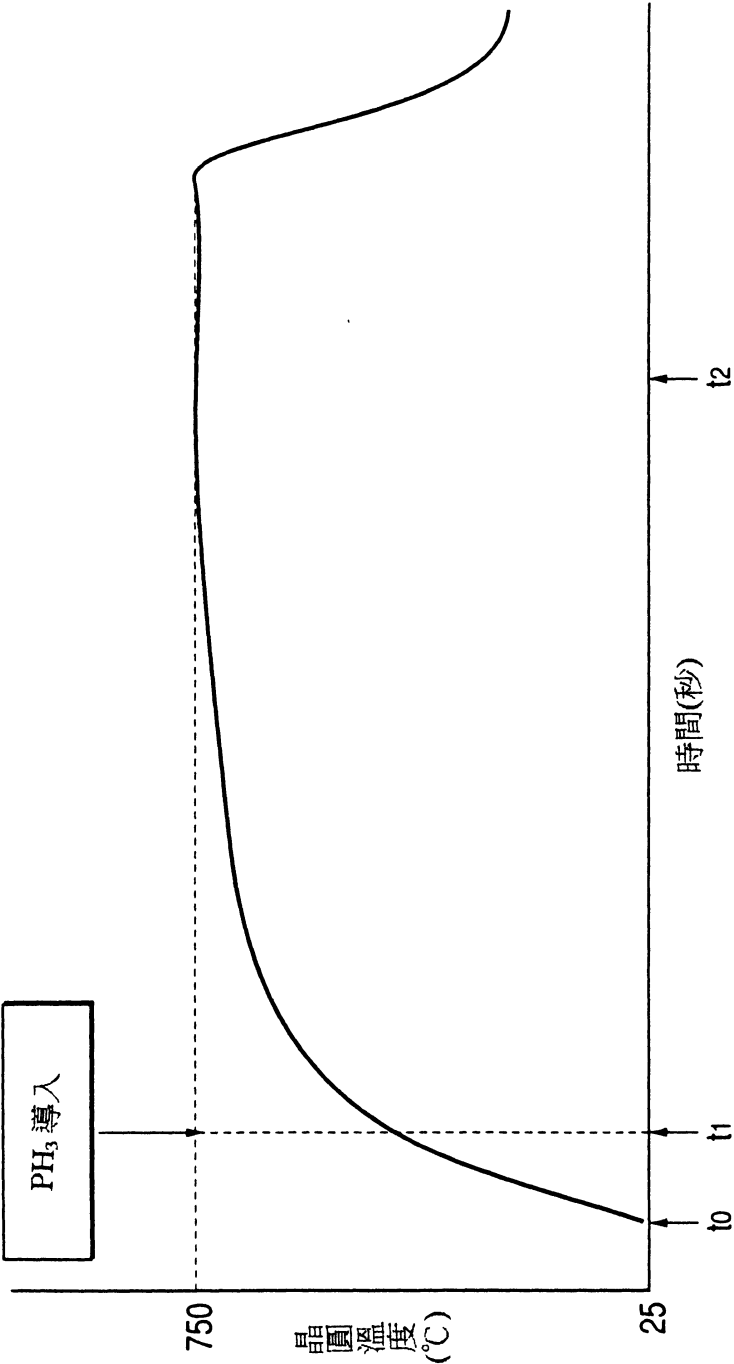
第 47 圖



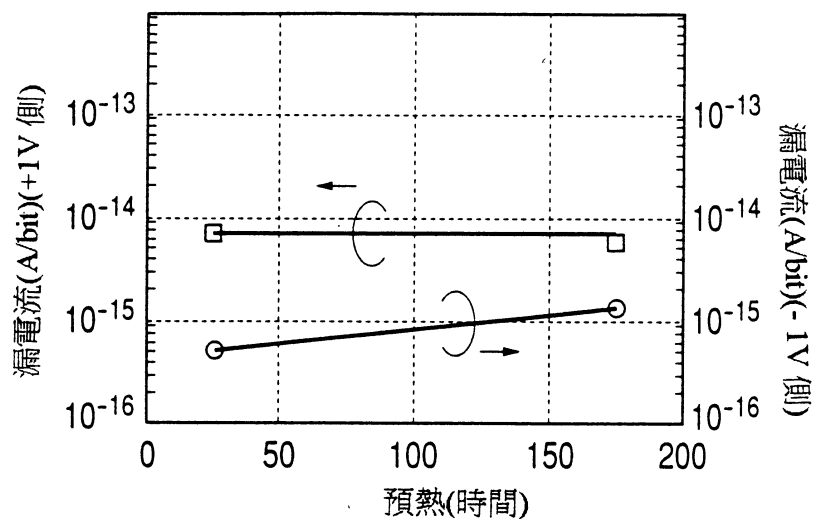
第 48 圖



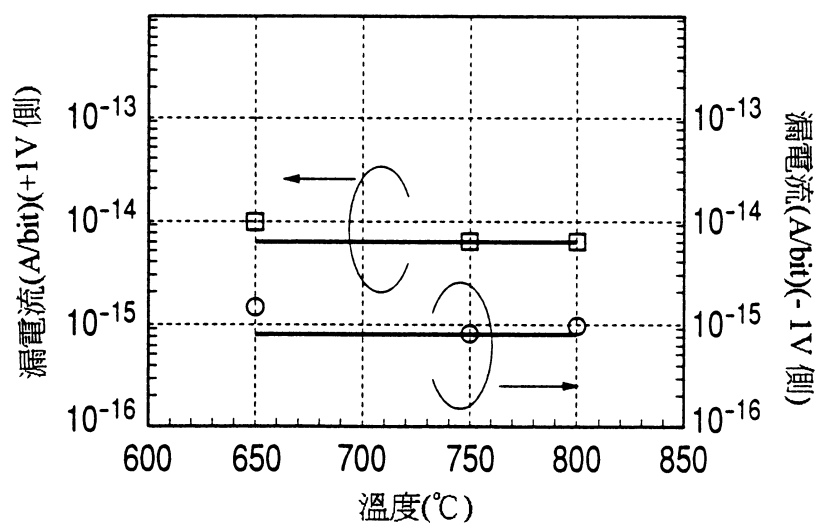
第 49 圖



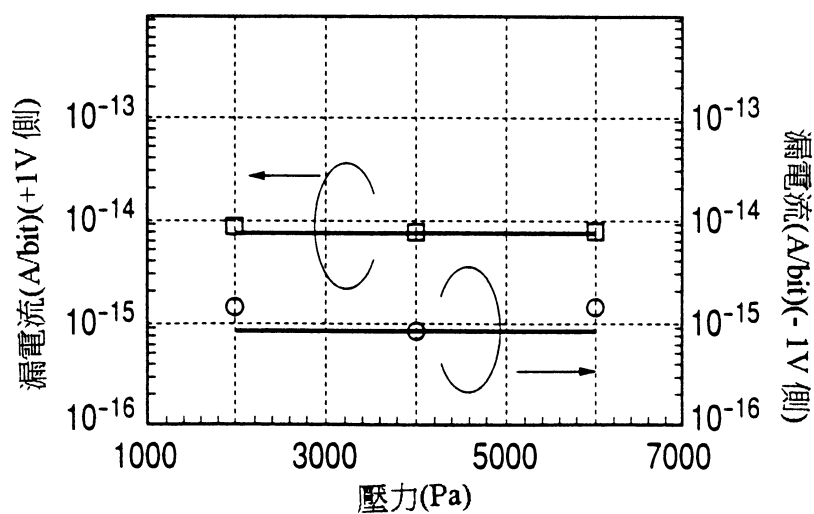
第 50 圖



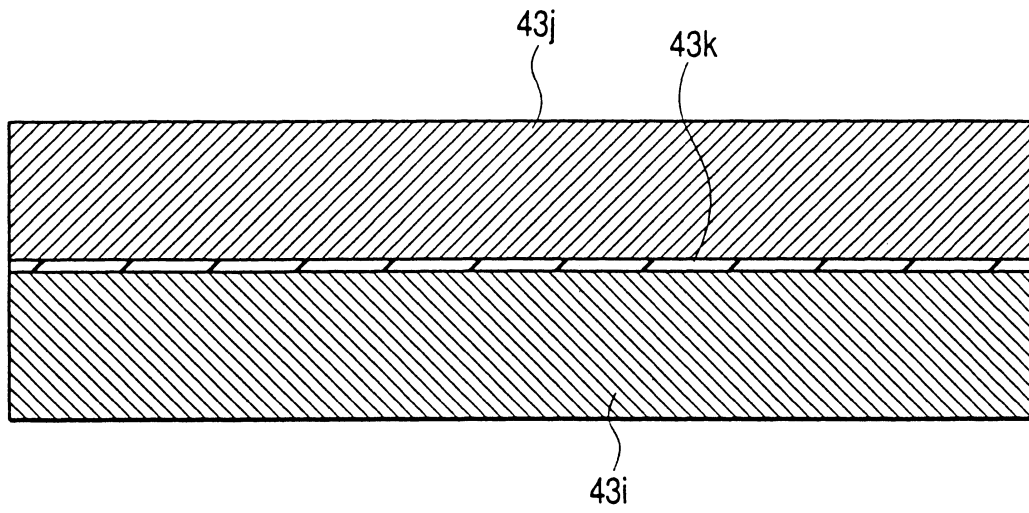
第 51 圖



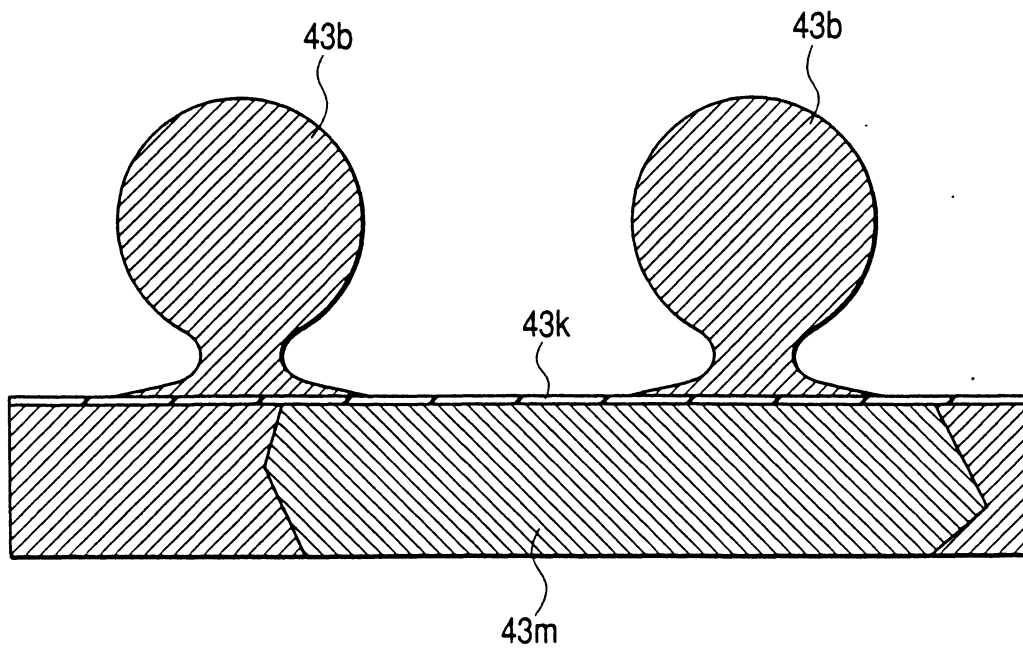
第 52 圖



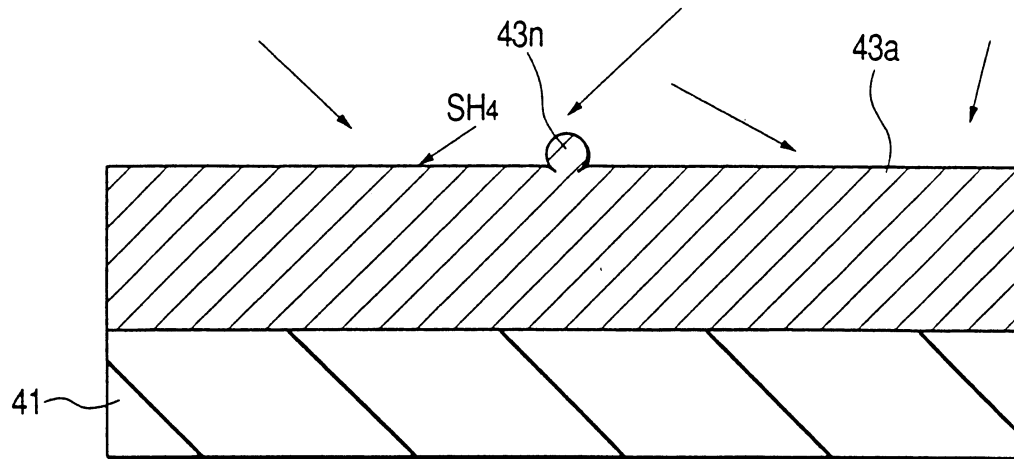
第 53 圖



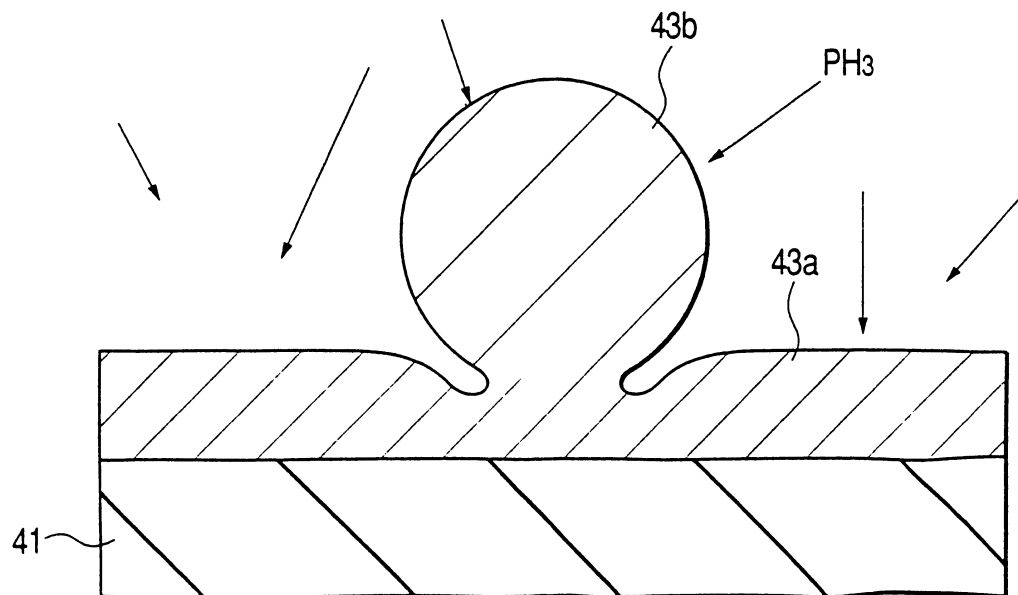
第 54 圖



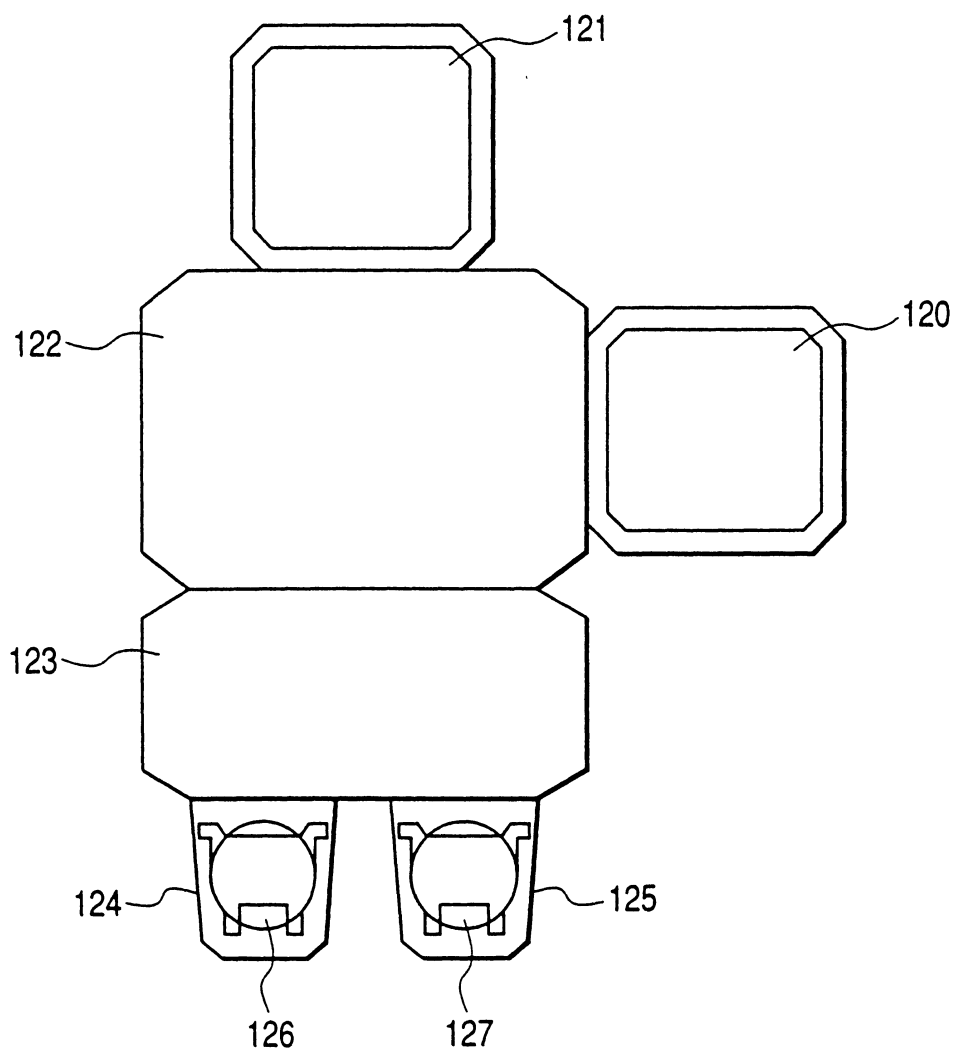
第 55 圖



第 56 圖



第 57 圖



第 58 圖

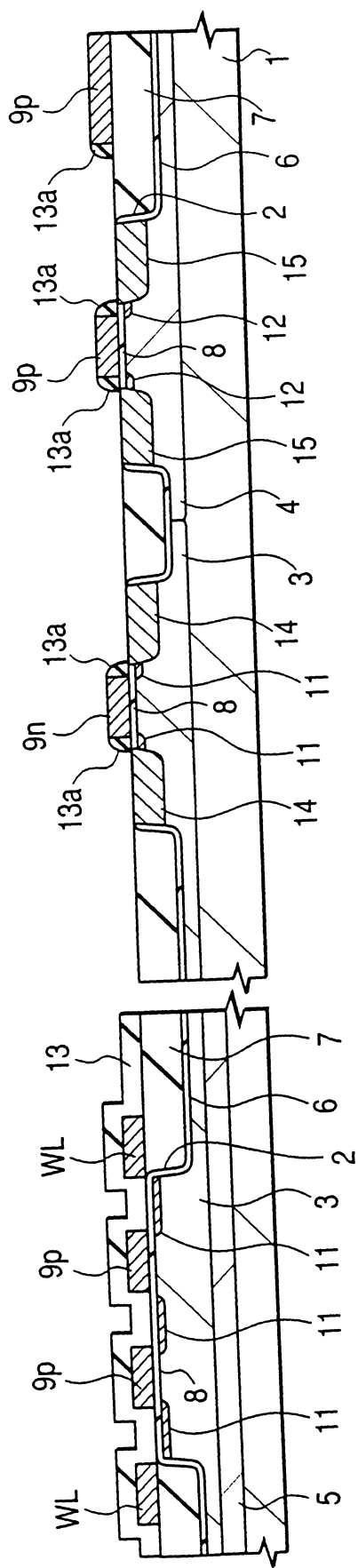


圖 59 第

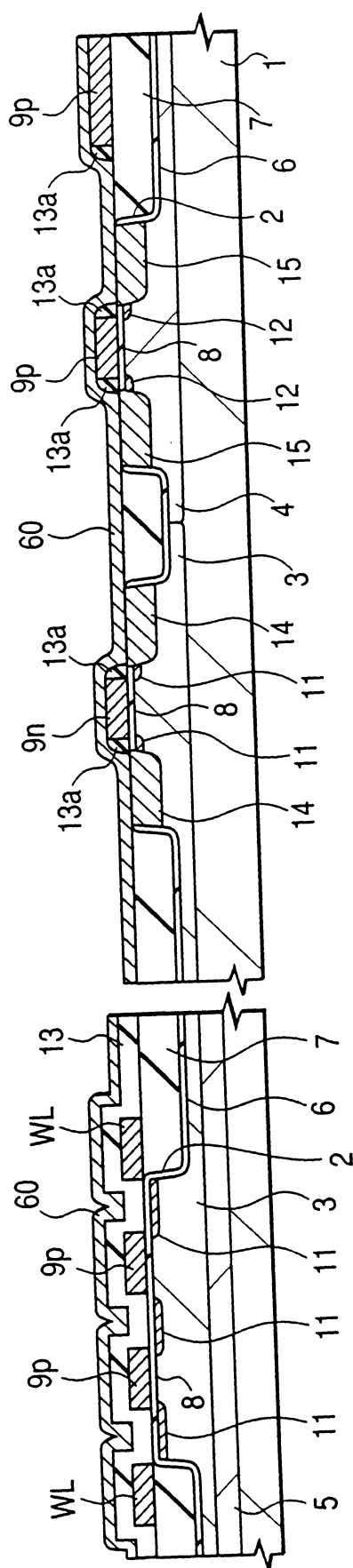
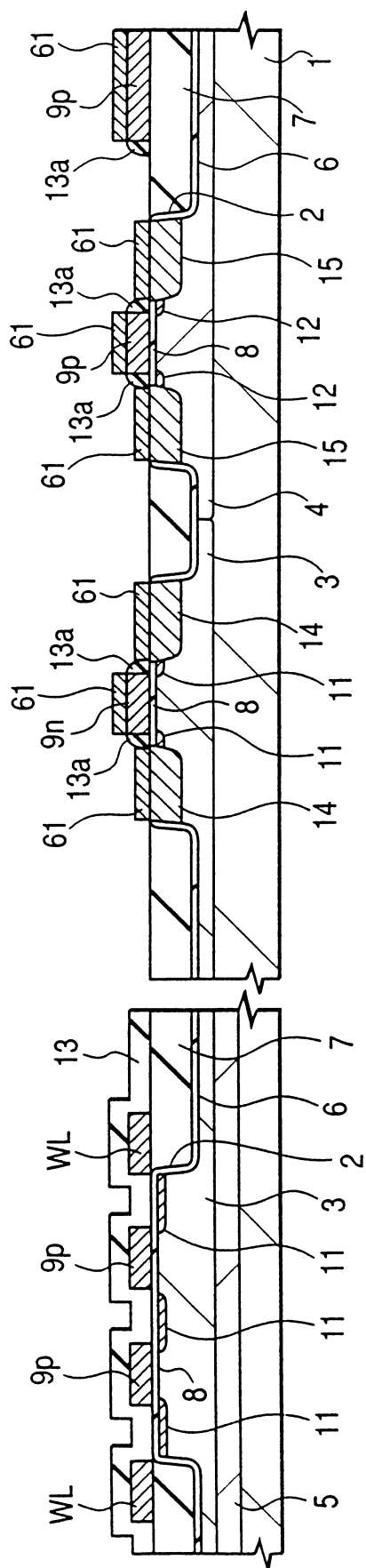
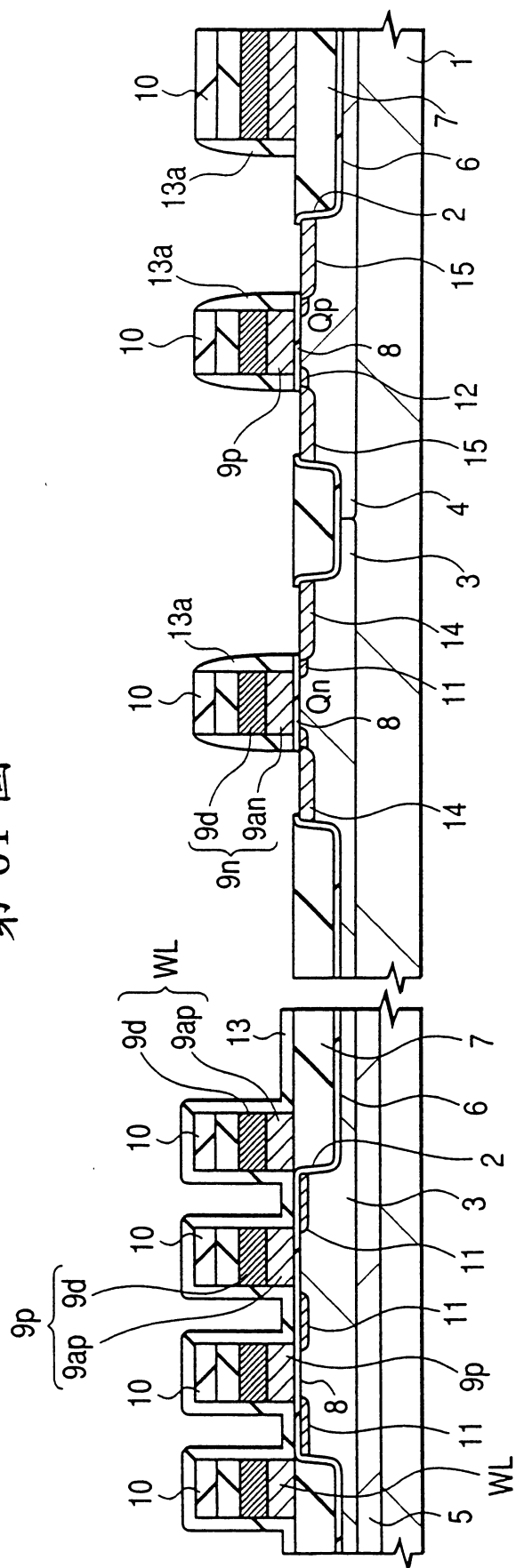


圖 60 第



第 61 圖



91.12.12

六、申請專利範圍

第 89111653 號專利申請案

中文申請專利範圍修正本

民國 91 年 12 月 12 日修正

1. 一種半導體積體電路裝置之製造方法，其特徵係

(a) 堆積非晶質狀態之矽膜，使該矽膜之表面變粗糙之工程，

(b) 於前述 (a) 工程之後，於包含不純物元素之氮下，將該矽膜經由熱處理，於矽膜導入不純物之工程

(c) 於前述 (b) 工程之後，結晶化該粗面化之矽整體的工程。

2. 一種半導體積體電路裝置之製造方法，其特徵係

(a) 堆積非晶質狀之第 1 矽膜，堆積非晶質狀之第 2 矽膜，形成堆積矽膜之工程，

(b) 於前述 (a) 工程之後，於包含不純物元素之氮下，將該堆積矽膜經由熱處理，於堆積矽膜導入不純物之工程，

(c) 於前述 (b) 工程之後，結晶化該第 2 矽膜，使該堆積矽膜之表面變組的工程。

3. 如申請專利範圍第 2 項記載之半導體積體電路裝置之製造方法，其中在前述第 1 矽膜與前述第 2 矽膜之間形成自然氧化膜。

4. 如申請專利範圍第 3 項記載之半導體積體電路裝置之製造方法，其中被包含於前述第 1 矽膜之不純物量比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

被包含於前述第 2 矽膜之不純物量還多。

5 . 如申請專利範圍第 1 項記載之半導體積體電路裝置之製造方法，其中前述不純物之導入後，對前述矽膜施以 800°C 以下、15 分鐘以內之熱處理，之後，在前述矽膜上形成電介質膜。

6 . 如申請專利範圍第 1 項記載之半導體積體電路裝置之製造方法，其中前述不純物導入後之前述熱處理後，使前述矽膜之表面清淨化。

7 . 如申請專利範圍第 1 項記載之半導體積體電路裝置之製造方法，其中前述不純物元素為磷 (P)，導入前述不純物元素之熱處理係在包含磷 (PH_3) 之氣氛中，以 $500^{\circ}\text{C} \sim 850^{\circ}\text{C}$ 之溫度範圍進行。

8 . 如申請專利範圍第 1 項記載之半導體積體電路裝置之製造方法，其中導入前述不純物元素之熱處理係在包含磷 (PH_3) 以及氫氣 (H_2) 之減壓狀態之氣體氣氛中，於 $500^{\circ}\text{C} \sim 850^{\circ}\text{C}$ 之溫度範圍、10 分鐘以下之處理時間進行。

9 . 一種半導體積體電路製造裝置，其係具備：在基板堆積非晶質矽膜之第 1 反應室；以及可以進行基板之熱處理之第 2 反應室；以及被接續於前述第 1 以及第 2 反應室，一邊保持減壓狀態，一邊將前述基板搬運於前述第 1 以及第 2 反應室之真空搬運室；以及被接續於前述真空搬運室，進行前述基板之裝載、卸載之裝載閉鎖室之半導體積體電路製造裝置，其特徵為：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

六、申請專利範圍

在前述第 1 反應室之非晶質矽膜之對前述基板之堆積後，將前述基板搬入前述第 2 反應室，藉由前述第 2 反應室之矽烷氣體之照射以及熱處理，使前述非晶質矽膜之表面粗糙化，在前述粗糙化之開始後，導入包含磷之氣體於前述第 2 反應室，使前述粗糙化停止之同時，對前述被粗糙化之矽膜導入磷。

1 0 . 如申請專利範圍第 9 項記載之半導體積體電路製造裝置，其中於前述第 2 反應室中，將前述基板之溫度上升至前述被粗糙化之矽膜之全部被結晶化之溫度為止。

1 1 . 如申請專利範圍第 1 0 項記載之半導體積體電路製造裝置，其中更具有：可以進行氮氣氛之熱處理或矽氮化膜之堆積之被接續於前述真空搬運室之第 3 反應室；

由前述第 2 反應室往前述第 3 反應室，透過前述真空搬運室，不真空破壞地移動前述基板，於前述第 3 反應室中，在前述被粗糙化之矽膜之表面形成矽氮化膜。

1 2 . 一種半導體積體電路裝置之製造方法，其特徵係

(a) 於半導體基板之主面上，形成絕緣之工程，

和 (b) 於該絕緣膜，形成開口部之工程，

和 (c) 包含該開口部內之壁面，於該絕緣膜之上，形成非晶質狀之矽膜，

和 (d) 使該矽膜之表面變粗糙之工程，

和 (e) 於該粗糙面化之矽膜，經由氣相法，導入不純物之工程，

六、申請專利範圍

和 (f) 工程 (e) 後，結晶化該矽膜之工程，

和 (g) 除去導入該不純物之矽膜的一部分，於該開口部中，形成電容元件第 1 電極的工程，

和 (h) 於該電容元件之第 1 電極上，形成介電質膜的工程，

和 (i) 於該介電質膜上，形成電容元件之第 2 電極的工程；

具有與形成於該半導體基板上之 M I S F E T，和該 M I S F E T 之源極・汲極範圍具有導電性連接的電容元件者。

1 3 . 如申請專利範圍第 1 2 項記載之半導體積體電路裝置之製造方法，其中導入前述不純物之熱處理溫度係與形成電介質膜之工程之熱處理溫度相同或比較低。

(請先閱讀背面之注意事項再填寫本頁)

訂