



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 38 663 T2** 2008.08.28

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 923 209 B1**

(51) Int Cl.⁸: **H04L 25/03** (2006.01)

(21) Deutsches Aktenzeichen: **698 38 663.9**

(86) PCT-Aktenzeichen: **PCT/JP98/01995**

(96) Europäisches Aktenzeichen: **98 917 753.0**

(87) PCT-Veröffentlichungs-Nr.: **WO 1998/049808**

(86) PCT-Anmeldetag: **30.04.1998**

(87) Veröffentlichungstag
der PCT-Anmeldung: **05.11.1998**

(97) Erstveröffentlichung durch das EPA: **16.06.1999**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **07.11.2007**

(47) Veröffentlichungstag im Patentblatt: **28.08.2008**

(30) Unionspriorität:
12635597 30.04.1997 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB, NL

(73) Patentinhaber:
Sony Corp., Tokio/Tokyo, JP

(72) Erfinder:
**NAKAMURA, Akira, Shinagawa-ku, Tokyo
141-0001, JP; OHKAWA, Sumihiro, Shinagawa-ku,
Tokyo 141-0001, JP; TAKIDUKA, Hiroshi,
Shinagawa-ku, Tokyo 141-0001, JP**

(74) Vertreter:
**Mitscherlich & Partner, Patent- und
Rechtsanwälte, 80331 München**

(54) Bezeichnung: **VORRICHTUNG UND VERFAHREN ZUM ÜBERTRAGEN VON DIGITALEN DATEN**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Verfahren und eine Vorrichtung zum Übertragen von Digitaldaten.

[0002] Als Schnittstellenstandard, der Hochgeschwindigkeits-Datenübertragung und Realzeitübertragung im Hinblick darauf, eine Schnittstelle zur Datenübertragung zu bilden, unterstützt, ist der serielle IEEE 1394-Hochleistungsbus-Standard (IEEE 1394-Standard) bekannt.

[0003] Dieser IEEE 1394-Standard liefert Datenübertragungsgeschwindigkeiten mit 100 Mbps (98,304 Mbps), 200 Mbps (195,608 Mbps) und 400 Mbps (393,216 Mbps). Für den 1394-Port, der eine Übertragungsgeschwindigkeit höherer Ordnung hat, ist vorgeschrieben, dass dieser Kompatibilität in Bezug auf die Übertragungsgeschwindigkeit unterer Ordnung hat. Somit können die Datenübertragungsgeschwindigkeiten von 100 Mbps, 200 Mbps und 400 Mbps auf dem gleichen Netzwerk zusammen existieren. Außerdem wird beim IEEE 1394-Standard ein Übertragungsformat des DS-LINK (DATA/STROBE/LINK)-Codiersystems verwendet, bei dem die Übertragungsdaten in Digitalsignale und Freigabesignale umgesetzt werden, welche die Datensignale ergänzen, wie in [Fig. 1](#) gezeigt ist, und wobei Taktsignale erzeugt werden, wobei ein exklusives ODER der beiden Signale genommen wird. Bezugnehmend auf die Kabelstruktur, welche in einer Querschnittsansicht von [Fig. 2](#) gezeigt ist, ist ein Kabel **200** mit einem Aufbau vorgeschrieben, wobei ein Kabel, welches durch Bündeln von zwei Sätzen verdrellter Leitungspaare (Signalleitungen) **202**, welche durch erste Abschirmschichten **201** abgeschirmt sind, erlangt wird, und Spannungsversorgungsleitungen **203** weiter durch eine zweite Abschirmschicht **104** abgeschirmt sind.

[0004] Im Verbindungssystem des IEEE 1394-Standards können zwei Arten von Systemen, nämlich ein Verkettungssystem und ein Knotenabzweigsystem verwendet werden. Mit dem Verkettungssystem können bis maximal 16 Knoten (eine Einrichtung, welche den 1394-Port hat) verbunden werden, wobei die maximale Länge zwischen den Knoten 4,5 m ist. Unter Verwendung der Knotenabzweigung in Kombination ist es, wie in [Fig. 3](#) gezeigt ist, möglich, bis zu 63 Knoten, die beim Standard möglich sind (physikalische Knotenadressen), zu verbinden.

[0005] Bei dem IEEE 1394-Standard kann das Verbinden oder Trennen des oben beschriebenen Kabels durchgeführt werden, wobei die Einrichtung im Betrieb verbleibt, d. h., im Spannungseinschaltzustand, so dass das 1394-Netzwerk automatisch im Zeitpunkt einer Knotenhinzufügung oder Löschung rekonstruiert werden kann. Die Einrichtung des Knotens, der in diesem Zeitpunkt verbunden wird, kann automatisch erkannt werden. Die ID oder das Layout der angeschalteten Einrichtungen kann auf der Schnittstelle verwaltet werden.

[0006] Die bestandteil-bildenden Elemente der Schnittstelle konform mit dem IEEE 1394-Standard wie auch die Protokollarchitektur sind in [Fig. 4](#) gezeigt. Die Schnittstelle des IEEE 1394 kann in Hardware und in Firmware klassifiziert werden.

[0007] Die Hardware besteht aus einer physikalischen Ebene (PHY) und einer verknüpften Ebene (Verknüpfungsebene).

[0008] In der physikalischen Ebene werden Signale des IEEE 1394-Standards unmittelbar angesteuert. Die Verknüpfungsebene hat die Host-Schnittstelle und die physikalische Ebene.

[0009] Die Firmware umfasst einen Transaktionsebene, welche aus einer Verwaltungsansteuerung besteht, um aktuelle Operationen für die Schnittstelle konform zum IEEE 1394-Standard auszuführen, und eine Verwaltungsebene, welche aus einer Ansteuerung zur Netzwerkverwaltung besteht, welche konform zum IEEE 1394-Standard ist, welche als Seriell-Bus-Verwaltung (SBM) bezeichnet wird.

[0010] Die Anwendungsebene umfasst eine Software, welche durch den Benutzer verwendet wird, und eine Verwaltungssoftware, um eine Schnittstelle mit der Verwaltungsebene oder der Transaktionsebene zu bilden.

[0011] Beim IEEE 1394-Standard wird der Transferbetrieb, welches im Netzwerk durchgeführt wird, als Hilfsaktion bezeichnet, für welche die folgenden beiden Arten der Hilfsaktion vorgeschrieben sind. Das heißt, als die beiden Hilfsaktionen werden ein asynchroner Übertragungsmodus, der als "asynchron" bezeichnet wird, und einer synchroner Übertragungsmodus, der einen Übertragungsbereich garantiert, der als "isochron" bezeichnet wird, definiert. Jede Hilfsaktion ist in drei Teile unterteilt und nimmt die Zustände an, welche als "Entscheidung", "Paketübertragung" und "Bestätigung" bezeichnet werden.

[0012] Bei der asynchronen Hilfsaktion wird die asynchrone Übertragung verwendet. In [Fig. 5](#), welches den zeitlichen Übergangszustand im Übertragungsmodus zeigt, spezifiziert die erste Hilfsaktionslücke den nicht-genutzten Zustand des Busses. Durch Überwachung der Hilfsaktions-Lückenzeit kommt die unmittelbar vorherige Übertragung zu einem Abschluss und es wird beurteilt, ob neue Übertragung möglich ist oder nicht.

[0013] Wenn der nicht genutzte Zustand für mehr als die vorher festgelegte Zeitdauer anhält, wird eine Entscheidung getroffen, dass ein Knoten, der die Übertragung wünscht, einen Bus verwenden kann, und es wird eine Entscheidung ausgeführt, um ein Buskontrollrecht zu erwerben. Eine Entscheidung, einen Bus anzuhalten, wird aktuell durch einen Knoten B getroffen, der bei einer Wurzel positioniert ist, wie in [Fig. 6a](#) und [Fig. 6b](#) gezeigt ist. Der Knoten, der das Buskontrollrecht durch diese Entscheidung erlangt hat, führt dann die Datenübertragung aus, d. h., Paketübertragung. Nach der Datenübertragung bringt ein Knoten, der Daten empfangen hat, eine Codebestätigung (Code, der zurückkehrt, um den Empfang zu bestätigen) zurück, der auf das empfangene Ergebnis für die übertragenen Daten antwortet, um Antwortbestätigung auszuführen. Durch Ausführen dieser Bestätigung können sowohl die Übertragungs- als auch die Empfangsknoten durch den Bestätigungsinhalt bestätigen, dass die Übertragung regulär beendet wurde.

[0014] Die Hilfsaktionslücke, d. h., der nicht genutzte Buszustand, wird dann wieder aufgenommen, um den obigen Übertragungsbetrieb zu wiederholen.

[0015] Bei der isochronen Hilfsaktion wird die Übertragung einer Struktur, welche grundsätzlich ähnlich der asynchronen Übertragung ist, ausgeführt. Diese Übertragung wird bevorzugt zur asynchronen Übertragung bei der asynchronen Hilfsaktion ausgeführt, wie in [Fig. 7](#) gezeigt ist. Diese asynchrone Übertragung der asynchronen Hilfsaktion wird bevorzugt zur asynchronen Übertragung bei der asynchronen Hilfsaktion ungefähr alle 8 kHz ausgeführt, um einen Übertragungsmodus festzulegen, der einen Übertragungsbereich garantiert. Dies realisiert eine Übertragung von Realzeitdaten.

[0016] Wenn asynchrone Übertragung von Realzeitdaten simultan in mehreren Knoten ausgeführt werden soll, wird eine Kanal-ID zum Unterscheiden des Inhalts (Übertragungsknoten) in den Übertragungsdaten festgelegt, um lediglich die angeforderten Realzeitdaten zu empfangen.

[0017] Die physikalische Ebene beim oben beschriebenen IEEE 1394-Standard besteht aus einer physikalischen logischen Blockebene (PHY LOGIC) **102**, einem Selektorblock (RXCLOCK/DATA SELECTOR) **103**, logischen Port-Blöcken (PORT LOGIC 1, PORT LOGIC 2, PORT LOGIC 3) **104**, **105**, **106**, Kabel-Ports (CARLE PORT 1, CARLE PORT 2, CARLE PORT 3) **107**, **108**, **109**, und einem Takterzeugungsblock (PLL) **110**, wie in [Fig. 8](#) gezeigt ist.

[0018] Der physikalische logische Blockebene **102** führt eine I/O-Steuerung und Entscheidungssteuerung mit der Verknüpfungsebene im IDEE 1394-Standard aus und ist nicht nur mit einer Verknüpfungsebenensteuerung **100** sondern auch mit dem Selektorblock **103** und mit den logischen Ports **104**, **105**, **106** verbunden.

[0019] Der Selektorblock **103** wählt Daten (DATA 1, DATA 2, DATA 3), welche über die logischen Blöcke **104**, **105**, **106** empfangen werden, welche mit den Kabel-Ports **107**, **108**, **109** verbunden sind, und Empfangstakte (RXCLK 1, RXCLK 2, RXCLK 3) aus und ist mit der physikalischen logischen Blockebene **102** und mit den logischen Ports **104**, **105**, **106** verbunden.

[0020] Zum Empfang wird jeder Satz von den Paketdaten DATA 1, DATA 2, DATA 3, welche über die logischen Ports **104**, **105**, **106** empfangen werden, und den Empfangstakten (RXCLK 1, RXCLK 2, RXCLK 3) ausgewählt, um die empfangenen Paketdaten und die Empfangsblöcke über die Kabel-Ports **107**, **108**, **109** zur physikalischen logischen Blockebene **102** zu senden. Wenn beispielsweise die Paketdaten DATA 1, welche über den logischen Block **104** über den Kabel-Port **107** und den Empfangstakt RXCLK empfangen werden, ausgewählt werden, werden die empfangenen Paketdaten (DATA 1) und deren Empfangstakt RXCLK 1 über den logischen Block **104** zum logischen Block **102** der physikalischen logischen Blockebene gesendet. Die Paketdaten, welche durch den Selektorblock **103** ausgewählt werden, werden durch den Empfangstakt in einen FIFO-Speicher in der physikalischen logischen Blockebene **102** geschrieben. Die Paketdaten, welche in den FIFO-Speicher geschrieben werden, werden durch einen Systemtakt SYSCLK, der durch einen Takterzeugungsblock **110** bereitgestellt wird, gelesen.

[0021] Der logische Block **104** sendet/empfängt ein Entscheidungssignal (ARB.SIGNAL) und Daten (DATA 1) über den Kabel-Port **107** und hat die Funktion, Empfangstakte (RXCLK 1) von den Datensignalen, welche über den Kabel-Port **107** gesendet werden, und von deren Freigabesignalen zu erzeugen. Dieser logische Block

104 wird während der Entscheidung mit einem Entscheidungssignal (ARB.SIGNAL) von der physikalischen logischen Blockebene **102** beliefert.

[0022] Während der Datenübertragszeit setzt der logische Block **104** die Paketdaten DATA 1, welche über den Selektorblock **103** von der physikalischen logischen Blockebene **102** mit Übertragungstakten TXCLK, welcher durch den Takterzeugungsblock **110** geliefert werden, gesendet werden, in serielle Daten um, welche über den Kabel-Port **107** gesendet werden.

[0023] Während des Datenempfangs sendet der logische Block **104** die Paketdaten DATA 1, welche über den Kabel-Port **107** empfangen werden, zur physikalischen logischen Blockebene **102** über den Selektorblock **103** zusammen mit den Empfangstakten (RXCLK 1). Wenn der logische Block **104** durch den Selektorblock **103** ausgewählt wird, werden die Paketdaten (DATA 1) in den FIFO-Speicher in der physikalischen logischen Blockebene **102** geschrieben.

[0024] Der Port des logischen Blocks **105** sendet/empfängt das Entscheidungssignal (ARB.SIGNAL) und die Daten (DATA 2) über einen Kabel-Port **108** und hat die Funktion, Empfangstakte (RXCLK 2) von den Datensignalen, welche über den Kabel-Port **108** gesendet werden, und deren Freigabesignale zu erzeugen. Der Port des logischen Blocks **105** wird während der Entscheidung mit einem Entscheidungssignal (ARB.SIGNAL) von der physikalischen logischen Blockebene **102** beliefert.

[0025] Während der Datenübertragszeit setzt der logische Block **105** die Paketdaten (DATA 2), welche von der physikalischen logischen Blockebene **102** gesendet werden, über den Selektorblock **103** durch die Übertragungstakte (TXCLK), welche durch den Takterzeugungsblock **110** bereitgestellt werden, in serielle Daten um, welche über den Kabel-Port **108** gesendet werden.

[0026] Während der Datenempfangszeit sendet dieser logische Port-Block **105** die Paketdaten (DATA 2), welche von der physikalischen logischen Blockebene **102** über den Kabel-Port **108** gesendet werden, über den Selektorblock **103** zur physikalischen logischen Blockebene **102** gemeinsam mit dem Empfangstakten (RXCLK 2). Wenn die physikalische logische Blockebene **102** durch den Selektorblock **103** ausgewählt ist, werden die Paketdaten (DATA 2) über die Empfangstakte (RXCLK 2) in den FIFO-Speicher in der physikalischen logischen Blockebene **102** geschrieben.

[0027] Der logische Port-Block **106** sendet/empfängt das Entscheidungssignal (ARB.SIGNAL) und die Daten (DATA 3) über einen Kabel-Port **108** und hat die Funktion, Empfangstakte (RXCLK 3) von den Datensignalen, welche über den Kabel-Port **109** gesendet werden, und deren Freigabesignale zu erzeugen. Dieser logische Port-Block **106** wird während der Entscheidung mit einem Entscheidungssignal (ARB.SIGNAL) von der physikalischen logischen Blockebene **102** beliefert.

[0028] Während der Datenübertragszeit setzt der logische Port-Block **106** die Paketdaten (DATA 3), welche von der physikalischen logischen Blockebene **102** über den Selektorblock **103** gesendet werden, durch die Übertragungstakte (RXCLK), welche durch den Takterzeugungsblock **110** bereitgestellt werden, in serielle Daten um, welche über den Kabel-Port **109** gesendet werden.

[0029] Während der Datenempfangszeit wird dieser logische Port-Block **106** die Paketdaten (DATA 3), welche über den Kabel-Port **109** und den Selektorblock **103** empfangen werden, zur physikalischen logischen Blockebene **102** gemeinsam mit den Empfangstakten (RXCLK 2). Wenn dieser logische Port-Block **106** durch den Selektorblock **103** ausgewählt ist, werden die Paketdaten (DATA 1) durch die Empfangstakte (RXCLK 1) in den FIFO-Speicher in der physikalischen logischen Blockebene **102** geschrieben.

[0030] Der Kabel-Port **107** steuert ein verdrehtes Kabelpaar mit einem Signal an, welches vom logischen Port-Block **104** gesendet wird, wobei der Pegel des Signals, welches über das verdrehte Kabelpaar gesendet wird, umgesetzt wird, um das umgesetzte Signal zum logischen Port-Block **104** zu senden.

[0031] Der Kabel-Port **108** steuert das verdrehte Kabelpaar mit einem Signal an, welches vom logischen Port-Block **105** gesendet wird, wobei er den Pegel des Signals, welches über das verdrehte Kabelpaar gesendet wird, umsetzt, um das umgesetzte Signal zum logischen Port-Block **105** zu senden.

[0032] Der Kabel-Port **109** steuert das verdrehte Kabelpaar mit einem Signal an, welches vom logischen Port-Block **106** gesendet wird, wobei der Pegel des Signals umgesetzt wird, welches über das verdrehte Kabelpaar gesendet wird, um das umgesetzte Signal zum logischen Port-Block **106** zu senden.

[0033] Der Takterzeugungsblock **110** erzeugt Systemtakte (SYSCLK) von 49,152 MHz und Übertragungstakte (TXCLK) von 98,304 MHz von den Takten von 24,576 MHz, welche durch einen Quarzoszillator **111** bereitgestellt werden.

[0034] Die logischen Werte des Entscheidungssignals in der physikalischen Ebene sind drei Werte aus "1", "0" und "Z", und werden gemäß der Regel erzeugt, welche in den Tabellen 1 und 2 gezeigt ist, wobei sie gemäß der Regel decodiert werden, welche in [Fig. 3](#) gezeigt ist. Der Wert "Z" zeigt einen Außerbetriebzustand einer Ansteuerung.

[0035] Von den beiden Sätzen der verdrehten Paarleitungen **202** sendet ein Satz der verdrehten Paarleitungen TPA/TPA* ein Freigabesignal (STRB_TX), während das Freigabesignal (STRB_RX) empfangen wird. Die Signale STRB_TX, DATA_TX, STRB_ENABLE und DATA_ENABLE werden verwendet, Entscheidungssignale (ARB_A_RX, ARB_B_RX) zu erzeugen.

Tabelle 1

Regel zur Erzeugung von Entscheidungssignalen

Übertragungsent- scheidungssignal A B (ARB_A_TX)	Ansteuerung		Vermerk
	STRB_TX	STRB_Freigabe	
Z	-	0	TPA-Ansteuerung nicht in Betrieb
0	0	1	TPA-Ansteuerung in Betrieb Freigabe: niedrig
1	1	1	TPA-Ansteuerung in Betrieb Freigabe: hoch

Tabelle 2

Regel zur Erzeugung von Entscheidungssignalen

Übertragungsent- scheidungssignal A B (ARB_B_TX)	Ansteuerung		Vermerk
	DATA_TX	DATA_Freigabe	
Z	-	0	TPA-Ansteuerung: nicht in Betrieb
0	0	1	TPA-Ansteuerung in Betrieb Daten: nied- rig
1	1	1	TPA-Ansteuerung in Betrieb; Daten: hoch

Tabelle 3

Regel zum Decodieren von Entscheidungssignalen

Empfang Entscheidung Vergleichswert (ARB_n_RX)	Entscheidungssignal, gesendet von Port (ARB_n_RX)	interpoliertes Entscheidungssignal (ARB_n)	Notiz
			"n" ist "A" oder "B", diese Tabelle wird für jedes Signalpaar angewandt
Z	Z	Z	wenn dieser Port Z empfängt, ist das empfangene Signal gleich dem, welches durch den Port am anderen Kabelende gesendet wird
0	Z	0	
1	Z	1	
Z	0	1	wenn Komparator z empfängt, wenn dieser Port 0 sendet, endet anderer Port die 1
0	0	0	anderer Port sendet 0 oder Z
Z	1	1	anderer Port sendet 0
1	1	1	anderer Port sendet 1 oder Z

[0036] Auch in der physikalischen Ebene werden zwei Übertragungs-Entscheidungssignale (ABR_A_TX, ARB_B_TX) in Leitungszustände codiert, wobei die Regel verwendet wird, welche in [Fig. 4](#) gezeigt ist. Diese Zustände haben unterschiedliche Bedeutungen in Abhängigkeit davon, ob Signale zu einem Hauptknoten oder zu einem Nebenknoten gesendet werden, wie in Tabelle 4 gezeigt ist.

[0037] Das Haupt-Neben-Verhältnis im IEEE 1394-Standard wird nun erläutert. Von den mehreren Knoten, welche mit dem Netzwerk verbunden sind, existieren mehrere Knoten, welche an einem Ende (Blatt) vorhanden sind. Unmittelbar nach dem Zurücksetzen prüft jeder Knoten, ob er selbst ein Blatt ist oder nicht. Ob jeder Knoten ein Blatt ist, wird dadurch geprüft, indem erkannt wird, wie viele Kabel mit dem Knoten selbst verbunden sind. Insbesondere ist ein Knoten, der einen einzigen Port hat, oder ein Knoten, der mehrere Ports hat, von denen lediglich einer verbunden ist, ein Knoten. Jedes Blatt tätigt eine Anfrage an einen Knoten, mit dem es verbunden ist (Hauptknoten). Der Knoten, der die Anforderung empfängt, akzeptiert den anfragenden Knoten, mit dem er verbunden ist, um ein Nebenknoten zu sein. Eine weitere Anfrage wird bezüglich einer Bestimmung der Verbindung von einem Knoten getätigt, für den das Haupt-Neben-Verhältnis nicht festgelegt wurde. Auf diese Weise wird die Haupt-Neben-Relation im Netzwerk festgelegt. Schließlich dient der Knoten, dessen Ports in seiner Gesamtheit als Hauptknoten dienen, als Wurzel.

Tabelle 4

Entscheidungs-Leitungszustände, gesendet über physikalische Ebene

Entscheidungsübertragung		Name der Leitungszustände	Notiz
ARB_A_TX	ARB_BT_X		
Z	Z	IDLE	gesendet, um Lücke zu zeigen
Z	0	TX_REQUEST	gesendet an Hauptknoten, um einen Bus anzufordern
		TX_GRANT	gesendet an Nebenknoten, wenn Bus genehmigt
0	Z	TX_PARENT_NOTIFY	gesendet an Hauptkandidatenknoten in TREE_ID-Phase;
0	1	TX_DATA_PREFIX	gesendet vor Paketdaten oder zwischen Paketdaten verbundener Hilfsaktion
1	Z	TX_CHILD_NOTIFY	gesendet an Nebenknoten, um PARENT NOTIFY zu begreifen
		TX_IDENT_DONE	gesendet an Hauptknoten, um Ende von SELF-ID-Phase zu zeigen
1	0	TX_DATA_END	gesendet nach Ende von Paketübertragung
1	1	BUS_RESET	gesendet zur Busrekonstruktion

[0038] In der physikalischen Ebene werden die Interpolations-Entscheidungssignale (ARB_A, ARB_B) in Leitungszustände gemäß der Regel decodiert, welche unten in Tabelle 5 gezeigt ist.

Tabelle 5

Leitungszustände der Entscheidungssignale durch physikalische Ebene

Interpolation Entscheidungssignale		Name der Leitungszustände	Notiz
ARB_A	ARB_B		
Z	Z	IDLE	PHY des verbundenen Nachbarknotens ist nicht in Betrieb
Z	0	RX_PARENT_NOTIFY	PHY des verbundenen Nachbarknotens versucht, ein Nebenknoten zu sein
		RX_REQUEST_CANCEL	PHY des verbundenen Nachbarknotens hat aufgegeben Anforderung
Z	1	RX_IDENT_DONE	PHY des Nebenknotens beendete SELF-ID-Phase
0	Z	RX_SELF_ID_GRANT	PHY des Hauptknotens genehmigt Bus für SELF_ID

		RX_REQUEST	PHY von Nebenknoten fordert Bus an
0	0	RX_ROOT_CONTENTION	sowohl PHY von Nebenknoten als auch PHY verbundenem Nachbarknoten versuchen, Nebenknoten zu sein
		RX_GRANT	PHY von Hauptknoten benehmt Bussteuerung
0	1	RX_PARENT_HANDSHAKE	PHY von verbundenem Nachbarknoten versteht PARENT_NOTIFY
		RX_DATA_END	PHY des verbundenen Nachbarknotens beendet Datenblockübertragung, um Bus freizusetzen
1	Z	RX_CHILD_HANDSHAKE	PHY des verbundenen Nachbarknotens versteht TX_CHILD_NOTIFY
1	0	RX_DATA_PREFIX	PHY des verbundenen Nachbarknotens versucht, Paketdaten zu senden oder versucht, Daten nach dem Übertragungsende des Datenblocks zu senden
1	1	SBUS_RESET	gesendet zur Bus-Rekonstruktion

[0039] Der oben definierte IEEE 1394-Standard liefert notwendige Bedingungen für eine Schnittstelle, um eine bildhandhabende Heimausrüstung mit einem Computer zu verbinden, so dass eine Vielzahl von Geräten, beispielsweise Audio- oder Videogeräte oder Personalcomputer leicht über ein einziges Kabel in einem Haus angeschaltet werden können, um ein Heimnetzwerk zu bilden, um erleichterten Betrieb der verschiedenen Geräte zu zulassen.

[0040] Da jedoch der IEEE 1394-Standard vorsieht, dass der Abstand zwischen den miteinander verbundenen Geräten, d. h., die Kabellänge zwischen Knoten, 4,5 m maximal ist, so dass, wenn ein Netzwerk in einem Haus über mehrere Räume aufzubauen ist, es notwendig ist, eine große Anzahl von Knoten lediglich für die Kabelverbindung bereitzustellen.

[0041] Wenn außerdem gewünscht wird, das Kabel zu verlängern, ohne das System einer physikalischen Ebene im IEEE 1394-Standard zu modifizieren, ist es notwendig, dass das Kabel bezüglich des Durchmessers vergrößert werden muss, wodurch die Verarbeitbarkeit des Kabellegens für das Netzwerk vermindert wird, wobei das Kabel selbst teuer ist.

[0042] Es ist daher eine Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zum Übertragen von digitalen seriellen Daten bereitzustellen, bei dem die Kabellänge zwischen den Knoten in einer digitalen seriellen Datenschnittstelle, in welcher eine richtige Entscheidung zur Bus-Verwendung vor der Datenübertragung wie im Fall des IEEE 1394-Standards durchgeführt wird, erweitert wird, um Übertragung über langen Abstand zu ermöglichen.

[0043] Widmer, Franaszek: A DC-balanced, partitioned-block, 8B/10B transmission Code" IBM Journal of Research and Development, Band 27, Nr. 5, September 1983, Seite 440–451, Armonk, US, offenbart eine Datenübertragungsvorrichtung gemäß dem Oberbegriff des Patentanspruchs 1.

[0044] Die vorliegende Erfindung liefert eine Datenübertragungsvorrichtung nach Anspruch 1 und ein Datenübertragungsverfahren nach Anspruch 16.

[0045] Die Erfindung wird weiter als Ausführungsbeispiel mit Hilfe der beiliegenden Zeichnungen beschrieben, in denen:

[0046] [Fig. 1](#) ein Zeitablaufdiagramm ist, um eine Signalstruktur von Übertragungsdaten beim IEEE 1394-Standard zu zeigen;

[0047] [Fig. 2](#) eine Querschnittsansicht eines Kabels ist, welches beim IEEE 1394-Standard vorgeschrieben ist;

[0048] [Fig. 3](#) ein Aufbaubeispiel eines Netzwerks zeigt, bei dem der IEEE 1394-Standard verwendet wird;

- [0049] [Fig. 4](#) eine Protokollarchitektur und eine Schnittstelle im Einklang mit dem IEEE 1394-Standard zeigt;
- [0050] [Fig. 5](#) ein Paket zur asynchronen Übertragung zeigt;
- [0051] [Fig. 6](#) die richtige Erlangung der Verwendung des Buszustands durch Entscheidung zeigt;
- [0052] [Fig. 7](#) ein Paket zur isochronen Übertragung zeigt;
- [0053] [Fig. 8](#) ein Blockdiagramm ist, welches ein Strukturbeispiel einer realen Ebene beim IEEE 1394-Standard zeigt;
- [0054] [Fig. 9](#) ein Blockdiagramm ist, welches den Aufbau einer Schnittstelleneinrichtung zur Schnittstellenbildung für digitale serielle Daten zeigt, welche bei einer Ausführungsform der vorliegenden Erfindung verwendet werden;
- [0055] [Fig. 10](#) ein Blockdiagramm ist, welches einen spezifischen Aufbau eines Verwürfelungsblocks in einer Schnittstelleneinrichtung für die obigen digitalen seriellen Daten zeigt;
- [0056] [Fig. 11](#) ein Blockdiagramm ist, welches einen Bereich eines speziellen Aufbaus eines Entwüfelungsblocks in der obigen Schnittstelleneinrichtung für die digitalen seriellen Daten zeigt;
- [0057] [Fig. 12](#) ein Blockdiagramm ist, welches einen Teil des speziellen Aufbaus des Entwüfelungsblocks zeigt;
- [0058] [Fig. 13](#) ein Blockdiagramm ist, welches einen Teil des speziellen Aufbaus des Entwüfelungsblocks zeigt;
- [0059] [Fig. 14](#) ein Blockdiagramm ist, welches den speziellen Aufbau des Entwüfelungsblocks in seiner Gesamtheit zeigt;
- [0060] [Fig. 15](#) ein Blockdiagramm ist, welches einen weiteren speziellen Aufbau des Entwüfelungsblocks in seiner Gesamtheit zeigt.
- [0061] Bezugnehmend auf die Zeichnungen werden bevorzugte Ausführungsformen der vorliegenden Erfindung ausführlich erläutert.
- [0062] Die vorliegende Erfindung wird unter Verwendung einer Schnittstelleneinrichtung für digitale serielle Daten realisiert, die aufgebaut ist, wie beispielsweise in [Fig. 9](#) gezeigt ist.
- [0063] Die in [Fig. 9](#) gezeigte Schnittstelleneinrichtung besteht aus einer physikalischen logischen Blockebene (PHY LOGIC) **1**, einem Selektorbloc (RXCLOCK/DATA SELECTOR) **2**, einem Umsetzungsverarbeitungsbloc (**4B/5B** CONVERTER & ARB.SIGNAL CONVERTER) **3**, Verwürfelungsblocen (SCRAMBLE 1, SCRAMBLE 2) **4A, 4B**, Entwüfelungsblocen (DE-SCRAMBLE 1, DE-SCRAMBLE 2) **5A, 5B**, Übertragungsblocen (P/S1, P/S2) **6A, 6B**, Empfangsblocen (RX-PLL1 P/S, RX-PLL2 P/S) **7A, 7B**, einem logischen Port-Bloc **8** (PORT LOGIC), einer Analogansteuerung (ANALOG DRIVER) **9** und einem Takterzeugungsbloc (PLL) **10**.
- [0064] Die physikalische logische Blockebene **1** führt eine I/O-Steuerung und eine Entscheidungssteuerung mit einer Verknüpfungsebene durch, welche beim seriellen IEEE 1394-Hochleistungsbus-Standard vorgesehen ist, der anschließend als IEEE 1394-Standard bezeichnet wird, und ist sowohl mit einer Verknüpfungsebenensteuerung **100**, welche konform ist zum IEEE 1394-Standard, als auch mit dem oben erwähnten Selektorbloc **2**, dem Umsetzungsverarbeitungsbloc **3** und dem logischen Port-Bloc **8** verbunden.
- [0065] Die I/O mit der Verknüpfungsebene in der physikalischen logischen Blockebene **1** ist äquivalent zum IEEE 1394-Standard, d. h., die Kommunikation zwischen der Verknüpfungsebene und der physikalischen Ebene besteht darin dass, Datensignale (DATA) und Steuersignale (CTRL) gesendet/empfangen werden. Außerdem wird ein Verknüpfungsanforderungssignal (LREQ) von der Verknüpfungsebene zur physikalischen logischen Blockebene **1** als Sendeanforderung von der Verknüpfungsebene zur physikalischen Ebene gesendet.
- [0066] Diese physikalische logische Blockebene **1** hat eine Entscheidungssteuerung, die darin eingebaut ist,

und steuert die Übertragung/den Empfang zwischen dem Entscheidungsprozess und dem Bus durch die Entscheidungssteuerung. Wenn es eine Paketübertragungsanforderung von der Verknüpfungsebene gibt, startet die physikalische logische Blockebene **1** die Entscheidung nach einer geeigneten zeitlichen Lücke. Die zeitliche Lücke variiert mit der Art der Entscheidung. Die physikalische logische Blockebene **1** sendet außerdem Paketdaten (DATA) von der Verknüpfungsebene zum Selektorblock **2**, während sie die Entscheidungsanforderung von der Verknüpfungsebene zum Umsetzungsverarbeitungsblock **3** und zum logischen Port-Block **8** sendet.

[0067] Der Selektorblock **2** wählt Sätze an Daten (DATA 1, DATA 2) aus, welche über den Umsetzungsverarbeitungsblock **3** und die Empfangstakte (RXCLK 1, RXCLK 2) empfangen werden, und einen Satz an Daten (DATA 3), welche über den logischen Port-Block **8** und die Empfangstakte (RXCLK 3) empfangen werden, und ist mit der physikalischen logischen Blockebene **1**, mit dem Umsetzungsverarbeitungsblock **3**, mit den Empfangsblöcken **7A**, **7B** und dem logischen Port-Block **8** verbunden.

[0068] Um Daten zu senden sendet dieser Selektorblock **2** Paketdaten (DATA), welche von der physikalischen logischen Blockebene **1** gesendet werden, zum Umsetzungsverarbeitungsblock **3** und zum logischen Port-Block **8**. Dieser sendet Übertragungsdaten zu allen Übertragungsporen. Für einen Empfang wählt der Selektorblock **2** einen Satz an Paketdaten (DATA 1, DATA 2, DATA 3), welche über den Umsetzungsverarbeitungsblock **3** und den logischen Port-Block **8** empfangen werden, und Verarbeitungstakte (RXCLK 1, RXCLK 2, RXCLK 3) aus und sendet den ausgewählten Satz, beispielsweise Paketdaten (DATA 1) und die Empfangsblöcke (RXCLK 1) zur physikalischen logischen Blockebene **1**. Die Paketdaten, welche durch den Selektorblock **2** ausgewählt werden, beispielsweise die Paketdaten (DATA 1), welche durch den Umsetzungsverarbeitungsblock **3** empfangen werden, werden durch die Empfangsblöcke (RXCLK 1) in den FIFO-Speicher in der physikalischen logischen Blockebene **1** geschrieben. Die Paketdaten, welche in den FIFO-Speicher geschrieben werden, werden durch die Systemtakte SYSCLK, welche durch den Takterzeugungsblock **10** geliefert werden, gelesen.

[0069] Der Umsetzungsverarbeitungsblock **3** arbeitet als 4-Datenbit-/5-Datenbit-Umsetzungseinrichtung und als Entscheidungssignal-Umsetzungsverarbeitungseinrichtung, um 5-Bit-Symbole abweichend von 5-Bit-Symbolen, welche den Daten durch die 4-Bit-Daten-/5-Daten-Bit-Umsetzungseinrichtung zugeordnet werden, Entscheidungssignalen zuzuordnen. Während der Entscheidung setzt der Umsetzungsverarbeitungsblock **3** die Entscheidungssignale (ARB.SIGNAL 1, ARB.SIGNAL 2), welche von der physikalischen logischen Blockebene **1** gesendet werden, in ein oder zwei 5-Bit-Symbole um, die zugeordnet werden, wie in Tabelle 6 gezeigt ist, und sendet die umgesetzten Symbole zu den Verwürfelungsblöcken **4A**, **4B**. Das heißt, zum Senden teilt der Umsetzungsverarbeitungsblock **3** jedes eine Symbol jeder Entscheidung zu mit Ausnahme von TX_DATA_PREFIX und BUS_RESET, während er zwei Symbole (11000 10001) dem TX_DATA_PREFIX zuteilt und zwei Symbole (00000 11111) dem BUS_RESET zuteilt, um die resultierenden Daten, wie in Tabelle 6 gezeigt ist, zu senden. Im Übrigen ist die Tabelle 6 der vorliegenden Ausführungsform äquivalent der Tabelle 4 beim IEEE 1394-Standard.

[0070] Gleichzeitig setzt der Umsetzungsverarbeitungsblock **3** das 5-Bit-Entscheidungssymbol, welches von den Verwürfelungsblöcken **5A**, **5B** gesendet wird, in Signale, welche den Entscheidungszuständen entsprechen, auf Basis von Tabelle 7 um, und sendet die resultierenden Signale zur physikalischen logischen Blockebene **1**. Diese Umsetzung wird auf Basis der empfangenen 5-Bit-Symbole und der vom Port gesendeten 5-Bit-Symbole ausgeführt. Unter den Entscheidungen, welche beim IEEE 1394-Standard vorgesehen sind, gibt es die, welche vom Übertragungszustand der Entscheidungssignale des Unterverzeichnisses und des Hauptverzeichnisses abhängen, wie in Tabelle 5 gezeigt ist. Wenn beispielsweise der Hauptverzeichnisknoten und der Unterverzeichnisknoten TX_PARENT_NOTIFY gleichzeitig miteinander ausgeben, gilt: ABR_A_TX = 0 und ABR_B_TX = Z beim IEEE 1394-Standard auf Basis von Tabelle 4, so dass in den entsprechenden Knoten gilt: ABR_A = 0 und ABR_B = 0, wie in Tabelle 3 gezeigt ist. Das heißt, die Signale, die von den jeweiligen Knoten gesendet werden, löschen sich gegenseitig aus. Da bei der vorliegenden Ausführungsform digitale serielle Signale zu der verdrehten Paarleitung gesendet werden, wird dieses Löschen nicht durchgeführt. Daher wird das Übertragungssymbol im Speicher oder Register in dem Umsetzungsverarbeitungsblock **3** gespeichert, und der Entscheidungszustand wird auf Basis der gespeicherten Übertragungssymbole und Empfangssymbole eingestellt, welche von den Entwürfelungsblöcken **5A**, **5B** gesendet werden, wobei die entsprechenden Entscheidungssignale zur physikalischen logischen Blockebene **1** gesendet werden. Für die Entscheidungssignale, welche zur physikalischen logischen Blockebene **1** gesendet werden, werden 2-Bit-Signale zugeordnet, um "0", "1" und "Z" gemäß dem IEEE 1394-Standard zu bezeichnen. Die verknüpften Entscheidungszustände werden von den Übertragungs- und Empfangssymbolen gefunden, und die Entscheidungssignale werden auf Basis der Tabelle 8 erzeugt und zur physikalischen logischen Blockebene **1** gesendet.

[0071] Im Übrigen kann der Entscheidungszustand außerdem auf Basis der Zustände des Knotens und der Empfangssymbole festgelegt werden, indem die Knotenzustände auf Basis der Symbole, welche zu einer Statusmaschine, die nicht gezeigt ist, verwaltet werden. Bei der vorliegenden Ausführungsform entspricht die Tabelle 7 der Tabelle 5 des IEEE 1394-Standards.

Tabelle 6

Übertragungssymbol, zugeordnet für Entscheidung

Übertragungssymbol	Entscheidungszustände
11111	IDLE
00100	TX_REQUEST
	TX_GRANT
00101	TX_PARENT_NOTIFY
11000 10001	TX_DATA_PREFIX
00111	TX_CHILD_NOTIFY
	TX_IDENT_DONE
01101	TX_DATA_END
00000 11111	BUS_RESET

Tabelle 7

Entscheidungssymbole, zugeordnet zur Entscheidung

Empfangssymbole	Übertragungssymbole	Entscheidungszustände
11111	11111	IDLE
00101	11111	RX-PARENT_NOTIFY
11111	00100	RX_REQUEST_CANCEL
00111	11111	RX_IDENT_DONE
00100	11111	RX_SELF_ID_GRANT
00100	11111	RX_REQUEST
00101	00101	RX_ROOT_CONTENTION
00100	00100	RX_GRANT
00111	00101	RX_PARENT_HANDSHAKE
01101	11111	RX_DATA_END
11111	00111	RX_CHILD_HANDSHAKE
11000 10001	00100	RX_DATA_PREFIX
11000 10001	00111	RX_DATA_PREFIX
11000 10001	11111	RX_DATA_PREFIX
00000 11111	(don't care)	BUS_RESET

Tabelle 8

Leitungszustände der Entscheidungssignale, empfangen durch physikalische Ebene

Entscheidungszustände	Entscheidungssignale	
	ARB_A	ARB_B
IDLE	Z	Z
RX_PARENT_NOTIFY	Z	0
RX_REQUEST_CANCEL		
RX_IDENT_DONE	Z	0
RX_SELF_ID_GRANT	0	Z
RX_REQUEST		
RX_ROOT_CONTENTION	0	0
RX_GRANT		
RX_PARENT_HANDSHAKE	0	1
RX_DATA_END		
RX_CHILD_HANDSHAKE	1	Z
RX_DATA_PREFIX	1	0
BUS_RESET	1	1

[0072] Während der Übertragung der Paketdaten setzt der Umsetzungsverarbeitungsblock **3** die Paketdaten (DATA 1, DATA 2), welche über den Selektorblock **2** von 4-Bit-Signalen gesendet werden, in 5-Bit-Signale um, die zugeteilt werden, wie in Tabelle 9 gezeigt ist, um die umgesetzten Signale zu den Verwürfelungsblöcken **4A**, **4B** zu senden. Gleichzeitig setzt der Umsetzungsverarbeitungsblock **3** die 5-Bit-Empfangspaketdaten, welche von den Entwürfelungsblöcken **5A**, **5B** gesendet werden, von den 5-Bit-Signalen in 4-Bit-Signale um, welche zum Selektorblock **2** gesendet werden.

Tabelle 9

Symbole, Daten zugeordnet

hexadezimal	binär	Symbole
0	0000	11110
1	0001	01001
2	0010	10100
3	0011	10101
4	0100	01010
5	0101	01011
6	0110	01110
7	0111	01111
8	1000	10010
9	1001	10011
A	1010	10110
B	1011	10111
C	1100	11010
D	1101	11011
E	1110	11100
F	1111	11101

[0073] Bei der 4-Bit/5-Bit-Umsetzung im obigen Umsetzungsverarbeitungsblock **3** werden 5-Bit-Symbole, welche eine größere Menge an Taktkomponenten enthalten, den Paketdaten (DATA 1, DATA 2) zugeteilt, wie in Tabelle 9 gezeigt ist. Dadurch kann die Empfangsseite der Paketdaten (DATA 1, DATA 2) positiv Empfangstakte (RXCLK 1, RXCLK 2) von den Empfangssignalen durch die PLL erzeugen.

[0074] Durch Zuordnen eines 5-Bit-Symbols, welches am häufigsten IDLE (11111) enthält, d. h., die Taktinformation, zum nichtgenutzten Zustand in der Entscheidung des IEEE 1394-Standards, kann der PLL-Verriegelungszustand auf der Empfangsseite beibehalten werden, sogar im nichtgenutzten Zustand bei der Entscheidung, womit somit ermöglicht wird, dass die Entscheidung verlässlich ausgeführt wird.

[0075] In dieser Schnittstelleneinrichtung, in welcher in jedem der Übertragungsblöcke **6A**, **6B**, wie später erläutert, die 5-Bit-Sendesignale von 5-Bit-Übertragungssignalen in serielle Daten und NRZ-Daten (ohne Rückkehr nach Null) in NRZ1-Daten umgesetzt werden, und Änderungen, die in Bezug auf die Daten veranlasst werden, als 3-Pegel-Signale gesendet werden, ist das gesendete Signal, welches die Maximalfrequenz hat, 11111 ... und entspricht dem 5-Bit-Symbol von IDLE (11111), welche den nichtgenutzten Zuständen in der Entscheidung des IEEE 1394-Standards zugeteilt wird, so dass das Signal den Hauptteil der Übertragungszeit einnimmt. Wenn die Übertragungsrate 100 Mbps beträgt, werden nicht benötigte Strahlungen, welche Spitzenwerte bei der Frequenz von 31,35 MHz haben, erzeugt, wenn Signale mit 125 Mbps durch **4B/5B** Umsetzung gesendet werden. Um die Spitzenwerte zu vermindern, genügt es, wenn voreingestellte Muster der Reihe nach nicht wiederholt werden. Daher sind die Verwürfelungsblöcke **4A**, **5B** vorgesehen, diese nicht benötigten Strahlungen zu vermindern.

[0076] Die Verwürfelungsblöcke **4A**, **4B** verwürfeln die 5-Bit-Übertragungssignale, welche vom Umsetzungsverarbeitungsblock **3** während der Übertragung der Paketdaten gesendet werden, um die nichtgenutzten Strahlen der 5-Bit-Übertragungssignale zu vermindern. Die Übertragungsblöcke **6A**, **6B** werden mit verwürfelten 5-Bit-Übertragungssignalen von den Verwürfelungsblöcken **4A**, **4B** zugeführt.

[0077] Da im Übrigen alle Symbole abweichend von nicht genutzten (11111), TX-DATA_PREFIX(11000 10001) und TX_DATA_END (01101) einen Datenkopf von 2-Bit "0" haben, kann jedes Entscheidungssignal mit 5-Bits einschließlich dieser mehreren "0" bestimmt werden, ein Symbol unter der Annahme zu sein, dass, wenn im Zeitpunkt der Symbolsynchronisierung nach der Seriell-Parallel-Umsetzung 2-Bit mehrere "0" gefunden

werden, diese den Anfang eines Symbols bezeichnen. Jedoch kann wie der BUS_RESET (00000 11111) jedes Entscheidungssignals in Bezug auf den Empfang von fünf aufeinanderfolgenden "0" bestimmt werden, ohne die mehreren 2-Bit "0" in betracht zu ziehen.

[0078] Der Grund dafür, dass die beiden Symbole (00000 11111) dem BUS_RESET zuzuteilen sind, ist, die PLL zu verriegeln und um den verriegelten Zustand beizubehalten. Wenn lediglich ein Symbol (00000) dem BUS_RESET zugeteilt ist, wird es unmöglich, die PLL zu verriegeln und um den Verriegelungszustand bei Empfang von BUS-RESET beizubehalten. Beim Zuordnen von 5-Bit-Symbolen den Daten und den Entscheidungszuständen wird dieser Code ausgewählt, der es für die PLL erlaubt, bei Umsetzung in den NRZI-Code verriegelt zu werden, ohne Partialität im DC-Gleichgewicht zu erzeugen. Da es eine bestimmte Grenze in Bezug auf die Anzahl der 5-Bit-Symbole gibt, welche diese Bedingungen erfüllen, kann ein Code, der diese Bedingungen erfüllt, durch Kombinieren von zwei Symbolen erlangt werden.

[0079] Wie für TX_DATA_PREFIX (11000 10001) wird unabhängig von anderen Entscheidungssignalen ermittelt. Das heißt, die Empfangsdaten werden um ein Bit verschoben, um fünf Datenfolgen vorzubereiten, jede mit einer Länge von 10 Bits. Wenn die Datenfolgen mit dem Bitmuster TX_DATA_PREFIX (11000 10001) zusammenfallen, wird der Empfang von TX_DATA_PREFIX bestimmt. Da die Paketdaten nacheinander unmittelbar nach Empfang von TX_DATA_PREFIX empfangen werden, kann Symbolsynchronisation der Paketdaten durch Empfang von TX_DATA_PREFIX angewandt werden.

[0080] Da TX_DATA_END (01101) nacheinander unmittelbar nach den Paketdaten empfangen wird, kann dies durch die gleiche Symbolsynchronisation wie die von TX_DATA_PREFIX und den Paketdaten ermittelt werden. Da das Bitmuster (11000 10001) von TX_DATA_PREFIX in der Datenfolge der Paketdaten nicht vorhanden ist, welche durch die Tabelle 9 umgesetzt wurden, wird dies in den Paketdaten nicht ermittelt, sogar, wenn Symbolsynchronisation nicht angewandt wird, so dass kein Empfang fehlerhafter Daten auftritt. Nach Ermittlung von TX_DATA_PREFIX werden Entscheidungssignale abgesehen von TX_DATA_END oder BUS_RESET nicht ermittelt.

[0081] Die Entwüfelungsblöcke **5A**, **5B** führen die Entwüfelung in Verbindung mit dem Verwürfeln durch die Verwürfelungsblöcke **4A**, **4B** bezüglich der 5-Bit-Empfangssignale durch, welche von den Empfangsblöcken **7A**, **7B** gesendet werden, um die 5-Bit-Empfangssignale zu entwüfeln. Der Umsetzungsverarbeitungsblock wird von den Entwüfelungsblöcken **5A**, **5B** mit den entwüfelten 5-Bit-Empfangssignalen beliefert.

[0082] Die Einschalte-/Ausschaltzustände der jeweiligen Operationen der Verwürfelungsblöcke **4A**, **4B** und der Entwüfelungsblöcke **5A**, **5B** können beim Schalten eingestellt werden.

[0083] Die Übertragungsblöcke **6A**, **6B** setzen die verwürfelten 5-Bit-Übertragungssignale, welche durch die Verwürfelungsblöcke **4A**, **4B** verwürfelt wurden, von Paralleldaten in Seriellaten und von NRZ-Daten in NRZI-Daten um, um die Änderungen, welche in den Daten verursacht werden, als 3-Werte-Signale zu senden.

[0084] Die Empfangsblöcke **7A**, **7B** setzen außerdem die Empfangssignale von den NRZI-Daten in NRZ-Daten und von seriellen Daten in die parallelen Daten um, um die 5-Bit-Empfangssignale zu den Entwüfelungsblöcken **5A**, **5B** zu senden. Die Empfangsblöcke **7A**, **7B** erzeugen Empfangstakte (RXCLK1, RXCLK2) von den empfangenen Daten durch PLL, um die erzeugten Takte zum Selektorblock **2** zu liefern.

[0085] Der logische Port-Block **8** ist ausgebildet, Daten (DATA 3) und Entscheidungssignale (ARB.SIGNAL 3) konform mit der physikalischen Ebene des IEEE 1394-Standards zu senden/zu empfangen und erzeugt Empfangstakte (RXCLK 3) von den Daten, welche über die analoge Ansteuerung **9** und deren Freigabesignale geliefert werden. Während der Entscheidung wird der logische Port-Block **8** mit dem Entscheidungssignal (ARB.SIGNAL 3) von der physikalischen logischen Blockebene **1** beliefert.

[0086] Während der Datenübertragung setzt der logische Port-Block **8** die Paketdaten (DATA 3), welche von der physikalischen logischen Blockebene **1** über den Selektorblock **2** gesendet werden, über die Übertragungstakte (TXCLK), welche von dem Takterzeugungsblock **10** geliefert werden, in serielle Daten um, welche über die analoge Ansteuerung **9** geliefert werden.

[0087] Während des Datenempfangs sendet der logische Port-Block **8** die Paketdaten (DATA 3), welche über die analoge Ansteuerung **9** empfangen werden, gemeinsam mit den Empfangstakten (RXCLK 3) über den Selektorblock **3** zur physikalischen logischen Blockebene **1**. Wenn dieser logische Port-Block **8** durch den Selektorblock **3** ausgewählt wird, werden die Paketdaten (DATA 3) durch seine Empfangstakte (RXCLK 3) in den

FIFO-Speicher in der physikalischen logischen Blockebene **1** geschrieben.

[0088] Der Takterzeugungsblock **10** ist ausgebildet, 49,152 MHz-Systemtakte (SYSCLK) und 98,304 MHz-Übertragungstakte (TXCLK) von den 24,576 MHz-Takten zu erzeugen, in Übereinstimmung mit einem Quarzoszillator **11**.

[0089] Die oben beschriebene Schnittstelleneinrichtung für serielle Daten umfasst den Umsetzungsverarbeitungsblock **3**, um 4-Bit-/5-Bit-Umsetzung in Bezug auf die Entscheidungssignale (ARB.SIGNAL 1, ARB.SIGNAL 2) und bezüglich der Paketdaten (DATA 1, DATA 2) durchzuführen, um die Entscheidungssignale (ARB.SIGNAL 1, ARB.SIGNAL 2) zu senden oder zu empfangen, und die Paketdaten (DATA 1, DATA 2) als 5-Bit-Codedaten über Übertragungsblöcke **6A**, **6B** und Empfangsblöcke **7A**, **7B** zu senden oder zu empfangen, um eine Übertragung über lange Entfernung unter Verwendung eines Glasfaserkabels oder eines preiswerten UTP-Kabels (verdritteltes nicht abgeschirmtes Paar) eines Übertragungskabels zu bewirken. Diese Schnittstelleneinrichtung umfasst außerdem den logischen Port-Block **8** und die analoge Ansteuerung **9** konform mit der physikalischen Ebene des IEEE 1394-Standards, um die Koexistenz des Übertragungspfads durch das Kabel zu ermöglichen, welches konform ist zum IEEE 1394-Standard, mit dem optischen Kabel oder dem Übertragungspfad durch das UTP-Kabel.

[0090] Die oben erwähnten Verwürfelungsblöcke **4A**, **4B** und die Entwürfelungsblöcke **5A**, **5B** werden anschließend erläutert.

[0091] Die obigen beiden Verwürfelungsblöcke **4A**, **4B** haben den gleichen Aufbau und umfassen jeweils Hauptstromregister **11A**, **11B**, **11C**, exklusive ODER-Gates **12A**, ... **12B**, **12C**, **12D** und **12E**, exklusive ODER-Gates **13A**, **13B**, **13C**, **13D** und **13E**, und einen Übertragungstaktgenerator **14**, wie beispielsweise in [Fig. 10](#) gezeigt ist. Wenn es keine Notwendigkeit gibt, eine Unterscheidung zu treffen, werden die Hauptstromregister **11A**, **11B**, **11C**, die exklusiven ODER-Gates **12A**, **12B**, **12C**, **12D** und **12E** und die exklusiven ODER-Gates **13A**, **13B**, **13C**, **13D** und **13E** anschließend als Hauptstromregister **11**, exklusive ODER-Schaltung **12** bzw. exklusive ODER-Schaltung **13** bezeichnet.

[0092] In einem Aufbaubeispiel des Verwürfelungsblocks werden, der in [Fig. 10](#) gezeigt ist, Übertragungstakte (CLOCK) zum Hauptstromregister **11** vom Übertragungstaktgenerator **14** gesendet. Das Hauptstromregister **11** ist ein 11-Bit-Register, dessen Anfangswert auf einen geeigneten Wert abgesehen von 0 gesetzt wird, beispielsweise [1111111111]. Im Hauptstromregister **11** werden Ausgangssignale der Ausgangs-Ports OUT0 bis OUT4 des Hauptstromregisters **11A** zu Eingangs-Ports IN5 bis IN9 des Hauptstromregisters **11B** bei jedem Übertragungstakt (CLOCK) gesendet, so dass Ausgangssignale des Ausgangs-Ports OUT5 des Hauptstromregisters **11B** zum Eingangs-Port IN10 des Hauptstromregisters **11C** gesendet werden.

[0093] Dagegen wird das Ausgangssignal des Ausgangs-Ports OUT4 des Hauptstromregisters **11A** und das Ausgangssignal des Ausgangs-Ports OUT6 des Hauptstromregisters **11B** zur exklusiven ODER-Schaltung **12A** gesendet, von der ein Ausgangssignal zum Eingangs-Port IN0 des Hauptstromregisters **11A** und zur exklusiven ODER-Schaltung **13A** gesendet wird. Die Ausgangssignale der Ausgangs-Ports OUT5 und OUT7 des Hauptstromregisters **11B** werden der exklusiven ODER-Schaltung **12B** zugeführt, von der ein Ausgangssignal zu einem Eingangs-Port IN1 des Hauptstromregisters **11A** und zur exklusiven ODER-Schaltung **13B** gesendet wird. Die Ausgangssignale der Ausgangs-Ports OUT6 und OUT8 des Hauptstromregisters **11B** werden der exklusiven ODER-Schaltung **12C** zugeführt, von der ein Ausgangssignal zum Eingangs-Port IN2 des Hauptstromregisters **11A** und zur exklusiven ODER-Schaltung **13C** gesendet wird. Dagegen werden die Ausgangssignale der Ausgangs-Ports OUT7 und OUT9 des Hauptstromregisters **11B** der exklusiven ODER-Schaltung **12D** zugeführt, von der ein Ausgangssignal zum Eingangs-Port IN3 des Hauptstromregisters **11A** und zur exklusiven ODER-Schaltung **13D** gesendet wird. Ein Ausgangssignal des Ausgangs-Ports OUT8 des Hauptstromregisters **11B** und ein Ausgangssignal des Ausgangs-Ports OUT10 des Hauptstromregisters **11C** werden zur exklusiven ODER-Schaltung **12E** gesendet, wobei ein Ausgangssignal davon zum Eingangs-Port IN4 des Hauptstromregisters **11A** und zur exklusiven ODER-Schaltung **13E** gesendet wird.

[0094] Wenn der Anfangswert des Inhalts des Hauptstromregisters **11** gleich "ABCDEFGHIJK" ist, wobei A bis K 1 oder 0 bedeuten, wobei A ein Ausgangssignal des Hauptstromregisters **11C** ist, BCDEF ein Ausgangssignal des Hauptstromregisters **11B** ist und GHIJK ein Ausgangssignal des Hauptstromregisters **11A** ist, wird der Inhalt des Hauptstromregisters **11** bei jedem Übertragungstakt (CLOCK) verschoben, wie in der Tabelle 10 gezeigt ist, wobei ^ ein exklusives ODER-Ausgangssignal bezeichnet.

Tabelle 10

Zeit	11 BIT	10 BIT	9 BIT	8 BIT	7 BIT	6 BIT	5 BIT	4 BIT	3 BIT	2 BIT	1 BIT
-	A	B	C	D	E	F	G	H	I	J	K
t	F	G	H	I	J	K	A~C	B~D	C~E	D~F	E~G
t+1	K	A~C	B~D	C~E	D~F	E~G	F~H	G~I	H~J	I~K	J~A~C
t+2	E~G	F~H	G~I	H~J	I~K	J~A~C	K~B~D	A~E~	B~F	C~G~	D~H
t+3	J~A~C	K~B~D	A~E~	B~F	C~G~	D~H~	E~I~	F~J~	G~K	H~A~C	I~B~D
...	...	...	...	...	...	...	...	...	...	...	...

[0095] In diesem Verwürfelungsblock werden das 5-Bit-Eingangssignal PLAIN DATA (gewöhnliche Daten) (BIT 0, BIT 1, BIT 2, BIT 2, BIT 4) als Eingangssignale zur exklusiven ODER-Schaltung **13** gesendet, wo sie über diese exklusive ODER-Schaltung als 5-Bit-Ausgangssignal SCRAMBLED DATA (Verwürfelungsdaten)

ausgegeben werden. Das heißt, das 5-Bit-Ausgangssignal SCRAMBLED DATA wird als exklusives ODER-Ausgangssignal des 5-Bit-Eingangssignals PLAIN DATA (BIT 0, BIT 1, BIT 2, BIT 3, BIT 4), und als Ausgangssignal der exklusiven ODER-Schaltung **12**, welches zu den Eingangs-Ports IN0 bis IN4 gesendet wird, erlangt.

[0096] Die beiden Entwüfelungsblöcke **5A**, **5B** haben den gleichen Aufbau und weisen, wie in [Fig. 11](#) bis [Fig. 14](#) gezeigt ist, Verwüfelungsdatenregister **21A**, **21B**, **21C**, Hypotheseregister **22A**, **22B**, **22C**, ein Vergleichsmusterregister **23**, einen Hypothesedatenkomparator **24**, Hauptstromregister **25A**, **25B**, **25C**, ein Ermittlungsmusterregister **26**, ein Ermittlungsmusterregister **26**, einen 2-Bit-Zähler **27**, Hauptstromselektoren **28A**, **28B**, **28C**, einen Empfangsblockgenerator **29**, exklusive ODER-Schaltungen **30A**, **30B**, **30D**, **30E**, exklusive ODER-Schaltungen **30A**, **30B**, **30C**, **30D**, **30E**, exklusive ODER-Schaltungen **31A**, **31B**, **31C**, **31D**, **31E**, exklusive ODER-Schaltungen **32A**, **32B**, **32C**, **32D**, **32E**, exklusive ODER-Schaltungen **33A**, **33B**, **33C**, **33D**, **33E** und eine exklusive ODER-Schaltung **34** auf. Wenn eine Unterscheidung nicht erforderlich ist, werden die Verwüfelungsdatenregister **21A**, **21B**, **21C**, die Hypotheseregister **22A**, **22B**, **22C**, die Hauptstromregister **25A**, **25B**, **25C**, die Hauptstromselektoren **28A**, **28B**, **28C**, die exklusiven ODER-Schaltungen **30A**, **30B**, **30C**, **30D**, **30E**, die exklusiven ODER-Schaltungen **31A**, **31B**, **31C**, **31D**, **31E**, die exklusiven ODER-Schaltungen **32A**, **32B**, **32C**, **32D**, **32E** und die exklusiven ODER-Schaltungen **33A**, **33B**, **33C**, **33D**, **33E** anschließend als Verwüfelungsdatenregister **21**, Hypotheseregister **22**, Hauptstromregister **25**, Hauptstromselektor **28**, exklusive ODER-Schaltung **30**, exklusive ODER-Schaltung **31**, exklusive ODER-Schaltung **32** und exklusive ODER-Schaltung **33** bezeichnet.

[0097] Obwohl aus Darstellungsgründen getrennt gezeichnet, sind [Fig. 11](#) bis [Fig. 13](#) in Wirklichkeit miteinander verbunden. In [Fig. 11](#) sind A, B, C, D, E und F mit A', B', C', D', E' und F' in [Fig. 12](#) entsprechend verbunden. Ähnlich sind G, H und I in [Fig. 11](#) mit G', H' und I' in [Fig. 13](#) entsprechend verbunden, während J und K in [Fig. 13](#) mit J' und K' in [Fig. 11](#) entsprechend verbunden sind. [Fig. 14](#) zeigt eine schematische Struktur in ihrer Gesamtheit.

[0098] In diesem Darstellungsbeispiel dieses Entwüfelungsblocks werden empfangene 5-Bit-Verwüfelungsdaten zur exklusiven ODER-Schaltung **31**, welche in [Fig. 11](#) gezeigt ist, zur exklusiven ODER-Schaltung **33**, welche in [Fig. 12](#) gezeigt ist, und zu den Eingangs-Ports IN0 bis IN4 des Verwüfelungsdatenregisters **21A** gesendet.

[0099] Zu dem Verwüfelungsdatenregister **21**, dem Hypotheseregister **22** und zu einem 2-Bit-Zähler **27** wird der Empfangstakt (CLOCK) vom Übertragungstaktgenerator **29** gesendet, wie in [Fig. 11](#) gezeigt ist. Die empfangenen 5-Bit-Verwüfelungsdaten werden im Verwüfelungsdatenregister **21A** gespeichert.

[0100] Die Ausgangssignale der Ausgangs-Ports OUT0 bis OUT4 des Verwüfelungsdatenregisters **21A** des Verwüfelungsdatenregisters **21** werden zu den Eingangs-Ports IN5 bis IN9 des Verwüfelungsdatenregisters **21B** gesendet, für jeden Empfangstakt (CLOCK) gemäß dem Verwüfelungsdatenregister **21A**, während die Ausgangssignale der Ausgangs-Ports OUT5 des Verwüfelungsdatenregisters **21B** zum Eingangs-Port IN0 des Verwüfelungsdatenregisters **21C** des Verwüfelungsdatenregisters **21** gesendet werden.

[0101] Das Ausgangssignal der Ausgangs-Ports OUT4 des Verwüfelungsdatenregisters **21A** und das Ausgangssignal der Ausgangs-Ports OUT6 des Verwüfelungsdatenregisters **21B** werden zur exklusiven ODER-Schaltung **30A** gesendet, von der ein Ausgangssignal zur exklusiven ODER-Schaltung **31A** gesendet wird. Die Ausgangssignale der Ausgangs-Ports OUT5 und OUT7 des Verwüfelungsdatenregisters **21B** werden zur exklusiven ODER-Schaltung **30B** gesendet, von der ein Ausgangssignal zur exklusiven ODER-Schaltung **31B** gesendet wird. Außerdem werden die Ausgangssignale der Ausgangs-Ports OUT6 und OUT8 des Verwüfelungsdatenregisters **21B** zur exklusiven ODER-Schaltung **30C** gesendet, von der ein Ausgangssignal zur exklusiven ODER-Schaltung **31C** gesendet wird. In gleicher Weise werden Ausgangssignale der Ausgangs-Ports OUT7 und OUT9 des Verwüfelungsdatenregisters **21B** zur exklusiven ODER-Schaltung **30D** gesendet, von der ein Ausgangssignal zur exklusiven ODER-Schaltung **31D** gesendet wird. Zusätzlich werden ein Ausgangssignal der Ausgangs-Ports OUT8 des Verwüfelungsdatenregisters **21B** und ein Ausgangssignal der Ausgangs-Ports OUT10 des Verwüfelungsdatenregisters **21C** zur exklusiven ODER-Schaltung **30E** gesendet, von der ein Ausgangssignal der exklusiven ODER-Schaltung **31E** zugeführt wird. Die Ausgangssignale der Ausgangs-Ports OUT0 bis OUT10 des Verwüfelungsdatenregisters **21** werden zu einer 11-Bit-Exklusiv-ODER-Schaltung **34** gesendet, die in [Fig. 13](#) gezeigt ist.

[0102] In diesem Entwüfelungsblock werden die empfangenen 5-Bit-Verwüfelungsdaten als Eingangssignale zu den Eingangs-Ports IN0 bis IN4 des Verwüfelungsdatenregisters **21A** und zur exklusiven ODER-Schal-

tung **31** gesendet, wobei sie über die exklusive ODER-Schaltung **31** zu den Eingangs-Ports IN0 bis IN4 des Hypotheseregisters **22A** gesendet werden. Das heißt, 5-Bit-Hypothesedaten (HYPOTHESIS DATA), welche einer logischen Summe der empfangenen 5-Bit-Verwürfelungsdaten entsprechen, und ein Ausgangssignal der exklusiven ODER-Schaltung **30**, welche mit den Ausgangssignalen der Ausgangs-Ports OUT4 bis OUT10 des Verwürfelungsdatenregisters **21A** beliefert wird, werden zu den Eingangs-Ports IN0 bis IN4 des Hypotheseregisters **22A** gesendet.

[0103] Das Hypotheseregister **22** ist ein 11-Bit-Register, welches so konfiguriert ist, dass Ausgangssignale der Ausgangs-Ports OUT0 bis OUT4 des Hypotheseregisters **22A** zu den Eingangs-Ports IN5 bis IN9 des Hypotheseregisters **22B** gesendet werden, bei jedem Empfangstakt (CLOCK), der vom Empfangstaktgenerator **29** gesendet wird, so dass das Ausgangssignal des Ausgangs-Ports OUT5 des Hypotheseregisters **22B** zum Eingangs-Port IN10 des Hypotheseregisters **22C** gesendet wird. Die Ausgangssignale der Ausgangs-Ports OUT0 bis OUT10 des Hypotheseregisters **22** werden zum Hypothesedatenkomparator **24** gesendet, der in [Fig. 13](#) gezeigt ist.

[0104] Wenn die 5-Bit-Hypothesedaten (HYPOTHESIS DATA) im Zeitpunkt t sind: $H0(t)$, $H1(t)$, $H2(t)$, $H3(t)$ und $H4(t)$, die gewöhnlichen 5-Bit-Daten PLAIN DATA $P0(t)$, $P1(t)$, $P2(t)$, $P3(t)$ und $P4(t)$ sind, und der Wert des Hauptstromregisters **11** gleich [abcdefghijk] ist, gilt die folgende Beziehung:

$$H0(t+3) = I \sim B \sim P0(t+3) \sim K \sim B \sim D \sim P4(t+2) \sim I \sim K \sim P1(t+1) = P0(t+3) \sim P4(t+2) \sim P1(t+1)$$

$$H1(t+3) = H \sim A \sim C \sim P1(t+3) \sim J \sim A \sim C \sim P0(t+1) \sim H \sim J \sim P2(t+1) = P1(t+3) \sim P0(t+1) \sim P2(t+1)$$

$$H2(t+3) = G \sim K \sim P2(t+3) \sim I \sim K \sim P2(t+1) \sim G \sim I \sim P3(t+1) = P2(t+3) \sim P1(t+1) \sim P3(t+1)$$

$$H3(t+3) = F \sim J \sim P3(t+3) \sim H \sim J \sim P2(t+1) \sim F \sim H \sim P4(t+1) = P3(t+3) \sim P2(t+1) \sim P4(t+1)$$

$$H4(t+3) = E \sim I \sim P4(t+3) \sim G \sim I \sim P3(t+1) \sim E \sim G \sim P0(t) = P4(t+3) \sim P3(t+1) \sim P0(t)$$

zwischen den Hypothesedaten (HYPOTHESIS DATA) und den gewöhnlichen Daten (PLAIN DATA), wobei $\sim$ exklusives ODER bezeichnet.

[0105] Das heißt, mit den Hypothesedaten (HYPOTHESIS DATA) löschen sich die Hauptstromkomponenten immer einander aus, ohne Rücksicht auf den Anfangswert des übertragungsseitigen Hauptstromregisters **11**, und Zeitpunkt als Ergebnis der obigen Berechnungen, so dass ein Ausgangssignal die Berechnungsergebnisse der gewöhnlichen Daten (PLAIN DATA) ist.

[0106] Durch die obige Beziehung können IDLE (11111) und BUS RESET (00000 11111) in dem Hypothesedatenkomparator **24** ermittelt werden.

[0107] Es sei angemerkt, dass IDLE (11111) ermittelt werden kann, wenn der Ausgangswert des Hypotheseregisters **22** gleich "11111111111" ist.

[0108] Um BUS_RESET zu ermitteln, ist es notwendig, 10 Muster zu ermitteln, nämlich (00000 11110), (00001 11110), (00011, 11100), (00111 11000), (01111 10000), (11111 00000), (11110 00001), (11100 00011), (11000 00111) und (10000 01111). In diesem Zeitpunkt sind die Ausgangswerte des Hypotheseregisters **22** gleich [01000101110], [10001011101], [00010111010], [00101110100], [01011101000], [10111010001], [0111010001], [01110100010], [11101000101], [11010001011] und [10100010111]. Das Vergleichsmusterregister **23** ist ein Register, um ein Vergleichsmuster [1111111111] zu halten, welches im Hypothesedatenkomparator **24b** verwendet wird, um IDLE (11111) und die Vergleichsmuster [01000101110], [10001011101], [00010111010], [00101110100], [01011101000], [10111010001], [01110100010], [11110100010], [11010001011] und [10100010111] zu ermitteln, welche für das Ermitteln des BUS_RESET (00000 11111) verwendet werden.

[0109] Der Hypothesedatenkomparator **24** vergleicht die Ausgangsdaten des Hypotheseregisters **22** mit 11 Vergleichsmustern gemäß dem Vergleichsmusterregister **23**. Wenn die Vergleichsmuster übereinstimmen, gibt der Hypothesedatenkomparator **24** ein Aufwärtszählsignal an den 2-Bit-Zähler **27** aus, wobei die Information, die zeigt, welches Vergleichsmuster mit dem Ermittlungsmusterregister **26** übereinstimmt, ausgegeben wird. Wenn das Ladesignal zugeführt wird, oder wenn Ausgangsdaten des Hypotheseregisters **22** mit keinem der 11 Vergleichsmuster übereinstimmen, welche dem Vergleichsmusterregister **23** entsprechend sind, gibt der

Hypothesedatenkomparator **24** ein Reset-Signal an den 2-Bit-Zähler **27** aus. Der 2-Bit-Zähler **27** wird jedes Mal dann inkrementiert, wenn ein Aufwärtzählsignal zugeführt wird. Wenn der Zählwert [3] ist, gibt der 2-Bit-Zähler **27** ein Ladesignal an den Hypothesedatenkomparator **24** und den Hauptstromselektor **28** aus. Wenn ein Reset-Signal zugeführt ist, setzt der 2-Bit-Zähler **27** den Zählwert auf [0]. Somit wird Synchronisation lediglich angelegt, wenn IDLE oder BUS_RESET drei Mal beim Ende ermittelt wird. Das Ergebnis ist die verminderte Möglichkeit der fehlerhaften Synchronisation aufgrund beispielsweise fehlerhafter Bitumkehr aufgrund von Rauschen.

[0110] Auf Basis der Information vom Hypothesedatenkomparator **24**, welche zeigt, welches Vergleichsmuster Übereinstimmung zeigt, gibt das Ermittlungsmusterregister **26** ein Ermittlungsmuster [1111111111] aus, welches in Tabelle 11 gezeigt ist, bei IDLE-Ermittlung, während Ermittlungsmuster [100001111], [000001111], [000011110], [0001111100], [001111100], [011110000], [1111100000], [1111000001], [111000001] und [1100000111] ausgegeben werden, welche in Tabelle 12 gezeigt sind, an die exklusive ODER-Schaltung **34** bei Ermittlung des BUS_RESET ausgegeben werden.

Tabelle 11

Vergleichsmusterwert	Ermittlungsmusterwert
[1111111111]	[1111111111]

Tabelle 12

Vergleichsmusterwert	Ermittlungsmusterwert
[01000101110]	[1000001111]
(10001011101]	[0000011111]
[00010111010]	[0000111110]
[00101110100]	[0001111100]
[01011101000]	[0011111000]
(10111010001]	[0111110000]
[01110100010]	[1111100000]
[11101000101]	[1111000001]
[11010001011]	[1110000011]
[10100010111]	[1100000111]

[0111] Die exklusive ODER-Schaltung **34** nimmt ein exklusives ODER der Ausgangsdaten des Verwürfelungsdatenregister **21** und der Entscheidungsmuster, welche vom Ermittlungsmusterregister **26** geliefert werden, um das exklusive ODER welches als neuer 11-Bit-Hauptstrom ausgegeben wird, zu den Eingangs-Ports B0 bis B10 des Hauptstromselektors **28** zu senden, der in [Fig. 12](#) gezeigt ist.

[0112] Der Hauptstromselektor **28A** wird an den Eingangs-Ports A0 bis A4 mit Ausgangssignalen der exklusiven ODER-Schaltung **32** beliefert und gibt Eingangssignale der Eingangs-Ports B0 bis B4, d. h., fünf Bits eines neuen 11-Bit-Hauptstroms, am Ausgangs-Port S0 bis S4 aus, wenn das Ladesignal zu ihm vom 2-Bit-Zähler **27**, der in [Fig. 13](#) gezeigt ist, gesendet wird. Wenn er nicht mit den Ladesignalen beliefert wird, gibt der Hauptstromselektor **28A** die Eingangssignale von den Eingangs-Ports A0 und A1 am Ausgangs-Port S0 bis S4 aus. Die Ausgangssignale des Ausgangs-Ports S0 bis S4 des Hauptstromselektors **28A** werden den Eingangs-Ports IN0 bis IN4 des Hauptstromregisters **25A** zugeführt. Das Hauptstromregister **25A** ist so ausgebildet, dass Ausgangssignale der Ausgangs-Ports OUT0 bis OUT4 zu den Eingangs-Ports A5 bis A9 des Hauptstromselektors **28B** für jeden Empfangstakt (CLOCK) gesendet werden, gemäß dem Empfangstaktgenerator **29**. Ein Ausgangssignal des Ausgangs-Ports OUT4 des Hauptstromregisters **25A** und ein Ausgangssignal des Ausgangs-Ports OUT6 des Hauptstromregisters **25B** werden zur exklusiven ODER-Schaltung **32A** geführt, von welcher Ausgangssignale zum Eingangs-Port A0 des Hauptstromselektors **28A** und zur exklusiven ODER-Schaltung **33A** gesendet werden.

[0113] Wenn der Hauptstromselektor **28B** mit einem Ladesignal vom 2-Bit-Zähler beliefert wird, gibt er Eingangssignale der Eingangs-Ports B5 bis B9, d. h., 5 Bits des neuen 11-Bit-Hauptstroms, an den Ausgangs-Ports S5 bis S9 aus. Wenn er nicht mit einem Ladesignal beliefert wird, gibt der Hauptstromselektor **28B** die Eingangssignale von den Eingangs-Ports A5 bis A9 an den Ausgangs-Ports S5 bis S9 aus. Die Ausgangssignale der Ausgangs-Ports S5 bis S9 des Hauptstromselektors **28B** werden zu den Eingangs-Ports IN5 bis IN9 des Hauptstromregisters **25B** geliefert, welches die Signale an den Ausgangs-Ports OUT5 bis OUT9 bei jedem Empfangstakt (CLOCK) ausgibt. Ein Ausgangssignal des Ausgangs-Ports OUT5 des Hauptstromregisters **25B** wird zum Eingangs-Port IN10 des Hauptstromselektors **28C** gesendet. Die Ausgangssignale der Ausgangs-Ports OUT5 und OUT7 des Hauptstromregisters **25B** werden zur exklusiven ODER-Schaltung **32B** gesendet, von der ein Ausgangssignal zum Eingangs-Port IN1 des Hauptstromselektors **28A** und zur exklusiven ODER-Schaltung **33B** gesendet wird. Die Ausgangssignale der Ausgangs-Ports OUT6 und OUT8 des Hauptstromregisters **25B** werden der exklusiven ODER-Schaltung **32C** zugeführt, von der ein Ausgangssignal dem Eingangs-Port IN2 des Hauptstromselektors **28A** und der exklusiven ODER-Schaltung **33D** zugeführt wird. Die Ausgangssignale der Ausgangs-Ports OUT5 und OUT7 des Hauptstromregisters **25B** werden zur exklusiven ODER-Schaltung **32D** gesendet, von der ein Ausgangssignal zum Eingangs-Port IN3 des Hauptstromselektors **28A** und zur exklusiven ODER-Schaltung **33D** gesendet wird. Ein Ausgangssignal des Ausgangs-Ports OUT8 des Hauptstromregisters **25B** und ein Ausgangssignal des Ausgangs-Ports OUT10 des Hauptstromregisters **25C** werden der exklusiven ODER-Schaltung **32E** zugeführt, von der ein Ausgangssignal dem Eingangs-Port IN4 des Hauptstromselektors **28A** und der exklusiven ODER-Schaltung **33E** zugeführt wird.

[0114] Wenn der Hauptstromselektor **28C** mit einem Ladesignal vom 2-Bit-Zähler **27** beliefert wird, gibt er ein Eingangssignal des Eingangs-Ports B10, d. h., ein Bit des neuen 11-Bit-Hauptstroms, an den Ausgangs-Port S10 aus. Wenn er nicht mit dem Ladesignal beliefert wird, gibt der Hauptstromselektor **28C** ein Eingangssignal vom Eingangs-Port A10 an den Ausgangs-Port S10 aus. Ein Ausgangssignal des Ausgangs-Ports S10 des Hauptstromselektors **28B** wird dem Eingangs-Port IN10 des Hauptstromregisters **25C** zugeführt, welches ein Ausgangssignal des Ausgangs-Ports OUT10 an die exklusive ODER-Schaltung **32E** bei jedem Empfangstakt (CLOCK) ausgibt.

[0115] Bei dem oben beschriebenen Entwüfelungsblock wird ein Ladesignal vom 2-Bit-Zähler **27** an den Hauptstromselektor **28** ausgegeben, und ein neuer 11-Bit-Hauptstrom von der exklusiven ODER-Schaltung wird über den Hauptstromselektor **28** in das Hauptstromregister **25** geladen, um Synchronisation mit dem übertragungsseitigen Verwüfelungsblock zu erreichen, um einen regulären Entwüfelungsbetrieb zu ermöglichen. Ein Ausgangssignal DESCrambled DATA, welches äquivalent dem Eingangssignal PLAIN DATA im Verwüfelungsblock auf der Übertragungsseite ist, kann als ein exklusives ODER erlangt werden, welches durch die exklusive ODER-Schaltung ausgegeben wird.

[0116] Somit ist es mit der Schnittstelleneinrichtung, welche in [Fig. 9](#) gezeigt ist, möglich, unnötige Strahlung durch die Verwüfelungsblöcke **4A**, **4B** und die Entwüfelungsblöcke **5A**, **5B** zu verhindern, um eine Übertragung über lange Entfernung von seriellen Daten durch das UTP-Kabel zu bewirken.

[0117] Es sei angemerkt, dass im Entwüfelungsblock, der in [Fig. 14](#) gezeigt ist, die Ermittlung von IDLE (11111) auftritt, wenn der Ausgangswert des Hypotheseregisters **22** gleich [1111111111] ist. Dagegen sind beim Ermitteln von BUS-RESET **10** Muster (00000 11111), (00001 11110), (00011 11100), (00111 11000), (01111 10000), (11111 00000), (11110 00001), (11100 00011), (11000 00111) und (10000 01111), bei denen Zeitabgabewerte des Hypotheseregisters **22** sind, [01000101110], [10000101101] [00010111010], [00101110100], [010111101000], [10111010001], [01110100010], [11101000101], [11010001011], [10100010111].

[0118] Wenn jedoch die Daten ein spezifiziertes Muster sind, werden die verknüpften Hypothesedaten (HYPOTHESIS DATA) einmalig ohne Rücksicht auf die Verwüfelungskomponente bestimmt. Dagegen werden die Hypothesedaten (HYPOTHESIS DATA) für einen spezifizierten Fall der Hypothesedaten (HYPOTHESIS DATA) nicht einmalig bestimmt.

[0119] Durch Ausbilden der Entwüfelungsblöcke **5A**, **5B**, wie in [Fig. 15](#) gezeigt ist, kann das Entwüfeln mit hoher Genauigkeit ausgeführt werden. Im Entwüfelungsblock sind, der in [Fig. 15](#) gezeigt ist, die Komponententeile, die gleich sind wie die in [Fig. 14](#), mit den gleichen Bezugszeichen bezeichnet und werden nicht speziell erläutert.

[0120] Das heißt, der vorliegende Entwüfelungsblock bewirkt eine Musterbestimmung ein zweites Mal bezüglich eines 11-Bit-Hauptstroms, der durch ein exklusives ODER erlangt wird, welches von der exklusiven

ODER-Schaltung **34** ausgegeben wird, der ein exklusives ODER an Ausgangsdaten des verwürfelten Datenregisters **21** im Entwüfelungsblock, der in [Fig. 14](#) gezeigt ist, nimmt, und ein Ermittlungsmuster, welches vom Ermittlungsmusterregister **26** geliefert wird, um die Hauptstrom-Ermittlungsgenauigkeit zu erhöhen, und weist zusätzlich eine exklusive ODER-Schaltung **40**, ein vorläufiges Hauptstromregister **41**, ein vorläufiges Entwüfelungsregister **42**, ein vorläufiges Vergleichsentwüfelungs-Musterregister **43** und einen Entwüfelungsmuster-Komparator **44** auf.

[0121] In diesem Entwüfelungsblock wird das vorläufige Hauptstromregister **41** mit dem 11-Bit-Hauptstrom geladen, welches als exklusives ODER erlangt wird, welches von der exklusiven ODER-Schaltung **34** ausgegeben wird, synchron mit einem Ausgangssignal des 2-Bit-Zählers **27**. Die exklusive ODER-Schaltung **40** nimmt ein exklusives ODER der empfangenen 5-Bit-Verwüfelungsdaten und des Inhalts des vorläufigen Hauptstromregisters **41**, um ein Ausgangssignal der exklusiven ODER-Berechnungen an das vorläufige Entwüfelungsregister **42** auszugeben.

[0122] Das heißt, dieser Entwüfelungsblock sendet die 11-Bit-Hauptstrom, der als exklusives ODER erlangt wird, welches von der exklusiven ODER-Schaltung **34** ausgegeben wird, zum versuchsweisen Hauptstromregister **41**, um das exklusive ODER mit dem Inhalt des vorläufigen Hauptstromregisters **41** in die exklusive ODER-Schaltung **40** nehmen, um die empfangenen verwürfelten 5-Bit-Daten zu entwüfeln.

[0123] Wenn ein Ausgangswert des Hypotheseregisters **22** gleich [1111111111] ist, ist es wahrscheinlich, dass die Daten gleich IDLE (11111) sind. Wenn der Ausgangswert des Hypotheseregisters **22** gleich [01000101110], [1000011101], [00010111010], [00101110100], [01011101000], [10111010001], [01110100010], [11101000101], [11010001011] oder [10100010111] ist, ist es wahrscheinlich, dass die Daten BUS_RESET sind.

[0124] Der Inhalt des versuchsweisen Entwüfelungsregisters **42** wird im Entwüfelungsmuster-Komparator **44** mit einem versuchsweisen Vergleichsentwüfelungsmuster gemäß dem versuchsweisen Vergleichsentwüfelungs-Musterregister **43** verglichen.

[0125] Wenn ein Ausgangswert des Hypotheseregisters **22** gleich [10111010001] ist, ist es wahrscheinlich, dass die Daten BUS_RESET (11111 00000) sind. Dieser wird durch den Entwüfelungsmuster-Komparator **44** verglichen, ob der Inhalt des versuchsweisen Entwüfelungsregisters **42**, der den entwüfelten empfangenen 5-Bit-Verwüfelungsdaten entspricht, mit BUS_RESET (11111 00000) übereinstimmt oder nicht.

[0126] Das vorläufige (versuchsweise) Vergleichsentwüfelungs-Musterregister **43** erzeugt zyklische Codes bei jedem Empfangstakt (CLOCK) als vorläufiges Vergleichsentwüfelungsmuster auf die gleiche Weise wie ein Schieberegister in einem Verwüfelungsblock.

[0127] Wenn der Inhalt des vorläufigen Entwüfelungsregisters **42** mit dem vorläufigen Vergleichsentwüfelungsmuster übereinstimmt, wurden die empfangenen 5-Bit-Verwüfelungsdaten durch den Inhalt des vorläufigen Hauptstromregisters **41** korrekt entwüfelt, d. h., durch den vorläufigen Strom. Somit kann Synchronisation mit dem Verwüfelungsblock auf der Übertragungsseite und folglich korrektes Entwüfeln erlangt werden, und ein Ausgangssignal des SCRAMBLED DATA äquivalent dem Eingangssignal PLAIN DATA im Verwüfelungsblock auf der Übertragungsseite kann als exklusives ODER-Ausgangssignal der exklusiven ODER-Schaltung **33** erzeugt werden, wobei der Inhalt des vorläufigen Entwüfelungsregisters **42** als neuer Hauptstrom in das Hauptstromregister **25** geladen wird.

[0128] Wenn der Inhalt des vorläufigen Entwüfelungsregisters **42** nicht mit dem vorläufigen Vergleichsentwüfelungsmuster übereinstimmt, ist der Inhalt des vorläufigen Entwüfelungsregisters **42**, der beim Entwüfeln der empfangenen 5-Bit-Verwüfelungsdaten erlangt wird, nicht BUS_RESET (11111 00000), sogar, wenn der Ausgangswert des Hypotheseregisters **22** gleich [1011101000] ist. Daher wird kein neuer Hauptstrom in das Hauptstromregister **25** geladen.

[0129] Somit wird mit dem vorhandenen Entwüfelungsblock geprüft, ob die empfangenen 5-Bit-Verwüfelungsdaten korrekt entwüfelt wurden, unter Verwendung eines Hauptstroms, der als exklusives ODER erlangt wird, welches von der exklusiven ODER-Schaltung **34** ausgegeben wird, welche ein exklusives ODER der Ausgangsdaten des Verwüfelungsdatenregisters **21** in den Entwüfelungsblock, der in [Fig. 14](#) gezeigt ist, nimmt, und das Ermittlungsmuster, welches von dem Ermittlungsmusterregister **26** gesendet wird, wodurch die Hauptstrom-Ermittlungsgenauigkeit verbessert werden kann, um das Entwüfeln genau zu bewirken.

[0130] Somit können bei der vorliegenden Ausführungsform, welche mit einem Umsetzungsverarbeitungsblock **3** (4B/5B CONVERTER & ATB.SIGNAL CONVERTER) versehen ist, der als 4-Bit-/5-Bit-Umsetzungseinrichtung für die 4B/5B-Umsetzung für die Daten arbeitet, und als Entscheidungssignal-Umsetzungseinrichtung, um 5-Bit-Symbole abweichend von den 5-Bit-Symbolen, welche den Daten in der 4-Bit/5-Bit-Umsetzungseinrichtung zugeordnet werden, den Entscheidungssignalen zuzuordnen, die Entscheidungssignale und die Paketdaten als 5-Bit-Codedaten gesendet oder empfangen werden. Außerdem können bei der vorliegenden Ausführungsform, welche mit der oben erwähnten 4-Bit/5-Bit-Umsetzungseinrichtung, den Verwürfelungsblöcken **4A**, **4B** (SCRAMBLE 1, SCRAMBLE 2) und den Entwüfelungsblöcken **5A**, **5B** (DESCRAMBLE 1, DESCRAMBLE 2) versehen ist, unnötige Strahlungen im Übertragungskanal verhindert werden. Daher kann bei der vorliegenden Erfindung eine Übertragung über lange Entfernung unter Verwendung eines Glasfaserkabels oder eines preiswerten UTP-Kabels als Übertragungskabel bewirkt werden.

[0131] Wenn ein 5-Bit-Symbol [11111], welches IDLE (11111), d. h., die Taktinformation, im nichtgenutzten Zustand bei der Entscheidung des IEEE 1394-Standards am häufigsten enthält, kann der Verriegelungszustand der PLL auf der Empfangsseite beibehalten werden, um eine Entscheidung verlässlich zu bewirken, sogar im nichtgenutzten Zustand bei der Entscheidung.

[0132] Da außerdem die Verwürfelungs-/Entwürfelungseinrichtung 5-Bit-Parallelverarbeitung bewirken kann, kann die Verarbeitung unter Verwendung einer Logik durchgeführt werden, welche eine niedrigere Arbeitsgeschwindigkeit hat als in dem Fall einer Handhabung von seriellen Daten. Wenn außerdem ein 5-Bit-Symbol, welches dem BUS-RESET-Zustand zugeordnet ist, oder ein 5-Bit-Symbol, welches dem Bus-Reset-Zustand bei der Entscheidung von IEEE 1394 zugeordnet wird, ein seriell Signal hoher Leistung durch die Verwürfelungs-/Entwürfelungsverarbeitungseinrichtung ermittelt wird, um Entwüfelungssynchronisation anzuwenden, ist es möglich, das Verbinden, das Trennen oder das Einschalten oder Ausschalten im Verwürfelungseinschaltzustand auszuführen. Da der Bus im nichtgenutzten Zustand in der Hilfsaktionslücke und in der Bestätigungslücke im asynchronen Übertragungsmodus ist, der als "asynchron" bezeichnet wird, was im IEEE 1394-Hochleistungs-Seriell-Bus-Standard definiert ist, und im ISO-Spalt im Realzeit-Übertragungsmodus, der einen Übertragungsbereich garantiert, der als "isochron" bezeichnet wird, kann Resynchronisation im Spaltzeitpunkt angewandt werden, wobei der nichtgenutzte Zustand durch die Verwürfelungs-/Entwürfelungsverarbeitungseinrichtung ermittelt wird, um Entwüfelungssynchronisation anzuwenden.

[0133] Bei der Verwürfelungs-/Entwürfelungsverarbeitungseinrichtung kann, da die Resynchronisation lediglich bei Ermittlung des 5-Bit-Symbols angewandt wird, welches dem Bus-Reset-Zustand zugeordnet wird, oder dem 5-Bit-Symbol, welches dem nichtgenutzten Zustand zugeordnet ist, der logische Aufbau bezüglich der Größe reduziert werden. Außerdem synchronisiert die Verwürfelungs-/Entwürfelungsverarbeitungseinrichtung das Entwüfeln nach einem Ermitteln des 5-Bit-Symbols mehrere Male, wobei die Gefahr einer fehlerhaften Synchronisation aufgrund nichtkorrekter Bitumkehr aufgrund von Rauschen vermindert wird, um verlässliche Verarbeitung sicherzustellen.

Patentansprüche

1. Datenübertragungsvorrichtung zum Senden und zum Empfangen von Daten und Steuercodes, wobei die Vorrichtung aufweist:

eine Datenumsetzungseinrichtung (**3**) zum Umsetzen von Daten zur Übertragung von einem n-Bit-Code zu einem m-Bit-Code, wobei n und m unterschiedliche ganze Zahlen sind;

eine Steuersignal-Umsetzungseinrichtung (**3**) zum Umsetzen eines Steuersignals zur Übertragung in einen Steuercode, der aus einem m-Bit-Code besteht, der von m-Bit-Codes, welche den Daten zugeteilt sind, abweicht; und

einen Eingangs-/Ausgangsport, der mit einem seriellen Datenbus verbindbar ist; gekennzeichnet durch:

eine Logikeinrichtung (**1**) zum Erzeugen des Steuersignals zur Übertragung, welches ein Steuersignal zum Erwerb eines Benutzungsrechts eines Übertragungskanals eines seriellen Datenbusses ist, der mit dem Eingangs-/Ausgangsport verbunden ist;

wobei die Datenumsetzungseinrichtung (**3**) betriebsfähig ist, die empfangenen Daten vom m-Bit-Code in den n-Bit-Code umzusetzen;

die Steuersignal-Umsetzungseinrichtung (**3**) betriebsfähig ist, den m-Bit-Code in das Steuersignal umzusetzen;

eine Verwürfelungseinrichtung (**4**) zum Durchführen von Verwürfelung in Bezug auf den m-Bit-Datencode, der durch die Datenumsetzungseinrichtung umgesetzt wurde, und den m-Bit-Steuercode, der durch die Steuersignal-Umsetzungseinrichtung umgesetzt wurde, wobei der verwürfelte Datencode und der verwürfelte Steuer-

code an den Eingangs-/Ausgangsport zur Übertragung auf dem seriellen Datenbus ausgegeben werden; und eine Entwürfelungseinrichtung (5) zum Entwürfeln verwürfelter Signale, welche über den Eingangs-/Ausgangsport empfangen werden, um die entwürfelten Signale an die Datenumsetzungseinrichtung und die Steuersignal-Umsetzungseinrichtung auszugeben.

2. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Entwürfelungseinrichtung (5) nicht genutzte Signale erfasst, welche während der Nicht-Daten-Übertragungszeit gesendet werden, um nachfolgend Synchronisation zur Entwürfelung anzuwenden.

3. Datenübertragungsvorrichtung nach Anspruch 2, wobei die Entwürfelungseinrichtung (5) übertragene nicht genutzte Signale während der Nicht-Daten-Übertragungszeit mehrere Male ununterbrochen erfasst, um nachfolgend Synchronisation zur Entwürfelung anzuwenden.

4. Datenübertragungsvorrichtung nach Anspruch 1, wobei die nicht genutzten Signale m-Bit-Codes sind, welche aufeinanderfolgende "1" haben.

5. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Entwürfelungseinrichtung (5) Bus-Rücksetzsignale erfasst, um einen Übertragungskanal, der mit dem Eingangs-/Ausgangsport verbunden ist, zurückzusetzen, um Synchronisation zur Entwürfelung anzuwenden.

6. Datenübertragungsvorrichtung nach Anspruch 5, wobei die Entwürfelungseinrichtung (5) Bus-Rücksetzsignale erfasst, um einen Übertragungskanal, der mit dem Eingangs-/Ausgangsport mehrere Male ununterbrochen verbunden ist, um nachfolgend Synchronisation zur Entwürfelung anzuwenden, zurückzusetzen.

7. Datenübertragungsvorrichtung nach Anspruch 6, wobei das Bus-Rücksetzsignal ein Steuercode ist, der zwei zugeordnete Symbole aus m-Bit-Codes hat.

8. Datenübertragungsvorrichtung nach Anspruch 7, wobei das Bus-Rücksetzsignal ein Steuercode ist, der aus einem ersten m-Bit-Code, der aufeinanderfolgende "0" hat, und einem zweiten m-Bit-Code, der aus einem zweiten m-Bit-Code gebildet ist, der aufeinanderfolgende "1" hat, besteht.

9. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Verwürfelungseinrichtung (4) Verarbeitung zum Ausbreiten der m-Bit-SteuerCodes längs der Zeitachsenrichtung durchführt.

10. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Verwürfelungseinrichtung (4) eine Schlüsselhalteeinrichtung (11), um ein Schlüsselmuster zum Verwürfeln zu halten, und eine Berechnungseinrichtung (12, 13) aufweist, um ein exklusives ODER von Schlüsseldaten zu finden, welche von dem Schlüsselmuster und dem Steuercode, der von der Steuersignal-Umsetzungseinrichtung (3) zugeführt wird, hergeleitet werden.

11. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Entwürfelungseinrichtung (5) eine Hypotheseeinrichtung (22) aufweist, um einen vorgegebenen exklusiven ODER-Betrieb hinsichtlich eines zugeführten verwürfelten Signals, welches über den Eingangs-/Ausgangsport empfangen wird, und einer zeitlich-verschobenen Version des verwürfelten zugeführten Signals auszuführen;
eine erste Musterhalteeinrichtung (23) zum Halten eines Vergleichsmusters;
eine erste Komparatoreinrichtung (24) zum Vergleichen der Ausgangsdaten der Hypotheseeinrichtung mit einem Vergleichsmuster in der ersten Musterhalteeinrichtung, um ein vorgegebenes Schlüsselmuster entsprechend den Vergleichsergebnissen auszugeben;
eine Versuchseinrichtung (40–42) zum Durchführen von vorgegebenen exklusiven ODER-Berechnungen hinsichtlich der Schlüsseldaten, welche vom Schlüsselmuster von der ersten Komparatoreinrichtung hergeleitet werden, und verwürfelter Signale, welche dorthin über den Eingangs-/Ausgangsport gesendet werden, um einen temporären m-Bit-Steuercode auszugeben;
eine zweite Musterhalteeinrichtung (43), welche ein entwürfeltes Vergleichsmuster hält;
eine zweite Vergleichseinrichtung (44) zum Vergleichen des VersuchssteuerCodes von der Versuchseinrichtung und des entwürfelten Vergleichsmusters von der Versuchseinrichtung, um ein vorgegebenes Schlüsselmuster entsprechend den Vergleichsergebnissen auszugeben; und
eine Ausgabereinrichtung (33) zum Durchführen vorgegebener exklusiver ODER-Schaltungsberechnungen hinsichtlich der Schlüsseldaten von der zweiten Vergleichseinrichtung und der verwürfelten Signale, die dorthin über den Eingangs-/Ausgangsport geliefert werden, um einen m-Bit-Steuercode auszugeben.

12. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Entwürfelungseinrichtung (5) eine Hypo-

theseeinrichtung (22) aufweist, um exklusive ODER-Berechnungen hinsichtlich zugeführter verwürfelter Signale, welche über den Eingangs-/Ausgangsport empfangen werden, und einer zeitlich-verschobenen Version der verwürfelten Eingangssignale durchzuführen;
 eine Musterhalteeinrichtung (23) zum Halten eines Vergleichsmusters;
 eine Vergleichseinrichtung (24) zum Vergleichen von Ausgangsdaten der Hypotheseeinrichtung mit dem Vergleichsmuster in der Musterhalteeinrichtung, um ein vorgegebenes Schlüsselmuster als Antwort auf die Vergleichsergebnisse auszugeben; und
 eine Ausgabeeinrichtung (33) zum Durchführen vorgegebener exklusiver ODER-Berechnungen hinsichtlich von Schlüsseldaten, welche vom Schlüsselmuster von der Vergleichseinrichtung (24) hergeleitet werden, und verwürfelter Signale, welche dorthin über den Eingangs-/Ausgangsport gesendet werden, um einen m-Bit Steuercode auszugeben.

13. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Verarbeitungsoperationen der Verwüfelungseinrichtung (4) und der Entwüfelungseinrichtung (5) eingeschaltet oder ausgeschaltet werden können.

14. Datenübertragungsvorrichtung nach Anspruch 1, wobei die Datenumsetzungseinrichtung Daten von einem 4-Bit-Code in einen 5-Bit-Code umsetzt.

15. Datenübertragungsvorrichtung nach Anspruch 1, wobei Daten und Steuersignale von einer Verknüpfungsebene eingegeben werden, welche mit dem IEEE 1394-Hochleistungs-Seriell-Bus-Standard konform ist.

16. Datenübertragungs- und Empfangsverfahren, welches aufweist:
 einen Datenumsetzungsschritt zum Umsetzen von Daten zur Übertragung von einem n-Bit-Code in einen m-Bit-Code, wobei n und m unterschiedliche ganze Zahlen sind; und
 einen Übertragungssteuersignal-Umsetzungsschritt zum Umsetzen eines Steuersignals zur Übertragung in einen Steuercode, der aus einem m-Bit-Code zusammengesetzt ist, der von m-Bit-Codes, welche den Daten zugeteilt sind, abweicht;
 gekennzeichnet durch
 einen Übertragungssteuersignal-Erzeugungsschritt zum Erzeugen des Steuersignals zur Übertragung, welches ein Steuersignal ist, um das Benutzungsrecht eines Übertragungskanals eines seriellen Datenbusses, der mit dem Eingangs-/Ausgangsport verbunden ist, zu erwerben;
 einen Empfangsdaten-Umsetzungsschritt zum Umsetzen empfangener Daten von dem m-Bit-Code in den n-Bit-Code;
 einen Empfangssteuersignal-Umsetzungsschritt zum Umsetzen eines empfangenen m-Bit-Codes in das Steuersignal;
 einen Verwüfelungsschritt (4) zum Durchführen von Verwüfelung hinsichtlich des m-Bit-Datencodes, der durch den Empfangsdaten-Umsetzungsschritt umgesetzt wurde, und des m-Bit-Steuercodes, der durch den Übertragungssteuersignal-Umsetzungsschritt umgesetzt wurde, wobei der verwüfelte Datencode und der verwüfelte Steuercode an den Eingangs-/Ausgangsport zur Übertragung auf dem seriellen Datenbus ausgegeben werden; und
 einen Entwüfelungsschritt (5) zum Entwüfeln verwürfelter Signale, welche über den Eingangs-/Ausgangsport empfangen werden.

17. Datenübertragungsverfahren nach Anspruch 16, wobei der Entwüfelungsschritt (5) nicht genutzte Signale erfasst, die während der Nicht-Daten-Übertragungszeit gesendet werden, um nachfolgend Synchronisation zur Entwüfelung anzuwenden.

18. Datenübertragungsverfahren nach Anspruch 17, wobei der Entwüfelungsschritt (5) übertragene nicht genutzte Signale während einer Nicht-Daten-Übertragungszeit mehrere Male ununterbrochen erfasst, um nachfolgend Synchronisation zur Entwüfelung anzuwenden.

19. Datenübertragungsverfahren nach Anspruch 18, wobei die nicht genutzten Signale m-Bit-Codes sind, welche aufeinanderfolgende "1" haben.

20. Datenübertragungsverfahren nach Anspruch 16, wobei der Entwüfelungsschritt (5) Bus-Rücksetzsignale zum Zurücksetzen eines Übertragungskanals erfasst, der mit dem Eingangs-/Ausgangsport verbunden ist, um Synchronisation zur Entwüfelung anzuwenden.

21. Datenübertragungsverfahren nach Anspruch 20, wobei der Entwüfelungsschritt (5) Bus-Rücksetzsignale, welche zum Zurücksetzen eines Übertragungskanals verwendet werden, der mit dem Eingangs-/Aus-

gangsport verbunden ist, mehrere Male ununterbrochen erfasst, um nachfolgend Synchronisation zur Entwürfelung anzuwenden.

22. Datenübertragungsverfahren nach Anspruch 21, wobei das Bus-Rücksetzsignal ein Steuercode ist, der zwei zugeordnete Symbole aus m-Bit-Codes hat.

23. Datenübertragungsverfahren nach Anspruch 22, wobei das Bus-Rücksetzsignal ein Steuercode ist, der aus einem ersten m-Bit-Code, der aufeinanderfolgende "0" hat, und einem zweiten m-Bit-Code, der aus einem zweiten m-Bit-Code besteht, der aufeinanderfolgende "1" hat, besteht.

24. Datenübertragungsverfahren nach Anspruch 16, wobei der Verwürfelungsschritt (4) Verarbeitung zum Ausbreiten der m-Bit-Steuercode längs der Zeitachsenrichtung durchführt.

25. Datenübertragungsverfahren nach Anspruch 16, wobei der Verwürfelungsschritt (4) einen Schlüsselschritt (11) aufweist, um ein Schlüsselmuster zum Verwürfeln zu halten, und einen Berechnungsschritt (12, 13), um ein exklusives ODER von Schlüsseldaten zu finden, welche von dem Schlüsselmuster und dem Steuercode, der vom Steuersignal-Umsetzungsschritt zugeführt wird, hergeleitet werden.

26. Datenübertragungsverfahren nach Anspruch 16, wobei der Entwürfelungsschritt (5) einen Hypotheseschritt (22) aufweist, um einen vorher festgelegten exklusiven ODER-Betrieb hinsichtlich eines zugeführten verwürfelten Signals, welches über einen Eingangs-/Ausgangsport empfangen wird, und einer zeitlich-verschobenen Version des verwürfelten zugeführten Signals auszuführen; einen ersten Komparatorschritt (24) zum Vergleichen von Ausgangsdaten des Hypotheseschritts mit einem Vergleichsmuster, um ein vorgegebenes Schlüsselmuster entsprechend den Vergleichsergebnissen auszugeben; einen Versuchsschritt (40-42) zum Durchführen vorgegebener exklusiver ODER-Berechnungen hinsichtlich von Schlüsseldaten, welche vom Schlüsselmuster vom ersten Komparatorschritt hergeleitet werden, und verwürfelter Signale, welche dorthin über einen Eingangs-/Ausgangsport gesendet werden, um einen temporären m-Bit-Steuercode auszugeben; einen zweiten Vergleichsschritt (44) zum Vergleichen des Versuchssteuercode vom Versuchsschritt mit dem verwürfelten Vergleichsmuster vom Versuchsschritt, um ein vorgegebenes Schlüsselmuster entsprechend den Vergleichsergebnissen auszugeben; und einen Ausgabeschritt (33) zum Durchführen vorgegebener exklusiver ODER-Schaltungsberechnungen hinsichtlich der Schlüsseldaten, welche vom Schlüsselmuster vom zweiten Vergleichsschritt hergeleitet werden, und der verwürfelten Signale, welche dorthin über den Eingangs-/Ausgangsport gesendet werden, um einen m-Bit-Steuercode auszugeben.

27. Datenübertragungsverfahren nach Anspruch 16, wobei der Entwürfelungsschritt (5) einen Hypotheseschritt (22) aufweist, um exklusive ODER-Berechnungen hinsichtlich der zugeführten verwürfelten Signale, welche über den Eingangs-/Ausgangsport empfangen werden, und einer zeitlich verschobenen Version der verwürfelten zugeführten Signale durchzuführen; einen Vergleichsschritt (24) zum Vergleichen der Ausgangsdaten des Hypotheseschritts (22) mit einem Vergleichsmuster (23), um ein vorgegebenes Schlüsselmuster als Antwort auf die Vergleichsergebnisse auszugeben; und einen Ausgabeschritt (33) zum Durchführen vorgegebener exklusiver ODER-Berechnungen hinsichtlich von Schlüsseldaten, welche vom Schlüsselmuster vom Vergleichsschritt hergeleitet werden, und verwürfelter Signale, welche dorthin über den Eingangs-/Ausgangsport gesendet werden, um einen m-Bit-Steuercode auszugeben.

28. Datenübertragungsverfahren nach Anspruch 16, wobei der Übertragungssteuersignal-Umsetzungsschritt Daten von einem 4-Bit-Code in einen 5-Bit-Code umsetzt.

29. Datenübertragungsverfahren nach Anspruch 16, wobei die Daten und die Steuersignale von einer Verknüpfungsebene eingegeben werden, welche mit dem IEEE 1394-Hochleistungs-Seriell-Bus-Standard konform ist.

Es folgen 15 Blatt Zeichnungen

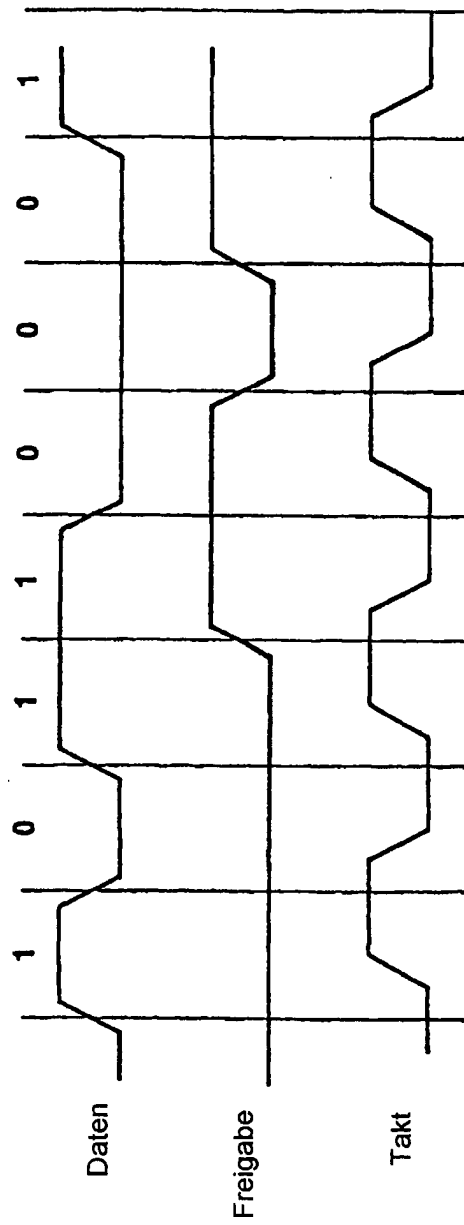


FIG.1

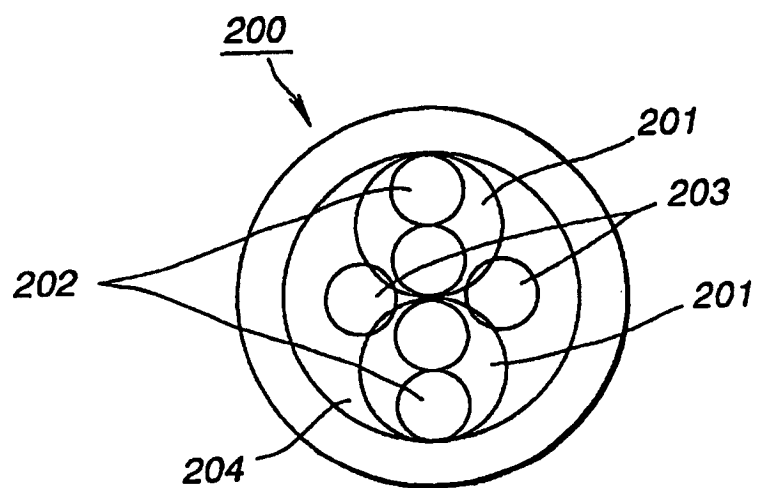


FIG.2

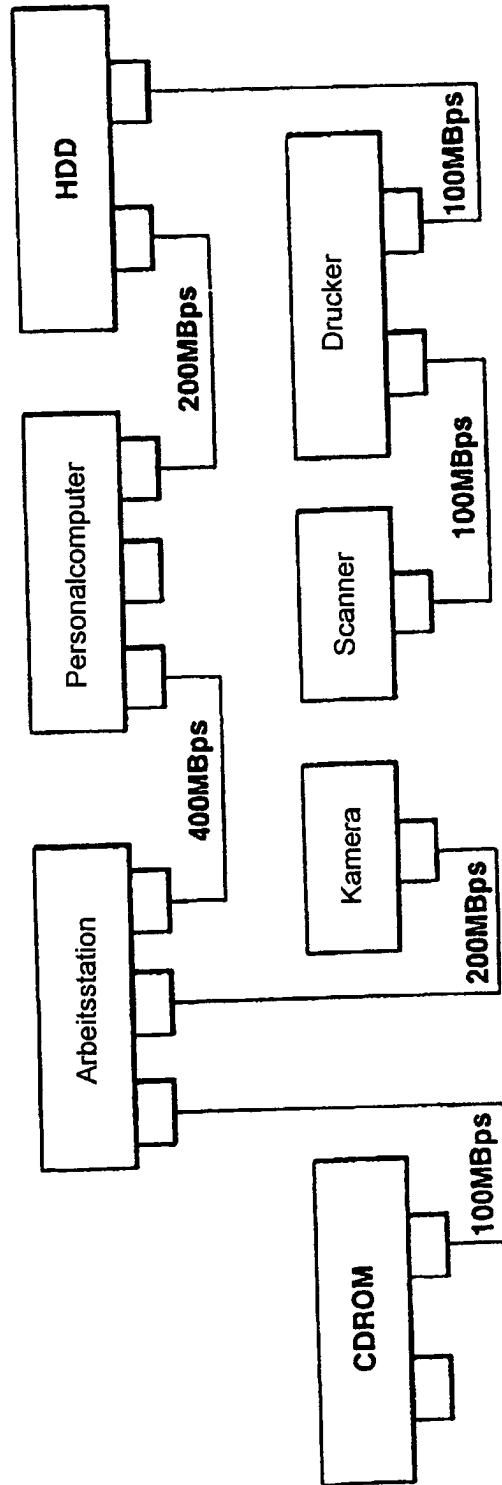


FIG.3

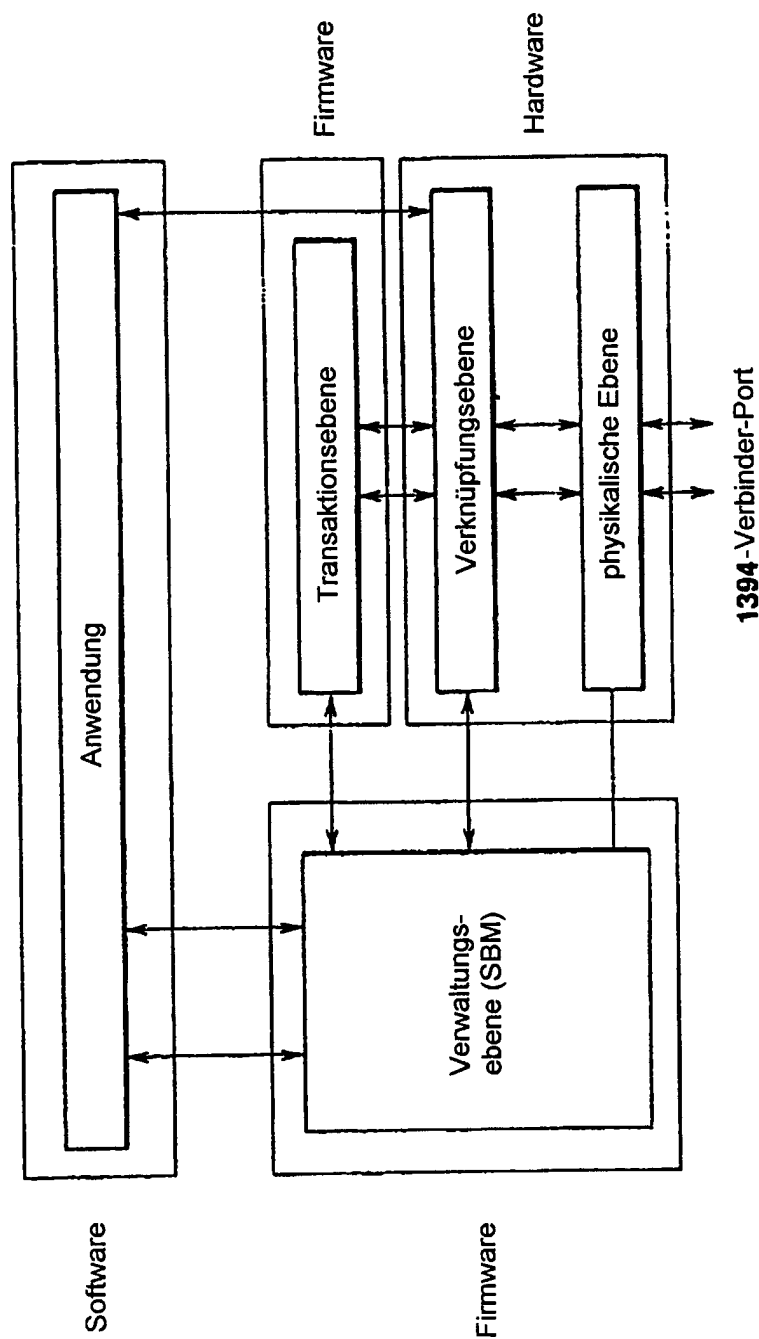


FIG.4

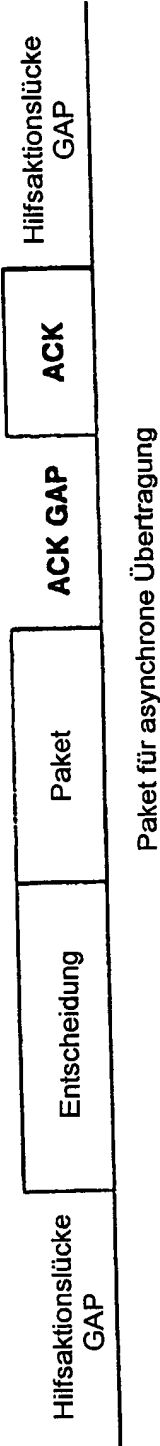


FIG.5

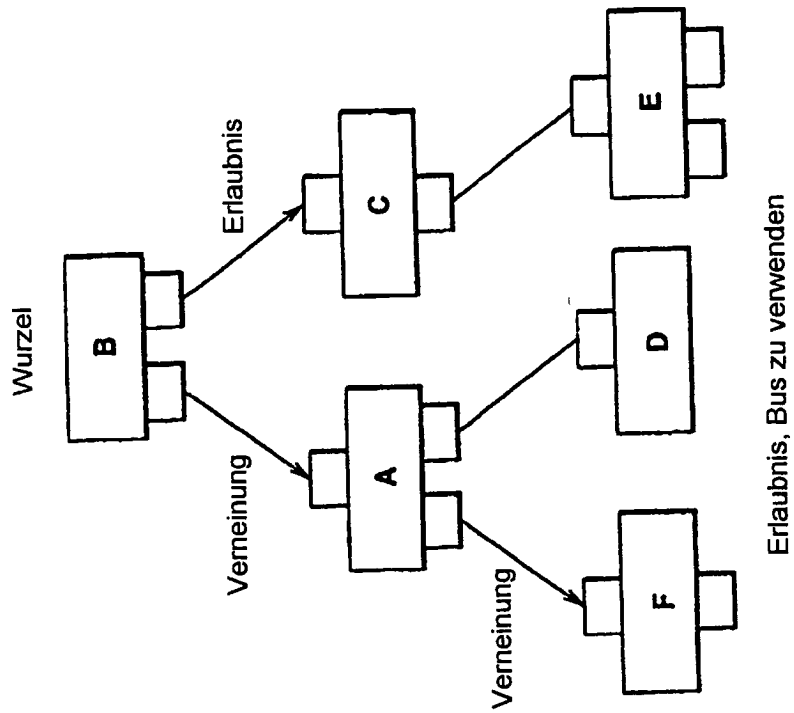


FIG. 6(b)

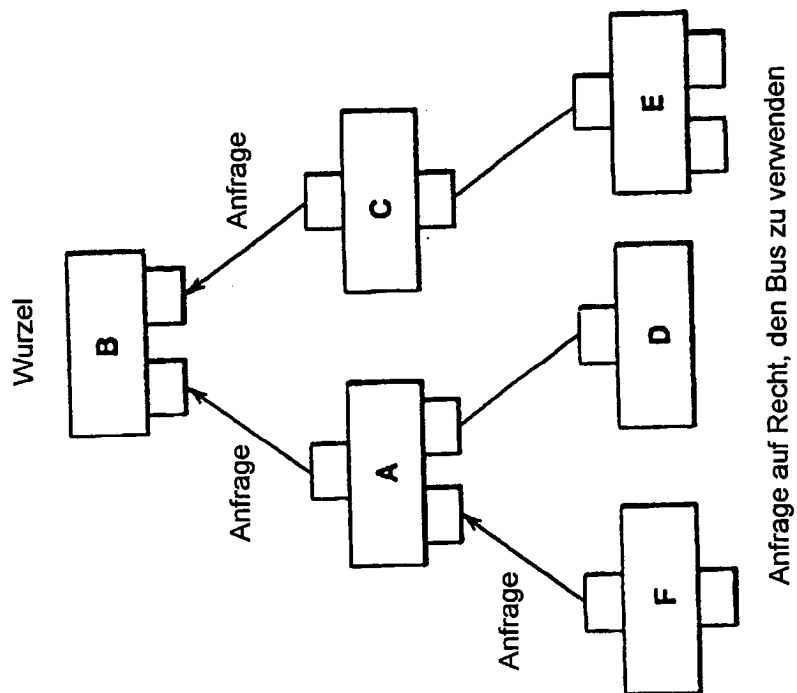


FIG. 6(a)

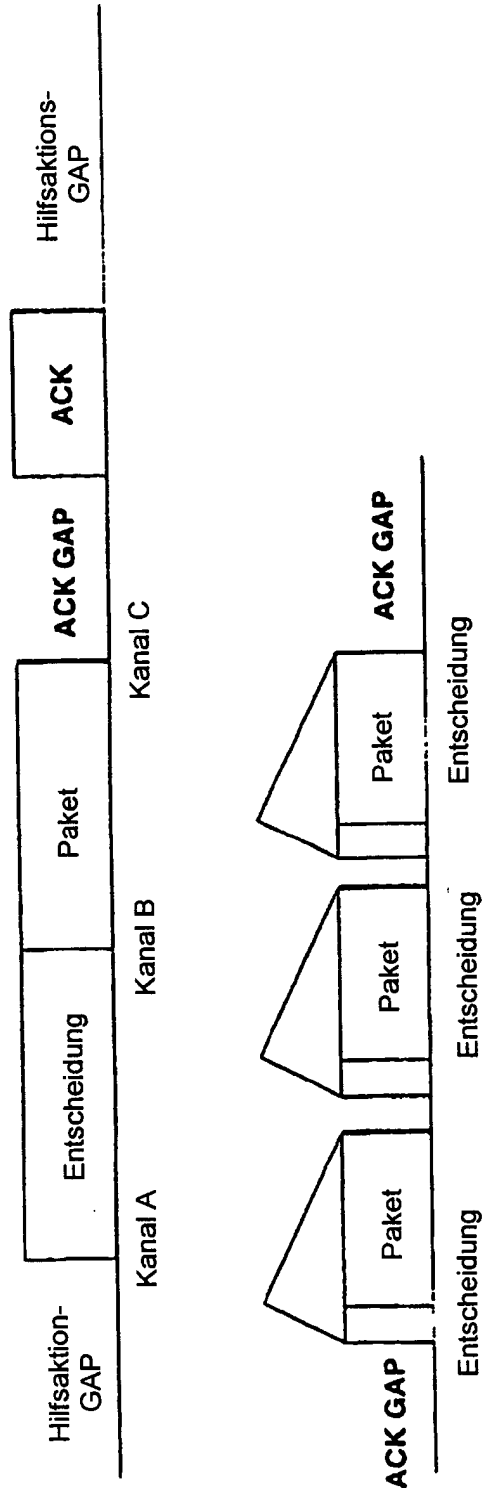


FIG.7

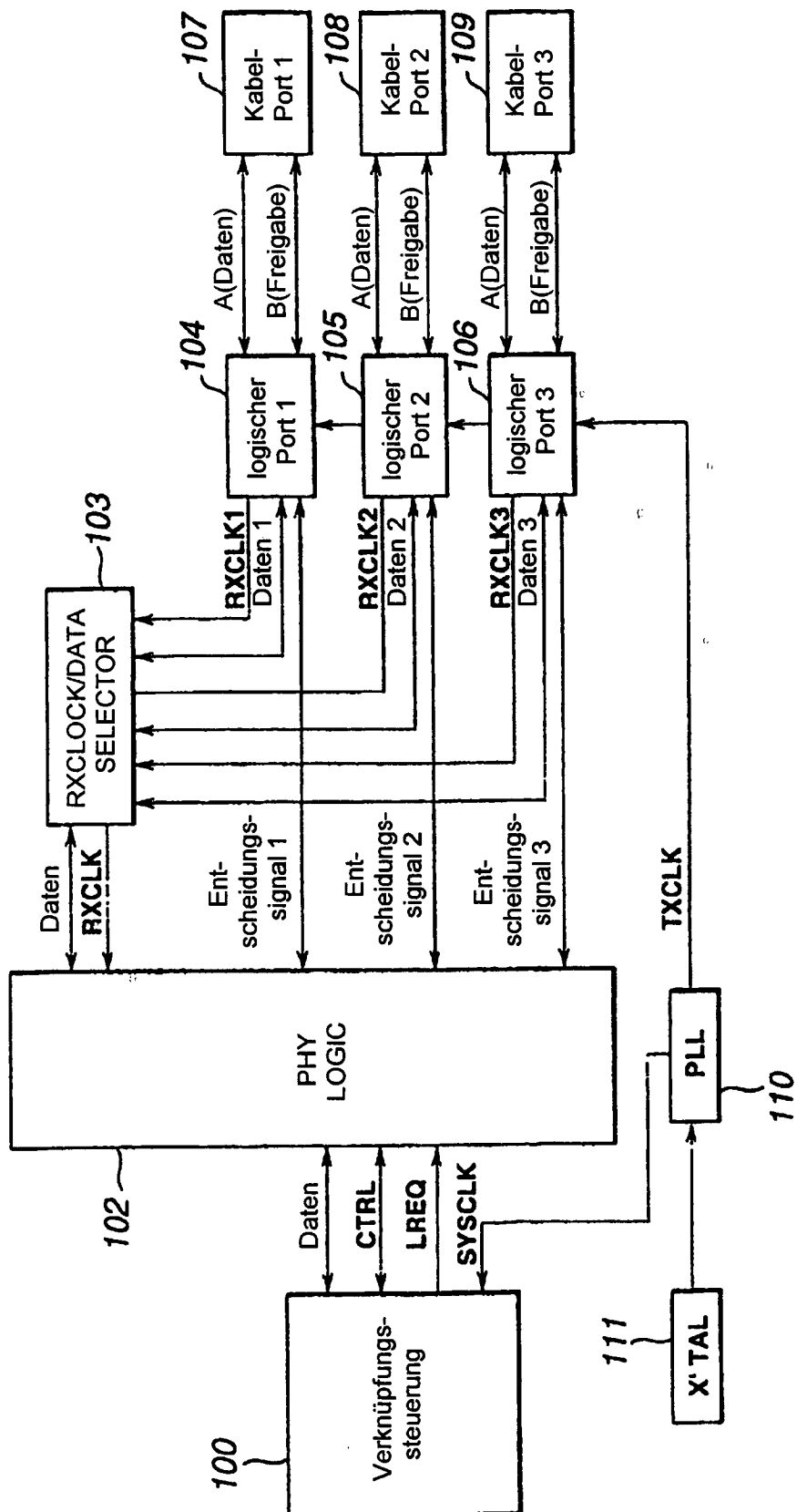


FIG. 8

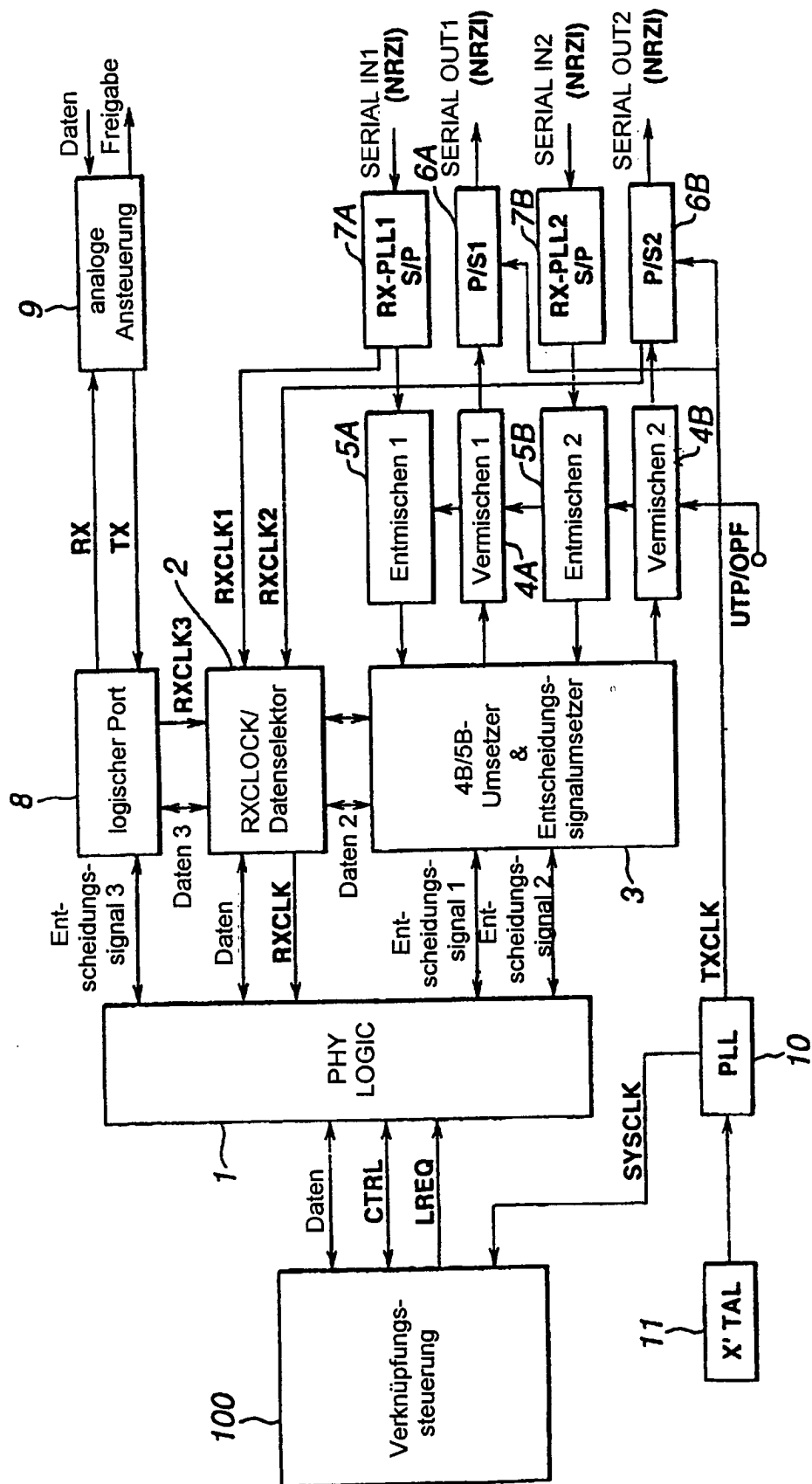
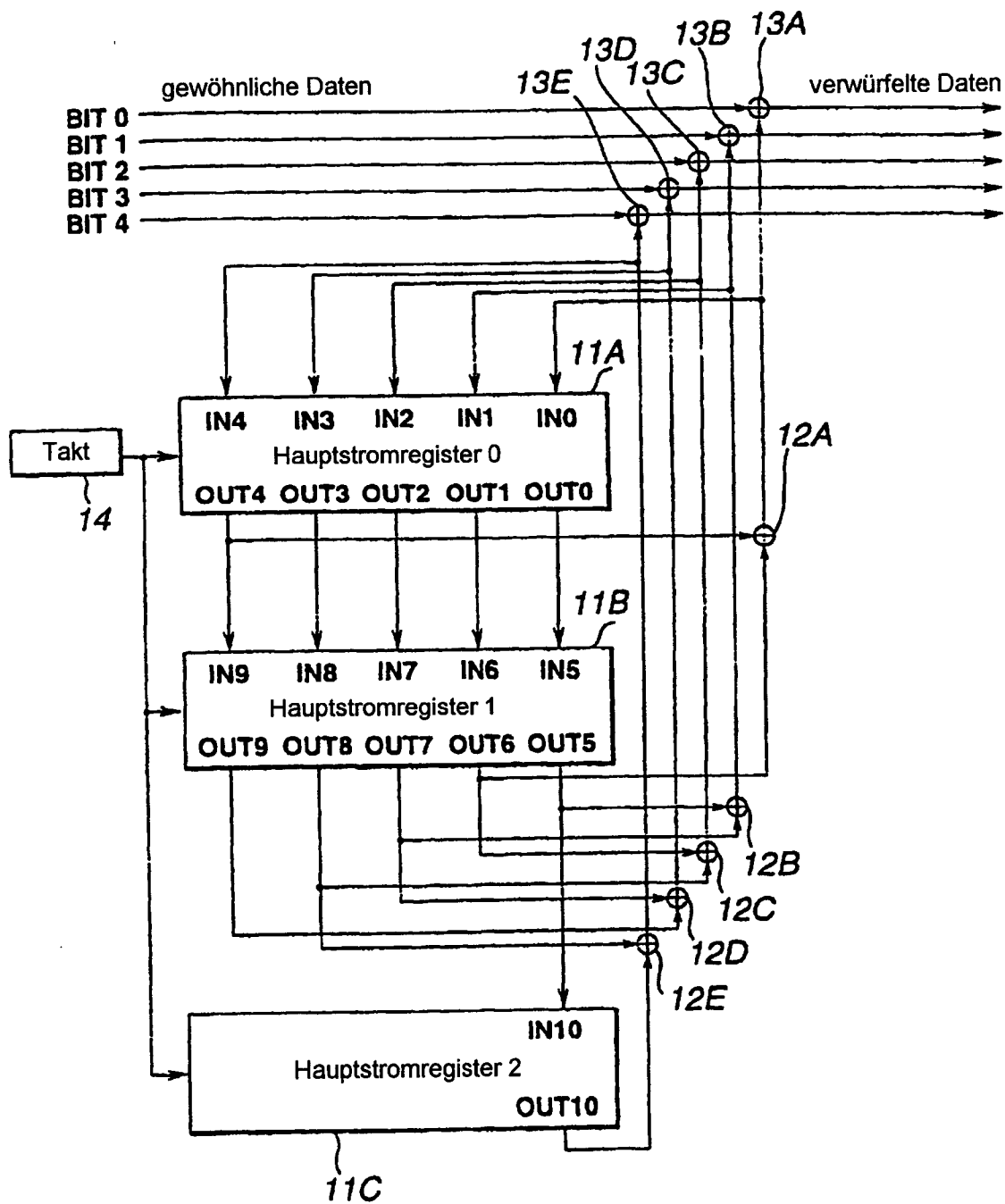


FIG.9

**FIG.10**

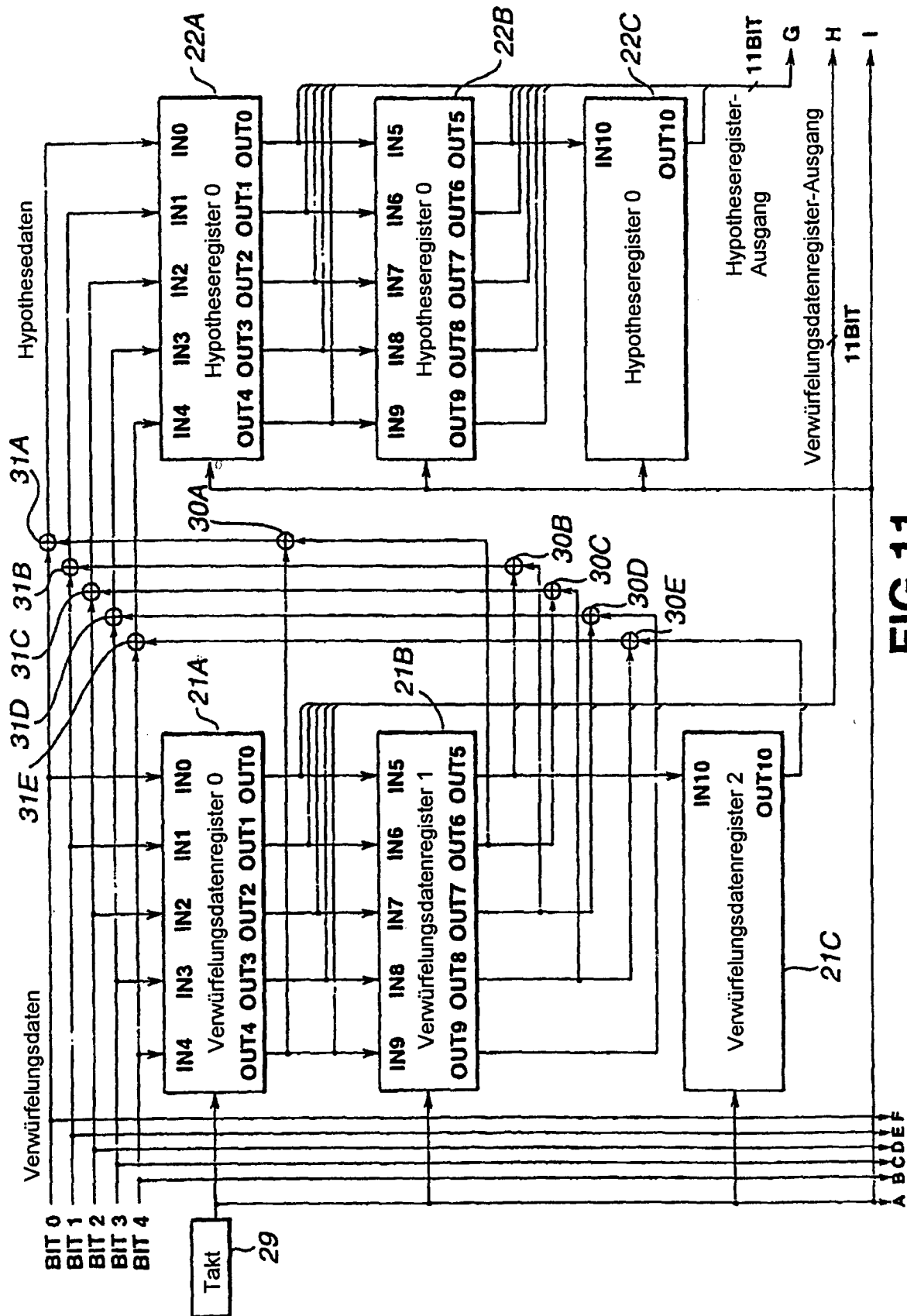


FIG. 11

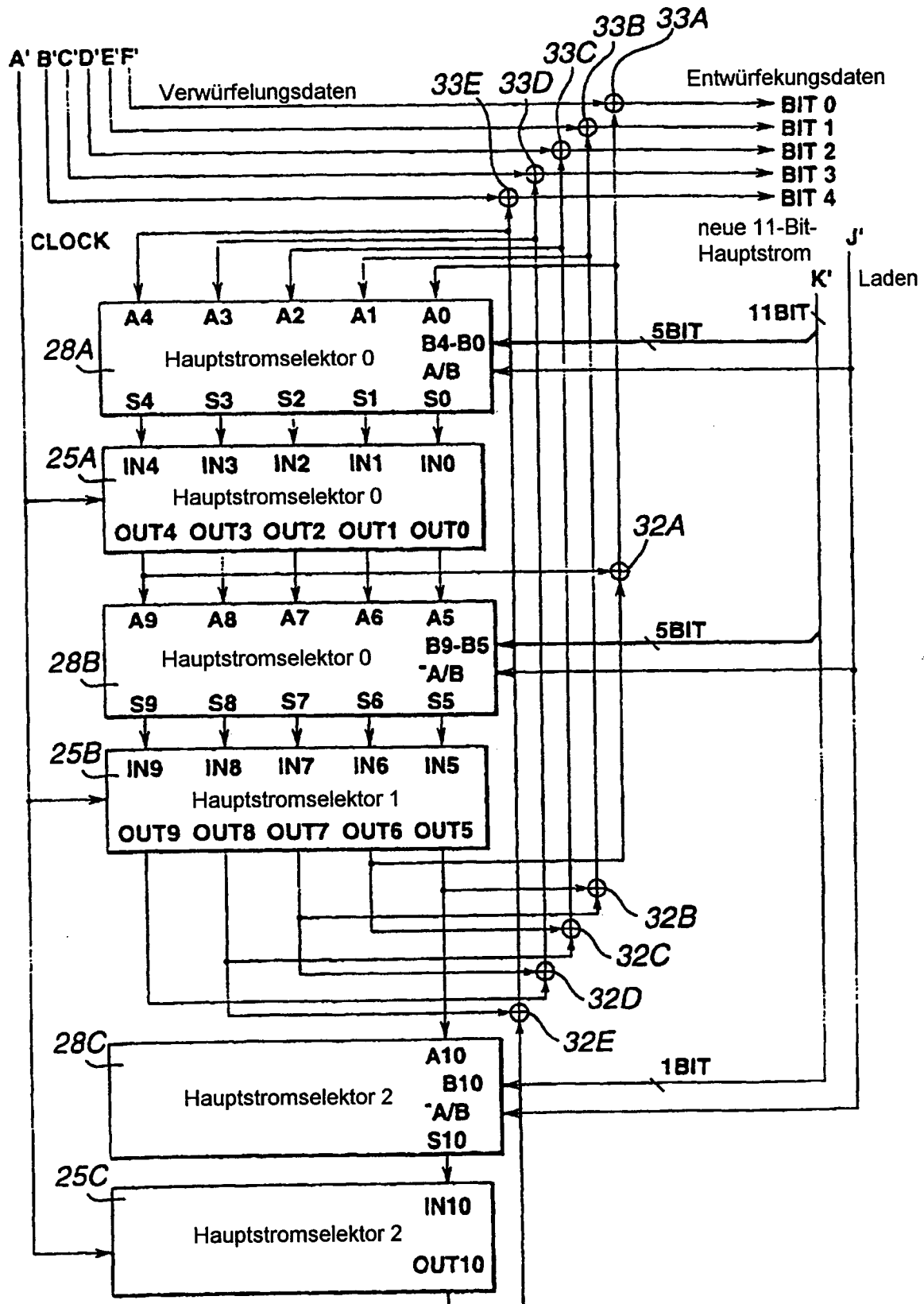


FIG.12

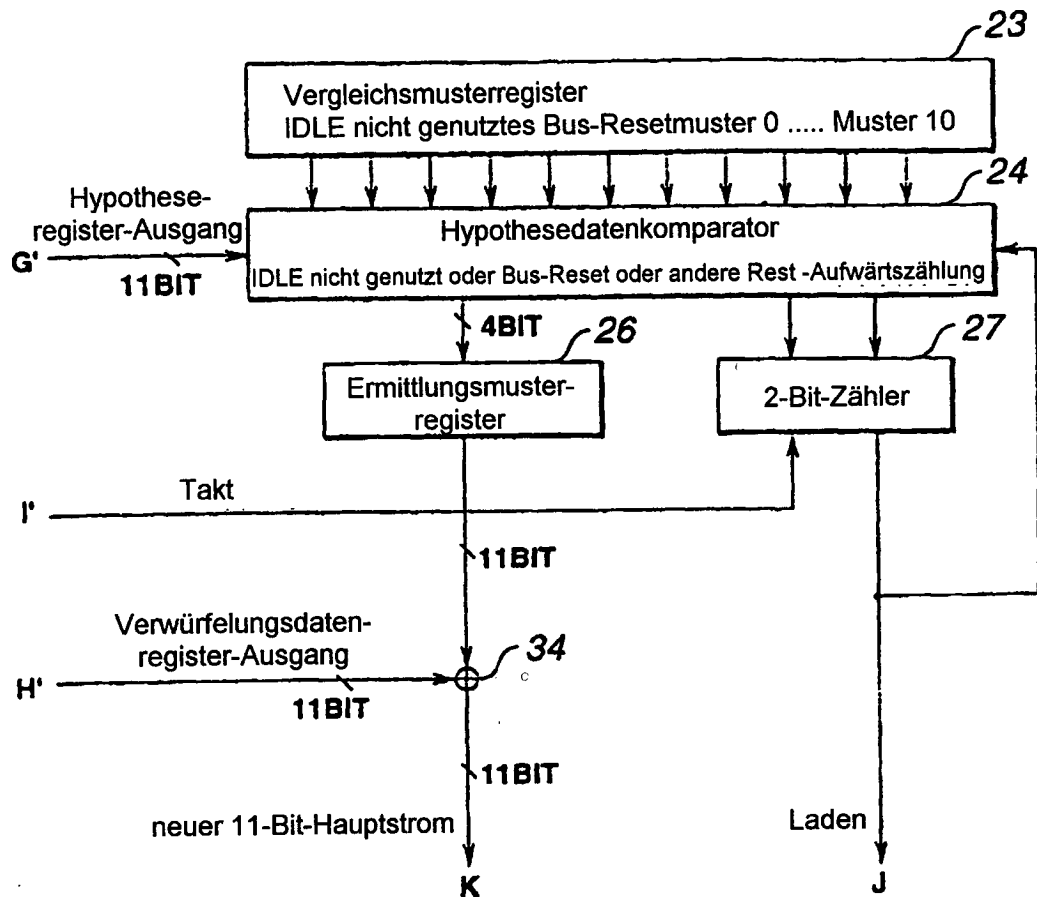


FIG.13

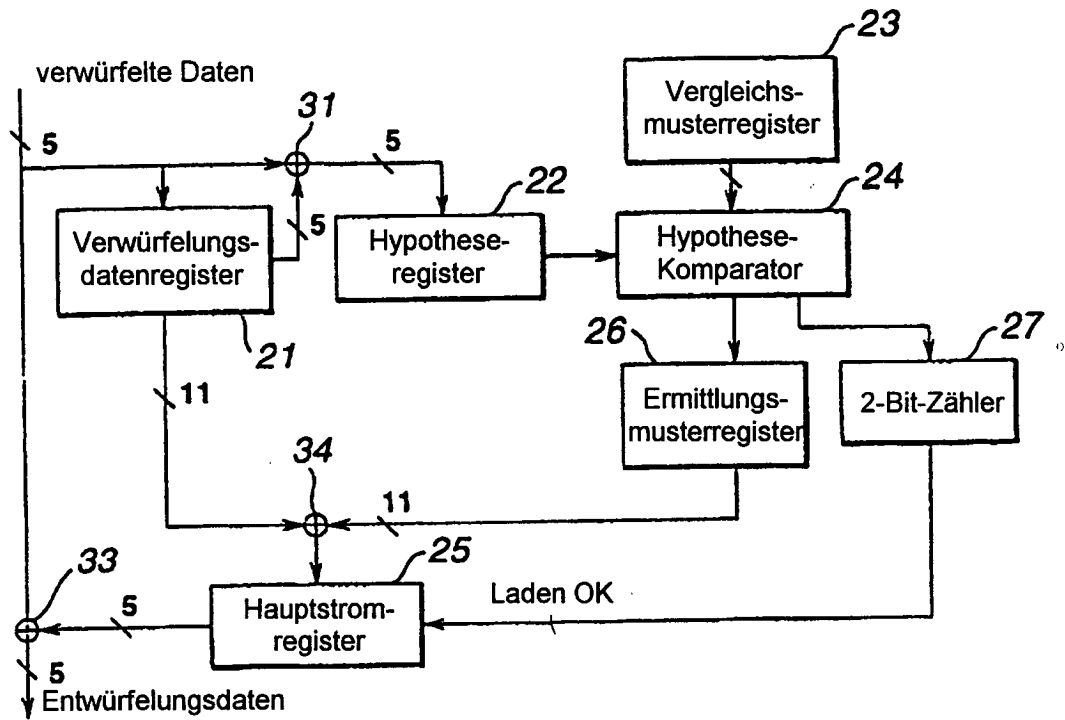


FIG.14

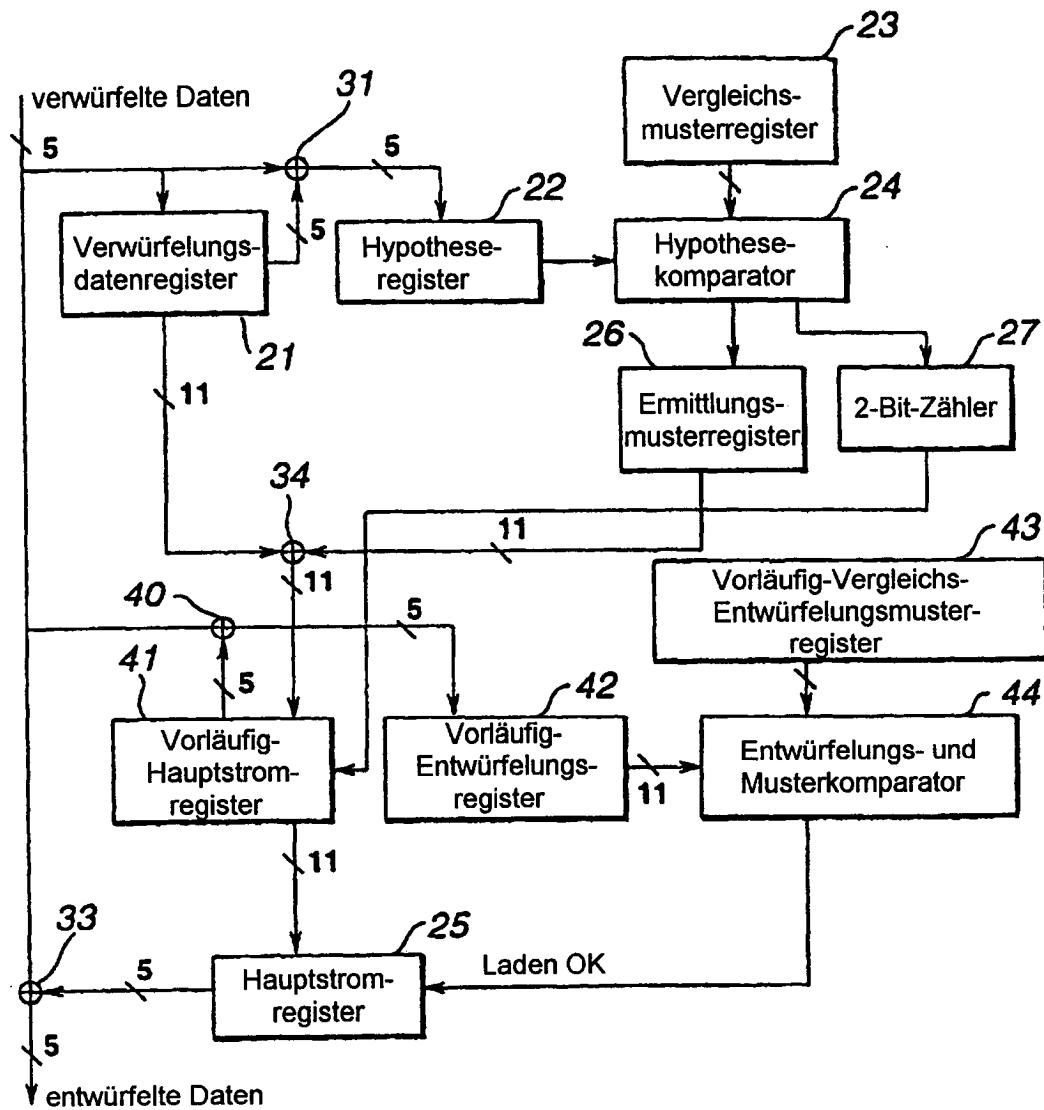


FIG.15