



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98118602.5

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111785C

[22] 申请日 1998.8.21 **[21]** 申请号 98118602.5

[30] 优先权

[32] 1997. 8.26 [33] JP [31] 229950/1997

[71] 专利权人 松下电工株式会社

地址 日本大阪府

[72] 发明人 三品一博

[56] 参考文献

CN1016291B 1992.04.15 G06F9/02

US4404651 1983.09.13 G05B19/02

US5473757 1995.10.05 H04Q1/00

US5491789 1996.02.13 G06F11/34

W085/04268A1 1985.09.26 G05B19/02

审查员 蔡 萍

[74] 专利代理机构 北京市柳沈律师事务所

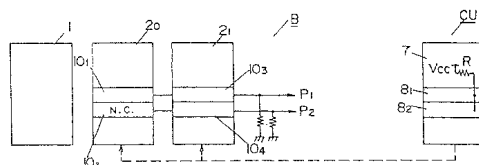
代理人 马 荣

权利要求书 3 页 说明书 13 页 附图 13 页

[54] 发明名称 可编程控制器系统和在该系统中切换主板功能的方法

[57] 摘要

一种可编程控制器系统，包括：主板，含有多个槽；电源单元，安装到至少一个槽中；CPU单元，安装到至少一个槽中，用于指定一个执行 I/O 单元用于执行 I/O 处理；鉴别装置，用于鉴别根据电源单元和 CPU 单元占用的槽数而改变的 I/O 单元的转移的位置的总数；校正装置，用于根据 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号；以及选择装置，用于根据已校正的 I/O 指定信号，选择一个安装所指定的 I/O 单元的实际槽。



- 1、一种可编程控制器系统，包括：
主板，含有多个槽；
- 5 电源单元，安装到所述多个槽的至少一个槽上，用于向主板供电；
至少一个 I/O 单元，都安装到剩余槽上，用于执行 I/O 处理；
在主板上提供的控制信号端子，用于输入 I/O 单元指定信号，以指定一个执行该 I/O 处理的 I/O 单元；以及
选择装置，用于选择一个安装由 I/O 单元指定信号所指定的 I/O 单元
- 10 的实际槽，
其特征在于
该可编程控制器系统：
鉴别装置，用于鉴别根据电源单元占用的槽数而改变的 I/O 单元的转移的位置的总数，包括：第一电路，具有不可改变的配置；以及第二电路，
15 具有可根据电源单元占用的槽数而变化的配置；以及
校正装置，用于根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号，以便该选择装置能根据已校正的 I/O 指定信号，选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽。
- 2、如权利要求 1 所述的可编程控制器系统，其中，I/O 单元的转移的位置的总数唯一地取决于第一电路和第二电路的组合。
- 20 3、如权利要求 2 所述的可编程控制器系统，其中，第一电路是在主板上提供的逻辑电路，而第二电路在电源单元中提供，以及
其中，当电源单元安装到主板上并且没有 CPU 单元插入到任何槽时，第一电路和第二电路唯一地形成向校正装置输出鉴别信号的鉴别电路。
- 25 4、一种可编程控制器系统，包括：
主板，含有多个槽；
电源单元，安装到所述多个槽的至少一个槽上，用于向主板供电；
至少一个 I/O 单元，都安装到剩余槽上，用于执行 I/O 处理；以及
CPU 单元，安装到所述多个槽的至少一个槽上，用于输出 I/O 单元指定
- 30 信号，以便指定一个执行 I/O 单元处理的 I/O 单元；以及
选择装置，用于选择一个安装由 I/O 单元指定信号所指定的 I/O 单元

的实际槽,

其特征在于

该可编程控制器系统:

鉴别装置,用于鉴别根据电源单元和 CPU 单元占用的槽数而改变的 I/O
5 单元的转移的位置的总数; 以及

校正装置,用于根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数,
校正 I/O 单元指定信号,以便根据已校正的 I/O 指定信号,选择一个安装
由 I/O 单元指定信号所指定的 I/O 单元的实际槽。

5、如权利要求 4 所述的可编程控制器系统,其中,鉴别装置包括:第
10 一电路,具有不可改变的配置;第二电路,具有根据电源单元占用的槽数
而变化的配置;及第三电路,具有可根据 CPU 单元占用的槽数而变化的配
置, 以及

其中, I/O 单元的转移的位置的总数唯一地取决于第一电路、第二电路
和第三电路的组合。

15 6、如权利要求 5 所述的可编程控制器系统,其中,第一电路是在主板
上提供的逻辑电路,第二电路在电源单元中提供,而第三电路在 CPU 单元
中提供, 以及

其中,当电源单元安装到主板上时,第一电路,第二电路和第三电路
唯一地形成向校正装置输出鉴别信号的鉴别电路。

20 7、一种用于切换可编程控制器系统中的主板的功能的方法,包括以下
步骤:

在主板的多个槽的至少一个槽上,安装用于向主板供电的电源单元;

在所述槽的一个槽上可拆卸地安装 CPU 单元,用于输出 I/O 单元指定
信号,以便从安装到剩余槽上的至少一个 I/O 单元中,指定一个执行 I/O
25 单元用于执行 I/O 处理;

检测 CPU 单元是否安装到主板上;

当检测到 CPU 单元存在时,

鉴别根据电源单元和 CPU 单元占用的槽数而改变的 I/O 单元的转
移的位置的总数;

30 根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数,校正 I/O
单元指定信号;

根据已校正的 I/O 指定信号, 选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽; 以及

将主板上的控制信号端子切换为输出端子, 并且

当检测到 CPU 单元不存在时,

- 5 将控制信号端子切换为输入端子, 并通过所述控制端子从外部单元接收 I/O 单元指定信号;

鉴别根据电源单元占用的槽数而改变的 I/O 单元的转移的位置的总数;

- 根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数, 校正 I/O
10 单元指定信号; 以及

根据已校正的 I/O 指定信号, 选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽。

- 8、如权利要求 7 所述的用于切换主板的功能的方法, 其中, 当检测到 CPU 单元不存在时, I/O 单元的转移的位置的总数唯一地取决于第一电路和
15 第二电路的组合, 第一电路在主板中提供, 具有不可改变的配置, 而第二电路在电源单元中提供, 具有可根据电源单元占用的槽数而变化的配置。

- 9、如权利要求 7 所述的用于切换主板的功能的方法, 其中, 当检测到 CPU 单元存在时, I/O 单元的转移的位置的总数唯一地取决于第一电路、第二电路和第三电路的组合, 第一电路在主板中提供, 具有不可改变的配置,
20 第二电路在电源单元中提供, 具有根据电源单元占用的槽数而变化的配置, 而第三电路在 CPU 单元中提供, 具有根据 CPU 单元占用的槽数而变化的配置。

可编程控制器系统和在该系统中
切换主板功能的方法

5

技术领域

本发明涉及一种可编程控制器系统，包括：主板(base board)、以及要安装到主板上的电源单元和 CPU 单元。

10

背景技术

已经有了可编程控制器等具有将各个单元安装到主板上的配置的系统(见未经审查的日本专利申请特开平-4-308952、特开平-2-116903、特开平-1-175607、特开平-2-176833 等)。

15

图 13 是一种传统的可编程制器系统的系统配置图，该系统包括：主板 B''；电源单元 SU'，用于提供电源；CPU 单元 CU'，用于执行输入/输出处理和各种算术运算；输入/输出单元(I/O 单元)IU₁、...、IU_n，用于输入/输出操作；等等，以上各单元都安装到主板 B''上。该电源单元 SU'、CPU 单元 CU'、I/O 单元 IU₁、...、IU_n分别插到主板 B''中提供的多个槽上，并且具有要连接到各自的槽中的接线器(connector)上的配对接线器(mating connector)。要安装 CPU 单元 CU'的主板 B''称为基本主板(fundamental base board)。另一方面，还有一块扩充主板(extension base board)，通过扩充电缆连接到主板 B''中的扩充接线器 13 上，并用于扩充 I/O 单元 IU₁、...、IU_n等。基本上，只有电源单元 SU'、I/O 单元 IU₁、...、IU_n等安装到这样的扩充主板上，而 CPU 单元 CU'则未安装到其上。图中，所示 CPU 单元 CU'是一个占用两个槽的单元。

25

在基本主板 B''中，连接电源单元 SU'的电源接线器 15、连接 CPU 单元 CU'的 CPU 接线器 16、连接 I/O 单元 IU₁、...、IU_n的 I/O 接线器 17₁、...、17_n、以及扩充接线器 13 通过电源线 L_p连接在一起，同时，在 CPU 接线器 16、I/O 接线器 17₁、...、17_n以及扩充接线器 13 之间提供地址总线 AB 和数据总线 DB。

30

此外，分别用于选择基本主板 B''和扩充主板的主板选择信号 US3 和 US4、以及用于选择安装到各个主板的槽上的 I/O 单元 IU₁、...、IU_n的 I/O 选择信

号 US0 至 US2 均从 CPU 单元 CU' 输出。这些选择信号通过 CPU 接线器 16 提供给基本主板 B'' 上的选择电路 18。在选择电路 18 中, 根据提供的选择信号, 向连接到 I/O 单元 IU_1 、 $\dots$ 、 IU_n 上的 I/O 接线器 17_1 、 $\dots$ 、 17_n 中被选择的接线器提供槽选择信号。用这样的方式, 通过 I/O 接线器 17_1 、 $\dots$ 、 17_n 向 I/O 单元 IU_1 、 $\dots$ 、 IU_n 提供槽选择信号, 并通过该 I/O 单元和 CPU 单元 CU' 之间的地址总线

5 和数据总线执行数据的输入/输出。

另一方面, 在基本主板 B'' 和扩充主板 B'' 中, 各个槽被排列为一排。如图 14(a) 所示, 安装到各自的槽 0、 $\dots$ 、n 上的电源单元 SU'、CPU 单元 CU'、以及 I/O 单元 IU_1 、 $\dots$ 、 IU_n 被相邻地并排排列。

然而, 如图 14(b) 所示, 当电源单元为高容量电源单元 SU'' 时, 其体积很大, 以致电源单元占用基本主板 B'' 的两个槽(电源槽和槽 0)。此时, 由于原来要安装 CPU 单元 CU' 的槽 0 被电源单元 SU'' 占用了, 所以若要安装 CPU 单元 CU' 就必须将其转移到相邻的槽 1 上。然后, 用这样的方式将要安装 I/O 单元 IU_1 、 $\dots$ 、 IU_n 的槽依次地逐个转移, 例如, 将要安装 I/O 单元 IU_1 的槽从槽 1 转移到槽 2。因此, 有一个问题就是, 在布线时固定了来自上述选择电路 18 的槽选择信号, 而 I/O 单元 IU_1 、 $\dots$ 、 IU_n 的 I/O 单元识别号(select number) (用于识别 I/O 单元 IU_1 、 $\dots$ 、 IU_n 的标号) 却改变了。此外, 如图 14(a) 和 (b) 所示, 将基本主板 B'' 与扩充板互相比

10 较可见, 槽的物理位置和 I/O 单元识别号根据 CPU 单元 CU' 的安装与否而变得不同。既然这两种主板不能互相通用, 所以就

15 必须分别提供基本主板 B'' 和扩充板。

20

发明内容

本发明的目的是解决上述问题, 即, 提供一种主板以及安装到主板上的电源单元和 CPU 单元, 即使当电源单元和 CPU 单元的宽度独立地及分别地改变时, 或即使当 CPU 单元未安装时, 主板上安装 I/O 单元等的槽也能被正确地识别。

25

为实现上述目的, 根据本发明的一个方面, 本发明提供一种可编程控制器系统, 包括: 主板, 含有多个槽; 电源单元, 安装到该多个槽的至少一个槽上, 用于向主板供电; 至少一个 I/O 单元, 都安装到剩余槽上, 用于执行 I/O 处理; 在主板上提供的控制信号端子, 用于输入 I/O 单元指定信号, 以指定一个执行该 I/O 处理的 I/O 单元; 以及选择装置, 用于选择一个安装

30

- 由 I/O 单元指定信号所指定的 I/O 单元的实际槽，其特征在于该可编程控制器系统：鉴别装置，用于鉴别根据电源单元占用的槽数而改变的 I/O 单元的转移的位置的总数，包括：第一电路，具有不可改变的配置；以及第二电路，具有可根据电源单元占用的槽数而变化的配置；以及校正装置，
- 5 用于根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号，以便该选择装置能根据已校正的 I/O 指定信号，选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽。

- 根据本发明的另一方面，提供一种可编程控制器系统，包括：主板，含有多个槽；电源单元，安装到所述多个槽的至少一个槽上，用于向主板
- 10 供电；至少一个 I/O 单元，都安装到剩余槽上，用于执行 I/O 处理；以及 CPU 单元，安装到所述多个槽的至少一个槽上，用于输出 I/O 单元指定信号，以便指定一个执行 I/O 单元处理的 I/O 单元；选择装置，用于选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽，其特征在于该可编程控制器系统：鉴别装置，用于鉴别根据电源单元和 CPU 单元占用的槽数而
- 15 改变的 I/O 单元的转移的位置的总数；以及校正装置，用于根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号，以便根据已校正的 I/O 指定信号，选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽。

- 具体地说，鉴别装置包括：第一电路，具有不可改变的配置；第二电路，
- 20 具有根据电源单元占用的槽数而变化的配置；以及第三电路，具有根据 CPU 单元占用的槽数而变化的配置；并且，其中，I/O 单元的转移的位置的总数唯一地取决于第一电路、第二电路、以及第三电路的组合。

- 第一电路是在主板上提供的逻辑电路；第二电路在电源单元中提供；而第三电路在 CPU 单元中提供，并且当电源单元安装到主板上时，第一电路、
- 25 第二电路、和第三电路唯一地形成向校正装置输出鉴别信号的鉴别电路。

在系统中，当占用主板的槽的电源单元和 CPU 单元的宽度独立地改变时，或当 CPU 单元未安装时，能分别得到不同的识别信号。因此，即使在这种情况下，也能够正确地识别安装 I/O 单元等的槽。

- 此外，本发明还采用了一种方法，用于切换该可编程控制器系统中的主
- 30 板的功。该方法包括以下步骤：在主板上多个槽中的至少一个槽上，安装用于向主板供电的电源单元；在其中一个槽上可拆卸地安装 CPU 单元，用

于输出 I/O 单元指定信号，以从安装到剩余槽上的至少一个 I/O 单元中，指

定一个执行 I/O 单元用于执行 I/O 处理；检测 CPU 单元是否安装到主板上；当检测到 CPU 单元存在时，鉴别根据电源单元和 CPU 单元占用的槽数而改变的 I/O 单元的转移的位置的总数；根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号；根据已校正的 I/O 指定信号，选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽；以及将主板上的控制信号端子切换为输出端子，并且当检测到 CPU 单元不存在时，将控制信号端子切换为输入端子，并通过该控制端子从外部单元接收 I/O 单元指定信号；鉴别根据电源单元占用的槽数而改变的 I/O 单元的转移的位置的总数；根据鉴别装置鉴别出的 I/O 单元的转移的位置的总数，校正 I/O 单元指定信号；以及根据已校正的 I/O 指定信号，选择一个安装由 I/O 单元指定信号所指定的 I/O 单元的实际槽。

在该方法中，当检测到 CPU 单元不存在时，I/O 单元的转移的位置的总数唯一地取决于第一电路和第二电路的组合，第一电路在主板中提供，具有不可改变的配置，而第二电路在电源单元中提供，具有根据电源单元占用的槽数而变化的配置。

在该方法中，当检测到 CPU 单元存在时，I/O 单元的转移的位置的总数唯一地取决于第一电路、第二电路、以及第三电路的组合，第一电路在主板中提供，具有不可改变的配置，第二电路在电源单元中提供，具有根据电源单元占用的槽数而变化配置，而第三电路在 CPU 单元中提供，具有根据 CPU 单元占用的槽数而变化的配置。

因此，与 CPU 单元是否存在相对应，同一块主板可以被通用为基本主板和扩充主板。

附图说明

附图的简要说明：

- 图 1 是本发明的第一个实施例的示意性配置图；
- 图 2 是第一个实施例中各种系统配置下的信号图；
- 图 3 是第一个实施例中主要部分的电路配置图；
- 图 4 是第一个实施例中主板的主要部分的电路配置图；
- 图 5 是本发明的第二个实施例的主要部分的电路配置图；
- 图 6 是第二个实施例的另一主要部分的电路配置图；

图 7 是第二个实施例中的标准型电源单元的示意性配置图；
图 8 是第二个实施例中的大容量电源单元的示意性配置图；
图 9 是第二个实施例中的标准型 CPU 单元的示意性配置图；
图 10 是第二个实施例中的高机能 CPU 单元的示意性配置图；
5 图 11(a)-(f) 是第二个实施例中的系统配置的举例图；
图 12 是第二个实施例中各种系统配置下的识别信号和输出信号图；
图 13 是一种传统系统的示意性配置图；以及
图 14(a)-(c) 是传统系统中系统配置的举例图。

10 具体实施方式

下面将结合附图详细地描述优选实施例。在本实施例中，本发明被应用于一种可编程控制器系统。然而，在不脱离本发明的范围和精神的情况下，可将本发明应用于可编程控制器以外的其它系统。

图 1 示出了本发明第一个实施例的示意性配置。其中，主板 B 包括：电
15 源槽，含有电源接线器 1；槽 0 和 1，与电源槽相邻且分别含有接线器 2₀、
2₁，该接线器中提供的多对信号端子 10_i 至 10₄ 分别通过电阻接地。CPU 单元
CU 包括含有一对信号端子 8₁ 和 8₂ 的配对接线器 7，该信号端子被一个电阻 R
上拉(pull up)。如图 2 所示，根据主板 B，在 CPU 单元 CU 安装到基本主板
B 的槽 0 和槽 1 上、安装到槽 1 和槽 2 上、以及没有安装的情况下，能够得
20 到信号 P₁ 和 P₂ 的不同组合。

如图 3 所示，在该主板 B 中，提供了：加法器 11，用于将选择槽 0 至 7
的表示为“0”或“1”的选择信号 US0 至 US2 与取信号 P₂ 作为低位有效数字
及取信号 P₁ 作为高位数字而组成的信号进行相加；以及一个译码器 12，用于
对加法器 11 的输出 Y0 至 Y2 进行译码，以得到选择槽 0 至 7 的选择信号 Z0
25 至 Z7。因此，对于相同的选择信号 US0 至 US2，可对应于 CPU 单元 CU 安装
到槽 0 或 1 上而输出不同的选择信号。例如，假定选择信号 US0 至 US2 表示
为“000”以选择与 I/O 单元识别号对应的 I/O 单元。这时，当 CPU 单元 CU
安装到槽 0 和 1 上时，加法器 11 的输出取“010”从而选择槽 2。另一方面，
当 CPU 单元 CU 安装到槽 1 和 2 上时，加法器 11 的输出取“011”从而选择
30 槽 3。不论 CPU 单元 CU 安装到槽 0 上或是槽 1 上，总能选择出与 I/O 单元识
别号对应的安装 I/O 单元的正确槽。

如图4所示,在基本主板B中,在扩充接线器13的上游还提供了能够切换数据总线DB、地址总线AB以及控制信号线CL的信号传输方向的缓冲电路(buffer circuit)14₁至14₄。在上述缓冲电路中,设计用于地址总线AB的缓冲电路14₂和14₃、以及用于控制信号线CL的缓冲电路14₄的目的是根据信号P₁切换信号传输方向。即,当信号P₁取“1”时,相应的信号输出到扩充接线器13,从而使主板起基本主板的作用。当信号P₁取“0”时,相应的信号从扩充接线器13输入,从而使主板起扩充主板的作用。

此外,设计用于数据总线DB的缓冲电路14₁,以便能够通过信号P₁和控制信号中的RD(读)信号切换其信号传输方向。当以P₁取“1”读时,相应的信号从扩充接线器13输入,从而使主板起基本主板的作用;而当以P₁取“0”读时,相应的信号从扩充接线器13输出,从而使主板起扩充主板的作用。用于选择基本主板和扩充主板的信号US3和US4,以及用于选择各自的槽0至7的信号US0至US2直接交换,而不通过缓冲电路14₁至14₄,如上所述。

图5示出了本发明的第二个实施例的主板B'的主要部分的电路图。在主板B'上的电源接线器1和接线器2₀至2₂的相同位置上,分别提供了几对槽端(slot-side)识别信号端子3₁至3₈,总计8个。图中省略了主板B'上的其它的槽和接线器。

电源接线器1中的一个槽端识别信号端子3₁为开路(N.C.),同时另一个槽端识别信号端子3₂连接到接线器2₀的相同位置上的槽端识别信号端子3₄上。

接线器2₀中的上述槽端识别信号端子3₄通过电阻R₄接地,同时另一个槽端识别信号端子3₃通过上拉电阻R₁接电源V_{cc}。此外,接线器2₁中的一个槽端识别信号端子3₅通过上拉电阻R₂接电源V_{cc},同时另一个槽端识别信号端子3₆通过电阻R₅接地。另外,接线器2₂中的一个槽端识别信号端子3₇通过电阻R₃接地,同时另一槽端识别信号端子3₈通过电阻R₆接地。

此外,主板B'提供了逻辑电路IC₁,用于对输入到槽端识别信号端子3₃的识别信号S₁、和输入到槽端识别信号端子3₅的识别信号S₂进行“与非”运算。该逻辑电路IC₁的输出信号Q₁将成为标志主板B'中的CPU单元CU的安装的信号。此外,主板B'还提供了:逻辑电路IC₂,用于对输入到槽端识别信号端子3₅的识别信号S₂、和输入到槽端识别信号端子3₇的识别信号S₃进行“或”运算;逻辑电路IC₃,用于对所述逻辑电路IC₂的输出信号和输入

到槽端识别信号端子 3_4 的识别信号 S_4 进行“与”运算；逻辑电路 IC_5 ，用于对所述逻辑电路 IC_3 的输出信号和输入到槽端识别信号端子 3_8 的识别信号 S_8 进行“或”运算；以及逻辑电路 IC_4 ，用于对输入到槽端识别信号端子 3_6 的识别信号 S_6 、和上述识别信号 S_8 进行“或”运算。这里，逻辑电路 IC_4 和

5 IC_5 的输出信号(校正信号) Q_3 、 Q_2 被分别输入到图 6 所示的加法器 11 中。

图 7 示出了具有仅占用一个槽(电源槽)的宽度的标准型电源单元 SU_1 ，同时图 8 示出了宽到占用两个槽(电源槽和槽 0)的高容量电源单元 SU_2 。在标准型电源单元 SU_1 的电源接线器 4_1 中，在与主板 B' 的电源接线器 1 中的槽端识别信号端子 3_1 和 3_2 相对应的位置上，提供了单元端(unit-side)识别信号端子 5_1 和 5_2 。两个端子 5_1 和 5_2 全部开路(N.C.)。另一方面，高容量电源单元 SU_2 具有一个要连接到主板 B' 的电源接线器 1 上的电源接线器 4_2 ，并且在电源接线器 4_2 的与槽端识别信号端子 3_1 和 3_2 相对应的位置中提供单元端识别信号端子 5_3 和 5_4 。一个单元端识别信号端子 5_3 开路(N.C.)，同时另一个单元端识别信号端子 5_4 接电源 V_{cc} 。

10

图 9 示出了具有仅占用一个槽的宽度的标准型 CPU 单元 CU_1 ，同时图 10 示出了宽到占用两个槽的高机能 CPU 单元 CU_2 。在标准型 CPU 单元 CU_1 的接线器 6_1 中，在与主板 B' 的接线器 2_0 和 2_1 中的槽端识别信号端子 3_3 和 3_6 相对应的位置上，提供了单元端识别信号端子 5_5 和 5_6 。一个单元端识别信号端子 5_5 接地，同时另一个单元端识别信号端子 5_6 接电源 V_{cc} 。

15

另一方面，高机能 CPU 单元 CU_2 具有 2 个接线器 6_2 和 6_3 ，并且在各自的接线器 6_2 和 6_3 的与槽端识别信号端子 3_3 至 3_6 或 3_5 至 3_8 相对应的位置上，提供了单元端识别信号端子 5_7 至 5_{10} 。接线器 6_2 中的一个单元端识别信号端子 5_7 接地，同时另一个单元端识别信号端子 5_8 开路(N.C.)。另外，接线器 6_3 中的两个单元端识别信号端子 5_9 和 5_{10} 都接电源 V_{cc} 。

20

如图 11(a) 至 11(f) 所示，将电源单元 SU_1 和 SU_2 、CPU 单元 CU_1 和 CU_2 、以及 I/O 单元 IU_1 、 $\dots$ 、 IU_n 安装到主板 B' 的各槽上的组合数总计为 6。其中，在图 11(a) 至 11(d) 的各组合中，主板 B' 上安装了 CPU 单元 CU_1 或 CU_2 ，起基本主板的作用。在图 11(e) 和 11(f) 中，由于主板 B' 上既没有安装 CPU 单元 CU_1 也没有安装 CU_2 ，所以主板 B' 起扩充主板的作用。此外，图 12 示出了图

25

30 11(a) 至 11(f) 的各个组合中的识别信号 S_1 至 S_6 和输出信号 Q_1 至 Q_3 。在图 12 中，标准型电源单元 SU_1 被称为“1”，而高容量电源单元 SU_2 被称为“2”。另

外, 标准型 CPU 单元 CU_1 被称为“1”, 而高机能 CPU 单元 CU_2 被称为“2”。

首先, 如图 11(a) 所示, 将标准型电源单元 SU_1 和标准 CPU 单元 CU_1 安装到主板 B' 上的最基本的组合中, 电源单元 SU_1 的电源接线器 4_1 连接到主板 B' 的电源接线器 1 上, 从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_1 和 5_2 互相连接。此外, CPU 单元 CU_1 的接线器 6_1 连接到主板 B' 的槽 0 中的接线器 2_0 上, 从而使槽端识别信号端子 3_3 和 3_4 分别与单元端识别信号端子 5_5 和 5_6 互相连接。

此时, 接线器 2_0 中的槽端识别信号端子 3_3 通过单元端识别信号端子 5_5 接地, 从而使识别信号 S_1 变为“0”。另一方面, 槽端识别信号端子 3_4 通过 CPU 单元 CU_1 的接线器 6_1 中的单元端识别信号端子 5_6 接电源 V_{cc} , 从而使识别信号 S_4 变为“1”。虽然 I/O 单元 IU_1 、 $\dots$ 、 IU_n 中的接线器连接到了主板 B' 的接线器 2_1 、 $\dots$ 、 2_n 上, 但是该接线器并未提供连接到槽端识别信号端子 3_5 至 3_6 上的任何端子。因此, 识别信号 S_2 、 S_3 、 S_5 和 S_6 分别保留其初始值“1”、“0”、“0”和“0”。

因此, 逻辑电路 IC_1 的输出 Q_1 变为“1”, 逻辑电路 IC_5 的输出 Q_2 变为“1”, 以及逻辑电路 IC_4 的输出 Q_3 变为“0”。其中, 输出信号 Q_1 是指示 CPU 单元 CU_1 或 CU_2 是否安装到主板 B' 上的信号。输出 Q_1 在没有连接 CPU 单元 CU_1 或 CU_2 时取“0”, 而在连接 CPU 单元 CU_1 或 CU_2 时取“1”。即, 当输出 Q_1 为“1”时, 说明主板 B' 起基本主板的作用。当输出 Q_1 为“0”时, 说明主板 B' 起扩充主板的作用。

接着, 在如图 11(b) 所示的高容量电源单元 SU_2 和标准型 CPU 单元 CU_1 的组合中, 电源单元 SU_2 的电源接线器 4_2 连接到电源接线器 1, 从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_3 和 5_4 互相连接。此外, 由于主板 B' 的槽 0 被电源单元 SU_2 占用, 所以 CPU 单元 CU_1 被安装到槽 1 上。然后接线器 6_1 连接到主板 B' 的接线器 2_1 上, 从而使槽端识别信号端子 3_5 和 3_6 分别与单元端识别信号端子 5_5 和 5_6 互相连接。

此时, 接线器 2_0 被电源单元 SU_2 占用, 并且槽端识别信号端子 3_3 接电源 V_{cc} 。因此, 识别信号 S_1 保留其初始值“1”。另一方面, 槽端识别信号 3_4 通过电源接线器 1 的槽端识别信号端子 3_2 以及电源单元 SU_2 的接线器 4_2 中的单元端识别信号端子 5_4 接电源 V_{cc} 。因此, 识别信号 S_4 取“1”。此外, 接线器 2_1 中的槽端识别信号端子 3_5 通过单元端识别信号端子 5_5 接地。因此, 识别信号

S_2 取“0”。另外，槽端识别信号端子 3_6 通过单元端识别信号端子 5_6 接电源 V_{cc} 。因此，识别信号 S_5 取“1”。虽然I/O单元 IU_1 、 $\dots$ 、 IU_{n-1} 中的接线器都连接到了主板B'的接线器 2_2 、 $\dots$ 、 2_n 上，但是这些接线器并未提供连接到槽端识别信号端子 3_7 至 3_8 上的任何端子。因此，识别信号 S_3 和 S_6 都保留其初始值“0”。结果，逻辑电路 IC_1 的输出 Q_1 变为“1”，逻辑电路 IC_5 的输出 Q_2 变为“0”，而逻辑电路 IC_4 的输出 Q_3 变为“1”。

接着，在如图11(c)所示的标准型电源单元 SU_1 和高机能CPU单元 CU_2 的组合中，电源单元 SU_1 的电源接线器 4_1 连接到电源接线器1上，从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_1 和 5_2 互相连接。此外，CPU单元的接线器 6_2 和 6_3 分别连接到接线器 2_0 和 2_1 上，从而使槽端识别信号端子 3_3 和 3_4 分别与单元端识别信号端子 5_7 和 5_8 互相连接，并且使槽端识别信号端子 3_5 和 3_6 分别与单元端识别信号端子 5_9 和 5_{10} 互相连接。

此时，接线器 2_0 中的槽端识别信号端子 3_3 通过单元端识别信号端子 5_7 接地。因此，识别信号 S_1 取“0”。此外，槽端识别信号端子 3_4 通过单元端识别信号端子 5_8 开路。因此，识别信号 S_4 取“0”。另外，接线器 2_1 中的槽端识别信号端子 3_5 通过单元端识别端子 5_9 接电源 V_{cc} 。因此，识别信号 S_2 取“1”。此外，槽端识别信号端子 3_6 通过单元端识别信号端子 5_{10} 接电源 V_{cc} 。因此，识别信号 S_5 也取“1”。由于I/O单元 IU_1 、 $\dots$ 、 IU_n 中的接线器都连接到主板B'的接线器 2_2 、 $\dots$ 、 2_n 上，所以识别信号 S_3 和 S_6 都保留其初始值“0”。结果，逻辑电路 IC_1 的输出 Q_1 变为“1”，逻辑电路 IC_5 的输出 Q_2 变为“0”，而逻辑电路 IC_4 的输出 Q_3 变为“1”。

接着，在如图11(d)所示的高容量电源单元 SU_2 和高机能CPU单元 CU_2 的组合中，电源单元 SU_2 的电源接线器 4_2 连接到电源接线器1上，从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_3 和 5_4 互相连接。此外，由于主板B'的槽0被电源单元 SU_2 占用，所以CPU单元 CU_2 被安装到槽1和槽2上。因此，接线器 6_2 和 6_3 分别连接到主板B'的接线器 2_1 和 2_2 上，从而使槽端识别信号端子 3_5 和 3_6 分别与单元端识别信号端子 5_7 和 5_8 互相连接，同时，槽端识别信号端子 3_7 和 3_8 分别与单元端识别信号端子 5_9 和 5_{10} 互相连接。

此时，接线器 2_0 被电源单元 SU_2 占用，并且槽端识别信号端子 3_3 接电源 V_{cc} 。因此，识别信号 S_1 保留其初始值“1”。此外，槽端识别信号 3_4 通过电源

接线器 1 的槽端识别信号端子 3_2 以及电源单元 SU_2 的接线器 4_2 中的单元端识别信号端子 5_4 接电源 V_{CC} 。因此, 识别信号 S_4 取“1”。此外, 接线器 2_1 中的槽端识别信号端子 3_5 通过单元端识别信号端子 5_7 接地。因此, 识别信号 S_2 取“0”。此外, 槽端识别信号端子 3_6 通过单元端识别信号端子 5_8 开路。因此, 识别信号 S_5 也取“0”。此外, 接线器 2_2 中的槽端识别信号端子 3_7 和 3_8 分别通过单元端识别信号端子 5_9 和 5_{10} 接电源 V_{CC} 。因此, 两个识别信号 S_3 和 S_6 都取“1”。结果, 逻辑电路 IC_1 的输出 Q_1 、逻辑电路 IC_5 的输出 Q_2 、以及逻辑电路 IC_4 的输出 Q_3 都变为“1”。

接着, 在如图 11(e) 所示的将标准型电源单元 SU_1 和 I/O 单元 IU_1 、 $\dots$ 、 IU_{n+1} 安装到主板 B' 上以便使主板 B' 起扩充主板作用的组合中, 电源单元 SU_1 的电源接线器 4_1 连接到电源接线器 1 上, 从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_1 和 5_2 互相连接。此外, I/O 单元 IU_1 、 $\dots$ 、 IU_{n+1} 的接线器连接到槽 0 及其后续槽中的各个接线器 2_0 、 $\dots$ 、 2_n 上。

此时, 接线器 2_0 中的槽端识别信号端子 3_4 通过槽端识别端子 3_2 以及电源接线器 1 中的单元端识别端子 5_2 开路。因此, 识别信号 S_4 取“0”。另一方面, I/O 单元 IU_1 、 $\dots$ 、 IU_{n+1} 中的接线器连接到接线器 2_0 、 $\dots$ 、 2_n 上。因此, 识别信号 S_1 至 S_3 、 S_5 和 S_6 分别保留其初始值“1”、“1”、“0”、“0”和“0”。结果, 逻辑电路 IC_1 的输出 Q_1 、逻辑电路 IC_5 的输出 Q_2 、以及逻辑电路 IC_4 的输出 Q_3 都变为“0”。

最后, 在如图 11(f) 所示的将大容量电源单元 SU_2 和 I/O 单元 IU_1 、 $\dots$ 、 IU_n 安装到主板 B' 上以便使主板 B' 起扩充主板作用的组合中, 电源单元 SU_2 的电源接线器 4_2 连接到电源接线器 1 上, 从而使槽端识别信号端子 3_1 和 3_2 分别与单元端识别信号端子 5_3 和 5_4 互相连接。此外, 由于主板 B' 的槽 0 被电源单元 SU_2 占用, 所以 I/O 单元 IU_1 、 $\dots$ 、 IU_n 被安装到槽 1 和其后续的槽上。

此时, 由于接线器 2_0 被电源单元 SU_2 占用, 并且槽端识别信号端子 3_3 接电源 V_{CC} 。因此, 识别信号 S_1 保留其初始值“1”。由于槽端识别信号 3_4 通过电源接线器 1 的槽端识别信号端子 3_2 以及电源单元 SU_2 的接线器 4_2 中的单元端识别信号端子 5_4 接电源 V_{CC} 。因此, 识别信号 S_4 取“1”。由于 I/O 单元 IU_1 、 $\dots$ 、 IU_n 中的接线器连接到接线器 2_1 和 2_2 上, 所以识别信号 S_2 、 S_3 、 S_5 和 S_6 分别保留其初始值“1”、“0”、“0”和“0”。结果, 逻辑电路 IC_1 的输出 Q_1 变为“0”,

逻辑电路 IC₅ 的输出 Q₂ 变为 “1”，而逻辑电路 IC₄ 的输出 Q₃ 变为 “0”。

采用和第一个实施例同样的方式，本实施例的主板 B' 提供了：一个加法器 11，用于将选择槽 0 至 7 的选择信号 US0 至 US2 与取输出信号 Q₂ 作为低位有效数字和取输出信号 Q₃ 作为高位数字而组成的信号相加；以及一个译码器 12，用于对加法器 11 的输出进行译码，以便得到选择槽 0 至 7 的选择信号。因此，在上述的 6 种组合中，即使当主板 B' 上安装两种不同宽度的电源单元 SU₁ 和 SU₂ 及两种不同宽度的 CPU 单元 CU₁ 和 CU₂ 时，对于相同的选择信号 US0 至 US2，也可根据安装 I/O 单元 IU₁、...、IU_n 的槽 0、...、n 输出不同的选择信号。即，在第一个实施例中描述的配置中，能够解决仅电源单元的宽度改变的情况，而在本实施例中，通过向加法器 11 提供已校正的信号 Q₂ 和 Q₃，除能解决上述情况以外，还能解决电源单元 SU₁ 或 SU₂ 的宽度及 CPU 单元 CU₁ 或 CU₂ 的宽度同时改变的情况。

例如，假定选择信号 US0 至 US2 表示为 “000”，以选择与 I/O 单元识别号对应的 I/O 单元 IU₁。这时，在图 11(a) 所示的组合中，加法器 11 的输出取 “001” 从而选择槽 1。在图 11(b) 和 11(c) 所示的组合中，加法器 11 的输出取 “010” 从而选择槽 2。在图 11(d) 所示的组合中，加法器 11 的输出取 “011” 从而选择槽 3。在图 11(e) 所示的组合中，加法器 11 的输出取 “000” 从而选择槽 0。在图 11(f) 所示的组合中，加法器 11 的输出取 “001” 从而选择槽 1。在各种组合中，总能够正确地选择出安装 I/O 单元识别号的 I/O 单元的槽。

此外，如图 4 所示，采用和第一个实施例中同样的方式，在本实施例的主板 B' 中，在扩充接线器 13 的上游提供了能够切换数据总线 DB、地址总线 AB 以及控制总线 CL 的信号传输方向的缓冲电路 14₁ 至 14₄。其中，设计用于地址总线 AB 的缓冲电路 14₂ 和 14₃ 以及用于控制信号线 CL 的缓冲电路 14₄ 的目的是能够根据输出信号 Q₁ 切换其信号传输方向。即，当输出信号 Q₁ 取 “1” 时，相应的信号输出到扩充接线器 13，以便使主板 B' 起基本主板的作用。当输出信号 Q₁ 取 “0” 时，相应的信号从扩充接线器 13 输入，以便使主板 B' 起扩充主板的作用。

如上所述，在本实施例中，从逻辑电路 IC₁ 的输出信号 Q₁ 可以判断主板 B' 是基本主板还是扩充主板。此外，从逻辑电路 IC₅ 的输出信号 Q₂ 及逻辑电路 IC₄ 的输出信号 Q₃ 的组合，可以判断出所安装的电源单元 SU₁ 或 SU₂ 的宽度

(或种类)及所安装的 CPU 单元 CU_1 或 CU_2 的宽度(或种类)。因此,不仅是在电源单元 SU_1 或 SU_2 的宽度改变的情况下,而且在 CPU 单元 CU_1 或 CU_2 的宽度改变的情况下,在 CPU 单元 CU_1 或 CU_2 中都能够正确地识别出安装 I/O 单元 IU_1 、 $\dots$ 、 IU_n 等的槽。如此,在相同的主板 B' 上,可以分别地改变电源单元 SU_1 和 SU_2 以及 CPU 单元 CU_1 和 CU_2 的宽度。此外,可使相同的主板不仅起基本主板的作用,而且还起扩充主板的作用。因此,就能实现其功能的改进和合理化。

如上所述,根据本发明,当占用主板的槽的电源单元和 CPU 单元的宽度独立地改变时,或 CPU 单元没有安装时,都能分别地得到不同的识别信号。

10 因此,即使在该情况下,也能正确地识别出安装 I/O 单元等的槽。

根据本发明,一块相同的主板可根据 CPU 单元的安装与否,通用为基本主板和扩充主板。

此外,根据本发明,使用简单的电路配置就可得到上述效果。

图 1

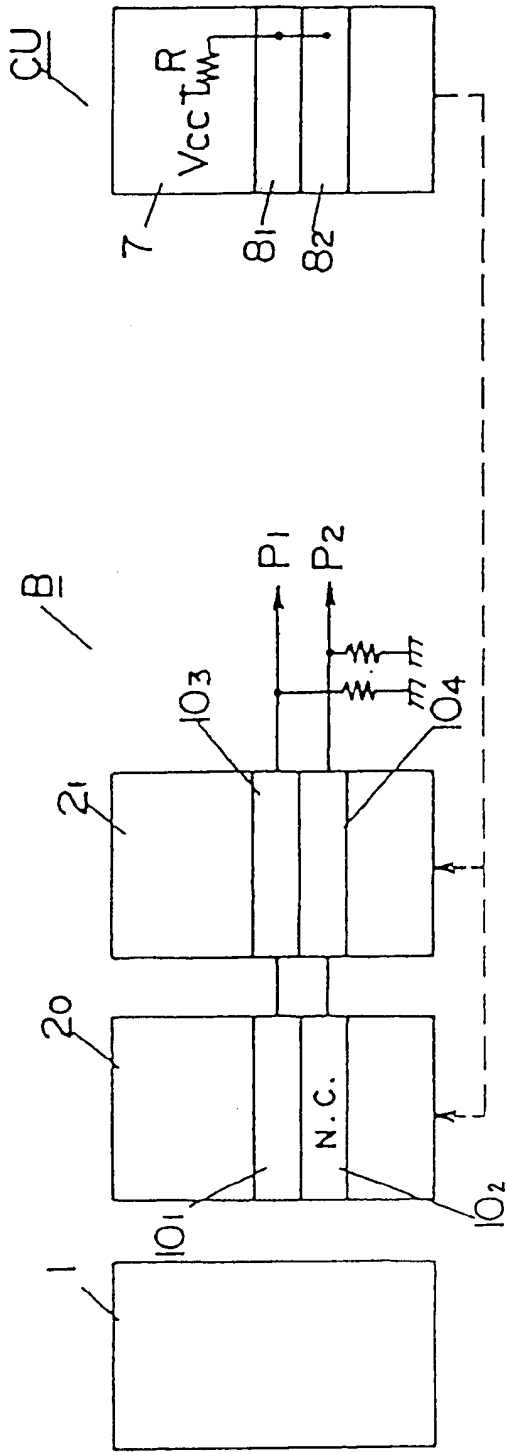


图 2

	P ₁	P ₂
基本主板 CPU 单元： 槽 0, 1	1	0
基本主板 CPU 单元： 槽 1, 2	1	1
扩充主板	0	0

图 3

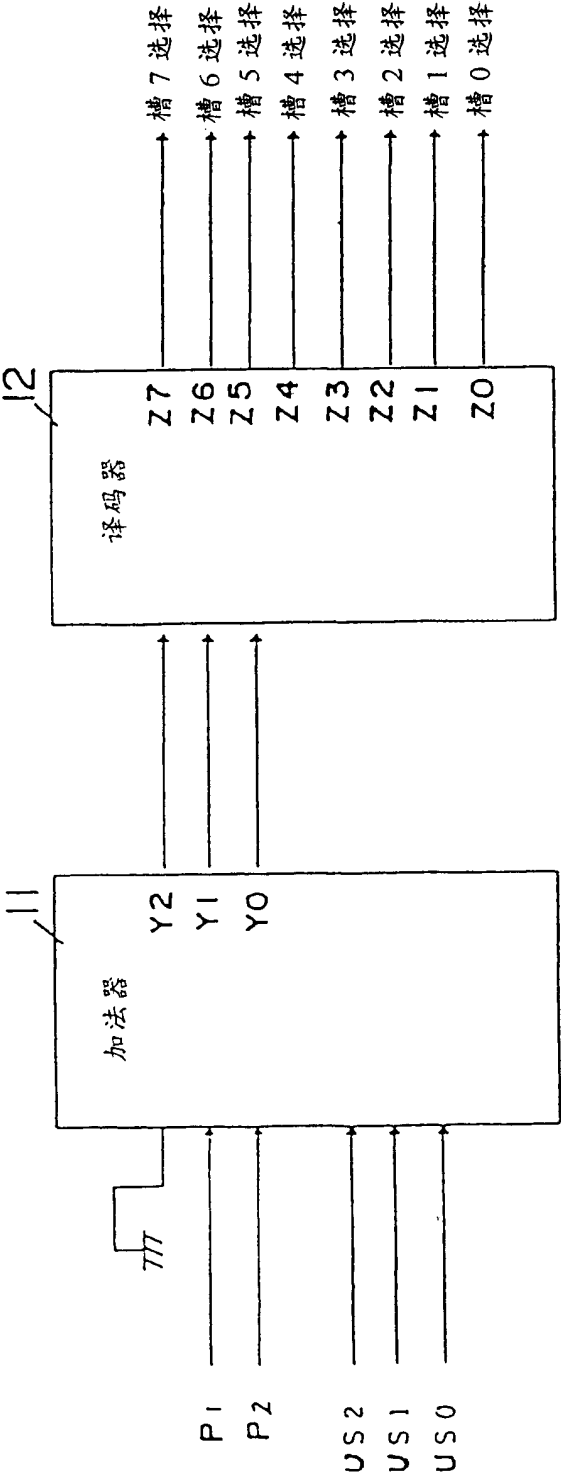


图 4

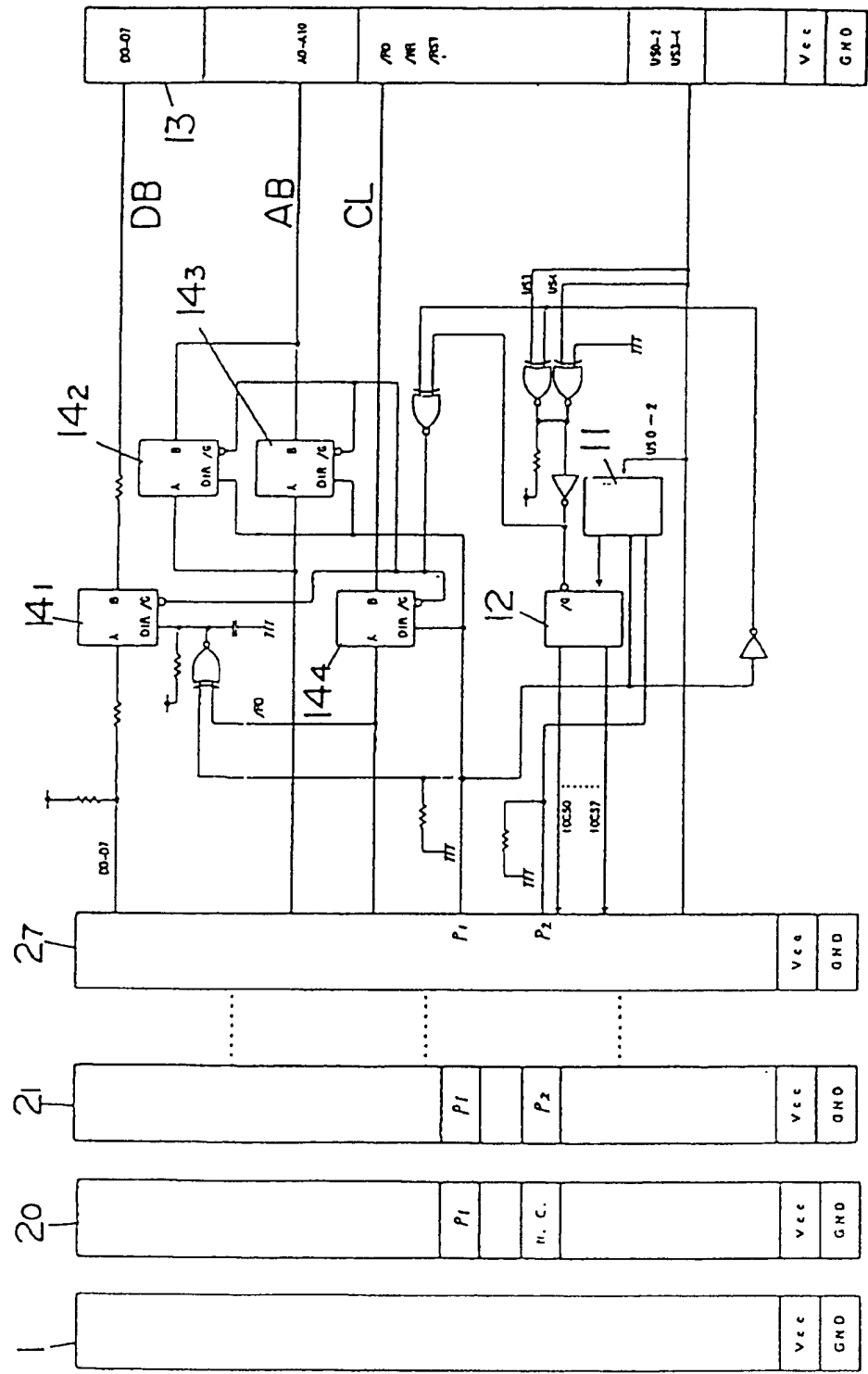


图 5

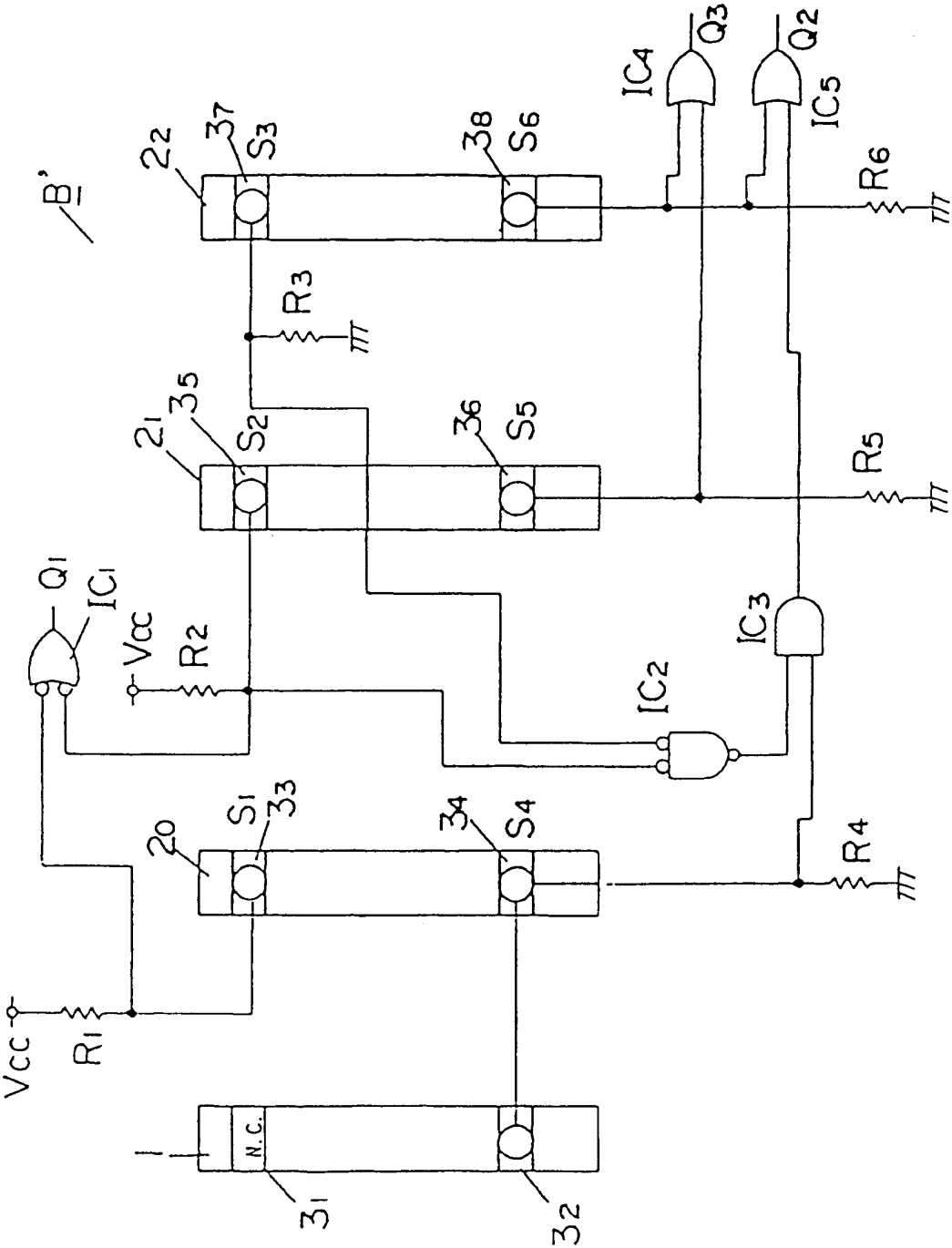


图 6

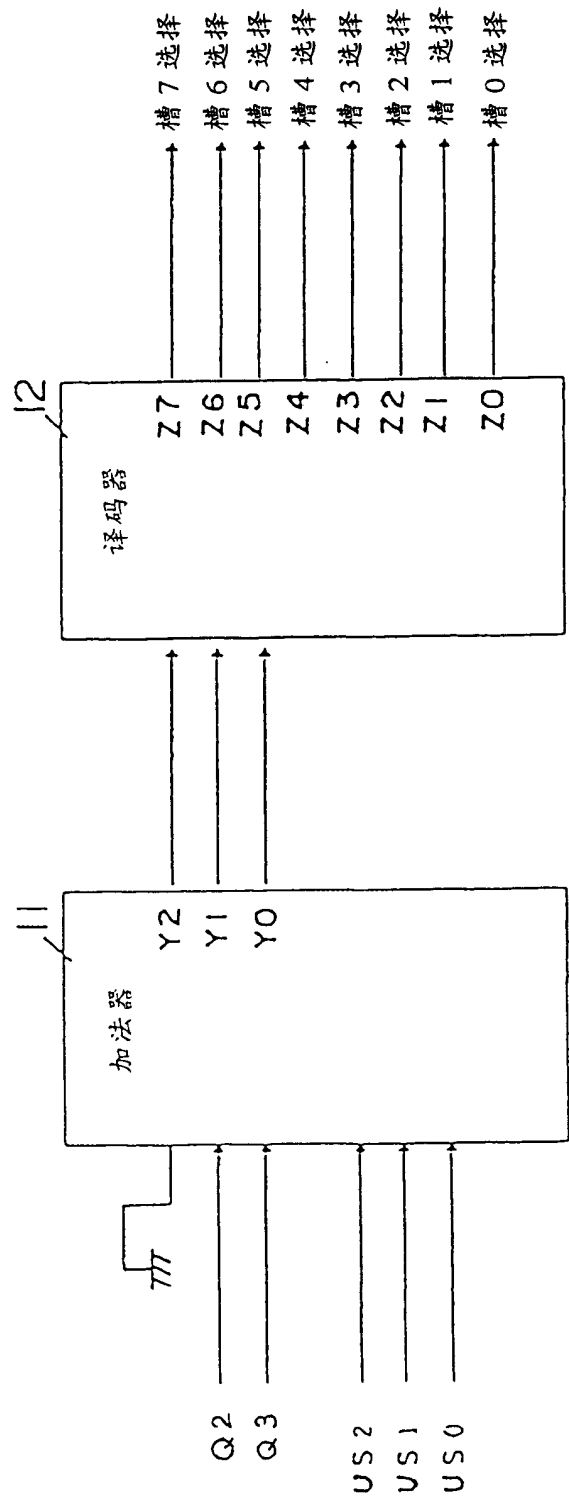


图 7

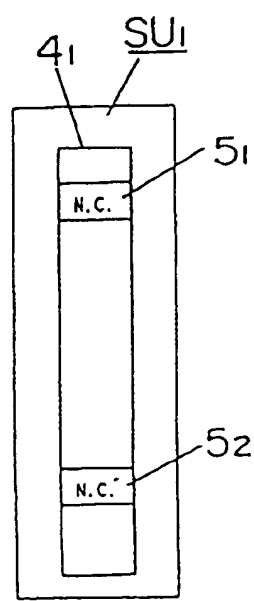


图 8

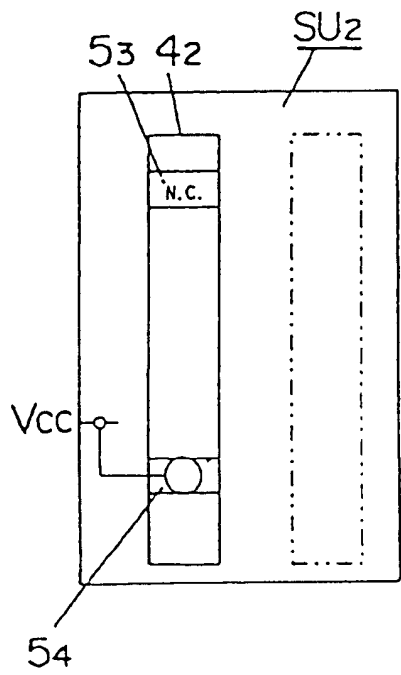


图 9

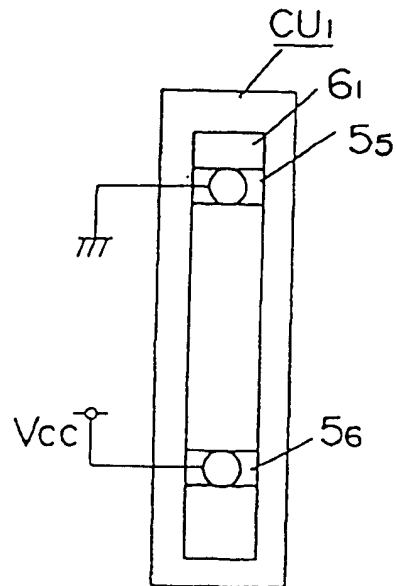
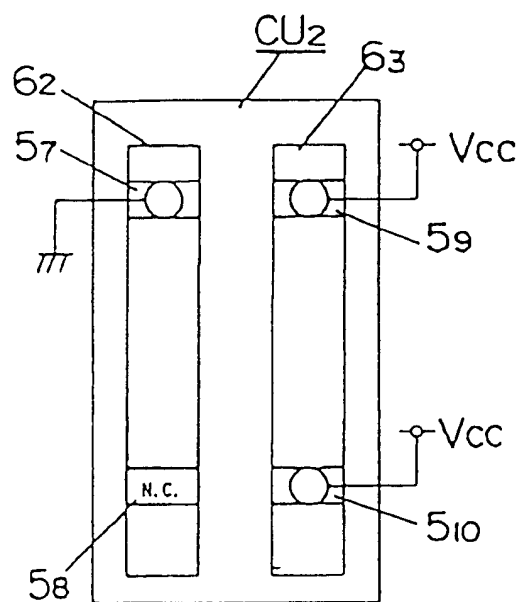


图 10



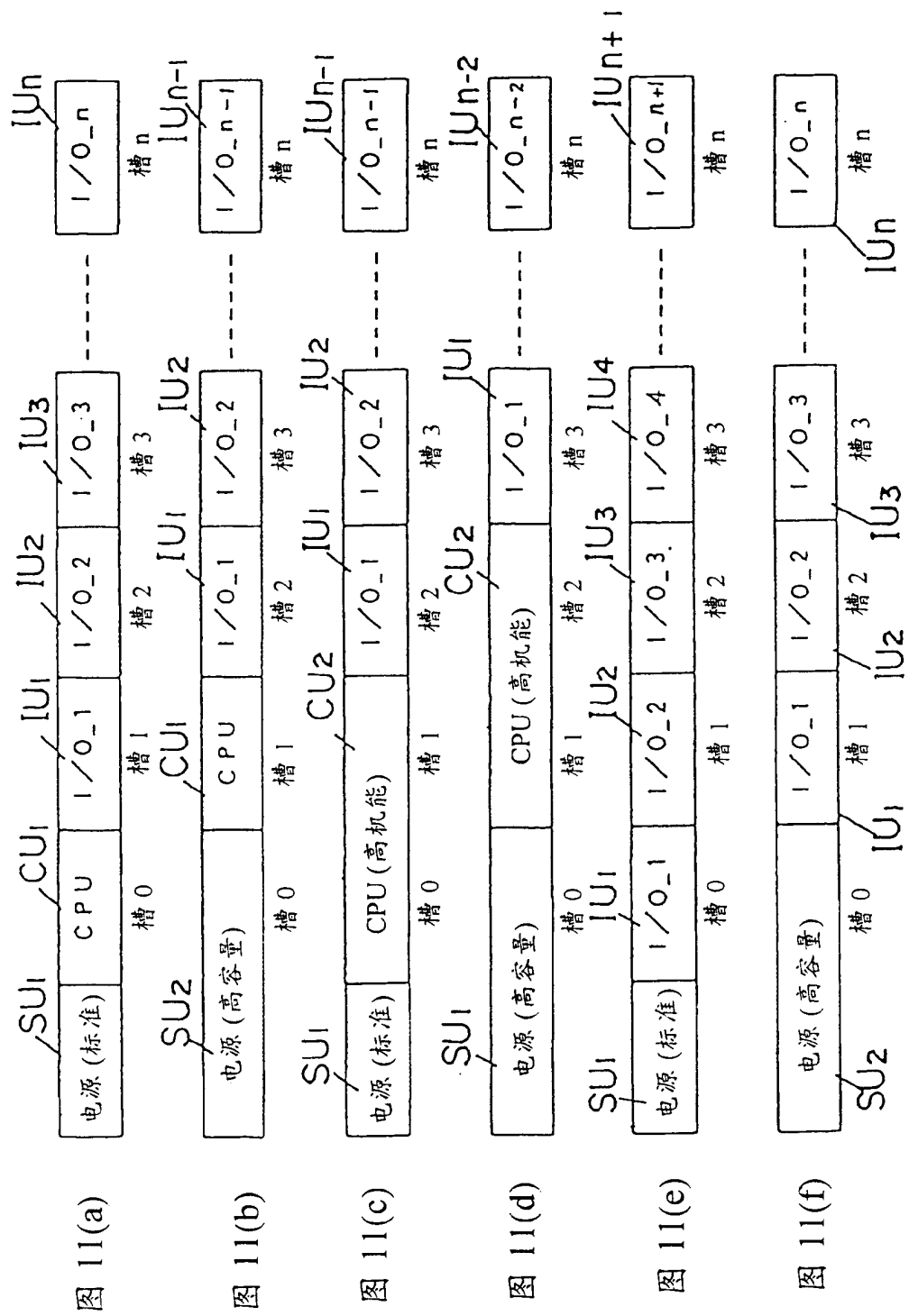


图 12

	单元宽度		识别信号					输出信号			
	电源单元	CPU单元	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	Q ₁	Q ₂	Q ₃
基本 主板	1	1	0	1	0	1	0	0	1	1	0
	2	1	1	0	0	1	1	0	1	0	1
	1	2	0	1	0	0	1	0	1	0	1
	2	2	1	0	1	1	0	1	1	1	1
扩充 主板	1	*	1	1	0	0	0	0	0	0	0
	2	*	1	1	0	1	0	0	0	1	0

图 13

