

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4801488号
(P4801488)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.	F I	
HO 1 L 27/08 (2006.01)	HO 1 L 27/08	3 3 1 E
HO 3 K 3/356 (2006.01)	HO 3 K 3/356	E
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 0 2 D
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	6 1 3 B
HO 1 L 29/786 (2006.01)	HO 1 L 27/10	3 8 1
請求項の数 3 (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2006-112431 (P2006-112431)
 (22) 出願日 平成18年4月14日 (2006.4.14)
 (62) 分割の表示 特願平6-311228の分割
 原出願日 平成6年11月21日 (1994.11.21)
 (65) 公開番号 特開2006-287238 (P2006-287238A)
 (43) 公開日 平成18年10月19日 (2006.10.19)
 審査請求日 平成18年5月11日 (2006.5.11)
 (31) 優先権主張番号 特願平5-316038
 (32) 優先日 平成5年11月22日 (1993.11.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 瀧内 健夫

最終頁に続く

(54) 【発明の名称】 フリップフロップ回路及びそれを用いたスタティックRAM

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタ及び前記第2のトランジスタを覆う絶縁膜と、前記絶縁膜上に設けられた第1のTFET及び第2のTFETとを有し、

前記第1のトランジスタのゲート配線と前記第2のトランジスタのドレインは電氣的に接続され、

前記第2のトランジスタのゲート配線と前記第1のトランジスタのドレインは電氣的に接続され、

前記第1のTFETのドレインと前記第2のTFETのゲート配線は電氣的に接続され、

前記第2のTFETのドレインと前記第1のTFETのゲート配線は電氣的に接続され、

前記第1のTFETのドレインと前記第2のトランジスタのゲート配線は電氣的に接続され

、
 前記第2のTFETのドレインと前記第1のトランジスタのゲート配線は電氣的に接続され

、
 前記第1のトランジスタのドレインと前記第2のTFETのゲート配線は電氣的に接続され

、
 前記第2のトランジスタのドレインと前記第1のTFETのゲート配線は電氣的に接続され

、
 前記第1のトランジスタのドレインに接続されたドレイン配線は、前記第2のTFETのゲ

イト配線と一体となった配線であり、

前記第 2 のトランジスタのドレインに接続されたドレイン配線は、前記第 1 の T F T のゲイト配線と一体となった配線であり、

前記第 1 のトランジスタ及び前記第 2 のトランジスタのソースは接地され、

前記第 1 の T F T 及び前記第 2 の T F T のソースは外部の電源と電氣的に接続されてなるフリップフロップ回路。

【請求項 2】

前記第 1 のトランジスタのゲイト配線に電氣的に接続された第 1 のコンタクトと、

前記第 2 のトランジスタのドレインに電氣的に接続された第 2 のコンタクトと、

前記第 2 のトランジスタのゲイト配線に電氣的に接続された第 3 のコンタクトと、

前記第 1 のトランジスタのドレインに電氣的に接続された第 4 のコンタクトを有し、

前記第 1 のコンタクト及び前記第 2 のコンタクトは前記第 1 の T F T のゲイト配線を介して電氣的に接続され、

前記第 3 のコンタクト及び前記第 4 のコンタクトは前記第 2 の T F T のゲイト配線を介して電氣的に接続されてなる、請求項 1 に記載のフリップフロップ回路。

【請求項 3】

請求項 1 または 2 に記載のフリップフロップ回路を用いたスタティック R A M。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ガラス等の絶縁材料、あるいはシリコンウェハー上に設けられた酸化珪素等の絶縁表面上に形成される絶縁ゲイト型電界効果トランジスタ (T F T) を用いた半導体集積回路に関する。本発明は、多層構造のトランジスタを用いた集積回路 (多層型半導体集積回路、立体型半導体集積回路、3次元型半導体集積回路ともいう) に関するもので、例えば、第 1 層のトランジスタとして、単結晶半導体表面に設けられた電界効果トランジスタ、第 2 層のトランジスタとして T F T を用いたものや、第 1 層および第 2 層のトランジスタとして T F T を用いたものに関するものである。

【背景技術】

【0002】

近年、半導体集積回路の集積度を向上させるため、集積回路を多層構造とした多層型集積回路が提案されている。このような多層型集積回路としては、シリコンウェハーのような単結晶基板上に第 1 層の半導体素子層を形成し、その上に T F T を用いて第 2 層の半導体素子層を形成するというものである。こうすることにより、トランジスタの面積を従来より半減することが可能となった。このような多層型集積回路は、上記の例に限らず、第 1 層、第 2 層とも T F T であってもよいし、さらに第 3 層、第 4 層の半導体素子層が設けられてもよい。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、これまでは第 1 層のトランジスタと第 2 層のトランジスタの接続についてはあまり考慮されることがなかった。例えば、下層のトランジスタのソース (もしくはドレイン) と上層のトランジスタのゲイト配線を接続する場合には、上層のゲイト配線を形成した後で、その上に層間絶縁物を形成して、それをエッチングして、下層のトランジスタのソースおよび上層のトランジスタのゲイト配線にコンタクトホールを形成し、このコンタクトを結ぶ配線を前記層間絶縁物上に形成していた。

【0004】

すなわち、下層のトランジスタの層間絶縁物形成後の工程は以下のようになった。

- 1) 上層のトランジスタ (T F T) の活性半導体層およびゲイト絶縁膜の形成
- 2) T F T のゲイト配線の形成
- 3) T F T のソース / ドレインの形成

10

20

30

40

50

- 4) T F Tの第1の層間絶縁物の形成
- 5) 下層のトランジスタのソースへのコンタクトホール形成。
- 6) T F Tのゲイト配線へのコンタクトホール形成。
- 7) 第1の層間配線の形成(下層のトランジスタのソースとT F Tのゲイト配線を結ぶ)
- 8) T F Tの第2の層間絶縁物の形成
- 9) T F Tのソースもしくはドレインへのコンタクトホール形成と第2の層間配線の形成(T F Tのソースもしくはドレインから延びる配線)

【0005】

上記の例では、工程5)および6)において、下層のトランジスタのソースとT F Tのゲイト配線とのコンタクトは同時に形成できなくはないが、現実には、下層トランジスタのソースのコンタクトホールは、下層トランジスタを覆う層間絶縁物とT F Tの第1の層間絶縁物をエッチングしなければならないのに対し、T F Tのゲイト配線のコンタクトホールはT F Tの第1の層間絶縁物をエッチングするだけでよく、ホールの深さにして、0.3~1 μ m程度の差が生じ、例えば、T F Tのゲイト配線のオーバーエッチ等をもたらす、エッチング工程における歩留りを低下させる原因となった。このため、通常は、上記のように2工程に分けておこなわれた。

10

本発明はこのような問題点に鑑みてなされたものであり、プロセスをより簡単にすることを目的とする。

【課題を解決するための手段】

【0006】

本発明においては、下層のトランジスタのソースもしくはドレインのどちらか一方を上層のトランジスタ(T F T)のゲイト配線とコンタクトさせることによって、上記の問題を解決する。この場合、T F Tのゲイト配線の終端の一方は、下層のトランジスタのソースもしくはドレインのいずれか一方である。特に、本発明においては、T F Tの配線をアルミニウムを主成分とする材料によって構成し、さらに、T F Tのソース/ドレインへ不純物を導入する工程もしくは導入後の工程にレーザーを用いることを特徴とする。例えば、不純物をイオン注入等の手段によってT F Tの活性半導体層に導入した後、レーザーアニールをおこなう方法や、不純物を含む雰囲気(ジボランやホスフィン)中においてレーザー照射をおこなう方法(レーザードーピング)である。

20

【0007】

(作用)

本発明を用いて、先に示した下層のトランジスタのソースとT F Tのゲイト配線の接続する場合のプロセスは以下ようになる。

- 1) 上層のトランジスタ(T F T)の活性半導体層およびゲイト絶縁膜の形成
- 2) 下層のトランジスタのソースへのコンタクトホール形成。
- 3) T F Tのゲイト配線の(=下層トランジスタのソースへの配線)形成
- 4) T F Tのソース/ドレインの形成
- 5) T F Tの層間絶縁物の形成
- 6) T F Tのソースもしくはドレインへのコンタクトホール形成。
- 7) 第2の層間配線の形成(T F Tのソースもしくはドレインから延びる配線)

30

このように、コンタクトホールおよび層間絶縁物の形成の工程が省略され、歩留りが向上する。

40

【発明の効果】

【0008】

本発明によって、多層半導体集積回路を歩留り良く作製することができた。本発明に用いられるT F Tは、実施例に示したような単純な構造のものだけでなく、低濃度ドレイン(L D D)を有するものや、さまざまなオフセット構造を有するものであってもよいことはいうまでもない。また、下層と上層のトランジスタの導電型は、実施例のように異種のものであっても、また、同じものであってもよい。

【実施例1】

50

【0009】

図1に本発明の例(作製工程断面図)を示す。まず、単結晶シリコンウェハー101上面に公知のMOSプロセスによって下層のトランジスタを形成した。すなわち、フィールド絶縁物102、ゲート熱酸化膜103、N⁺型多結晶シリコンのゲート電極104、N型のソース105、ドレイン106、層間絶縁物107を形成した。ソース/ドレインは、低濃度ドレイン(LDD)を有する構成としてもよい。層間絶縁物はCVD法等によって、できるだけ平坦になるように形成し、場合によっては、化学的機械研磨(CMP)法によって、表面を平坦化してもよい。このような処理をした後、窒素雰囲気中、900~1100で、1~5時間アニールして、層間絶縁物107の表面を緻密化した。(図1(A))

10

【0010】

その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を100~5000、好ましくは300~1000堆積し、これを、550~600の還元雰囲気中に4~24時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させたシリコン膜をパターニング・エッチングして、TFTの活性半導体層108とした。さらに、酸素雰囲気中、900~1100で、1~5時間アニールして、表面に熱酸化膜109を形成した。(図1(B))

【0011】

その後、層間絶縁物107をエッチングして、下層のトランジスタのソース105、ドレイン106にコンタクトホールを形成した。そして、厚さ1000~3 μ mのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。この際には、以下のような多段階の成膜プロセス(例えば、Extended Abstracts of 1993 International Conference on Solid State Devices and Materials, Makuhari, 1993, pp180-182)を経てもよかった。すなわち、最初にジメチル・アルミニウム・ハイドライド(DMAH、AlH(CH₃)₂)を用いたCVD法によって、コンタクトホール部に選択的にアルミニウムを形成した。そして、コンタクトホールが完全に埋まった段階で、スパッタ法によって、全面にアルミニウムを形成した。このプロセスはマルチチャンパーシステムにおいて、連続的におこなうことができる。

20

30

【0012】

このようにして、アルミニウム膜を形成した後、これをパターニング・エッチングして、下層のトランジスタのソース配線110、ドレイン配線111、ゲート配線112を形成した。ここで、注意しなければならないことは、図1では図示されていないが、下層のトランジスタのドレイン配線111とTFTのゲート配線112は一体となっていることである。したがって、この段階で、下層のトランジスタのドレインとTFTのゲート配線は電氣的に接続されている。(図1(C))

【0013】

そして、イオンドーピング法によって、TFTの活性半導体層108に、ゲート配線112をマスクとして自己整合的に不純物を注入し、P型のソース113、ドレイン114を形成した。ドーピングガスとしてはジボラン(B₂H₆)を用いた。その後、KrFエキシマレーザー(波長248nm、パルス幅20ns)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。レーザーとしては、XeClエキシマレーザー(波長308nm、パルス幅50ns)を用いてもよかった。

40

【0014】

なおエキシマレーザー以外に、他のレーザーを用いてもよいことはいうまでもない。パルスレーザーに関しては、Nd:YAGレーザー(Qスイッチパルス発振が望ましい)のごとき赤外光レーザーやその第2高調波のごとき可視光レーザーが使用できる。また、レーザー光は、基板側から照射してもよい。この場合には下に存在する珪素半導体膜を透過するレーザー光を選択する必要がある。このようにして、ソース113、ドレイン11

50

4を活性化させた。(図1(D))

【0015】

最後に、全面に層間絶縁物115として、CVD法によって酸化珪素膜を厚さ2000~1 μ m、例えば、3000形成した。さらに、TFTのソース113、ドレイン114、および下層のトランジスタのソース配線110にコンタクトホールを形成し、アルミニウム配線116、117、118を2000~1 μ m、例えば5000の厚さに形成した。このアルミニウム配線116~118とコンタクトする部分との間にバリアメタルとして、例えば窒化チタンを形成するとより一層、信頼性を向上させることができた。(図1(E))

【0016】

かくすることにより、相補型の構成を得ることができた。重要なことは、これまでの相補型FETは、多層型であっても、インバータの思想を中心としていたためPチャネルFETとNチャネルFETのゲイト電極を同時に形成していた。しかし、本発明は、相補型FETにおいて、一方のゲイト電極と他方のソースまたはドレインの配線とを金属材料で形成したものである。

図2、図3には本実施例を用いて、フリップフロップ回路を形成する例を示す。図2(A)は、下層トランジスタのソース/ドレインおよびゲイト配線等を示す。図の左上の十字200はマーカーを意味する。図の斜線部はソース/ドレインを表し、太線はゲイト配線を意味する。すなわち、図2(A)においては、下層トランジスタのドレイン201、202、同じくソース203、ゲイト配線206、207が示される。ソース203は、そのまま電源供給線204、205となり、接地される。(図2(A))

【0017】

図2(B)は、TFTのソース/ドレイン(活性半導体層)およびゲイト配線、コンタクトの位置等を示す。図の斜線部はソース/ドレインを表し、太線はゲイト配線を意味する。すなわち、図2(B)においては、TFTのドレイン208、209、同じくソース210、ゲイト配線213、214が示される。ソース210は、そのまま電源供給線211、212となり、外部の電源に接続される。コンタクト215は下層の第1のトランジスタのゲイト配線206に、コンタクト216は下層の第2のトランジスタのドレイン202に、コンタクト218は下層の第2のトランジスタのゲイト配線207に、コンタクト217は下層の第1のトランジスタのドレイン201に、それぞれ接続する。また、コンタクト215と216、およびコンタクト217と218が、それぞれTFTのゲイト配線213、214によって接続されるため、下層の第1のトランジスタのゲイト配線206と第2のトランジスタのドレイン202、および、下層の第2のトランジスタのゲイト配線207と第1のトランジスタのドレイン201が互いに接続される。

【0018】

図2(C)は、TFTのソース/ドレイン配線とコンタクトの位置を示す。すなわち、図2(C)においては、第1のTFTのドレイン208と第2のTFTのゲイト配線214がコンタクト221、222と配線219によって接続され、同じく、第2のTFTのドレイン209と第1のTFTのゲイト配線213がコンタクト223、224と配線220によって接続される。(図2(C))

図2から特徴的なことは、下層のトランジスタのチャネルとTFTのチャネルが60~120°の角度をなすように配置されていることであり、こうすることにより無駄なスペースを極力無くすることができる。より集積度を高めるには、この角度は80~100°、好ましくは90°となるようにすることが効果的である。

【0019】

図3(B)は、図2(A)および(B)を重ね合わせたものである。重なりがわるように、意図的に重なりをわずかにずらしてある。図3(C)は、図3(B)にさらに、図2(C)を重ねたものである。このようにして、図3(A)に示すようなフリップフロップ回路が得られた。図3(A)の点A、B、C、D、E、F、G、Hは、図2の216(223、224)、215、218、217(221、222)、204、205、211

10

20

30

40

50

、 2 1 2 に、それぞれ対応する。

【 0 0 2 0 】

本実施例をさらに発展させて、CMOSフリップフロップ回路を用いたスタティックRAM (SRAM) を構成した例を図4に示す。図の点線で囲まれた部分は、SRAMの1ビットセルの専有面積を示す。図3(D)は図3(A)のフリップフロップ回路に選択トランジスタを左右に付属させたSRAMの単位回路を示す。同様に本発明の構成を用いることによりセル面積をより小さくすることができる。

図4(A)は、このSRAM回路の下層トランジスタのソース/ドレインおよびゲイト配線等を示す。図の斜線部はソース/ドレインを表し、太線はゲイト配線を意味する。すなわち、図2(A)においては、下層トランジスタのドレイン401、402、選択トランジスタのソース403、404、ゲイト配線405、406、およびワード線(選択トランジスタのゲイト配線)407が示される。下層トランジスタのソースは V_L の電位に保たれる。(図4(A))

10

【 0 0 2 1 】

図4(B)は、TFTのソース/ドレイン(活性半導体層)およびゲイト配線、コンタクトの位置等を示す。図の斜線部はソース/ドレインを表し、太線はゲイト配線等を意味する。すなわち、図4(B)においては、TFTのドレイン408、409、ゲイト配線410、411、選択トランジスタのソース配線412、413が示される。TFTのソースは、そのまま V_H の電位に保たれる。ゲイト配線410、411のコンタクトの配置は、実質的には図2(B)のものと同一である。(図4(B))

20

【 0 0 2 2 】

図4(C)は、TFTのソース/ドレイン配線とコンタクトの位置を示す。すなわち、図4(C)においては、第1のTFTのドレイン408と第2のTFTのゲイト配線411が配線416によって接続され、同じく、第2のTFTのドレイン409と第1のTFTのゲイト配線410が配線417によって接続される。また、ビット線(選択トランジスタのソース配線)414、415もこの層に設けられる。(図4(C))

図4(D)は、図4(A)、(B)、(C)を重ね合わせたものである。このようにして、SRAMの1ビットセルが形成される。図4に示したセルは1ビットの面積を極力少なくするようにレイアウトされたものである。

30

【 実施例 2 】

【 0 0 2 3 】

図5に本発明の例(作製工程断面図)を示す。まず、実施例1と同様に単結晶シリコンウェハ501上にフィールド絶縁物502、ゲイト熱酸化膜503、 N^+ 型多結晶シリコンのゲイト電極504、P型のソース505、ドレイン506、層間絶縁物507を形成し、下層のトランジスタとした。

その後、アモルファスシリコン膜を100~5000、好ましくは300~1000

堆積し、これを、550~600の還元雰囲気中に4~24時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させたシリコン膜をパターニング・エッチングして、TFTの活性半導体層508とした。さらに、酸素雰囲気中、900~1100で、1~5時間アニールして、表面に熱酸化膜509を形成した。(図5(A))

40

【 0 0 2 4 】

その後、層間絶縁物507をエッチングして、下層のトランジスタのソース505、ドレイン506にコンタクトホールを形成した。そして、厚さ1000~3 μ mのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、その表面に公知のスピンコート法によってフォトレジストを形成し、公知のフォトリソグラフィ法によって、パターニングをおこなった。そして、燐酸によって、アルミニウム膜のエッチングをおこなった。このようにして、下層のトランジスタのソース配線510、ドレイン配線511、ゲイト配線512を形成した。この際にも、下層のトランジスタのドレイン配線

50

5 1 1とT F Tのゲイト配線5 1 2は一体となっている。また、これらのアルミニウム配線上にはフォトレジストのマスク5 1 3、5 1 4、5 1 5が残存したままとなり、配線の側面はフォトレジストの側面よりも内側にある。(図5(B))

【0025】

この状態で、イオンドーピング法によって、T F Tの活性半導体層5 0 8に、フォトレジスト5 1 5をマスクとして自己整合的にN型不純物(ここでは磷)を注入し、N型のソース5 1 6、ドレイン5 1 7を形成した。ここで、フォトレジスト5 1 5に対して、ゲイト電極5 1 2は距離xだけ内側にあるため、図に示したように、ゲイト電極とソース/ドレインが重ならないオフセット状態となっている。距離xは、アルミニウム配線の際のエッチング時間を加減することによって増減できる。xとしては、0.3~5 μmが好ましかった。このような構造のT F Tをオフセットゲイト型T F Tという。(図5(C))

10

【0026】

その後、フォトレジスト5 1 3~5 1 5を剥離し、K r Fエキシマーレーザー(波長248 nm、パルス幅20 n s e c)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。最後に、全面に層間絶縁物5 1 8として、C V D法によって酸化珪素膜を厚さ2000~1 μm、例えば、3000形成した。さらに、T F Tのソース5 1 6、ドレイン5 1 7、および下層のトランジスタのソース配線5 1 0にコンタクトホールを形成し、アルミニウム配線5 1 9、5 2 0、5 2 1を2000~1 μm、例えば5000の厚さに形成した。(図5(D))

【0027】

20

本実施例ではT F TはNチャネル型であった。本来であれば、Nチャネル型のT F Tでは、移動度が大きい半面、ゲイト電極に負の電圧が印加されるとソース/ドレイン間のリーク電流が増加して実用上の困難をきたすのであるが、本実施例のように、オフセット形とすることによって、ドレイン近傍の電界強度を緩和し、上記のリーク電流を抑制することができた。

実施例1(図1)の場合には、T F TとしてPチャネル型を用いたが、これは移動度が小さく、単結晶シリコン上の移動度の大きなN M O Sトランジスタと組み合わせてC M O Sを構成する上で問題があったが、本実施例では、下層のM O Sトランジスタが移動度の小さいP M O Sであり、移動度のバランスが取りやすかった。

【実施例3】

30

【0028】

図6に本発明の例(作製工程断面図)を示す。まず、実施例1と同様に単結晶シリコンウェハー601上にフィールド絶縁物602、ゲイト熱酸化膜、N⁺型多結晶シリコンのゲイト電極603を形成した。そして、低濃度の磷イオンを注入して、低濃度N型不純物領域(低濃度N型ドレイン、N型L D D)605、606を形成した。

さらに、全面に絶縁被膜を形成し、これを異方性エッチングすることにより、ゲイト電極の側面に側壁604を形成した。そして、側壁をマスクとして、高濃度の砒素イオンを注入して、N型のソース608、ドレイン607を形成した。ここで、ソース608は図4の回路と同様にV_Lに保たれる。さらに、層間絶縁物609を形成し、下層のトランジスタとした。(図6(A))

40

【0029】

その後、層間絶縁物609をエッチングして、下層のトランジスタのドレイン607にコンタクトホールを形成した。そして、厚さ3000のアルミニウム(1 w t %のS iを含む)膜によって、下層のトランジスタのドレイン配線610と上層のT F Tのゲイト配線611を形成した。(図6(B))

さらに、厚さ1200の酸化珪素膜612を形成した。この酸化珪素膜はT F Tのゲイト絶縁膜として機能する。そして、レーザー照射によって結晶化せしめた。そして、このようにして結晶化させたシリコン膜をパターンニング・エッチングして、T F Tの活性半導体層613とした。さらに、半導体層上に酸化珪素によって、ドーピングマスク614を形成した。(図6(C))

50

【0030】

この状態で、イオンドーピング法によって、TFTの活性半導体層613に、硼素イオンを注入し、P型のソース615、ドレイン616を形成した。ここで、ソース615は図4の回路と同様に V_H に保たれる。(図6(D))

その後、450で1時間の熱アニールをおこない、TFTのソース/ドレインを活性化させた。さらに、下層のトランジスタのドレイン配線617にコンタクトホールを形成し、アルミニウム配線617、618を5000の厚さに形成した。このようにして、図4に示すものと同等な回路を形成することができた。(図6(E))

【0031】

本実施例ではTFTをボトムゲイト型とすることにより、コンタクトホール開孔の工程を他の実施例よりも減らすことができ、歩留りを向上させるうえで効果的であった。

本発明において、アルミニウムを主成分とする金属材料を上層のトランジスタのゲイト電極として用いる方法を示した。しかし、このアルミニウムをボンディングパッドにまで延在する最上層のアルミニウムに比べて1/4~1/2の厚さに薄くして、高精度パターンとすることは有効であった。また、この配線を下層のトランジスタのソース/ドレインと同一導電型の半導体またはタングステン等のシリサイドを用いてもよい。

【図面の簡単な説明】

【0032】

【図1】実施例1によるTFTの作製工程断面図を示す。

【図2】実施例1によるフリップフロップ回路の配置を示す。

【図3】実施例1によるフリップフロップ回路の配置を示す。

【図4】実施例1によるSRAMの回路配置を示す。

【図5】実施例2によるTFTの作製工程断面図を示す。

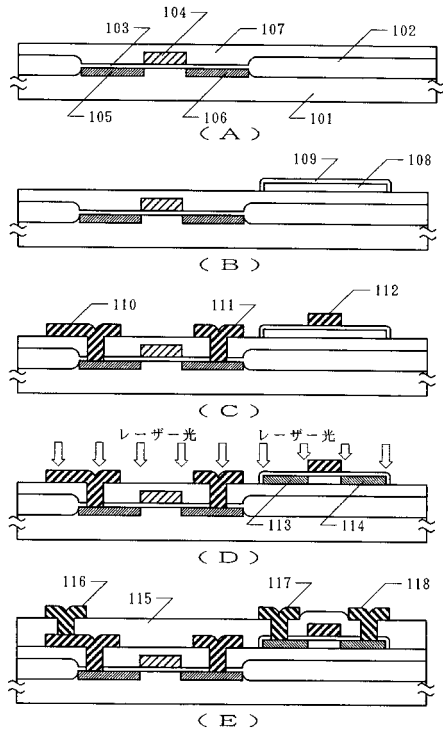
【図6】実施例3によるTFTの作製工程断面図を示す。

【符号の説明】

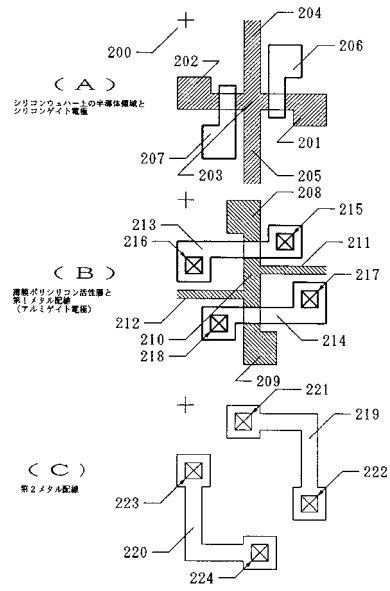
【0033】

101	単結晶シリコンウェハー	
102	フィールド絶縁物	
103	下層のトランジスタのゲイト酸化膜	
104	下層のトランジスタのゲイト配線	30
105	下層のトランジスタのソース	
106	下層のトランジスタのドレイン	
107	下層のトランジスタの層間絶縁物	
108	TFTの活性半導体層	
109	TFTのゲイト酸化膜	
110	下層のトランジスタのソース配線	
111	下層のトランジスタのドレイン配線	
112	TFTのゲイト配線	
113	TFTのソース	
114	TFTのドレイン	40
115	TFTの層間絶縁物	
116 ~ 118	配線	

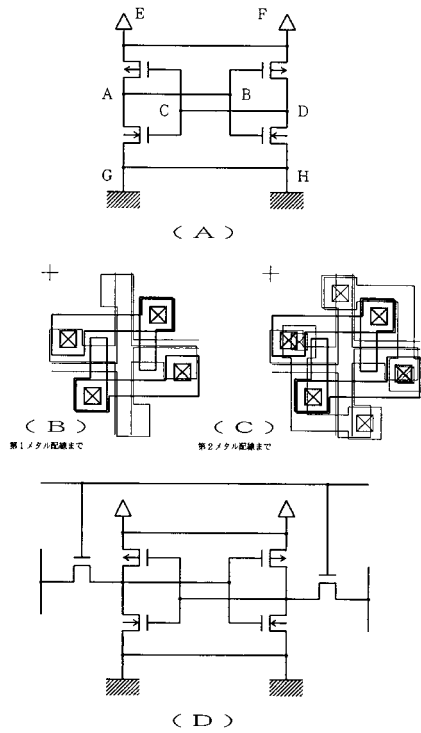
【図1】



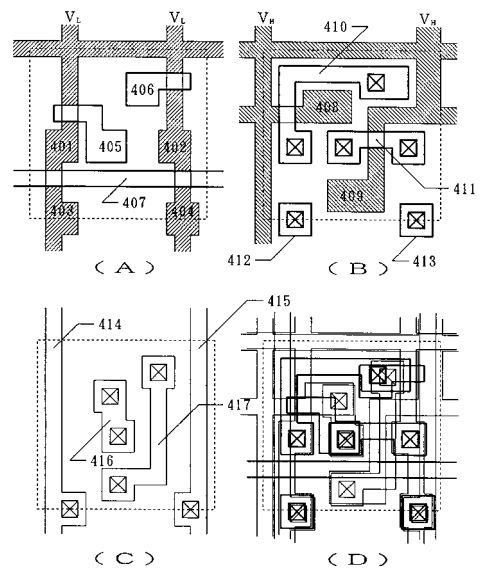
【図2】



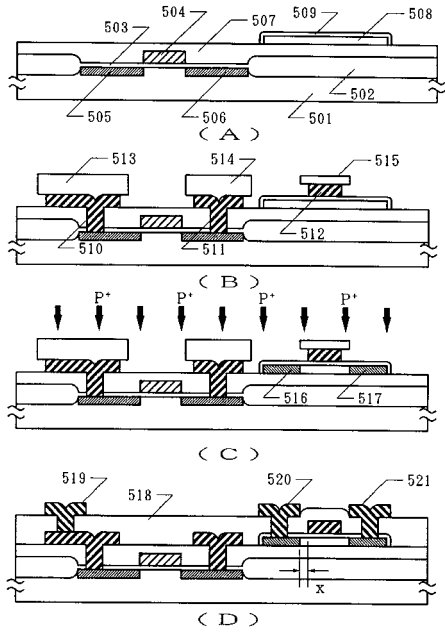
【図3】



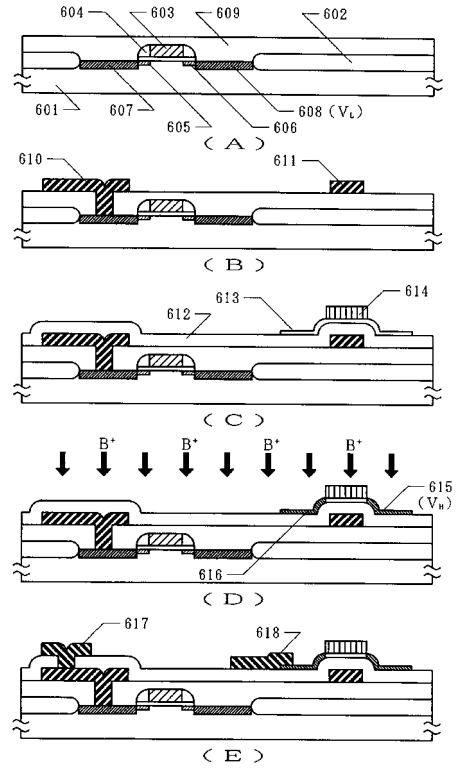
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 27/11	(2006.01)	H 0 3 K 3/356		B
H 0 1 L 21/8244	(2006.01)	H 0 1 L 21/88		Z
H 0 1 L 23/52	(2006.01)			
H 0 1 L 21/3205	(2006.01)			

(56)参考文献 特開平04-322461(JP,A)
特開平02-272763(JP,A)
特開平03-102875(JP,A)
特開平05-136167(JP,A)
特開平01-309368(JP,A)
特開平02-312271(JP,A)
特開昭63-040343(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/8238
H 0 1 L 21/8244
H 0 1 L 27/092
H 0 1 L 27/11