

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
19. August 2010 (19.08.2010)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2010/092051 A2

(51) Internationale Patentklassifikation: Nicht klassifiziert

(21) Internationales Aktenzeichen: PCT/EP2010/051585

(22) Internationales Anmeldedatum:
9. Februar 2010 (09.02.2010)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2009 008 371.5
11. Februar 2009 (11.02.2009) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SCHOTT SOLAR AG** [DE/DE]; Hattenbergstr. 10, 55122 Mainz (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HORZEL, Jörg** [DE/DE]; Wasserloser Strasse 3A, 63755 Alzenau (DE).

(74) Anwalt: **STOFFREGEN, Hans-Herbert**; Friedrich-Ebert-Anlage 11b, 63450 Hanau (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) Title: INTEGRAL PROCESS, FROM WAFER PRODUCTION TO MODULE MANUFACTURING, FOR PRODUCING WAFERS, SOLAR CELLS, AND SOLAR MODULES

(54) Bezeichnung : INTEGRALER PROZESS VON WAFERHERSTELLUNG BIS MODULFERTIGUNG ZUR HERSTELLUNG VON WAFERN, SOLARZELLEN UND SOLARMODULEN

(57) Abstract: The invention relates to the production of wafers, solar cells, and solar modules, to the improvement of the crystallinity and the reduction of defects in semiconductor substrates, and to the manufacturing of novel solar cells having improved efficiency.

(57) Zusammenfassung: Die Erfindung beschäftigt sich mit der Herstellung von Wafern, Solarzellen und Solarmodulen sowie mit der Verbesserung der Kristallinität und der Reduzierung von Defekten in Halbleitersubstraten und der Fertigung neuartiger Solarzellen mit verbessertem Wirkungsgrad.



WO 2010/092051 A2

Integraler Prozess von Waferherstellung bis Modulfertigung zur Herstellung von Wafern, Solarzellen und Solarmodulen

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung von großflächigen, kristallinen, dünnen Halbleiterplatten, wobei insbesondere Halbleitermaterial aufgeschmolzen wird und nach dem Erstarren der Schmelze Halbleiterplatten geformt werden. Auch nimmt die Erfindung Bezug auf ein Verfahren zur Herstellung von großflächigen, kristallinen, dünnen Halbleiterplatten, die nach dem Kristallisationsprozess zu deren Herstellung zunächst größere Mengen an Verunreinigungen im Halbleitermaterial aufweisen. Gegenstand der Erfindung ist auch ein Verfahren zur Herstellung kristalliner, großflächiger, dünner Halbleiterplatten bei gleichzeitiger Verbesserung der Materialqualität von verunreinigtem Silizium, wie beispielsweise UMG-Silizium. Gegenstand der Erfindung sind ferner sowohl ein Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten als auch industriell zur wirtschaftlicheren Kosten hergestellte großflächige, kristalline, dünne Halbleiterplatten, die zur Herstellung von Halbleiterbauelementen eingesetzt werden können und vorzugsweise Dicken zwischen 30 μm und 500 μm aufweisen. Eine Halbleiterplatte sowie ein Halbleiterbauelement und eine Solarzelle bzw. kristalline Solarzelle sind gleichfalls Gegenstände der Erfindung. Gleiches gilt in Bezug auf Verfahren zur Herstellung dieser.

Insbesondere beschäftigt sich die Erfindung mit

- der Herstellung von Halbleitersubstraten wie insbesondere kristalline Siliziumhalbleitersubstraten sowie Prozessen und Methoden dafür,

- der Verbesserung der Kristallinität und Reduzierung von Defekten in Halbleiter-substraten,
- der Fertigung von neuartigen Solarzellen mit verbessertem Wirkungsgrad bei der Konvertierung elektromagnetischer Strahlung in elektrische Energie, sowie neuer Solarzellenstrukturen, neuartiger Herstellungsprozesse und Herstellungsverfahren sowie neuer Produktionsanlagen bei der Verschaltung von Solarzellen in Solarmodulen, die es zulassen, verbesserte Solarzellen und Solarmodule mit höherem Konvertierungs-Wirkungsgrad und verbesserten Eigenschaften bei der Erzeugung elektrischer Energie aus Sonnenlicht vorteilhaft einzusetzen,
- neuen Möglichkeiten, Solarmodule in photovoltaischen Gesamtsystemen zur Konvertierung von Licht in elektrische Energie (z.B. Großanlagen) vorteilhaft einzusetzen.

Ziel der Erfindung ist es u. a., die Kosten - üblicherweise angegeben als Kosten pro mit den Komponenten unter Standardbedingungen erzeugbarer Leistung - für Energiegewinnung aus Sonnenenergie drastisch zu reduzieren und dabei den Konvertierungs-Wirkungsgrad für die Umwandlung elektromagnetischer Strahlung in elektrische Energie gegenüber dem Stand der Technik deutlich zu steigern.

Darunter fallen entlang der Wertschöpfungskette von der Siliziumherstellung über die Waferherstellung und Solarzellenprozessierung bis hin zur Modulfertigung und dem Verschalten in photovoltaischen Systemen mehrere Lösungen an, die als eigenständige Erfindungen zu betrachten sind und in der jeweiligen Wertschöpfungsstufe für sich betrachtet erhebliche Vorteile gegenüber dem Stand der Technik bieten. Jedoch ist auch insbesondere in der Verknüpfung der Einzelerfindungen ein erfinderischer Gehalt, der es erstmals zulässt, komplett neuartige und vorteilhafte Produkte für die Photovoltaik-Industrie kostengünstig herzustellen und vorteilhaft am Markt anzubieten.

Wesentliche Teilerfindungen in den jeweiligen Wertschöpfungsstufen beinhalten u. a.:

Wertschöpfungsstufe:	Thema oder Inhalt:
Wafer	A: Herstellen von kristallinen Wafern mit weniger Kristalldefekten
Wafer	B: Herstellen von Wafern mit weniger internen mechanischen Spannungen
Wafer	C: Herstellen von Wafern mit weniger Verunreinigungen
Solarsilizium	D: Entfernen von Dotierstoff aus UMG-Silizium
Solarzelle	E: Solarzellen mit sehr tief diffundierten Bereichen
Solarzelle	F: Solarzellen mit mehreren horizontalen Halbleiterübergängen und besonderer Eignung für Halbleitermaterialien mit vergleichsweise geringer Diffusionslänge für Minderheitsladungsträger.
Solarzelle	G: Solarzelle mit verbesserter Wasserstoffpassivierung durch Wasserstoffbarrieren
Solarzelle	H: Wafer-basierende Solarzellen mit verminderter Abschattungsempfindlichkeit bzw. höherer Ausgangs-Leerlaufspannung pro Flächeneinheit bzw. pro Wafer
Solarmodul Photovoltaische Systeme	I: Monolithisch rückseitenverschaltetes Hochspannungsmodul mit Bypass-Dioden für Solarzellen und Solarzellenbereiche bzw. Konzentrator-Anwendungen
Solarmodul	J: Gegen Abschattungsverluste unempfindlicheres Solarmodul
Photovoltaisches System	K: Hochspannungs-Systemverschaltung zur Reduktion von Widerstandsverlusten

Die Teilerfindungen, insbesondere die der Abschnitte A bis K - für sich und/oder in Kombination -, werden nach der Abhandlung des Standes der Technik individuell erläutert und mit Ausführungsbeispielen beschrieben. Dabei ergeben sich aus den be-

schriebenen Verfahrensschritten und den hierdurch hergestellten Gegenständen weitere eigenerfinderische Lehren.

Stand der Technik:

1. Waferherstellung

Solarzellen und Solarmodule haben in den letzten Jahren deutlich gestiegenes industrielles Interesse erfahren, da die photovoltaische Konversion von Sonnenlicht in elektrische Energie an der Grenze zur Wettbewerbsfähigkeit mit herkömmlichen Energieformen ist und derzeit durch entsprechende Fördermaßnahmen (insbesondere in Deutschland) der Solarenergie zum Durchbruch verholfen wird und sich deshalb bereits heute betriebswirtschaftliche Gewinne bei der Herstellung von Wafern, Solarzellen, Solarmodulen und photovoltaischen Gesamtsystemen erwirtschaften lassen.

Der überwiegende Teil, der am Markt kommerziell erhältlichen Solarzellen und Solarmodule, wird bislang aus Halbleitersubstraten gefertigt, die aus hochreinem kristallinen Silizium bestehen [Energy 2.0 Kompendium 2008; S101]. All diese Halbleitersubstrate, die für die Herstellung kristalliner Siliziumsolarzellen verwendet werden und die als Ausgangsmaterial für den Solarzellenprozess auch Wafer genannt werden, sind bislang mit einer weitgehend homogen im Wafer verteilten Dotierung versehen. Die Dotierung ist dabei von der Art p-Typ oder n-Typ [US 2008/0206123 A, Silicon feedstock for solar cells].

Typische Elemente für die Dotierung p-Typ-dotierter Si-Wafer sind Bor, Gallium oder Indium [PRODUCTION VIABILITY OF GALLIUM DOPED MONO-CRYSTALLINE SOLAR CELLS, Geoffrey Crabtree].

Ebenfalls möglich wäre eine Dotierung mit Aluminium oder Thallium oder anderen Elementen aus derselben Hauptgruppe des Periodensystems mit drei Valenzatomen. Allerdings wird Aluminium üblicherweise nicht verwendet, da es bereits gemäß Phasendiagramm bei vergleichsweise sehr niedriger Temperatur (577 °C) ein Eutektikum mit Silizium bildet und sich nicht für ein homogenes Dotieren in den üblichen Kristallzuchtverfahren, wie Floatzone-Verfahren, Cz-Silizium-Verfahren, multikristallinen Blo-

Blockerstarrungsverfahren oder Verfahren für bandgezogene (inkl. EFG-Verfahren) Wafer oder Foliensilizium-Wafer, eignet. Thallium wird wegen seiner mangelnden weltweiten Verfügbarkeit und den Kosten üblicherweise ebenfalls nicht eingesetzt.

Typische Elemente für die Dotierung n-Typ-dotierter Si-Wafer sind Phosphor, Arsen, Antimon und Wismut sowie andere Elemente der fünften Hauptgruppe mit fünf Valenzatomen. Allerdings kommt in der Halbleiterindustrie fast ausschließlich Phosphor zum Einsatz, da die anderen Elemente toxisch sind oder in deutlich geringerer Häufigkeit auf der Erde vorkommen und somit mit höheren Kosten verbunden sind, wenn sie in reiner Form gewonnen oder synthetisiert werden sollen.

Bei der Herstellung von Silizium-Wafern lässt man bei allen üblichen Verfahren das Halbleitermaterial zunächst aus einer Siliziumschmelze erstarren. Bei Verfahren wie dem Fz-Si, Cz-Si oder den multikristallinen Blockguss oder Blockerstarrungsverfahren werden die Wafer nach dem Erstarren des Silizium-Material und Abkühlen auf Temperaturen im Bereich von Raumtemperatur in Siliziumsäulen gesägt und diese in Wafer aufgesägt, so dass sich großflächige Scheiben aus Silizium ergeben, deren Dicke üblicherweise sehr klein gegenüber den anderen Scheibenabmessungen ist und insbesondere klein gegenüber der Dicke der Blöcke, aus denen diese Scheiben geschnitten werden. Dagegen lässt man bandgezogene Si-Wafer oder auch Foliensilizium-Wafer direkt in nahezu der Dicke erstarren, in der sie später als Wafer zur Verfügung stehen. Allen Verfahren gemeinsam sind langsame Abkühlprozesse, die dafür sorgen sollen, dass sich nach Erstarren der Schmelze möglichst wenig kristalline Defekte, wie Versetzungslinien oder Korngrenzen, bzw. keine hohen mechanischen Spannungen durch Temperaturgradienten im erstarrenden Material ausbilden, die negative Eigenschaften der hergestellten Wafer zur Folge haben [Bulk multicrystalline silicon growth for photovoltaic (PV) application bei Wu et al., Journal of Crystal Growth, Volume 310, Issues 7-9, April 2008, Pages 2178-2184].

Ferner ist es inzwischen Stand der Technik, dass auch Siliziumwafer mit den oben angegebenen Herstellverfahren hergestellt werden können, die nicht auf hochreines Halbleiter-Siliziummaterial zurückgreifen, sondern so genanntes UMG-Silizium (up-grated

metallurgical grade silicon) als Ausgangs-Rohstoff einsetzen. Trotz diverser Reinigungsverfahren, die zur Anwendung gelangen, weist dieses Ausgangsmaterial gegenüber Halbleiter-Silizium noch deutlich erhöhte Konzentrationen an Verunreinigungen und insbesondere Verunreinigungen mit den Dotierstoffelementen auf, da sich diese nur unzureichend aus Siliziumschmelzen entfernen lassen. Folglich haben Wafer, die aus UMG-Silizium hergestellt werden, üblicherweise deutlich höhere Dotierstoff-Konzentrationen als dies sonst für die Solarzellenherstellung der Fall ist.

2. Solarzellen

Der überwiegende Teil der derzeit industriell gefertigten Solarzellen [M. A. Green, Silicon Solar Cells, ISBN 0 7334 0994 6] basiert auf kristallinen Silizium-Wafern als Ausgangsmaterial für die Solarzellenfertigung. Ausgehend von homogen p-dotierten oder n-dotierten Ausgangswafern werden typischerweise folgende Prozessschritte zur Herstellung einer industriellen Solarzelle verwendet:

- nass- oder trockenchemische Reinigungsverfahren für die Oberflächenreinigung der Halbleiterbauelemente (in verschiedenen Prozesstadien)
- Aufrauungs-, Strukturierungs-, Texturierungs-, Polier-Verfahren, zum Entfernen möglicher Schäden vom Wafer-Schneidprozess, zur Vermeidung von ungewünschtem Lichtaustritt aus dem Wafer sowie zur Besseren Lichteinkopplung bzw. Lichtausbeute innerhalb des Wafers
- im Wesentlichen flächige oder lokale oberflächennahe Ausbildung von dotierten Bereichen im großflächigen Halbleiterbauelement durch Diffusion von Dotierstoffatomen oder oberflächennahes Legieren mit Dotierstoffatomen
- Passivieren von Oberflächen und Defekten im Volumen des Halbleiterbauelementes zur Vermeidung oder Reduktion der Rekombinationsaktivität von Kristalldefekten, bzw. dem Entfernen von Verunreinigungen aus dem Halbleiterbauelement
- Aufbringen von leitfähigen Kontakten – zumeist Metallkontakten – die es zulassen, erzeugte und über einen Halbleiterübergang gelangte und somit getrennte Ladungsträger in einem externen Stromkreis mit möglichst geringen Widerstandsverlusten abzugreifen

- Trennung parasitärer p-n-Halbleiterübergänge zwischen hoch dotierten benachbarten Bereichen umgekehrter Polarität (insbesondere im Bereich der Waferkanten).

Figur 1 zeigt zwei typische Beispiele für bislang industriell gefertigte Solarzellen:

Links: p-Typ Si Wafer; n-Typ Dotierung auf Vorderseite; Passivierschicht auf Vorderseite; lokaler Metallkontakt auf Vorderseite; p-Typ-Dotierung = "Back Surface Field" (BSF); optionale Passivierschicht auf Rückseite; lokale oder flächige Metallkontakte auf Rückseite.

Rechts: n-Typ Wafer; n-Typ-Dotierung als „Front Surface Field“ (FSF) auf der Vorderseite; Passivierschicht auf der Vorderseite; p-dotierter Bereich auf der Rückseite mit Passivierschicht und lokalem oder flächigem Metallkontakt; BSF-Dotierbereich auf der Rückseite mit lokalem oder flächigem Metallkontakt; Trennung zwischen stark n-dotierten und stark p-dotierten oberflächennahen Bereichen der Rückseite mit optionaler Passivierschicht in diesen Bereichen.

Typische industriell gefertigte Solarzellen, die oben genannte oder ähnliche Strukturen aufweisen, stellen oft einen Kompromiss aus erreichbarem Wirkungsgrad und wirtschaftlich sinnvollen Herstellkosten dar. Durch kontinuierliche Weiterentwicklung von Solarzellen ist inzwischen ein Punkt erreicht, bei dem oft die Materialqualität des Wafers den Wirkungsgrad limitiert, da nicht alle erzeugten Ladungsträger - mit der durch die Qualität des Halbleitermaterials begrenzten Diffusionslänge für Minderheitsladungsträger - auch den Halbleiterübergang erreichen. Insbesondere bei multikristallinen Materialien ist die Diffusionslänge oft limitiert und nicht ein Vielfaches der Strecke, die die Minderheitsladungsträger zurücklegen müssen, um zu einem p-n-Halbleiterübergang zu gelangen. Da die Halbleiterübergänge üblicherweise oberflächennah sind, gilt die Waferdicke als entscheidend dafür, welche Strecke Minderheitsladungsträger mindestens zurücklegen müssen, ohne vorher an Störstellen im kristallinen Siliziumwafer zu rekombinieren. Ferner werden industrielle Solarzellen, die vom links dargestellten Typ (Fig. 1) gefertigt werden, oft stark durch Abschattungsverluste und Rekombinationsverluste an der Solarzellenvorderseite dominiert.

3. Solarmodule

Die meisten industriell aus auf Wafer basierenden Solarzellen hergestellten Solarmodule zeichnen sich dadurch aus, dass die Metallkontakte der Solarzellen-Vorderseiten und die der Solarzellen-Rückseiten durch Lötverfahren mit leitfähigen Metallbändchen seriell oder parallel miteinander verbunden werden [S. R. Wenham et. al., Applied Photovoltaics, ISBN-13: 978-1-84407-401-3]. Dabei ist es üblich, die meisten Solarzellen seriell miteinander zu verbinden, um höhere Ausgangsspannungen der Module und damit geringere Widerstandsverluste zu ermöglichen. Nachteile bei dieser Verschaltungsweise sind:

- Vorder- und Rückseiten benachbarter Solarzellen müssen durch die Metallbändchen im Modulverbund dauerhaft beständig verbunden werden. Dies wird durch die Temperaturzyklen, denen die Module im Laufe ihrer garantierten Lebensdauer unterliegen, und die damit verbundenen mechanischen Belastungen durch unterschiedliche Ausdehnungskoeffizienten der Materialien im Modulverbund erschwert, zumal die aufgelöteten Verbinder-Bändchen aus Metall möglichst wenig Teile der Solarzellenoberfläche abdecken dürfen.
- Kostengünstige Kontaktierungsverfahren für Solarzellen, die Metallpastenkontakte verwenden, machen oft Kompromisse, was die mechanische und chemische Stabilität der Kontakte beim Löten bzw. im Modulverbund angeht.
- Es treten vergleichsweise hohe Serienwiderstandsverluste im Solarmodul auf, da die Verbinder zwischen den Solarzellen nur einen Kompromiss aus Anforderungen an Leitfähigkeit, Lötbarkeit und geringe Abschattung der Solarzellenoberflächen darstellen.
- Metallkontakte für ausschließlich rückseitenkontaktierte Solarzellen können bislang oft nur mit kostenintensiven Verfahren hergestellt werden.
- Höhere Modulspannungen zur Reduzierung von Widerstandsverlusten sind nur begrenzt realisierbar und bergen Risiken zu Kurzschlüssen oder Leckstrompfaden innerhalb der Solarzellen und oder den Solarmodulmaterialien.

4. Photovoltaische Gesamtsysteme

Die Anlagengröße für einzelne Photovoltaiksysteme ist in einer der bislang am weitesten verbreiteten Anwendungen (Privatkunden) üblicherweise durch die vorhandenen geeigneten Dachflächen begrenzt. Allerdings konnte in den letzten Jahren auch ein Trend zu großflächigen Freiflächenanlagen festgestellt werden, der hin zu immer größeren Gesamtleistungen der Gesamtanlage führt. Es ist aus Wirtschaftlichkeitsgründen sinnvoll, dabei möglichst viele Module und/oder auch Konzentrator-Module zusammen zu schalten. Dabei ergeben sich bei bisher am Markt verfügbaren Solarmodulen deutliche Grenzen in der maximalen Anzahl der Module, die in einem Strang seriell verbunden werden können, da andernfalls die Systemspannung zu hoch wird und die Gefahr zu Kurzschluss und oder Leckstrompfaden in den Solarmodulen mit zunehmender Systemspannung wächst. Andererseits wäre es aus Wirtschaftlichkeitsgründen wünschenswert, höhere Spannungen zu verwenden, um den Stromfluss und die Widerstandsverluste in den Modulsträngen zu minimieren und längere Kabelstrecken mit kleineren Querschnitten verwenden zu können.

Der Stand der Technik wurde hier nur im Wesentlichen wiedergegeben, um im Anschluss Unterschiede der durch die Erfindungen abgedeckten Lehren zum Stand der Technik deutlich machen zu können. Es wurde dabei kein Anspruch auf Vollständigkeit in der Darstellung erhoben. Hierzu ist es unumgänglich, einschlägige Literatur zu Rate zu ziehen. Wo notwendig, werden in den Einzelbeschreibungen der Erfindungen nochmals Verweise auf den Stand der Technik gemacht.

Erfindungsgemäße Lehren:

Im Folgenden werden die Teilerfindungen gemäß den bereits oben tabellarisch aufgelisteten Themenüberschriften erläutert. Das Zusammenspiel der einzelnen Erfindungen in einem integralen Fertigungsverfahren und die sich daraus ergebenden zusätzlichen Vorteile werden im Anschluss erläutert.

A: Herstellen von kristallinen Wafern mit weniger Kristalldefekten

Alle bislang bekannten Verfahren zur Herstellung kristalliner Halbleiterwafer für die Solarzellenfertigung sowie die Herstellung anderer Halbleiterbauelemente verwenden Schmelzverfahren, in denen der Halbleiterschmelze Dotierstoffe in ausreichender Konzentration zugesetzt werden, um am Ende des Wafer-Herstellprozesses, Wafer (großflächige dünne Platten aus Halbleitermaterial) mit einer großen Grundfläche (100 mm bis 300 mm in x- und y-Richtung sind typisch) und einer geringen Dicke im Bereich von 50 μm bis 500 μm , noch typischer im Bereich von 100 μm bis 300 μm , mit einer im Volumen des Wafers nahezu homogenen Verteilung der Dotierstoffe zu erzielen.

Im Folgenden wird in vielen Fällen das Herstellen von Halbleiterbauelementen am Beispiel von Solarzellen erläutert. Die Begriffe Halbleiterbauelement und Solarzelle werden deshalb synonym verwendet, und es ist klar, dass es viele weitere vorteilhafte Anwendungen für andere Halbleiterbauelemente als Solarzellen gibt, die von der Erfindung erfasst sind. Ferner wird im Folgenden oft ausschließlich Silizium als Halbleitermaterial für Solarzellen diskutiert. Auch hier werden die Begriffe Halbleiter und Silizium synonym verwendet, so dass neben Silizium viele weitere Halbleitermaterialien vorteilhaft mit den Verfahren gemäß der Erfindung prozessiert und verwendet werden können.

Überwiegend wird bei der Waferherstellung Bor oder Gallium bei p-dotierten Wafern bzw. Phosphor bei n-dotierten Wafern der Siliziumschmelze zugesetzt, so dass sich die Gleichverteilung der Dotierstoffe im Wafer bzw. den kristallinen Siliziumblöcken ergibt.

Beim Abkühlen aus der Schmelzphase erstarren nicht alle Bereiche des aufgeschmolzenen Halbleitermaterials gleichzeitig. Dadurch kann es zu erheblichen mechanischen Spannungen aufgrund von Temperaturgradienten innerhalb des Kristallgitters kommen. Es ist dabei bekannt, dass diese mechanischen Spannungen kristalline Defekte im Silizium, die von einer einkristallinen Struktur abweichen, begünstigen. So entstehen Versetzungslinien und Korngrenzen im erstarrenden Siliziummaterial, um die erwähnten mechanischen Spannungen im Kristallgitter beim Erstarren und Abkühlen abzubauen.

Diese Kristalldefekte (wie beispielsweise Versetzungslinien) stellen dabei einen energetisch günstigeren Zustand für den Siliziumkristall dar, bis schließlich beim Abkühlen Temperaturen erreicht werden, bei denen mechanische Spannungen nicht mehr weiter abgebaut werden können, da die Sprödigkeit des Materials es bei diesen vergleichsweise niedrigen Temperaturen nicht mehr zulässt.

Es ist ferner auch bekannt, dass die Bildung von Versetzungslinien und anderen Kristalldefekten durch die Anwesenheit von Verunreinigungen im Silizium beim Abkühlvorgang begünstigt wird. Deshalb ist es möglich, die Bildung von Versetzungen und anderen kristallinen Defekten bei Verwendung identischer Abkühlparameter deutlich zu reduzieren, wenn die Anwesenheit von hohen Verunreinigungskonzentrationen im Silizium vermieden werden kann.

Gemäß der erfindungsgemäßen Lehre ist es jedoch möglich, die Verunreinigungskonzentration beim Erstarren von Silizium für Solarzellen-Wafer drastisch zu reduzieren. Es genügt dabei, auf die Zugabe von Dotierstoffen komplett zu verzichten, die üblicherweise den größten Teil der im Silizium vorhandenen Verunreinigungen darstellen. Stattdessen soll das Ausgangssilizium (typischerweise sehr hoher Reinheit) in nahezu intrinsischer Reinheit und Form, das heißt ohne nennenswerte Dotierung aus der Schmelze erstarren. Damit sinkt die Wahrscheinlichkeit zur Ausbildung von kristallinen Defekten im Silizium, wie beispielsweise Versetzungslinien, Leerstellen, interstitiellem Silizium, Korngrenzen und anderen punkt- linien- oder flächenförmigen Kristalldefekten erheblich.

Das weiterhin erforderliche Dotieren von Halbleiterbereichen, um funktionsfähige Halbleiterbauelemente wie Solarzellen herstellen zu können, soll statt dessen in einem zweiten Verfahrensschritt erfolgen, der vorzugsweise zwischen Waferherstellung und eigentlichem Solarzellen-Fertigungsprozess erfolgt.

So soll in einem zweiten Verfahrensschritt - üblicherweise nach einem Reinigungsverfahren, das oberflächennahe Verunreinigungen oder Kristalldefekte, wie sie beim Schneiden der Wafer entstehen können, beseitigt - Dotierstoff mit den Oberflächen oder

Teilen der Oberflächen der so hergestellten Wafer (mit weniger kristallinen Defekten) in Berührung gebracht werden oder dorthin transportiert werden (z. B. über die umgebende Gasatmosphäre) oder an diesen Oberflächen derart umgewandelt werden, dass von diesen Oberflächenbereichen ausgehend anschließend Dotierstoffatome mit Wärmebehandlungsverfahren wie Diffusion, lokalem Schmelzen oder Legieren oder Kombinationen daraus bei Temperaturen unterhalb des Schmelzpunktes des Halbleitermaterials - wie beispielsweise Silizium - ins Halbleitermaterial eingetrieben werden kann. Dabei kann es, je nach Anwendung und herzustellendem Halbleiterbauelement sehr vorteilhaft sein, keine homogene Dotierung über den Wafer hinweg zu erzeugen, sondern lokal unterschiedliche Dotierstoffkonzentrationen über die drei Raumdimensionen des Wafers hinweg zu erzeugen (siehe Solarzellenherstellung).

Ferner kann es aus wirtschaftlichen Gründen sehr vorteilhaft sein, die Wafer aus nahezu intrinsischem Halbleitermaterial für die angesprochene Temperaturbehandlung zum Eintreiben von Dotierstoffatomen so zueinander anzuordnen, dass auf vergleichsweise geringem Volumen sehr viele Wafer gleichzeitig bearbeitet werden können. Hierfür eignen sich beispielsweise stapelförmige Anordnungen der Wafer.

Ferner kann es sehr vorteilhaft sein, für den Temperaturbehandlungsschritt zum gezielten Eintreiben von Dotierstoffatomen in den zuvor undotierten oder nahezu intrinsischen Halbleiter zuvor die Oberfläche oder Teile der Oberfläche des Wafers zunächst zu reinigen und oder dann durch geeignete Schichten und Verfahren zu maskieren, so dass während der nachfolgenden Temperaturbehandlung die Oberflächen vor möglicherweise im Ofenraum vorhandenen Verunreinigungen geschützt sind. Geeignete Schichten sind beispielsweise ausreichend dicke Siliziumoxid-Schichten, die mit den bekannten Verfahrensweisen erzeugt werden können und die, falls gewünscht, zumindest partiell als Diffusionsbarriere wirken können. Es ist beispielsweise auch möglich, diese Siliziumoxidschichten selektiv an manchen Stellen der Waferoberfläche zu öffnen. Auch hierfür kommen mehrere in der Literatur beschriebene Verfahren in Frage, wie beispielsweise Laserablation, selektives Ätzen mit lokal aufgetragenen Ätzmedien, Maskieren mit anschließendem Ätzen in den Öffnungen der Maskierung etc.

Es kommen aber auch andere geeignete Schichten zur flächigen oder partiellen Maskierung der Oberflächen in Frage. Dies sind beispielsweise dielektrische Schichten, wie Siliziumnitrid, Siliziumoxinitrid, Siliziumcarbid, Diamant, Aluminiumoxid oder andere aus der Halbleiterherstellung bekannte Schichten, die bei der Temperaturbehandlung möglichst wenig Verunreinigungen – insbesondere keine metallischen Verunreinigungen – ins Halbleitermaterial eindringen lassen sollen. Teile der Oberfläche des Halbleiters oder die kompletten Halbleiteroberflächen können natürlich auch durch Aufbringen einer Dotierfilmschicht oder Dotierstoffquelle während der Temperaturbehandlung vor externen Verunreinigungen geschützt werden. Dabei kann die Dotierstoffquelle gleichzeitig während der Temperaturbehandlung die Dotierstoffe bereit stellen, die in den Halbleiter eingetrieben werden sollen.

Als Dotierstoffatome für den Temperaturbehandlungsschritt zum Eintreiben von Dotierstoffatomen in den nahezu intrinsischen Halbleiter (nach Wafer-Herstellung) kommen alle Dotierstoffatome in Frage, die zum Dotieren von Halbleitern verwendet werden können. Insbesondere kommen aber auch die Dotierstoffatome in Frage, die sich für das Dotieren aus einer Schmelze heraus nicht eignen. Dies ist beispielsweise bei Silizium der Dotierstoff Aluminium. Aluminium statt Bor für die Dotierung von Silizium zu verwenden, hat einen weiteren erheblichen Vorteil, da der Atomradius von Bor deutlich kleiner, als der von Silizium und der Atomradius von Aluminium sehr viel ähnlicher dem von Silizium ist. So sorgt beispielsweise das Dotieren mit Bor für die p-Dotierung von Silizium dafür, dass schon aufgrund der stark unterschiedlichen Atomradien erhebliche mechanische Spannungen im Siliziummaterial entstehen. Dies kann nun durch die im Anschluss an das Waferherstellen erfolgende Temperaturbehandlung und die damit einhergehende Aluminium-Dotierung vermieden werden, da Aluminium (bei deutlich geringeren Temperaturen als Bor eingetrieben) zu geringeren Spannungen im Material führt und die Bildung von neuen Versetzungslinien oder anderen kristallinen Defekten bei diesen vergleichsweise niedrigeren Temperaturen komplett oder nahezu komplett vermieden werden kann.

B: Herstellen von Wafern mit weniger internen mechanischen Spannungen

Mit dem unter A beschriebenen Verfahren ist es möglich, einerseits zunächst beim Kristallwachstum durch den weitgehenden Verzicht auf absichtlich eingebrachte Dotierstoffe in der Siliziumschmelze beim Abkühlen bereits deutlich weniger Spannungen im Halbleitermaterial einzulagern.

Das Reduzieren von Spannungen hat nicht nur den Vorteil, dass damit die Entstehung von kristallinen Defekten deutlich verringert werden kann. Gleichzeitig erhöht sich die mechanische Stabilität der Wafer, wenn die im Silizium eingebauten Spannungen reduziert werden können. Der Wafer wird somit weniger spröde und lässt sich besser und mit geringerer Bruchrate handhaben. Dies ist von besonderem Interesse bei Wafern, die sehr hohe innere Spannungen haben, wie beispielsweise bei bandgezogenen multikristallinen Siliziumwafern - wie beispielsweise nach dem EFG-Verfahren hergestellten Wafern - oder bei Foliensilizium-Wafern - wie beispielsweise nach dem RGS-Verfahren hergestellten oder auf Substraten aus der Schmelze durch Tauchprozesse hergestellten Wafern. Diese Wafer erfahren sehr hohe Temperaturgradienten beim Abkühlen aus der Schmelze. Die Temperaturgradienten bilden sich insbesondere auch innerhalb des Volumens des späteren Wafers beim Abkühlen aus, so dass durch das vergleichsweise rasches Abkühlen bei bandgezogenen Siliziumwafern oder Foliensilizium-Wafern im Vergleich zu aus Siliziumblöcken (Fz-Si, Cz-Si, mc-Si-Blöcke) geschnittenen Wafern auf engstem Raum große thermisch verursachte Spannungen auftreten. Diese Verspannungen begünstigen nicht nur kristalline Defekte im Halbleitermaterial, sondern auch eine Verformung der Oberflächen der Wafer – so genanntes ‚buckling‘ entsteht. Als Folge dieser Verformung der Wafer zum Spannungsabbau innerhalb des kristallinen Wafers kommt es also auch zu welligen Oberflächen der Wafer. Insbesondere bei EFG-Wafern oder so genannten ‚string ribbon‘ Wafern kann diese Welligkeit je nach Abkühlbedingungen deutlich über einem Millimeter bei großflächigen Wafern betragen. Die Folge sind Komplikationen beim weiteren Bearbeiten und Handhaben der Wafer sowie möglicherweise höhere Bruchraten der Wafer. Dies gilt es weitgehend zu vermeiden.

Sofern es also nicht oder nur begrenzt gelingt, Wafer durch das Vermeiden von absichtlich der Schmelze zugesetzten Dotierstoffatomen bereits in ihrer mechanischen Stabilität deutlich zu verbessern und die möglicherweise vorhandene Welligkeit der Wafer in ausreichendem Maße zu unterdrücken, ergibt in der thermischen Nachbehandlung der Wafer eine große Chance weitere deutliche Verbesserungen zu erzielen. Dabei gilt es die Prozesszeit, die Prozesstemperatur und die Abkühlraten bei der Temperaturbehandlung geeignet anzupassen.

Generell gilt, dass bei höheren Temperaturen und oder bei längeren Prozesszeiten sowie bei langsameren Abkühlraten jeweils bessere Erfolge im Beseitigen von mechanischen Spannungen im Material erzielt werden. Es gilt jedoch diese Parameter mit den Anforderungen zur vorzugsweise gleichzeitigen Ausbildung der Dotierbereiche und Anforderungen an Durchsatz und Prozesskosten aus Wirtschaftlichkeitsgründen abzugleichen und gemeinsam zu optimieren.

Dabei scheint es erneut vorteilhaft, möglichst viele Wafer auf möglichst engem Volumen zu verdichten. Insbesondere kommen dafür Waferanordnungen wie Stapel in Frage, bei der Wafer sich im Wesentlichen entlang ihrer Flächen berühren. Diese Anordnung lässt ferner zu, dass wellige Wafer in geeigneter Anzahl aufeinander gestapelt werden, und mit Gewichten beschwert oder durch Hilfsmittel in anderer Weise komprimiert werden. Die Hilfsmittel sollen dabei vorzugsweise aus für Halbleiterprozesse hochreinen Materialien bestehen, die keine unerwünschten Verunreinigungen in die Wafer bringen. Diese Hilfsmittel können damit gleichzeitig zum Schutz der äußersten Wafer der Stapelanordnung dienen. Idealerweise bestehen diese Hilfsmittel zumindest im Kontakt mit dem Waferstapel aus Platten mindestens ähnlicher Größe und aus vorzugsweise demselben Material wie die Wafer. Wird der Stapel während der Temperaturbehandlung bei geeigneten Prozessparametern durch das Eigengewicht der Wafer, durch zusätzliche Gewichte oder andere Mittel komprimiert, bilden sich wellige Oberflächen zurück und es entstehen makroskopisch ebenere Wafer – ähnlich derer die aus erstarrten Halbleiterblöcken geschnitten oder gesägt werden - und die erheblich geringere interne mechanische Spannungen aufweisen. Diese Wafer lassen sich in den Folgeprozessen des Solarzellenprozesses erheblich leichter prozessieren und handhaben. Fer-

ner kann mit derart vorbehandelten Wafern die Bruchrate entlang der kompletten Prozesskette deutlich reduziert werden. Und auch beim Einbau dieser Wafer in Solarmodule geht die Bruchrate erheblich zurück, so dass sich insgesamt signifikante Kostenvorteile durch die zusätzliche Temperaturbehandlung ergeben.

Durch diese Verbesserungen ist es gleichzeitig möglich, auch beispielsweise bei bandgezogenen Wafern, deutlich dünnere Wafer herzustellen und zu verarbeiten. Das Reduzieren von im Wafer vorhandenen Spannungen reduziert das Bruchrisiko für derart behandelte Wafer und erhöht somit die Produktionsausbeute. Insbesondere bei bandgezogenen Wafern, wie beispielsweise bei EFG-Wafern oder Foliensilizium-Wafern, erhöht sich die Ausbeute durch die zusätzliche Vorbehandlung der Wafer signifikant. Dünne EFG-Wafer können zum Beispiel zunächst nach der Kristallisation eine höhere gemittelte Welligkeit aufweisen, die die Ausbeute beim Prozessieren dieser Wafer entlang der Prozesskette bis hin zum Solarmodul deutlich senkt.

Mit dem vorgeschlagenen Verfahren ist es möglich, EFG-Wafer beliebiger Dicke in ihrer Welligkeit so zu reduzieren, dass sie sich nicht merklich von gesägten Wafern aus multikristallinen Blockgussverfahren unterscheiden.

Es sei darauf hingewiesen, dass es nahezu unmöglich ist, die Welligkeit von bandgezogenen Wafern bereits während des Ziehverfahrens völlig zu unterdrücken, da hierzu sehr langsame Abkühlraten erforderlich wären, die einerseits im Widerspruch zu der Anforderung, eines schnellen Abkühlens direkt nach dem Austritt aus der Schmelze sind und andererseits die Konstruktion von Ziehanlagen mit sehr langen Nachheizbereichen erfordern würde, die keinen wirtschaftlich vorteilhaften Einsatz dieser Technologie erlauben würden.

C: Herstellen von Wafern mit weniger Verunreinigungen

Mit den unter Abschnitt A und B beschriebenen Verfahren ist es möglich, zunächst beim Herstellen der Wafer weitgehend die Konzentration von Verunreinigungen im Wafer zu reduzieren. Da der absichtlich eingebrachte Dotierstoff völlig vermieden werden kann, reduziert sich die Verunreinigungskonzentration auf die Verunreinigungen,

die bereits im Silizium-Ausgangsmaterial nicht vermieden werden konnten und auf Verunreinigungen die beim Kristallzucht-Prozess nicht vermieden werden können und in den Halbleiter gelangen. Dies sind beispielsweise Sauerstoff, Stickstoff, Kohlenstoff, Fe, W, Cr, V und andere Elemente, die jedoch üblicherweise in deutlich geringerer Konzentration, als die üblicherweise bei Kristallzuchtverfahren eingebrachten Dotierstoffe, in den Halbleiter gelangen. Welche Verunreinigung dominiert, hängt vom jeweiligen Kristallzuchtverfahren ab. Bei EFG-Silizium ist dies beispielsweise üblicherweise Kohlenstoff, der sich aus den Tiegelwänden in die Siliziumschmelze löst. Dabei kann nicht ausgeschlossen werden, dass das Lösen von Verunreinigungen in der Halbleiter-schmelze durch die Anwesenheit von Dotierstoffatomen in der Schmelze begünstigt wird. Bor hat einen Atomradius in ähnlicher Größenordnung wie der von Kohlenstoff. Da jedoch Kohlenstoff vier Valenzelektronen besitzt, lässt sich Kohlenstoff energetisch günstiger ins Siliziumkristallgitter einbinden als Bor. Damit lässt sich Kohlenstoff neben der üblichen Aufnahme in die Schmelze über die Löslichkeit in Silizium gemäß Phasendiagramm auch über einen Substitutionsmechanismus, bei dem es den Platz von Bor-Dotierstoffatomen einnimmt, ins erstarrende Silizium einbinden.

Mit anderen Worten, kann mit hoher Wahrscheinlichkeit die Verunreinigungskonzentration mit anderen Verunreinigungselementen, die nicht im Halbleiter-Ausgangsmaterial vorhanden waren, aber beispielsweise aus Tiegelwänden heraus oder aus der Prozessatmosphäre in den Halbleiter gelangen können, dadurch reduziert werden, dass die absichtliche Zugabe von Dotierstoffen in die Siliziumschmelze vermieden wird.

Zusätzlich können Verunreinigungen, die beim Kristallwachstum in den Wafer gelangt sind, in dem nachfolgenden Temperaturbehandlungsschritt zum Eintreiben der Dotierstoffatome in den nahezu intrinsischen Halbleiter wieder aus dem Halbleiter entfernt werden. Dies gilt insbesondere auch bei metallischen Verunreinigungen, die sich bekanntermaßen sehr nachteilig auf die Eigenschaften von Halbleiterbauelementen wie Solarzellen auswirken können, da sie als Rekombinationszentren für Minderheitsladungsträger wirken.

Dabei ist bekannt, dass sich beispielsweise beim Eindiffundieren von Phosphor derartige Verunreinigungen an den Oberflächen der Halbleiter einsammeln lassen. Das Einsammeln von Verunreinigungen ist jedoch oft insbesondere bei Halbleitermaterialien mit hohen Dichten an kristallinen Defekten - wie beispielsweise Versetzungslinien oder Korngrenzen - behindert, da sich Verunreinigungen, wie beispielsweise metallische Verunreinigungen, bevorzugt an kristallinen Defekten anlagern und dann nicht mehr ausreichend mobil sind. Dies ist besonders nachteilig, wenn kristalline Defekte wie Versetzungslinien, Versetzungslinien-Cluster oder Korngrenzen im Inneren oder Volumen des Halbleiterbauelementes unter flachem Winkel zu den Oberflächen des Halbleiterbauelementes verlaufen. In diesem Fall haben Verunreinigungen im Volumen des Halbleitermaterials - wie beispielsweise metallische Verunreinigungen - kaum eine Chance, während der Temperaturbehandlung die Oberflächen des Halbleiterbauelementes zu erreichen und dort angesammelt oder eingesammelt zu werden. Man nennt Verfahren, bei denen Verunreinigungen oder Defekte an den Halbleiterbauelement-Oberflächen eingesammelt werden, auch externe Getter-Verfahren. Dabei kommen neben Phosphor-Gettern auch andere, in der Literatur beschriebene Materialien zum Einsammeln der Verunreinigungen in stark dotierten Oberflächen oder in Schichten oder Gasen oder Flüssigkeiten, die mit dem Halbleiter in Kontakt sind, in Frage. Beispielhaft sei hier noch Aluminium-Gettern, Chlor-Gettern oder Oxidieren der Oberflächen genannt.

Interessant ist dabei zu wissen, dass manche Verunreinigungen eher auf die eine Form des Getterns ansprechen als auf die andere. So ist zum Beispiel sofort verständlich, dass die Affinität von Verunreinigungen zu phosphorreichen Gebieten im Silizium sicherlich eine andere ist als zu aluminiumreichen Gebieten im Silizium, da diese Elemente aufgrund der unterschiedlichen Anzahl an Valenzelektronen völlig unterschiedlich in das Silizium-Kristallgitter eingebunden sind und somit unterschiedliche Einfangquerschnitte und Bindungsenergien zum Einfangen bzw. Binden von Verunreinigungen zur Verfügung stehen.

Da beim Kristallisationsprozess weitgehend auf das absichtliche Dotieren des Halbleitermaterials verzichtet wurde, sind, wie bereits in Abschnitt A-C erwähnt, weniger kristalline Defekte im Wafer vorhanden. Somit ist die Wahrscheinlichkeit für externes Get-

tern bereits erhöht. Da es nun gilt, das Volumen des Halbleiterwafers durch die anschließende Temperaturbehandlung nahezu komplett zu dotieren (mit unterschiedlichen Dotierstoffen zur Erzeugung von p-n Halbleiterübergängen, wie in den folgenden Abschnitten zur Solarzellenherstellung beschrieben werden wird), besteht die Möglichkeit, während dieser Prozesse nahezu alle Verunreinigungen im Halbleitermaterial zunächst zu mobilisieren und anschließend zu Gettern. Dabei können die Temperatur-Zeitverläufe so gewählt werden, dass einerseits das Volumen des Wafers bzw. Bereiche des Volumens des Wafers im selben Prozessschritt in gewünschter Form dotiert werden. Andererseits soll der Temperatur-Zeit-Verlauf bei der Temperaturbehandlung so gewählt werden, dass das Gettern oder unschädlich machen von Verunreinigungen möglichst effektiv ist und sich betriebswirtschaftlich vorteilhafte Solarzellenprozesse verwirklichen lassen.

Interessanterweise besteht mit dem vorgeschlagenen Verfahren nicht nur die Möglichkeit zu externem Gettern, sondern auch zu wirksamem internem Gettern. Dabei werden Verunreinigungen im Inneren des Halbleitervolumens angereichert und unschädlich gemacht. Da nämlich kristalline Defekte wie Korngrenzen, Versetzungslinien oder andere im Volumen des Halbleiters anwesende Defekte - sofern sie nach der Kristallisation von intrinsischem Halbleitermaterial überhaupt noch vorhanden sind – auch für Dotierstoffatome eine erhöhte Affinität aufweisen und zudem oft Kanäle mit erhöhter Diffusionswahrscheinlichkeit für diese Dotierstoffatome darstellen, ist es möglich, im Umfeld dieser kristallinen Defekte erhöhte Konzentrationen an Dotierstoffen im Vergleich zum Volumen des Halbleiters anzusammeln. Somit können hier Bereiche mit erhöhter Dotierstoffkonzentration ausgebildet werden und - ähnlich wie bei einem BSF oder FSF - können beispielsweise die Minderheitsladungsträger (beispielsweise einer Solarzelle) durch ein elektrisches Feld effektiv von diesen Bereichen abgeschirmt werden, so dass diese erst gar nicht zu den Bereichen mit erhöhter Rekombinations-Wahrscheinlichkeit – diese ergeben sich durch das Einlagern von intern im Halbleitervolumen eingesammelten Verunreinigungen bzw. die Abweichungen von der üblichen Kristallinität des Halbleiters – vordringen können, sondern zurück in ungeschädigte Bereiche des Halbleiterkristalls gedrängt werden.

Die vorgeschlagene Methode zum Dotieren der Halbleiterbauelemente nach der Kristallisation ermöglicht also, den Halbleiter wirksam von Verunreinigungen zu befreien bzw. vor rekombinationsaktiven Defekten zu schützen.

Interessant ist es auch, bei der Wahl des Temperatur-Zeitverlaufes für die Wärmebehandlung zum Dotieren der Wafer zu berücksichtigen, dass im Halbleiter nicht nur Verunreinigungen vorhanden sein können, die interstitiell oder ins Kristallgitter des Halbleiters eingebunden sind, sondern auch Präzipitatbereiche von Verunreinigungen in denen sich die jeweiligen Verunreinigungen in erhöhter Konzentration aufhalten. Um diese Verunreinigungen effektiv einsammeln zu können, falls die Präzipitatbereiche auch als Rekombinationszentren wirken, ist es erforderlich, die Präzipitate erst bei geeigneter Temperatur zu lösen, um sie sodann anschließend als interstitielle oder ins Kristallgitter eingebundene Verunreinigungen einsammeln und unschädlich machen zu können. Auch dies ist bei geeigneter Wahl des Temperatur-Zeit-Verlaufes und bei Kenntnis der Verunreinigungen, die als Präzipitat vorliegen, mit dem vorgeschlagenen Verfahren möglich.

D: Entfernen von Dotierstoff aus UMG-Silizium:

Aufgrund einer Verknappung der am Markt erhältlichen Mengen an hochreinem, halbleitertauglichem oder insbesondere solarzellentauglichem Silizium und aufgrund einer über das Angebot hinaus gestiegenen Nachfrage nach diesem Silizium sowie der damit erheblich angestiegenen Kosten für derartiges Silizium wurden intensiv Anstrengungen unternommen, um auch auf alternativen Wegen Silizium für solarzellentaugliche Prozesse zu entwickeln.

Üblicherweise ist diesen alternativen Silizium-Materialien gemeinsam, dass sie im Vergleich zu halbleitertauglichem Reinstsilizium höhere Verunreinigungskonzentrationen aufweisen und angepasste Prozesse bei der Kristallisation und der Solarzellenherstellung erfordern. Derzeit werden erstmals größere Mengen so genannten UMG-Siliziums (up-grated metalurgical grade) am Markt verfügbar. Diese Materialien weisen üblicherweise akzeptable Konzentrationen an metallischen Verunreinigungen auf, da diese ver-

gleichsweise einfach durch zusätzliche Maßnahmen beim Schmelzen und der Kristallisation (teilweise mehrfaches Aufschmelzen und Kristallisieren) aus dem Halbleitermaterial entfernt werden können. Anders jedoch ist es mit dem Niveau an Verunreinigungen mit Dotierstoffen. Hier sind die Konzentrationen oft sehr hoch und erfordern angepasste Solarzellenprozesse oder führen zu Wirkungsgrad- und Stabilitätseinbußen bei den Solarzellen im Modulverbund. Vorteilhaft wäre es, auch die hohen Dotierstoffkonzentrationen in UMG-Silizium zu reduzieren.

Da es also nicht möglich ist, UMG-Silizium in der in Abschnitt A-C vorgeschlagenen Verfahrensweise zu Wafern zu prozessieren, da das Material nicht in intrinsischer Ausgangsqualität vorliegt, gilt es eine andere Strategie zur Verbesserung der Materialqualität bezüglich Kristallinität, Verunreinigungs- und Defekt-Reduzierung sowie der Verbesserung der mechanischen Stabilität (Reduktion im Kristallgitter eingebauter mechanischer Spannungen) zu verfolgen. Hierbei kann es auch vorteilhaft und sinnvoll sein, die bei der Kristallisation entstandenen Wafer zunächst zu Reinigen, so dass Verunreinigungen und Schäden in den oberflächennahen Gebieten des Wafers, wie sie beispielsweise beim Schneiden der Wafer entstehen, entfernt werden. Anschließend ist es weiterhin vorteilhaft, die so erhaltenen Wafer zunächst so zu verdichten, dass auf vergleichsweise kleinem Volumen eine hohe Stückzahl an Wafern gleichzeitig Folgeprozessen zur Temperaturbehandlung zugeführt werden können. Hierzu kann es vorteilhaft sein, stapelförmige Anordnungen von Wafern zu bilden und gegebenenfalls auch dafür zu sorgen, dass diese Stapel komprimiert oder durch Gewichte belastet werden, falls wellige Wafer wie beispielsweise bandgezogene Wafer eingesetzt werden. Um Verunreinigungen aus mit UMG-Silizium hergestellten Wafern gezielt zu entfernen, ist es zunächst vorteilhaft zu wissen, welche Verunreinigungen und Defekte in den Wafern den maximal erzielbaren Wirkungsgrad und die erzielbare Ausbeute bei der Herstellung von Solarzellen limitieren. Sind dies eher kristalline Defekte, wie Versetzungen oder Korngrenzen bzw. metallische Verunreinigungen im Halbleiter oder mechanische Verspannungen bzw. eine Oberflächenwelligkeit, so genügt es vermutlich, die Waferanordnung einem angepassten Temperatur-Zeit-Profil auszusetzen, um diese Defekte wie in Abschnitt A-C beschrieben zu reduzieren. Es ist dabei nicht unbedingt erforderlich, eine

Dotierstoffquelle an Oberflächen der Wafer oder Teilbereichen dieser Oberflächen anzubieten. Aber dies hängt davon ab, welche Solarzellenstruktur gefertigt werden soll.

Typische Prozesstemperaturen bei der Temperaturbehandlung zur Verbesserung der Materialqualität dieser Wafer können ebenso wie bei den in Abschnitt A-C besprochenen Temperaturbehandlungen zwischen 577 °C (dem eutektischen Punkt von Silizium mit Aluminium) und 1407 °C (dem Schmelzpunkt von Silizium) gewählt werden. Typische Prozesszeiten erstrecken sich von wenigen Minuten bis hin zu wenigen Tagen, je nachdem wie viele Wafer in einem typischen Prozessvolumen verdichtet werden können, so dass sich am Ende noch ein betriebswirtschaftlich sinnvoller industrieller Produktionsprozess mit gewünschtem Durchsatz (typischerweise >1000 Wafer/h) darstellen lässt. Zum Einsatz für die Temperaturbehandlung kommen beispielsweise Kammeröfen, wie sie für die Kristallisation multikristalliner Siliziumblöcke heute schon eingesetzt werden, aber auch andere Systeme wie beispielsweise Hochtemperatur-Durchlauföfen, sofern diese nur die gewünschten Prozesstemperaturen, Reinheitsanforderungen für Halbleiterbauelemente-Herstellung und Prozessatmosphären reproduzierbar in den gewünschten Prozessen bereitstellen können.

Mit derartigen Verfahren ist es beispielsweise auch möglich bei Wafern wie mit UMG-Silizium hergestellten Wafern die Dotierstoffkonzentration im entsprechenden Halbleitermaterial - wie beispielsweise B, P, Al, Ga oder anderen Dotierstoffelementen in Silizium - deutlich zu reduzieren. Hierzu kann bei entsprechend gewählter Prozessatmosphäre der entsprechende Dotierstoff von den Oberflächen der Halbleiterbauelemente ausgehend verdampft oder abgedampft werden, wenn die Prozessgas-Atmosphäre sowie Temperatur und Zeit der Temperaturbehandlung nur geeignet gewählt werden. Im Gegensatz zu Wafern, die beispielsweise aus Siliziumschmelzen durch geeignete Verfahren wie dem EFG-Verfahren gezogen werden bzw. im Gegensatz zu Wafern aus herkömmlichen Kristallisationsverfahren steht hierfür lange Prozesszeiten eine sehr hohe Verhältnis von Oberfläche zum Volumen des erstarrten Halbleitermaterials bei hohen Temperaturen für Verdampfungsprozesse zur Verfügung. Je nach Dampfdruck der entsprechenden Verunreinigung, die es aus dem Halbleiter zu verdampfen gilt, sollte die Prozesstemperatur und Prozessatmosphäre gewählt werden. In jedem Fall sollte aber

sichergestellt bleiben, dass die verdichteten Anordnungen wie Waferstapel nicht bei der Temperaturbehandlung auf- oder zusammenschmelzen. Als Prozessatmosphäre kommen je nachdem, welche Verunreinigung es zu verdampfen gilt, inerte Gasatmosphären wie beispielsweise Argon, oxidierende Gasatmosphären wie beispielsweise Sauerstoff enthaltende Atmosphären oder reduzierende bzw. ätzende Atmosphären, die beispielsweise Wasserstoff, Chlor oder Chlorverbindungen bzw. Fluor oder Fluorverbindungen enthalten können, in Frage. Die Anwendung ist auch nicht auf das Entfernen von Dotierstoffen aus dem Halbleitermaterial beschränkt, sondern kann auch angepasst werden, um alle anderen im Halbleiter bei der entsprechenden Prozesstemperatur mobilen Verunreinigungen zu entfernen, die einen entsprechenden Dampfdruck aufweisen, dass sie abgedampft oder in eine oberflächennahe Schicht wie beispielsweise Siliziumoxid eingebunden werden können. Ferner ist diese Anwendung nicht darauf beschränkt, dass alle Oberflächen der Wafer oder Halbleiterbauelemente der Atmosphäre direkt ausgesetzt werden. Vielmehr ist auch möglich, dass Teile der Oberfläche durch geeignete Schichten wie beispielsweise Siliziumoxid maskiert bzw. mit Dotierstofffilmen versehen werden. Außerdem kann es vorteilhaft sein, die Prozesse in einer Atmosphäre durchzuführen, die gleichzeitig als Dotierstoffquelle für das Halbleitermaterial dient.

Es gibt aber eine weitere Möglichkeit, Verunreinigungen in UMG-Silizium deutlich zu reduzieren. Bekannt ist, dass bei Bandziehverfahren wie beispielsweise dem EFG-Verfahren oder ‚string ribbon Verfahren‘ zur Herstellung von Silizium-Wafern Verunreinigungen bevorzugt innerhalb der Si-Schmelze verbleiben und sich dort anreichern und nur zu einem deutlich geringeren Anteil über Segregationsprozesse in die erstarrten dünnwandigen Halbleiterplatten gelangen. Der Unterschied in der Konzentration der Verunreinigungen innerhalb der Halbleiterschmelze im Tiegel zu der Verunreinigungskonzentration in den bandgezogenen Wafern kann sich dabei um viele Größenordnungen (typisch 100-mal bis 10000-mal mehr Verunreinigungen in der Schmelze) unterscheiden.

Somit ist es auch möglich, die Verunreinigungskonzentration in Wafern, die aus UMG-Silizium hergestellt werden, um mehrere Größenordnungen gegenüber dem Ausgangs-UMG-Siliziummaterial abzusenken. Dies ist von besonderem Interesse, um auch die Dotierstoffkonzentration in UMG-Si-Wafern erheblich zu reduzieren, wenn Verdamp-

fungsprozesse bei den der Kristallisation folgenden Hochtemperaturbehandlungsschritten, wie sie zuvor beschrieben wurden, nicht ausreichen.

Da gutes am Markt erhältliches UMG-Silizium bereits sehr weitgehend von metallischen Verunreinigungen gereinigt ist, handelt es sich bei UMG-Silizium um eine ideales Ausgangsmaterial für die Herstellung bandgezogener Wafer. Die für UMG-Si typischen, sehr hohen Dotierstoff-Verunreinigungskonzentrationen können drastisch abgesenkt werden, wenn keine weiteren Dotierstoffe der Schmelze zugeführt werden. Bandziehverfahren wie beispielsweise das EFG-Verfahren sind also ideale Reinigungsverfahren für UMG-Si.

Es ist nach Anwendung der Bandziehverfahren für UMG-Ausgangs-Siliziummaterial möglich, mit diesen Wafern mit dann sehr niedriger oder nahezu intrinsischer Silizium-Dotierung wie in Abschnitt A-C beschrieben weitere Temperaturbehandlungsschritte durchzuführen, um die Materialqualität weiter zu verbessern und vorteilhafte Halbleiterbauelemente wie Solarzellen daraus herzustellen.

Ebenso ist es aber auch denkbar, Bandziehverfahren wie das EFG-Verfahren als reine Reinigungsverfahren für UMG-Silizium zu verwenden und gegebenenfalls sogar mehrfach die Kristallisationsprozesse zu wiederholen, um Verunreinigungen im UMG-Si um weitere Größenordnungen zu reduzieren. Dabei werden nicht nur Dotierstoffverunreinigungen drastisch reduziert, sondern auch die Konzentration anderer Verunreinigungen wie beispielsweise metallischer Verunreinigungen kann um mehrere Größenordnungen abgesenkt werden, je nachdem wie groß die Segregationskoeffizienten der einzelnen Verunreinigungselemente im Halbleitermaterial sind. Es ist also selbst denkbar, mit metallurgischem Silizium als Ausgangsmaterial zu beginnen. Der Zieh-Prozess für bandgezogenes Silizium kann dabei sogar bevorzugt beschleunigt werden, da das entstehenden bandgezogene Siliziummaterial nicht sofort als Wafer für die Herstellung von Halbleiterbauelementen zur Verfügung stehen soll, sondern das Material zunächst noch einmal zerkleinert wird, um dann erneut dem Bandziehverfahren zur Kristallisation dünnwandiger Siliziumplatten zugeführt zu werden. Somit sind erhöhte Konzentrationen kristalliner Defekte - wie beispielsweise Versetzungslinien und Korngrenzen - zu-

nächst beim ersten Durchlauf nicht relevant oder nachteilig. Hohe mechanische Spannungen und eine erhöhte Welligkeit (so genanntes ‚buckling‘), die sich ebenfalls durch rasches Abkühlen bei höherer Ziehgeschwindigkeit für Bandziehverfahren ergeben, sind beim Zerkleinern des Materials sogar sehr vorteilhaft, da sich dieses aufgrund der mechanischen Spannungen sehr viel einfacher Zerkleinern lässt.

So ist es sogar denkbar, Bandzieh- oder Strangzieh-Verfahren rein zum Zweck der Reinigung von Halbleitermaterial zu entwickeln, bei denen aufgeschmolzenes Halbleitermaterial beispielsweise durch Schwerkraft und Kapillarkräfte aus der Halbleiterschmelze unterhalb von Tiegeln, denen permanent weiteres Halbleitermaterial zum Aufschmelzen zugeführt wird, mit hoher Geschwindigkeit erstarren zu lassen. Wird das Halbleitermaterial mit geeigneter Geschwindigkeit nach unten dem Tiegel nach dem Aufschmelzen entnommen, ergibt sich ein weiterer erheblicher Vorteil. Sollte nämlich das Halbleitermaterial aufgrund der erhöhten mechanischen Spannungen im Material spontan bersten, zerbrechen oder in Stücke zerspringen, so kann es problemlos aufgefangen werden, ohne den Kristallisations-Prozess abbrechen zu müssen. Das Material kann je nachdem, welche Wand- oder Strangstärke gewählt wird, bereits selbst die Zerkleinerung einleiten. Hohe Abkühlraten und damit entstehende hohe mechanische Spannungen sind bei dieser Variante also unbedingt wünschenswert, zumal die hohen Abkühlraten die durch Segregationseffekte erfolgende Materialreinigung (Absenken von Verunreinigungskonzentrationen um mehrere Größenordnungen) unter Umständen vorteilhaft beeinflusst.

Ist die Verunreinigungskonzentration von so gereinigtem und evtl. durch zusätzliche Maßnahmen - wie beispielsweise das Verwenden Backenbrechen oder Zentrifugen mit für Halbleitermaterialien tauglichen und reinen Werkzeugoberflächen aus sehr harten Materialien oder Halbleitermaterial – zerkleinertem Ausgangssilizium gering genug, so kann es üblichen Kristallisationsprozessen wie beispielsweise Si-Blockguss, Si-Block-Schmelzverfahren, Cz-Si-Verfahren, Fz-Si-Verfahren, Bandziehverfahren oder Foliensiliziumverfahren bzw. anderen bekannten Verfahren zur Kristallisation von Halbleitermaterial zugeführt werden und dort wie handelsübliches Reinst-Halbleitermaterial weiterverarbeitet werden, um Wafer herzustellen.

Das eben beschriebene Verfahren kann somit selbst als UMG-Verfahren bezeichnet werden, wobei es erhebliche Vorteile beim Beseitigen von Dotierstoffverunreinigungen und in den Prozesskosten gegenüber bislang bekannten UMG-Verfahren zur Reinigung metallurgischem Siliziums für die Anwendung in Halbleiterbauelementen wie Solarzellen aufweist und somit eine eigenständige Erfindung darstellt.

A-D:

Den in oben stehenden Abschnitten A bis D beschriebenen Erfindungen innewohnende Vorteile für die Herstellung von Halbleiterwafer lassen sich durch geeignete Ausführung der Prozesse kombinieren, so dass sich daraus besonders vorteilhafte und betriebswirtschaftlich günstige Bedingungen ergeben können. Die hier besprochene Erfindungslehre schließt all diese Kombinationen sowie Kombinationen mit im Folgenden besprochenen Erfindungen und vorteilhaften Eigenschaften für Solarzellen, Solarmodule und photovoltaische Systeme mit ein.

Ferner sind die Erfindungen nicht auf Silizium als Halbleitermaterial, noch auf Solarzellen als aufgeführtes Anwendungsbeispiel für Halbleiterbauelemente beschränkt. Es ist vielmehr im Sinne der Erfindungen, dass auch andere Halbleitermaterialien in ihren Eigenschaften durch diese Erfindungen verbessert werden können und andere Halbleiterbauelemente wie beispielsweise Photodioden, LEDs, Leistungstransistoren, Thyristoren, Halbleiterspeicher, Kondensatoren oder viele andere waferbasierende Halbleiterbauelemente mit diesen Erfindungen verbessert werden können.

Ferner beinhalten die Erfindungen die Möglichkeit, bei der Herstellung zukünftiger Wafer oder Halbleiterbauelemente Kompromisse in der Ausgangsqualität des Halbleitermaterials bzw. beim Kristallisationsprozess in Kauf zu nehmen, um insgesamt zu betriebswirtschaftlich günstigeren Gesamt-Herstellprozessen zu kommen. Die in den Erfindungen beschriebenen Wege zur nachträglichen Verbesserung der Halbleitermaterialqualität nach dem Kristallisationsprozess ermöglichen diese Kompromisse, bzw. Abstriche bei den Anforderungen an die Ausgangsmaterialqualität und Kristallisationsprozesse. So kann es beispielsweise günstiger sein, am Markt zu geringerem Preis verfügbares, je-

doch verunreinigtes Ausgangs-Siliziummaterial zur Herstellung von Solarzellenwafern einzusetzen. Ferner kann es vorteilhaft sein, beim Kristallisationsprozess zur Herstellung der Wafer aus Wirtschaftlichkeitsgründen höhere Abkühlraten, als dies bisher der Fall ist einzusetzen, um die dadurch verursachten Kristalldefekte erst in der nachfolgenden Temperaturbehandlung wieder zu beseitigen.

Vorteilhafte Anwendungsbeispiele für typische Temperatur-Zeitverläufe für die Erfindungen in Kapitel A bis D werden in den folgenden Beschreibungen der Erfindungen für Silizium-Solarzellen offenbart. Die Erfindungen und damit möglichen vorteilhaften Anwendungen sind jedoch bei weitem nicht auf diese Anwendungsbeispiele begrenzt.

E: Solarzellen mit sehr tief diffundierten Bereichen

Typische auf Halbleiter-Wafern als Ausgangsmaterial für die Prozessierung basierende Solarzellen, die nach dem Stand der Technik hergestellt werden, weisen bislang sämtlich oberflächennahe Halbleiterübergänge von p- und n-dotierten Gebieten auf. Oberflächennah bedeutet dabei, dass der Abstand des Halbleiterübergangs zur Oberfläche des Halbleiter-Wafers deutlich kleiner als die halbe Waferdicke ist. Alle am Markt bislang kommerziell erhältlichen Solarzellen weisen üblicherweise die Halbleiterübergangsbereiche von p- zu n-dotierten Bereichen in einem Abstand von weniger als 10 μm , sicherlich jedoch in einem maximalen Abstand von weniger als 30 μm zur Oberfläche auf, während die Dicke der am Markt kommerziell erhältlichen Solarzellen bislang oberhalb 100 μm , sicherlich jedoch oberhalb 50 μm liegt.

Halbleiterübergänge in diesen kommerziell erhältlichen wafer-basierenden Solarzellen werden durch Diffusionsverfahren ausgehend von einer mit den Oberflächen der Halbleiter in Wechselwirkung stehenden Diffusionsquelle durch Temperaturbehandlungen erzeugt. Alternativ dazu können Halbleiterübergänge auch durch Legierungs-Verfahren - wie beispielsweise dem Legieren von Aluminium und Silizium - ausgehend von einer mit der Oberfläche in Wechselwirkung stehenden Dotierstoffquelle erzeugt werden. Auch hierfür ist ein Temperaturbehandlungsschritt erforderlich, bei dem zumindest die eutektische Temperatur gemäß Phasendiagramm der entsprechenden Materialien überschritten wird. Bei allen bislang kommerziell am Markt erhältlichen Solarzellen, dienen

entweder über das Volumen des Wafers hinweg durchgängig n-dotierte Wafer oder durch das Volumen des Wafers hinweg durchgängig p-dotierten Wafer als Ausgangsmaterial für die Solarzellen-Prozessierung. Die Dotierstoffkonzentration innerhalb des Wafers ist dabei üblicherweise so gewählt, dass sich eine ausreichende Leitfähigkeit des Halbleitermaterials im Materialvolumen ergibt, um erhebliche Verluste im Wirkungsgrad der Solarzelle durch Serienwiderstandsverluste beim Transport der erzeugten Ladungsträger zu minimieren. Durch die homogene Dotierung des größten Teiles des Materialvolumens heute am Markt erhältlicher wafer-basierender Solarzellen, bildet sich innerhalb von weiten Bereichen des Materialvolumens dieser Solarzellen kein elektrisches Feld aus, das den erzeugten Minderheitsladungsträgern eine Vorzugsrichtung aufprägen könnte. Stattdessen bewegen sich diese Ladungsträger gemäß statistisch willkürlichen Mechanismen innerhalb des Halbleitervolumens, bis sie letztlich einen Halbleiterübergang erreichen und über diesen hinweg gelangen, um zur Ladungstrennung innerhalb der Solarzelle, einer sich ausbildenden Spannung und oder einem Stromfluss beizutragen.

Mit den oben genannten Erfindungen ist es jedoch vorteilhaft möglich, auch Wafer als Ausgangsmaterial für die Solarzellenfertigung herzustellen, die keine oder nur sehr geringe Dotierstoffkonzentrationen – insbesondere auch solche geringen Dotierstoffkonzentrationen, die keine ausreichende Leitfähigkeit für typische Solarzellenprozesse bieten - aufweisen. Wie bereits in Kapitel A-D diskutiert, ist es sogar möglich, derartige Ausgangswafer mit weniger Kristalldefekten, Verunreinigungen, mechanischen Spannungen und oder mit geringerer Welligkeit herzustellen, woraus sich schon an sich Vorteile für die Solarzellenherstellung ergeben.

Um derartige Ausgangswafer nun mit ausreichend leitfähigen Halbleiterbereichen bzw. mit p-n-Halbleiterübergängen zu versehen, ist es notwendig, Dotierstoffe zumindest ausgehend von einem Teil der Oberflächengebiete des Halbleiters tief in diesen Halbleiter einzutreiben.

Für das tiefe Eintreiben von Dotierstoffatomen mit Diffusionsverfahren sind üblicherweise sehr hohe Temperaturen und oder sehr lange Temperaturbehandlungszeiten erforder-

derlich. Beides ist bislang mit wirtschaftlichen Verfahren für die Herstellung von Solarzellen offensichtlich noch nicht vereinbar gewesen. Ferner ist es erforderlich, dass bei Prozesstemperaturen oberhalb typischer bislang für Solarzellen verwendeter Diffusionstemperaturen (800 °C bis 1100 °C) einerseits Kontamination des Halbleitermaterials durch von außen unbeabsichtigt eindringende Verunreinigungen ausgeschlossen wird und sehr langsame Abkühlrampen gewählt werden, um die Minderheitsladungsträger-Lebensdauer des Materials nicht zu reduzieren. Bei multikristallinen Materialien ist dabei die Diffusionstemperatur üblicherweise bisher auf 900 °C oder maximal 950 °C Maximaltemperatur begrenzt, da andernfalls erhebliche Degradation der Material-Minderheitsladungsträger-Lebensdauer zu erwarten ist.

Übliche Diffusionsprozesse beschränken sich ferner aus Wirtschaftlichkeitsgründen bislang auf Prozesszeiten von bis zu einer Stunde, maximal jedoch zwei Stunden für kommerziell erhältliche industriell in Massenproduktion gefertigte Solarzellen.

Ferner verwenden industriell gefertigte Solarzellen in ihren Herstellprozessen bislang Dotierstoffquellen mit vergleichsweise hoher Dotierstoffkonzentration. Dies sind beispielsweise mehr als 10^{20} P-Atome/cm³ bei Phosphor-Diffusionsprozessen und mehr als 10^{19} Dotierstoffatome/cm³ bei Bor-Diffusionsprozessen. Die hohen Dotierstoffkonzentrationen werden verwendet, um einerseits die Prozesszeiten bei der Diffusion kurz und damit den Durchsatz an Wafern hoch zu halten (> 1000 Wafer/h) und um andererseits, mit aus Metallpasten hergestellten oder durch Metallabscheidungsverfahren aus chemischen Lösungen hergestellten Metallkontakten, die aus Wirtschaftlichkeitsgründen verwendet werden, niedrige Kontaktübergangswiderstände zu den hoch dotierten Halbleitergebieten herstellen zu können.

Entgegen dem Stand der Technik wird gemäß der Erfindung vorgeschlagen, während langer Prozesszeiten bei hohen Temperaturen - teilweise über die für Solarzellenherstellung üblichen Diffusionstemperaturen hinausgehenden Temperaturen bis im Extremfall hin zu 1407 °C - Wafer die mit Dotierstoffquellen an ihren Oberflächen in Kontakt sind oder in mit diesen in Wechselwirkung stehen Temperaturbehandlungen zu unterziehen. Dabei wird ausgehend von den Oberflächen, die mit der Dotierstoffquelle in Wechsel-

wirkung stehen, Dotierstoff sehr tief ins Innere des Halbleitervolumens eingetrieben, so dass anschließend nahezu alle Bereiche des zuvor nahezu undotierten Halbleiterwafers dotiert sind. Ferner wird es gemäß dieser Erfindung als vorteilhaft erachtet, sehr langsame Abkühlraten beim und nach dem Diffundieren der Wafer zu verwenden. Letztlich kann es vorteilhaft sein, geringere Dotierstoffkonzentrationen an der Oberfläche der Halbleiterbauelemente einzutreiben, um damit zu verhindern, dass oberflächennahe Bereiche mit stark erhöhter Rekombinations-Wahrscheinlichkeit für Minderheitsladungsträger an der Oberfläche der Solarzellen entstehen, die die Ausbeute beim Konvertieren von elektromagnetischer Strahlung in elektrische Energie reduzieren würden. Es wird ferner im Sinne dieser Erfindung für vorteilhaft erachtet, zumindest einen der Dotierstoffe für n-Dotierung oder p-Dotierung mindestens bis zur Hälfte der Dicke des flächigen waferförmigen Halbleiterbauelementes einzutreiben, um die dotierstoffarme Übergangszone im p-n Halbleiterübergang in ihrer räumlichen Ausdehnung nicht unvorteilhaft groß werden zu lassen. Das Eintreiben kann dabei auch durch Legieren anstatt durch Diffusion des entsprechenden Dotierstoffes oder durch Kombinationen daraus erfolgen.

Durch die Möglichkeit, zu höheren Prozesstemperaturen und längeren Prozesszeiten zu gehen, ergibt sich der Freiheitsgrad, den Halbleiterübergang nahezu an jede beliebige Position innerhalb der Solarzelle zu verlegen. Die Position des Halbleiterüberganges wird dabei idealerweise der jeweiligen Solarzelle angepasst, so dass die Trennung der Ladungsträger nach Abwägen (je nach Oberflächenstruktur bzw. Textur) der Abhängigkeit der Photonenabsorptionswahrscheinlichkeit von der Eindringtiefe im Halbleiter, nach Abwägen der Minderheitsladungsträger-Mobilität sowie nach Abwägen von Rekombinationswahrscheinlichkeiten im Volumen und an den Oberflächen der Solarzelle und Berücksichtigung der in der Solarzelle vorhandenen elektrischen Felder in optimaler Tiefe in der Solarzelle erfolgt.

Wesentlich bei der Durchführung des beschriebenen Verfahrens ist, dass die Waferoberflächen vor Durchführung des Hochtemperatur-Diffusionsprozesses durch geeignete Reinigungsverfahren von möglichen Verunreinigungs- oder Defektquellen wie beispielsweise mechanische Schädigungen, die z. B. von Wafer-Schneideverfahren bzw.

dem Wafer-Sägen herrühren können, befreit werden. Wesentlich ist ferner, dass die Oberflächen des Halbleiterbauelementes während der Hochtemperaturbehandlung vor externen Verunreinigungen geschützt sind. Dies kann beispielsweise durch geeignete Wahl der Prozessumgebung (nur hochreine Materialien wie Quarz, hochreine Keramiken, Halbleitermaterial sowie hochreine Prozessgase) bei der Temperaturbehandlung erfolgen. Außerdem ist es möglich, die Oberflächen der Halbleiterbauelemente immanent durch zuvor oder während der Temperaturbehandlung aufgebraute Schichten, wie Oxidschichten oder Dotierstoffschichten oder andere die Halbleiteroberflächen wirksam vor Verunreinigungen schützenden Schichten während der Temperaturbehandlung vor dem Eindringen von unerwünschten Verunreinigungen zu bewahren.

Prozesstemperaturen deutlich oberhalb der bislang üblichen Diffusionstemperaturen für Solarzellen sind nicht als schädlich für die Minderheitsladungsträger-Lebensdauer im Halbleitermaterial der Solarzelle zu betrachten, sofern externe Kontaminationsquellen ausgeschlossen oder minimiert werden können und langsame Abkühlraten - ähnlich derer nach Kristallisationsprozessen - gewählt werden. Die langsamen Abkühlraten sollten dabei zumindest bis hinunter zu typischen Diffusionstemperaturen (für bislang kommerziell am Markt erhältliche Solarzellen) eingehalten werden – vorteilhafter jedoch bis hinunter zu Temperaturen unterhalb 500 °C.

Idealerweise werden jedoch oberhalb dieser bislang typischen Diffusionstemperaturen (800 °C bis 1100 °C) noch langsamere Abkühlraten verwendet, als dies nach Kristallisations-Prozessen der Fall ist. Damit wird erreicht, dass Defekte im Halbleiterwafer gemäß den Erfindungen Kapitel A-D sowie den Lehren der Ansprüche weiter deutlich reduziert werden können, und dass mechanische Spannungen reduziert werden können, die unter anderem die Bruchwahrscheinlichkeit der Wafer (z. B. bandgezogener Siliziumwafer) und Solarzellen negativ beeinflussen. Ferner kann die Welligkeit von zuvor welligen Wafern erheblich reduziert werden kann. Aus der Literatur [K. Hartman, Appl. Phys. Lett 93, 122108 (2008)] ist es bekannt, dass bei Prozesstemperaturen von oberhalb 1350 °C und bei Prozesszeiten von 6 Stunden und mehr die Versetzungsliniendichte in bandgezogenen multikristallinen Wafern um mehr als eine Größenordnung reduziert werden kann. Aus eigenen Untersuchungen ist bekannt, dass dabei gleichzeitig die

Welligkeit von bandgezogenen multikristallinen Wafern durch geeignete Maßnahmen zum Komprimieren von Stapelanordnungen für Wafer so reduziert werden kann, dass die Welligkeit auf Schwankungen in der Waferdicke reduziert wird. Allerdings wurde bisher in der Literatur kein vorteilhaft anwendbares Verfahren für derartige zeitintensive Verfahren beschrieben. Ebenso wenig wurde bisher ein derartiges Verfahren beschrieben, das gleichzeitig das Eindringen von unerwünschten externen Verunreinigungen in die Wafer vermeidet.

Neben der Möglichkeit des Eintreibens von Dotierstoffen durch Diffusion kommt auch das Eintreiben von Dotierstoffen gemäß Löslichkeit im Halbleitermaterial gemäß dem die entsprechenden Materialien betreffendem Phasendiagramm in Frage. Dabei ist zu berücksichtigen, dass die Löslichkeit für den entsprechenden Dotierstoff nicht nur durch die jeweilige Prozesstemperatur bestimmt wird, sondern auch durch die mit der Oberfläche in Wechselwirkung stehende Dotierstoffmenge (Gewichtsanteile), wenn man davon ausgeht, dass die Menge Silizium (Masse), die bei diesem Prozess mit der Dotierstoffmenge (Masse) in Wechselwirkung tritt, in erster Näherung sehr groß im Vergleich zur Dotierstoffmenge ist. Ferner kann die Löslichkeit durch Transportmechanismen für Dotierstoff hin zur Grenzfläche mit dem Silizium (oder allgemeiner Halbleitermaterial) bei der entsprechenden Temperatur limitiert sein. Je nach gewählter Prozesstemperatur und Materialkombination aus Dotierstoffquelle und Halbleitermaterial sowie Eigenschaften der Dotierstoffquelle (Zusammensetzung, Dicke, Transporteigenschaften für Dotierstoff) ist der Diffusionsprozess oder der Lösungsprozess gemäß Phasendiagramm (z. B. Legieren) der dominante oder schnellere Prozess beim Eintreiben von Dotierstoffatomen in den Halbleiter. So ist beispielsweise bei Aluminium und Silizium bei moderaten Temperaturen (bis beispielsweise 900 °C) der Legierungsprozess gemäß Phasendiagramm eindeutig der dominante Prozess, um Aluminium ins Silizium als Dotierstoff einzutreiben. Die Menge an Silizium, die in die Legierung aufgenommen wird, hängt dabei von der zur Verfügung stehenden Prozesszeit, der Prozesstemperatur, des in Wechselwirkung stehenden Al-Volumens (bei reinen Aluminiumschichten), des in Wechselwirkung stehenden Si-Volumens und dem Temperatur-Zeit-Verlauf bei der Temperaturbehandlung ab. Beim Abkühlen wird dann gemäß Löslichkeit (im Phasendiagramm) aus der zunächst entstandenen Schmelze mit Al dotiertes Silizium epitaktisch

abgeschieden, bis schließlich die eutektische Temperatur von 577 °C erreicht ist und die verbliebene Schmelze gemäß eutektischer Zusammensetzung ebenfalls in kristalliner Form erstarrt. Durch geeignete Wahl der Dotierstoffquellen- Schichtdicke sowie des Temperatur-Zeitverlaufs lässt sich so beispielsweise sehr genau steuern, wie weit sich der so entstehende dotierte Bereich nach Erstarren der Schmelze ins Halbleitergebiet hin erstreckt. Dabei kann auch sinnvoll sein, beispielsweise auf der mit Silizium in Wechselwirkung stehenden Aluminiumschicht eine weitere Schicht abzuscheiden, die nicht oder nur geringfügig oder zu Teilen mit der Schmelze in Wechselwirkung tritt. Diese Schicht könnte beispielsweise aus Al_2O_3 oder SiO_2 sein. Eine derartige Schutzschicht reduziert die Wechselwirkung der Halbleiter- oder Dotierfilmschichten mit der während der Temperaturbehandlung vorherrschenden Ofenatmosphäre und verhindert, dass im Stapel angeordnete Halbleiterbauelemente nach der Temperaturbehandlung aneinander haften. Es ist auch denkbar, dass sich eine derartige Schutzschicht erst während der Temperaturbehandlung –beispielsweise in einer sauerstoffreichen Atmosphäre – ausbildet.

Ähnlich wie Aluminium können auch andere Dotierstoffe, wie Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Hotarium oder andere Dotierstoffelemente bzw. Kombinationen von Dotierstoffelementen gemäß Phasendiagramm bei entsprechend gewählten Prozesstemperaturen unterhalb des Silizium-Schmelzpunktes (~1407 °C) mit Silizium eine Schmelzphase bilden und dann beim Abkühlen gemäß Löslichkeit und Temperaturverlauf ins erstarrende Silizium aufgenommen werden. Natürlich gilt dies auch bei Dotierstoffatomen, die mit anderen Halbleitermaterialien in Wechselwirkung gebracht werden können.

Eine vorteilhafte Anwendungsform dieser Technologie sieht dabei vor, dass beispielsweise vor der Temperaturbehandlung zunächst eine Oberflächenreinigung der Wafer in einem nasschemischen Durchlaufverfahren oder in einer Vakuumanlage in der bei für Reinigungszwecke geeigneter Atmosphärenwahl und geeignetem Restdruck ein Plasma gezündet werden kann, durchgeführt wird. Sodann - im Falle der Plasma-Reinigung bevorzugt, ohne erneut die Wafer in eine Umgebung mit Atmosphärendruck zu bringen - kann die gewünschte Dotierstoffquelle beispielsweise mit einem Sputterverfahren auf

der Oberfläche oder Teilen der Oberfläche des Halbleiterbauelementes abgeschieden werden. Hierbei ist beispielsweise möglich, entsprechende Dotierstoffatome in elementarer Form mit hoher Reinheit und präziser Schichtdicke auf den Halbleiterbauelementen abzuscheiden. Natürlich ist es auch möglich, die Dotierstoffquelle in anderer chemischer Zusammensetzung (nicht elementare Dotierstoffschichten wie zum Beispiel P_2O_5 -Schichten) oder mehrere Dotierstoffe bzw. Dotierstoffschichten abzuscheiden. Sofern vorteilhaft können letztendlich weitere Schichten wie die oben erwähnten Schutzschichten (z.B. SiO_x , SiN_x , AlO_x , ...) abgeschieden werden, die die Wechselwirkung der Ofenatmosphäre mit den Dotierschichten und dem Halbleitermaterial einschränken, die die Kontamination durch Verunreinigungen minimieren und/oder das Aneinanderhaften der während der Temperaturbehandlung in Stapeln angeordneten Halbleiterbauelemente verhindern helfen können. Auch für diesen Behandlungsschritt kommt beispielsweise ein Vakuum-Sputterverfahren in Frage. Aber natürlich eignen sich auch andere Verfahrensschritte, wie beispielsweise CVD-Verfahren (Chemical Vapour Deposition) oder ALD-Verfahren (Atomic Layer Deposition) sowie andere bekannte Abscheidverfahren wie beispielsweise Sol-Gel-Abscheidverfahren. Nachdem der gewünschte Schichtstapel erzeugt wurde, werden die Wafer bevorzugt schadigungsarm oder schadigungsfrei durch geeignete Handhabungstechnik zu Stapelanordnungen verdichtet, bei denen sich die Wafer bevorzugt entlang ihrer Oberflächen berühren. Falls gewünscht können die Stapelanordnungen durch geeignete Hilfsmittel aus hochreinem Material (bevorzugt Halbleitermaterial) in ihrer Form stabilisiert oder komprimiert werden. Die Hilfsmittel wie Abdeck- oder Schutzplatten oder Einhausungen oder Transportboxen aus hochreinem, für Halbleiterprozesse geeignetem Material können dabei – sofern gewünscht – gleichzeitig dafür sorgen, dass der Austausch oder die Wechselwirkung mit der zugänglichen Ofenatmosphäre während der Temperaturbehandlung – insbesondere bei sehr hohen Prozesstemperaturen mit erhöhtem Kontaminationsrisiko – minimiert wird.

Die Stapelanordnungen werden sodann einer geeigneten Temperaturbehandlung in einem dafür geeigneten Ofen ausgesetzt. Dies kann beispielsweise ein Kammerofen sein, wie diese derzeit von der Halbleiterindustrie für das Aufschmelzen von Silizium in Tiegeln und das anschließende Erstarren oder Kristallisieren multikristalliner Materialien in Siliziumblöcken innerhalb dieser Tiegel genutzt wird. In Frage kommen je nach Tempe-

ratur-Zeitverlauf und Anforderungen an die Reinheit der Ofenatmosphäre auch Durchlauf-Temperaturbehandlungsöfen.

Eine hohe Dichte der Wafer pro Volumeneinheit ist dabei sehr wichtig, wenn vergleichsweise lange Temperaturbehandlungsschritte von mehreren Stunden oder gar Tagen angestrebt werden. Nur durch eine dichte Anordnung der Wafer und ein entsprechend großes Ofenvolumen lassen sich wirtschaftliche Verfahren zur Herstellung von Solarzellen bei diesen Prozesszeiten und den langsamen Abkühlraten vorteilhaft ausführen.

Dabei haben Kammeröfen, wie sie zum Aufschmelzen von Silizium und anschließenden Erstarren multikristalliner Siliziumblöcke verwendet werden, bereits gezeigt, dass damit die Temperatur-Zeitverläufe unterhalb der Silizium-Schmelztemperatur sehr präzise gesteuert werden können und die notwendigen Anforderungen an die Reinheit der Ofenatmosphäre für Halbleiterprozesse bei den entsprechenden Temperaturen gegeben sind.

Ein vorteilhaftes Beispiel der oben beschriebenen Anwendung sieht beispielsweise vor, dass die Wafer zunächst gegebenenfalls nach einer nasschemischen Ätze zum Entfernen von geschädigten oberflächennahen Kristallbereichen, die beispielsweise durch das Waferschneiden entstanden sein können, in ein Vakuumsystem auf dafür geeigneten Paletten liegend eingeschleust werden. Dort werden zunächst in einem Plasma-Reinigungsverfahren die Oberflächen des Halbleiterbauelementes gereinigt, so dass keine Verunreinigungen oder störende Oxidschichten zurück bleiben. Dann werden ebenfalls in einem Unterdruck- bzw. Vakuumverfahrensschritt (möglichst in derselben Durchlauf-Prozessanlage) auf der später Licht empfangenden Seite der Solarzelle beispielsweise elementarer Phosphor in gewünschter definierter Schichtdicke und eine darüberliegende Schutzschicht (beispielsweise SiO_x oder AlO_x oder SiN_x) in gewünschter Dicke homogen über die Oberfläche hinweg aufgesputtert. Ferner wird auf der späteren Rückseite der Solarzelle zunächst eine homogene Schicht aus elementarem Bor oder elementarem Aluminium entsprechend gewünschter Dicke sowie anschließend erneut eine der oben genannten Schutzschichten gewünschter Dicke aufgesputtert. Die so her-

gestellten Wafer werden anschließend in Stapelanordnungen - jeweils ca. 200-300 Wafer in einer Stapelbox aus Silizium - in einem Kammerofen, der vorzugsweise mit 100000 oder mehr Wafern beladen werden kann, einem Temperatur-Zeitprofil ausgesetzt, das bis zu 24 h andauern kann und bevorzugt bei einer Temperatur von etwa 1100 °C bis ~1400 °C durchgeführt wird und sich durch sehr langsame Abkühlrampen auszeichnet. Während dieser Temperaturbehandlung dringen die Dotierstoffe von den gegenüberliegenden Oberflächen ausgehend so tief in den Halbleiter ein, dass in den Wafern aus intrinsischem Halbleitermaterial ein Halbleiterübergang weit entfernt von den Oberflächen im Inneren der Halbleiterplatten entsteht. Dabei dringt beispielsweise Phosphor (gesteuert durch die Schichtdicke der Phosphorschicht und den Temperatur-Zeitverlauf) bevorzugt bis zu mindestens einem Viertel der Dicke der Wafer in den Halbleiter ein. Der Dotierstoff zur p-Dotierung der Wafer (bevorzugt Aluminium oder Bor) dringt ebenfalls durch die Schichtdicke des Dotierstoffes und den Temperatur-Zeitverlauf gesteuert weit über die Hälfte der Dicke des Wafers hinweg bis hin zur Phosphordotierung, die von der Vorderseite der Solarzelle aus eingetrieben wurde, vor. Dabei kann es vorteilhaft sein, Dotierstoffe auszuwählen, die bevorzugt durch die im Phasendiagramm vorgegebene Wechselwirkung mit dem Halbleitermaterial anstatt durch Diffusionsprozesse dominiert mit dem Halbleitermaterial in Wechselwirkung treten, da sich dann die Eindringtiefen im Halbleitermaterial über die gewählten Schichtdicken der Dotierstoffbeschichtungen präzise einstellen lassen und Freiheitsgrade für den Temperatur-Zeit-Verlauf bleiben.

Nach der so durchgeführten Temperaturbehandlung ergeben sich von beiden Oberflächen ausgehende tiefe Dotierstoffprofile von deutlich über 10 µm Eindringtiefe. Falls die Dicke der aufgesputterten Dotierstoffschichten geeignet gewählt wurde, kann sichergestellt werden, dass die maximale Dotierstoffkonzentration in den dotierten Bereichen überall unterhalb einer gewünschten Obergrenze liegt, die zu erhöhter Rekombination für Minderheitsladungsträger führen würde. Bei Phosphor sollte diese Obergrenze beispielsweise sicher nicht 10^{19} P-Atome/cm³ überschreiten, da durch die entsprechende Emittiertiefe auch bei deutlich geringerer P-Konzentration die gewünschte Emitterleitfähigkeit sichergestellt werden kann. Vorteilhaft sind Emmitter mit Eindringtiefen von deut-

lich über $10\text{ }\mu\text{m}$, die Dotierstoffkonzentrationen unterhalb von $10^{18}\text{ P-Atome/cm}^3$ aufweisen.

Ähnliches gilt für die Basisdotierung derart, dass die Dicke der Dotierstoffschicht möglichst so gewählt werden sollte, dass die Dotierstoffkonzentration deutlich unterhalb von $10^{18}\text{ P-Atome/cm}^3$ liegt. Durch das epitaktische Wachstum der so dotierten Bereiche gemäß Phasendiagramm beim Abkühlen der Wafer-Stapelanordnungen bzw. durch zusätzliche Diffusionsprozesse bzw. durch Anhäufungsprozesse für Dotierstoffe an den Oberflächen (pile-up von Dotierstoffen im besonders oberflächennahen Bereich durch darüber liegende Diffusionsbarriere-Schichten) kommt es zur Ausbildung von Gradienten in der Dotierstoffkonzentration. Die Dotierstoffkonzentration der jeweiligen Dotierstoffbereiche nimmt jeweils von den jeweiligen Oberflächen ausgehend (von denen aus die Dotierstoffe eingetrieben werden) hin zum Halbleiterübergang ab. Entlang dieser Dotierstoffgradienten bildet sich somit ein elektrisches Feld aus, das Minderheitsladungsträgern nach deren Erzeugung eine kontinuierliche Drift hin zum Halbleiterübergang aufprägt und somit deren Wahrscheinlichkeit zur Ladungsträgertrennung bzw. zum Ausbilden einer extern abgreifbaren elektrischen Spannung oder eines externen Stromflusses bei der Solarzelle deutlich erhöht.

Parallel kommt es während der Temperaturbehandlung der Waferstapel zu Getterprozessen, die Verunreinigungen im Halbleiter bevorzugt in höher dotierten Bereichen des Halbleiters anlagern. Durch die angesprochenen pile-up-Effekte für Dotierstoffe an den durch Schutzschichten oder Diffusionsbarrieren abgedeckten Oberflächen der Solarzelle kommt es zu einer besonderen Ansammlung der Verunreinigungen in den obersten sehr oberflächennahen Regionen ($\ll 1\text{ }\mu\text{m}$) der Solarzelle. Dort können die Verunreinigungen wahlweise anschließend durch einfache Ätzprozesse entfernt oder wahlweise auch dort belassen werden. Diese Bereiche sind durch das mit dem pile-up von Dotierstoffen entstehende FSF oder BSF effektiv abgeschirmt und die Rekombinations-Wahrscheinlichkeit in diesen Bereichen besteht nur für Ladungsträger, die dort generiert werden.

Die Temperaturführung beim Abkühlen während und nach dem Eintreiben der Dotierstoffe sollte so gewählt werden, dass Verunreinigungen effektiv an den oberflächennahen und internen Bereichen (Gettern an Korngrenzen und Versetzungslinien) angelagert werden. Dabei kann es vorteilhaft sein, sehr langsame Abkühlraten bis hinunter zu Temperaturen unterhalb von 500 °C zu wählen.

Verfahren, mit denen die eben beschriebenen Solarzellen - in ebenfalls erfinderischer Weise - vorteilhaft passiviert und mit Metallkontakten versehen werden können, werden noch in den folgenden Abschnitten F bis H erläutert. Dort werden dann hierzu auch detaillierte Anwendungsbeispiele offenbart.

Allerdings sei schon hier darauf hingewiesen, dass Solarzellen mit derart tief dotierten Bereichen, wie sie hier beschrieben wurden, deutlich mehr Freiheitsgrade bei der Passivierung der Oberflächen und bei der Kontaktierung der dotierten Bereiche bieten, da sich Solarzellen mit geringen Oberflächenkonzentrationen an Dotierstoffatomen besser passivieren lassen und es aufgrund der großen Eindringtiefe der Dotierstoffe praktisch ausgeschlossen ist, beim Kontaktieren der dotierten Bereiche mit Metallkontakten Verunreinigungen bis in den Halbleiterübergang einzutreiben - selbst wenn Metalle einlegiert werden.

Ein typisches Beispiel einer Solarzelle, die nach dem eben beschriebenen Verfahren hergestellt wird, ist in nachfolgender Abbildung (Figur 2) dargestellt.

Figur 2: Solarzelle mit bei einer Hochtemperaturbehandlung in den zuvor intrinsischen Wafer tief eingetriebenen Dotierbereichen. Der Halbleiterübergang ist mit einer Linie angedeutet. Lokale Metallkontakte können einlegiert werden und in Metallabscheideverfahren verstärkt werden. Auf Vorderseite und Rückseite befinden sich vorteilhafte Schichtstapel für passivierende dielektrische Schichten, die weitere Funktionen (siehe nachfolgende Erfindungen) übernehmen können (z. B: Antireflexionsschicht, Wasserstoffquelle, Wasserstoffbarriere, Isolationsschicht, Induzieren von elektrischen Feldern, ...).

Da die Seitenkanten der Solarzelle vermutlich während der Temperaturbehandlung und dem Eintreiben von Dotierstoffen in den Halbleiter nicht ausreichend vor dem Eindringen von Dotierstoffen geschützt werden können, sei auf einen weiteren Vorteil dieser Solarzellenstruktur hingewiesen, der auch als eigenerfinderischer Gedanke zu werten ist. Nach Eintreiben der Dotierstoffe ist es möglich, die Seitenkanten des Wafers zum Beispiel durch Schleifverfahren, selektive Ätzverfahren oder Schneidverfahren (einschließlich Laserverfahren) mechanisch vom Halbleiterbauelement zunächst zu entfernen. Dabei sollte annähernd mindestens ein Bereich der der Waferdicke entspricht an diesen Seitenflächen entfernt werden. Entgegen dem Stand der Technik bei herkömmlichen Solarzellen ist anschließend möglich, die mechanisch entfernten Bereiche und große Teile der Solarzelle in beispielsweise einem naßchemischen Durchlaufprozess einem Ätzschritt zu unterziehen, bei dem mechanische Schäden ohne weiteres bis in eine Tiefe von etwa 10 µm oder tiefer abgetragen werden können, ohne dass dadurch die dotierten Bereiche an einer der Waferoberflächen erheblich oder nachteilig beeinflusst würden, da diese ja sehr viel tiefer reichen. Im Gegenteil kann ein solcher Verfahrensschritt sinnvoll sein, falls ohnehin die in den pile-up-Gebieten angesammelten Verunreinigungen mit einem Ätzschritt aus dem Halbleiter entfernt werden sollen.

Noch vorteilhafter kann es sein, die Texturierung oder Strukturierung der Solarzellenoberflächen anstatt in dem Reinigungs- und Ätzverfahren vor Aufbringen der Dotierstoffquellen erst jetzt durchzuführen, da hiermit in einem Verfahrensschritt

- die Verunreinigungen vom externen Gettern aus dem Halbleiterwafer entfernt werden
- die mechanisch entfernten und eventuell mechanisch geschädigten Bereiche an den Waferkanten entfernt werden
- die Vorderseite der Solarzelle strukturiert werden kann (Beispiel honeycomb-Textur)
- die Rückseite der Solarzelle poliergeätzt werden kann
- die Wafer für einen nachfolgenden Beschichtungsprozess zum Aufbringen dielektrischer Schichten von Verunreinigungen an der Oberfläche effektiv gereinigt werden können.

Auch hierin ist ein eigenerfinderischer Gedanke zur vorteilhaften Anwendung der beschriebenen Verfahren zu sehen.

Ein anderes Anwendungsbeispiel sieht vor, dass die Dotierstoffquelle nicht als elementarer Film des Dotierstoffes, sondern als Precursor oder Dotierstoffmatrix aufgebracht wird. Hierzu kommen beispielsweise auch Verfahren in Frage, wie sie bereits heute zur Herstellung von Solarzellen bei Diffusionsprozessen verwendet werden. So kann beispielsweise die Dotierstoffquelle in Zerstäubungs-, Sprüh-, Tauch-, Nebelniederschlags-, Dampf-Kondensations-Druck- oder anderen Aufbringverfahren auf den Wafer flächig oder lokal aufgebracht werden. Die Dotierstoffquelle kann dabei aus einer Stoffmatrix bestehen, die beispielsweise bei Silizium als Halbleitermaterial des Wafers ein Phosphorsilikatglas oder Borsilikatglas bildet. Dabei ist es möglich, die Dotierstoffkonzentration innerhalb der Diffusionsquelle so zu beeinflussen, dass bei den gewünschten Hochtemperaturprozessen zum Eintreiben der Dotierstoffe, die Dotierstoffmatrix als Moderator bzw. für das Eindringen limitierender Faktor zu sehen ist. Damit ist beispielsweise möglich, die Oberflächenkonzentration an Dotierstoffen, die sich nach Eintreiben der Dotierstoffatome ergibt, zu begrenzen. Der Transport von Dotierstoffatomen hin zur Grenzfläche mit dem Halbleiter kann also als der für das Eintreiben der Dotierstoffatome in Legierungs-, Lösungs- oder Diffusionsprozessen begrenzende Mechanismus gestaltet werden. Somit können unter Umständen höhere Prozesstemperaturen und längere Prozesszeiten beim Eintreiben der Dotierstoffe erreicht werden, ohne die Diffusionsquelle zu tief oder mit zu hoher Dotierstoffkonzentration in den Halbleiter einzutreiben. Auch hier sind hohe Temperaturen und langsame Abkühlraten bei der Temperaturbehandlung wünschenswert, um parallel zum Eintreiben der Dotierstoffatome, die Materialeigenschaften der Wafer wie oben beschrieben zu verbessern.

F: Solarzellen mit mehreren horizontalen Halbleiterübergängen und besonderer Eignung für Halbleitermaterialien mit vergleichsweise geringer Diffusionslänge für Minderheitsladungsträger.

Alle heute am Markt kommerziell erhältlichen aus Wafern hergestellten Solarzellen zeichnen sich dadurch aus, dass die Halbleiterübergänge im Wesentlichen sehr oberflä-

chennah ausgebildet sind und der Halbleiterübergang von p- nach n-Gebiet oder umgekehrt im Wesentlichen in vertikaler Richtung erfolgt. Vertikal bedeutet in diesem Sinne, dass die erzeugten Minderheitsladungsträger im Wesentlichen eine Strecke vertikal durch den Wafer (entlang der Senkrechten zu den Waferoberflächen) zurücklegen müssen, um zu einem Halbleiterübergang zu gelangen.

Minderheitsladungsträger bewegen sich in bisher kommerziell erhältlichen Solarzellen ohne das Vorhandensein ausgeprägter elektrischer Felder - wie diese erst durch die in Abschnitt E beschriebene Erfindung hergestellt werden können - im Wesentlichen durch statistische Prozesse willkürlich durch den Halbleiter. Dabei muss zumindest eine Sorte Ladungsträger je nach deren Erzeugungsort in der Solarzelle jeweils eine vergleichsweise große Distanz zurücklegen, bevor der Halbleiterübergang erreicht wird. Der mittlere effektive Weg, den Minderheitsladungsträger bis zum Halbleiterübergang zurücklegen, kann bedingt durch den willkürlichen Weg, den die Ladungsträger wählen, deutlich größer sein als die Distanz zwischen Ladungsträger-Entstehungsort und Halbleiterübergang - und insbesondere auch größer als die Waferdicke.

Ziel dieses Erfindungsteils ist es daher, den Weg für Minderheitsladungsträger deutlich zu reduzieren, so dass auch Halbleitermaterialien eingesetzt werden können, die eine deutlich geringere mittlere Ladungsträger-Diffusionslänge haben, ohne dass dadurch der erzielbare Wirkungsgrad der entsprechend hergestellten Solarzellen notwendigerweise signifikant reduziert wird.

Hierzu wird vorgeschlagen, in den zuvor hergestellten undotierten oder nur sehr schwach dotierten (z.B. $< 10^{14}$ B-Atome/cm³) Wafern im Wesentlichen horizontale Halbleiterübergänge auszubilden, wobei nicht ausgeschlossen werden muss, dass zusätzlich vertikale Halbleiterübergänge im oberflächennahen Bereich ausgebildet werden können. Die so entstehende Solarzelle wird fortan als HOR-ZELLE bezeichnet werden und ist in folgenden Abbildungen (Figur 3 – 6) schematisch in vier Varianten dargestellt.

HOR-ZELLE steht dabei im Folgenden auch für:

HORizontal ausgebildete Halbleiterübergänge in Solar-ZELlen.

HORizontal ausgebildete Halbleiterübergänge in Solar-ZELlen mit besonders leitfähigen Kontakten.

HORizontal ausgebildete Halbleiterübergänge in Solar-ZELlen höchst leistungstarker Ausführung

Hochspannungs-SolarZELlen sowie Hochspannungsmodule zur vorteilhaften Verschaltung mit geringen Widerstandsverlusten und geringer Empfindlichkeit gegen Abschattung

Allen Varianten gemeinsam sind drei Merkmale:

- Die von der Oberfläche ausgehend dotierten Bereiche dringen sehr tief in die Solarzelle ein. Üblicherweise reichen von der Oberfläche ausgehend eingetriebenen Dotierstoffbereiche sowohl für die p-dotierten als auch für die n-dotierten Gebiete mehr als 10 μm und damit deutlich weiter als in kommerziell am Markt erhältlichen Solarzellen in den Wafer.
- Es kommt in horizontaler Richtung, also parallel zu den Oberflächen des Wafers auch im Inneren, also in einem Abstand von mehr als 10 μm von den Oberflächen zu mehreren – üblicherweise sehr vielen bzw. mehr als 100 – Halbleiterübergängen zwischen p-dotierten und n-dotierten Gebieten
- Innerhalb der p-dotierten und der n-dotierten Gebiete gibt es jeweils einen Gradienten mit zunehmender Dotierstoffkonzentration vom Halbleiterübergang hin zu den Oberflächen, von denen ausgehend die Dotierbereiche in einem Temperaturbehandlungsschritt nach dem Kristallisationsprozess bzw. der Waferherstellung erzeugt wurden.

In vorteilhafter Ausprägung der HOR-ZELLE erstrecken sich die von den jeweiligen Oberflächen ausgehend eingetriebenen p- und n-dotierten Gebiete weiter als bis zur Hälfte der Waferdicke in den Halbleiter. Im Inneren der Halbleiterplatten durch Photonen erzeugte Minderheitsladungsträger haben bei vorteilhafter Ausführung der HOR-

ZELLE von jedem Ort innerhalb des Halbleitervolumens ausgehend (an dem sie erzeugt wurden) gemittelt eine vergleichsweise höhere Chance, einen Halbleiterübergang zu erreichen, als dies bei kommerziell erhältlichen Solarzellen bislang der Fall ist. Gründe hierfür sind im Mittel ein besseres Verhältnis von zurückzulegender Weglänge zu der jeweiligen Diffusionslänge für Minderheitsladungsträger im jeweiligen Gebiet sowie ein Gradient in der Dotierstoffkonzentration, der den Minderheitsladungsträgern durch ein sich ausbildendes elektrisches Feld eine Vorzugsbewegungsrichtung (Drift) in Richtung Halbleiterübergang aufprägt.

Die Abstände zwischen n- und p-dotierten Gebieten sind bevorzugt zumindest in einer horizontalen Richtung (einer Richtung parallel zu den Oberflächen des Wafers) kleiner als die Waferdicke, wenn intrinsische Wafer als Ausgangsmaterial gewählt werden. Je nachdem, in welcher Form und von welcher/n Oberflächen die Solarzelle in Folge-Prozessschritten mit Metallkontakten versehen wird, kann es vorteilhaft sein, die p- und n-Gebiete beispielsweise in y-Richtung durchgängig als längliche Gebiete parallel zu einer Seitenkante des Wafers auszubilden. Dann ist es möglich, diese Gebiete mit linienförmigen Kontakten, wie dies bislang bei den meisten Solarzellen der Fall ist, zu kontaktieren und diese Kontaktfinger auf Sammelkontakte (so genannte Balken oder busbars oder Verbinder) zu führen, die später verlötet werden können, um Solarzellen in Modulen miteinander elektrisch leitend zu verbinden. Auch möglich ist die linienförmige Ausbildung dotierter Gebiete und zugehöriger linienförmiger Kontakte sowohl in x- als auch in y-Richtung – bzw. auch die Ausbildung linienförmiger Dotierbereiche und Kontakte in x-Richtung und einer anderen horizontalen Richtung, die in einem Winkel zu den in x-Richtung ausgerichteten linienförmigen Gebieten verläuft (Netzmuster).

Sollen derartige Kontakte allerdings auf der Vorderseite der Solarzelle vorteilhaft zum Einsatz kommen, sollten diese Kontakte unbedingt sehr schmal ausgebildet werden. Nur dann kann mit diesen Kontakten die Abschattung der Solarzellen-Vorderseite ausreichend gering gehalten werden, um keine erheblichen Stromverluste hinnehmen zu müssen. Dafür wären Linienbreiten von 10 μm oder weniger wünschenswert. Prozesse zur Herstellung derart schmaler Kontakte mit industriell wirtschaftlichen Massenproduktionsverfahren stehen jedoch bisher bei der industriellen Solarzellenfertigung noch nicht

zur Verfügung. Hier kommt der Erfindung zugute, dass die sehr tief dotierten Bereiche, die es zu kontaktieren gilt, kaum Anforderungen an die Eindringtiefe der Kontakte beim Herstellen des Metall-Halbleiterkontaktes stellen. Da es möglich ist, die Kontakte bis hin zu einer Tiefe, die der Hälfte der Waferdicke entspricht, einzutreiben, ohne den Halbleiterübergang zu erreichen, kommen völlig neue Methoden zur Kontaktherstellung in Frage, die sich bislang nicht vorteilhaft einsetzen lassen.

So ist beispielsweise möglich, zunächst dielektrische Schichten wie Siliziumoxid, Siliziumnitrid, Aluminiumoxid oder andere auf die Oberflächen des Wafers abzuscheiden oder dort wachsen zu lassen. Hierfür kommen thermische Verfahren zur Oxidation oder Nassoxidation, CVD-Verfahren, Sputter-Verfahren, ALD-Verfahren und andere dem Stand der Technik entsprechende Verfahren in Frage. Anschließend ist optional möglich, diese Schichten lokal an den Stellen zu öffnen, an denen später die Metallkontakte entstehen sollen. Hierzu kommen Laserverfahren oder andere lichtinduzierte Verfahren oder selektive Ätzverfahren (z. B. Ätzpasten) in Frage, die selektiv die dielektrischen Schichten beispielsweise durch Ablation oder Ätzen öffnen. Bekannt ist, dass mit Lasertechnik Bereiche mit einer Breite von 10 µm oder weniger in den dielektrischen Schichten geöffnet werden können. Anschließend wird auf die so strukturierte Oberfläche Metall aufgedampft, aufgesputtert oder aus chemischen Lösungen zur Metallabscheidung abgeschieden. Aus betriebswirtschaftlichen Gründen ist dabei vorteilhaft, nur sehr dünne Schichten abzuscheiden. Bei Aufdampf- oder Sputterverfahren ist es sehr einfach, die Dicke der Schichten zu kontrollieren und falls dies vorteilhaft erscheint, Schichtstapel aus mehreren Metallen in im Wesentlichen einem Verfahrensschritt abzuscheiden. Eventuell ist es sogar vorteilhaft, nicht nur die Metallschichten mit diesen Verfahren abzuscheiden, sondern auch bereits die dielektrischen Schichten in diesen Vakuumanlagen abzuscheiden, um anschließend den Laserprozess ebenfalls im Vakuum auszuführen. Vorteil dieser Vorgehensweise ist, dass beim Lasern im Vakuum bzw. bei Inertgas-Atmosphäre mit geringem Druck die Bildung von Oxid- oder Nitrid-Schichten vermieden werden kann und gleich anschließend mit Vakuumverfahren in Durchlaufprozessen weiterzuprozessieren, ohne dass erneut die Wafer ins Vakuum eingeschleust werden müssten.

Die Verwendung eines Schichtstapels unterschiedlicher Metalle hat den Vorteil, dass zum einen Metalle gewählt werden können, die bei der Kontaktbildung die kleinste Potentialbarriere zu Silizium ermöglichen. Andererseits können an der Oberfläche der Schichtstapel Metalle verwendet werden, die sich dazu eignen, im Anschluss galvanisch oder mit stromloser Metallabscheidung verstärkt zu werden oder in Lötverfahren kontaktiert zu werden. Ferner können Metalle gewählt werden, die mit Silizium durch eine nachfolgende Temperaturbehandlung legiert werden können.

Da jedoch somit noch keine lokalen Kontakte hergestellt sind, gilt es in nachfolgenden Prozessschritten die Bereiche zu entfernen, die keinen direkten Zugang durch die dielektrische Schicht zum Silizium haben. Hierfür besteht die Möglichkeit, zunächst durch einen Temperaturbehandlungsschritt das Metall lokal an den in der dielektrischen Schicht geöffneten Bereichen ins Silizium einzutreiben. Dabei können Temperaturen gewählt werden, die es zulassen, Metallsilizit-Bereiche, bzw. legierte Bereiche zu erzeugen. Je nachdem, welche dielektrischen Schichten verwendet werden und welche Metallschichten zum Einsatz kommen, kann es vorteilhaft sein, hohe Prozesstemperaturen zu verwenden, da dabei bei geeigneter Wahl der dielektrischen Schichten gleichzeitig Wasserstoff aus diesen dielektrischen Schichten in das Halbleitervolumen eingetrieben werden kann, um dort verbliebene Defekte zu passivieren. Ferner kommt es bei manchen Metallen erst bei höheren Prozesstemperaturen zu Metall-Halbleiterverbindungen mit geringem Kontakt-Übergangswiderstand. Je nachdem, ob die legierten Schichten selektiv gegen Ätzen beständig sind, kann nun entschieden werden, ob die Metallschicht die nicht mit Silizium legiert wurde, selektiv zurück geätzt wird (z. B. mit wässrigen Lösungen die HCl, HNO₃ enthalten oder mit anderen typischen chemischen Lösungen zum Ätzen von Metallen), bis die dielektrische Schicht erreicht ist, oder ob die dielektrische Schicht unterätzt werden soll. Zum Unterätzen der dielektrischen Schicht kann es sinnvoll sein, die Metallschichten zuvor erneut mit einem Laser-Verfahren oder lichtinduzierten Verfahren oder selektiven Ätzverfahren zwischen den Bereichen zu öffnen, die nun mit Silizium kontaktiert sind. Dies erleichtert das Unterätzen der Metallschichten entlang der dielektrischen Schichten, falls diese (zumindest teilweise) entfernt werden sollen, um nur noch da Metallkontakte zurück zu behalten, wo schon zuvor die dielektrischen Schichten geöffnet wurden und mit Metall gefüllt

wurden. Die verbleibenden schmalen Kontakte (10 μm) können anschließend beispielsweise mit galvanischen Verfahren oder stromloser Metallabscheidung in ihrer Auftragshöhe verstärkt werden und in ihrer Leitfähigkeit verbessert werden. Dabei kann ausgenutzt werden, dass durch nahezu isotropes Wachstum der aus Lösungen abgeschiedenen Schichten (halbkugelförmiger Querschnitt der Kontakte) nicht unbedingt eine drastische Erhöhung der Abschattungsverluste notwendig ist.

Eine weitere Möglichkeit zur Kontaktierung mit sehr schmalen Kontaktfingern besteht darin, die dielektrischen Schichten nicht lokal zu öffnen, sondern direkt darauf eine Metallschicht oder einen Metallschichtstapel abzuscheiden. Hierfür kommen erneut Sputter- und Aufdampfprozesse in Frage, da in einer Prozessabfolge zunächst die dielektrischen Schichten und anschließend, ohne das Vakuum verlassen zu müssen, die Metallschichten mit sehr definierter Dicke dünn abgeschieden werden können. In einem nachfolgenden Prozessschritt wird dann beispielsweise mit einem Laser lokal der Kontakt durch die dielektrischen Schichten hindurch in das Halbleitermaterial eingetrieben. Dabei besteht freie Gestaltungsmöglichkeit darin, wie die Kontaktstrukturen aussehen sollen, die später einen zusammenhängenden leitfähigen Kontakt zum Halbleiter machen. Dies können beispielsweise sehr schmale Linien oder auch Reihen von sehr eng benachbarten Punkten sein, die später nach Abtrag der flächig aufgetragenen Metallschicht beispielsweise durch galvanische Verfahren miteinander wieder leitfähig verbunden werden. Das Entfernen der dünnen Metallschichten, an den Stellen, die nicht durch Laserprozesse (optional im Vakuum ausgeführt) Kontakt zum Silizium hergestellt haben, kann wieder wie oben beschrieben erfolgen. Für das Durchkontaktieren durch dielektrische Schichten eignet sich beispielsweise eine Aluminiumschicht, da diese durch den Laserprozess bereits bei vergleichsweise niedriger Temperatur lokal in das Silizium einlegiert werden kann und so auf p-dotierten Gebieten einen Bereich erhöhter Al-Konzentration mit abschirmendem elektrischem Feld unterhalb der erzeugten Metall-Halbleiter-Kontakte erzeugt. Der vorteilhafte Einsatz solcher Schichten konnte bislang jedoch nur für so genannte LFC-Solarzellen (Laser Fired Contacts) auf der Rückseite von Solarzellen gezeigt werden, ohne dass dabei die verbleibende flächige aufgetragene Aluminiumschicht anschließend abgetragen worden wäre. Die hier beschriebene Erfindung geht über diesen Stand der Technik deutlich hinaus.

Zum Einsatz können auch andere Metallisierungsverfahren kommen, die beispielsweise Metallpasten - bzw. noch vorteilhafter nur lokal aufgetragene Metallpasten - einsetzen. Wird Metall im Wesentlichen nur dort aufgetragen, wo schmale Kontakte entstehen sollen, sind auch mit Dickschicht-Technologien kostengünstig schmale Kontakte herstellbar. So sind beispielsweise beliebige Kombinationen von Verfahren zum lokalen Auftrag von Metallen bzw. Metallpasten mit den eben beschriebenen Verfahren zum lokalen Öffnen dielektrischer Schichten, dem selektiven Ätzen bzw. selektiven laserinduzierten Durchfeuern von Kontakten in vorteilhafter Anwendung denkbar, da der Halbleiterübergang in ausreichendem Abstand zur Oberfläche ist, um erhöhte Rekombinationsverluste für Minderheitsladungsträger bzw. degradierte Diodeneigenschaften oder gar Kurzschlusspfade über den Halbleiterübergang auszuschließen.

Die zweite und dritte schematische Darstellung (Fig. 4, 5) von Varianten der HORZELLE zeigt, dass mit den vorgeschlagenen Verfahren komplett rückseitenkontaktierte Solarzellen in vorteilhafter Weise hergestellt werden können. Bisher industriell vorteilhaft eingesetzte ausschließlich rückseitig mit Metallkontakten versehene Solarzellen zeichnen sich dadurch aus, dass sie sehr hochwertiges Ausgangsmaterial der eingesetzten Wafer voraussetzen. Die überwiegend auf der Licht empfangenden Hälfte der Solarzelle erzeugten Minderheitsladungsträger müssen dabei gemittelt eine Distanz von mehr als der Hälfte der Dicke der Solarzelle zurücklegen, bevor sie einen Halbleiterübergang erreichen. Erst nach Überschreiten des Halbleiterübergangs tragen Minderheitsladungsträger in der Solarzelle zur Stromerzeugung bei und können den Metallkontakten für einen externen Stromkreis zugeführt werden. Dabei kommt erneut zum Tragen, dass sich die Minderheitsladungsträger in Abwesenheit von elektrischen Feldern den größten Teil der zurückzulegenden Strecke statistisch völlig willkürlich in alle drei Raumrichtungen bewegen, bevor sie innerhalb ihrer Minderheitsladungsträger-Lebensdauer mit einer gewissen von der Materialqualität abhängigen Wahrscheinlichkeit den Halbleiterübergang erreichen, ohne zuvor an Störstellen im Silizium zu rekombinieren. Das hier vorgeschlagene Verfahren zielt erneut darauf ab, den mittleren Weg für Minderheitsladungsträger zum Halbleiterübergang zu reduzieren und den Weg dahin durch elektrische Felder innerhalb der dotierten Bereiche in positiver Weise zu beeinflussen (Drift-

Feld verkürzt den effektiv zurückgelegten mittleren Weg zum Halbleiterübergang). Dabei ist es vorteilhaft, von beiden Oberflächen des Wafers ausgehend Dotierstoffe in den Halbleiter so einzutreiben, dass in vertikaler Richtung (senkrecht zu den Oberflächen) zusammenhängende Dotierstoffbereiche jeweils eines Typs entstehen, die durch die komplette Dicke des Wafers hindurch reichen. In Variante 2 (Fig. 4) reichen sowohl die n-dotierten Bereiche komplett durch den Wafer hindurch als auch die p-dotierten Bereiche. In Variante 3 (Fig. 5) dagegen reicht nur eine Dotierung durch den Wafer komplett entlang seiner Dicke hindurch, um horizontale Halbleiterübergänge mit von nur einer Oberfläche ausgehenden flächigen, tief dotierten Bereichen der anderen Dotierung zu bilden. Während in Variante 2 sehr enge Abstände von n- und p-dotierten Bereichen vorteilhaft sind, um die Wege für Minderheitsladungsträger zu den Halbleiterübergängen zu reduzieren, ist in Variante 3 auch ein Abstand der vertikal komplett durch den Wafer hindurchreichenden Gebiete einer Dotierung, der deutlich größer als die Waferdicke sein kann, vorteilhaft. Generell besteht auf der Rückseite der Solarzelle keine Notwendigkeit, linienförmige oder großflächige Kontakte zum Silizium auszubilden. Hier genügen beispielsweise auch sehr lokale punktförmige Kontaktgebiete, sofern diese oberhalb einer dielektrischen Passivierschicht elektrisch leitend miteinander verbunden werden, so dass sie im Modulverbund kontaktiert werden können. Folglich müssen auch die p- und n-dotierten Gebiete, die von der Rückseite der Solarzelle ausgehend eingetrieben wurden nicht notwendigerweise als parallele streifenförmige Bereiche ausgebildet werden. Es kann beispielsweise sinnvoll sein, quadratische oder sechseckige Bereiche, sowie senkrecht zueinander ausgerichtete Streifen als Ausgangsflächen für das Dotierstoff-Eintreiben zu wählen und diese Bereiche dann entsprechend mit Punktkontakten oder angepassten flächigen Kontakten lokal zu kontaktieren.

Eine vorteilhafte Anwendung dieser Solarzelle sieht vor, dass auf der Rückseite der Solarzelle zunächst eine zumindest für die Passivierung eines der beiden Gebiete geeignete dielektrische Schicht aufgebracht wird. Dies kann beispielsweise eine Siliziumoxidschicht sein, die thermisch oder mit Naßoxidationsverfahren, durch Sputtern oder CVD-Verfahren aufgebracht wird und sich gleichzeitig zur Passivierung von n- und p-dotierten Gebieten eignet. Darüber kann wahlweise noch eine weitere dielektrische Schicht abgeschieden werden. Dies kann beispielsweise eine Aluminiumoxid-Schicht

sein, deren Potenzial, vorteilhaft als Barrierschicht zur Vermeidung von Wasserstoff-Effusion eingesetzt zu werden, im Kapitel G als unabhängige Erfindung erläutert wird.

Diese Schichten können im Folgenden, wie bereits für die Vorderseiten-Metallisierung beschrieben, lokal (beispielsweise mit Lasern) geöffnet und oder kontaktiert werden, um p- und n-Gebiete aus unterschiedlichen Bereichen der Solarzellenoberfläche anschließend im Modulverbund in gewünschter Weise miteinander verbinden zu können. Dabei ist nicht notwendig, alle n-dotierten und alle p-dotierten Gebiete unmittelbar mit zusammenhängenden Metallkontakten zu verbinden. Wie später im Zusammenhang mit den Erfindungen für vorteilhafte Solarmodule erläutert werden wird, kann es vorteilhaft sein, Bereiche der Solarzelle mit anderen Bereichen der Solarzelle entweder seriell statt bislang parallel miteinander zu verschalten, um höhere Spannungen aufzubauen oder sie über Bypass-Dioden parallel miteinander zu verschalten. Dies kann durch angepasste Modultechnik erreicht werden.

Natürlich ist es auch weiterhin möglich, die gewünschten Gebiete der Solarzellen-Rückseite mit geeigneten Metallpasten zu kontaktieren, die sich lokal auftragen lassen und durch die dielektrischen Schichten hindurch elektrisch leitfähigen Kontakt zu den jeweiligen Gebieten herstellen.

Als dielektrische Schicht kommt für n-Typ-Gebiete beispielsweise auch Siliziumnitrid in besonders vorteilhafter Weise in Frage, da Siliziumnitrid dafür bekannt ist, dass es bei einem geeigneten Temperaturbehandlungsschritt wie dem Sintern/Einbrennen von Metallpasten Wasserstoff freisetzt, der verbliebene Defekte im Silizium passivieren kann. Auch hier kann vorteilhaft sein, darüber eine dünne Aluminiumoxidschicht abzuscheiden, da diese als Barriere für Wasserstoff-Austritt dient und gleichzeitig ätzbeständig ist. Dann können beispielsweise zunächst die n-Typ Gebiete lokal oder flächig - wie oben bereits beschrieben - kontaktiert werden, und es kann - falls vorteilhaft - eine Temperaturbehandlung zum Eintreiben von Wasserstoff in das Volumen des Halbleiters durchgeführt werden. Anschließend können in einer erfinderischen und vorteilhaften Anwendung die so bereits kontaktierten n-Typ-Gebiete mit einem Schutzlack abgedeckt werden, der einerseits ätzbeständig ist, so dass in den p-dotierten Gebieten die eben er-

wähnten dielektrischen Schichten wieder abgeätzt werden können. Andererseits soll der Schutzlack gleichzeitig eine sehr gute Isolationswirkung aufweisen, um auch bei hohen Spannungen in eng benachbarten Bereichen keine Leckströme durch diese Schicht hindurch zuzulassen. Auch diese vorteilhafte Eigenschaft wird im Folgenden für Solarzellen mit höherer Spannung und Solarmodule mit höherer Spannung, als dies bislang bei wafer-basierenden kristallinen Solarzellen der Fall ist, erläutert.

Auf den durch Ätzen und oder Ablation geöffneten Gebieten im Bereich der p-dotierten Gebiete auf der Solarzellen-Rückseite kann in einem folgenden Verfahrensablauf entweder eine andere dielektrische Schicht wie beispielsweise Aluminiumoxid oder zunächst Siliziumoxid (z. B. durch Nassoxidation) und sodann Aluminiumoxid abgeschieden werden. Daraufhin kann erneut lokal oder flächig in der bereits bekannten Weise durch diese Schichten hindurch Kontakt zu den p-dotierten Bereichen mit Metallkontakten hergestellt werden.

Alternativ ist es jedoch auch möglich, auf der kompletten Solarzellen-Rückseite zunächst eine intrinsische und direkt im Anschluss eine p-dotierte amorphe Siliziumschicht abzuscheiden. Da dies bevorzugt in Sputter-, CVD- oder Aufdampfanlagen in Vakuumsystemen erfolgt, kann im Anschluss - ebenfalls im Vakuum - noch wahlweise eine transparente leitende Oxidschicht sowie darauf eine Metallschicht, die mit Lötverfahren kontaktiert werden kann, abgeschieden werden. Durch diese Maßnahme kommt es in diesen Gebieten zu einem weiteren Halbleiterübergang, der zulässt, eine höhere Spannung mit derart hergestellten Solarzellen zu erzielen. Dabei kann vorteilhaft sein, wenn die Schutzlackschicht für die n-dotierten Gebiete so gewählt ist, dass diese bei den Behandlungsschritten aufgrund der Prozesstemperatur sich derart verändert wie erweicht, abdampft, in pyrolitischen Kohlenstoff umgewandelt wird, schrumpft, ihre Polymerstruktur verliert, etc., dass sie am Ende des Prozesses leicht entfernt werden kann und die Kontakte zu den n-dotierten Gebieten wieder zum Vorschein kommen.

Umgekehrt ist es genauso möglich, in ähnlicher Weise zunächst nur die p-dotierten Bereiche mit dielektrischen Passivierschichten bzw. Metallkontakten und Schutzlackschichten zu versehen und sodann auf den n-dotierten Bereichen amorphe Schichten

und ihre Kontakte abzuschneiden. Auch das Abscheiden angepasster amorpher Siliziumschichten auf p- und n-leitenden Gebieten ist mit der vorgeschlagenen Verfahrenstechnik möglich, sofern sich die damit erzielbaren Wirkungsgradvorteile bei den zusätzlichen Prozessschritten wirtschaftlich vorteilhaft herstellen lassen.

Eine weitere besonders vorteilhafte Anwendung der HOR-ZELLE sieht vor, dass nach Aufbringen geeigneter dielektrischer Schichten zur Passivierung der Solarzelle diese dielektrischen Schichtstapel entlang von Linien, die später durch die Metallkontakte abgedeckt werden sollen, nur an Punkten lokal geöffnet werden, die beispielsweise innerhalb von multikristallinen Körnern durch vertikal durchgängige Korngrenzen umschlossen sind. Diese Anwendung eignet sich in besonderer Weise für multikristalline Siliziummaterialien, wie später noch detaillierter beschrieben werden wird, da in diesen vertikalen Korngrenzen ein elektrisches Feld zur Abschirmung von Minderheitsladungsträgern ausgebildet werden kann. Die so beispielsweise durch Laserablation ausgeprägten, lokal entlang von Linien geöffneten Bereiche werden anschließend durch selektiv aufgebrachte leitfähige Kontakte verbunden, die bei Anwendung von Temperaturbehandlungsschritten zur Reduktion des Kontaktübergangswiderstandes vorzugsweise nur in den geöffneten Bereichen lokalen Kontakt zum Halbleitermaterial der Solarzelle machen. Somit ist möglich, Solarzellenkontakte auf Korngrenzenbereichen und eventuell auch auf vertikal durchgängigen Bereichen mit Versetzungslinien zu vermeiden, falls dies vorteilhaft erscheint. Ein Vorteil ist, dass entlang von vertikal durchgängigen Korngrenzen und Versetzungslinien Bereiche hoher Dotierung (verstärktes Eintreiben von Dotierstoffen in diesen Bereichen) erzeugt werden können, die diese Bereiche effektiv von Minderheitsladungsträgern abschirmen. Da die ungestörten Kristallbereiche (ohne Korngrenzen) damit weitgehend von Potentialbarrieren umgeben sein können, entstehen vertikale Kanäle, entlang derer die Minderheitsladungsträger zu den Halbleiterübergängen geführt werden. Umso wichtiger ist dann, diese Bereiche jeweils einzeln lokal zu kontaktieren. Um dies in industrieller Massenfertigung vorteilhaft einsetzen zu können, sind bildgebende Messverfahren notwendig, die in sehr kurzer Prozesszeit kurz vor Laserbearbeitung der Solarzelle (zum lokalen Öffnen der dielektrischen Schichtstapel) die Positionen von Korngrenzen und Versetzungslinien-Clustern ermitteln und die Positionen für das lokale Öffnen entlang von Linien dem Lasersystem zur Verfügung

stellen. Hierfür kommen beispielsweise bildgebende Messverfahren wie Infrarot-Lumineszenz- oder Elektrolumineszenz-Messungen zur Erkennung von Defekten in Frage, wie sie bereits von SCHOTT Solar für die In-line-Kontrolle von Solarzellen bei Fertigungsverfahren mit hohem Durchsatz entwickelt wurden.

Besonders bei bandgezogenen Si-Materialien, die sich durch langgezogene Korngrenzen entlang der ursprünglichen Ziehrichtung der Ausgangswafer auszeichnen, kann es besonders sinnvoll sein, die Kontaktierungslinien und somit auch die vertikal durchgängig ausgeprägten Dotierbereiche im Wesentlichen senkrecht zur Ziehrichtung auszubilden. Da die Kontakte und die abwechselnd n- und p-dotierten Bereiche in engen Abständen zueinander folgen, kann sicher gestellt werden, dass jedes Korn und jeder Dotierbereich einzeln kontaktiert werden und ausgeschlossen wird, dass durch stärkere Dotierung von Korngrenzen Minderheitsladungsträger komplett mit Potentialbarrieren umschlossen werden und somit nicht zu Halbleiterübergängen gelangen bzw. nicht zum Stromfluss beitragen können. Da Korngrenzen in bandgezogenen Siliziummaterialien, wie EFG, sehr eng benachbart sein können, ergeben sich eng benachbarte vertikale Potentialbarrierewände, entlang derer die Ladungsträger geführt und durch elektrische Felder zum Halbleiterübergang getrieben werden. Das erhöht gerade bei z. B. EFG die Einsammelwahrscheinlichkeit für Minderheitsladungsträger bei dieser Ausrichtung der Kontakte und Dotierbereiche senkrecht zu den länglichen Korngrenzen drastisch.

Da aber bei bandgezogenen Materialien, wie EFG, oft auch die Korngrenzen und Versetzungslinien so eng benachbart sind, dass ein Kontaktieren innerhalb ungestörter Halbleiterbereiche nicht technisch realisierbar ist, lassen sich auch umgekehrt durch die Hilfe der bildgebenden Messverfahren zur Erkennung dieser Kristalldefekte gerade jene Stellen (vertikal durchgängige Korngrenzen und Versetzungen) lokal mit Lasertechnik in den dielektrischen Schichten öffnen. Vorteil einer bevorzugten lokalen Kontaktierung der Korngrenzen entlang von Metallkontaktlinien ist, dass damit in diesen Bereichen höhere Dotierstoffkonzentrationen und andere Bindungsmöglichkeiten (Kristalldefekte mit ungesättigten Bindungen) für die Ausbildung eines geringeren Kontaktübergangswiderstandes zur Verfügung stehen und diese höher dotierten Korngrenzen und Verset-

zungs-Cluster durch ein elektrisches Feld bereits gegen den Transport von Minderheitsladungsträgern zu diesen Defekten abgeschirmt werden.

In beiden Ausführungen, bei denen bildgebende Messverfahren zur lokalen Kontaktierung entlang von Linien zum Einsatz kommen, besteht ein wesentlicher Vorteil in der lokalen Kontaktierung darin, dass die rekombinationsaktiven Bereiche unter den Metallkontakten minimiert werden können.

Die vierte Variante (Fig. 6) der HOR-ZELLE zeigt, dass es natürlich auch möglich ist, mit unterschiedlichen Dotierstoffquellen bzw. Dotierstoffen ein und desselben Dotierstofftyps zu arbeiten und somit beim Eintreiben der Dotierstoffe unterschiedliche Eindringtiefen bei gleichem Temperatur-Zeit-Verlauf zu erzielen. Außerdem ist möglich, unterschiedliche Dotierstoffe oder Dotierstoffquellen zu unterschiedlichen Zeiten mit unterschiedlichen Temperatur-Zeit-Verläufen einzutreiben. So kann beispielsweise Aluminium bei vergleichsweise sehr tiefen Temperaturen (ab 577 °C) eingetrieben werden, während andere Dotierstoffe erst oberhalb von 800 °C im Halbleitermaterial nennenswert mobil werden. Somit lassen sich Dotierstoffbereiche unterschiedlicher Tiefe und lateraler Ausdehnung herstellen, die den Anforderungen der jeweiligen Solarzelle gerecht werden. So ist beispielsweise abzuwägen, ob es vorteilhafter ist, eine Solarzelle vom in Variante 3 (Fig. 5) dargestellten Typ herzustellen, bei der keine Abschattungsverluste auf der Vorderseite durch Metallkontakte vorliegen und dennoch Ladungsträger auf der Vorderseite eingesammelt und durch leitfähige dotierte Kanäle zur Rückseite der Solarzelle transportiert werden können, oder ob es besser ist, wie in Variante 4 (Fig. 6), Kontakte auf ausgedehnten Bereichen der Vorderseite der Solarzelle zu belassen, die in ihren Abmessungen und ihrer Dotierstoffeindringtiefe dann beliebig gestaltet werden können.

In manchen Fällen kann dabei auch vorteilhaft sein, anstatt Wafer mit nahezu intrinsischer Halbleiterqualität doch besser Wafer mit einer schwachen n- oder p-Dotierung zu verwenden ($<10^{16}$ Dotier-Atome/cm³), um in der hergestellten Solarzelle eventuell verbleibende intrinsische Bereiche zu vermeiden bzw. keinen großen Überlappungsbereich von n- und p-Dotierung im Bereich der Halbleiterübergänge zu bekommen.

Speziell bei Wafern aus UMG-Silizium, die ohnehin üblicherweise eine relativ hohe Basisdotierung und zusätzliche Hintergrunddotierung mit Dotierstoff der anderen Polarität haben, kann es vorteilhaft sein, die horizontalen Halbleiterübergänge nicht für beide Dotierungen vertikal durchgängig zu gestalten, da die Hintergrunddotierung schon zu hoch ist. Hier gilt es dann eher, die Halbleiterübergangs-Grenzflächen und damit verbundene mögliche Pfade mit geringem Parallel-Widerstand zu minimieren, um Dioden-Durchbruchverhalten zu minimieren.

Bei intrinsischem Ausgangsmaterial besteht diese Befürchtung nicht und es sind ein verbessertes Diodendurchbruchverhalten und höhere Parallelwiderstände zu erwarten. Dies gilt insbesondere für die komplett rückseitenkontaktierte Variante 2.

Es sei auf einen weiteren Vorteil dieser Technologie hingewiesen, der bei multikristallinen Materialien und insbesondere bei bandgezogenen multikristallinen Materialien wie EFG-Si zum Tragen kommt.

Weil die Diffusion und Dotierung entlang von Korngrenzen anderen Gesetzen unterliegt als das Einbringen von Dotierstoff im Materialvolumen außerhalb von Korngrenzen und Versetzungen, kann in besonderer Weise genutzt werden, dass es möglich ist, Korngrenzen und Versetzungen ohne weiteres Zutun - beispielsweise in Diffusionsprozessen von einer Oberfläche ausgehend - stärker zu dotieren als das diese umgebende Volumen des Halbleiters. Aus der Literatur ist es bekannt, dass die Diffusion entlang von Korngrenzen und Versetzungen um ein Vielfaches - typischerweise um einen Faktor drei bis zehn oder sogar noch mehr - schneller verläuft als im ungestörten Siliziumkristall. Somit kann bei langen Diffusionsprozessen erreicht werden, dass entlang von vertikal zwischen den beiden Oberflächen des Wafers durchgängigen Korngrenzen und Versetzungen durchgängig eine höhere Dotierung vorherrscht, als dies im benachbarten ungestörten Kristallbereich der Fall ist. Durch diese Maßnahme dienen Korngrenzen, die einen ungestörten Kristallbereich umgeben, als Kanäle, die im ungestörten Kristallbereich erzeugte Minderheitsladungsträger begrenzen und führen. Ähnlich wie in einem FSF und BSF werden Ladungsträger durch die dort vorherrschende hohe Dotierung und das

sich daraus ergebende elektrische Feld von diesen Defektbereichen abgeschirmt und entlang der durch diese eingeschlossenen Kanäle - im Falle von durchgängigen Korngrenzen - zu den Oberflächen hin geführt. In diesem Fall eignen sich also die Varianten 1 (Fig. 3), 3 (Fig. 5) und 4 (Fig. 6) in besonderer Weise, da es sowohl in horizontaler als auch in vertikaler Richtung Halbleiterübergänge gibt, zu denen hin die Ladungsträger durch den Dotierstoffgradienten und das damit verbundene elektrische Feld getrieben werden. Weisen also die Korngrenzen ein starkes elektrisches Feld und die im Volumen des Halbleiters ausgebildeten Dotierstoffgradienten ein schwächeres Feld auf, werden die Minderheitsladungsträger zielgerichtet zwischen Kristalldefekten wie Korngrenzen und Versetzungen ohne dort zu rekombinieren hin zum Halbleiterübergang geführt. Die Minderheitsladungsträger nehmen dabei je nach Abstand der Korngrenzen und des durch sie eingegrenzten Materialvolumens einen sehr viel direkteren Weg zum Halbleiterübergang, als dies in monokristallinen Materialien der Fall ist.

Somit kann auch Material mit geringerer Ausgangs-Lebensdauer für Minderheitsladungsträger für hocheffiziente Solarzellen genutzt werden. Insbesondere bei multikristallinen Materialien wie bandgezogenem Silizium (z. B. EFG oder string ribbon) oder Foliensilizium ergeben sich daraus erhebliche Vorteile, da hier der Abstand der Korngrenzen zumindest in eine Richtung - senkrecht zur Ziehrichtung - üblicherweise sehr klein ist. Eventuell kann es also sogar sinnvoll sein, beim Kristallisieren schneller abzukühlen - höherer Durchsatz - und zusätzliche Korngrenzen bzw. Versetzungslinien in Kauf zu nehmen. Die Versetzungsliniendichte kann dann zu einem erheblichen Anteil während der Hochtemperaturbehandlung in Stapelanordnungen verringert werden. Korngrenzen und verbleibende Versetzungen - vertikal durchgängig - können durch die erhöhte Diffusion entlang dieser Korngrenzen und Versetzungslinien ausgehend von den Oberflächen des Wafers effektiv durch elektrische Felder abgeschirmt und somit passiviert werden und dienen gleichzeitig als interne Getterzonen für Verunreinigungen - wie beispielsweise metallische Verunreinigungen -, ohne dass diese Verunreinigungen später noch in der fertigen Solarzelle schädlich wirken. Um die beschriebenen Mechanismen besonders wirksam zu gestalten, kann es sinnvoll sein, nach der Diffusion sehr langsame Abkühlraten zu verwenden oder bei Temperaturen unterhalb der Diffusions-

temperatur länger zu verweilen [Rinio et al.], um die Abschirmwirkung der Korngrenzen weiter zu verbessern.

Es kann auch vorteilhaft sein, Legierungsprozesse und Diffusionsprozesse zum Dotieren der entsprechenden Halbleiterbereich in separaten Prozessschritten bei unterschiedlichen Temperatur-Zeitverläufen auszuführen.

Eine weiteres Anwendungsbeispiel für die HOR-ZELLE-Technologie sieht vor, dass das Aufbringen von Metallkontakten direkt nach der Ausprägung entsprechender Dotierbereiche erfolgt und bevor die letztlich auf der Solarzelle verbleibenden Passivierschichten aufgebracht werden. Das Ausbilden von Metallkontakten kann entweder nach Verfahren zum Aufbringen schmaler Kontaktfinger, die dem neuesten Stand der Technik entsprechen, erfolgen, wobei die Finger gegebenenfalls durch Metallabscheideverfahren aus chemischen Lösungen verstärkt werden können. In Frage kommen aber auch die oben besprochenen Verfahren zur Ausbildung sehr schmaler Metallkontakte. Entgegen dem Stand der Technik kann es dann sinnvoll sein, erst im Anschluss dielektrische Schichten zur Passivierung der Oberfläche (beziehungsweise als Antireflexionsschicht, Wasserstoffbarrieren oder Rückseitenreflektor-Schichten) aufzubringen. Dies gilt insbesondere dann, wenn diese dielektrischen Schichten oder Schichtstapel zusätzlich nach Abschluss des Solarzellenprozesses als hervorragende Isolationsschichten dienen und Spannungsdurchbrüche bzw. Kurzschluss- oder Leckagepfade auch bei sehr hohen angelegten Spannungen vermeiden. Damit ist es sodann möglich, die Metallkontakte durch die Beschichtung mit den abgeschiedenen dielektrischen Schichten elektrisch von eventuell später darüber senkrecht dazu verlaufenden Kontakten zu isolieren. Um dennoch an gewünschten Stellen später beispielsweise lokal senkrecht oder im Winkel zu den Fingern Sammelkontakte mit den Fingern in Kontakt bringen zu können, muss entweder die dielektrische Schicht wieder lokal geöffnet werden (z. B. durch Lasertechnik) oder zuvor an diesen Stellen bereits lokal Lot aufgebracht werden. Lot (Sn in geeignetem Mischungs- oder Legierungsverhältnis mit Ag, Pb oder anderen Metallen) kann während oder nach der Beschichtung mit dielektrischen Schichten leicht lokal zum Schmelzen gebracht werden, so dass die dielektrische Schicht dort lokal durch die Schmelze wieder geöffnet wird und eine metallische Oberfläche für das Aufbringen von Sammel-

schiene wie busbars, verzinnten Kupferverbindern oder leitfähigen Drähten (Day4Energy) zur Verfügung stehen, um die einzelnen Bereiche zu kontaktieren. So ist es dann beispielsweise einfach möglich, entlang von einer Linie senkrecht oder im Winkel zu den Kontaktfingern nur eine gewünschte Anzahl n-Typ-Gebiete miteinander zu verbinden und entlang einer anderen Linie senkrecht oder im Winkel zu den Kontaktfingern in Abstand zur ersten Linie nur p-Typ-Gebiete elektrisch leitend miteinander zu verbinden. Da dies an nahezu jeder Stelle entlang der Kontaktfinger erfolgen kann, geht diese Technologie über den Stand der Technik hinaus, nach dem die Kontaktfinger üblicherweise bei rückseitenkontaktierten Solarzellen mit abwechselnden p- und n-Gebieten durch Sammelverbindungsschienen an jeweils einem Ende der Kontaktfinger zusammenfassend für alle p-dotierten Gebiete bzw. alle n-dotierten Gebiete verbunden werden. Die vorgeschlagene neue Form, Kontaktfinger miteinander zu verschalten, bietet drei erhebliche Vorteile:

1. Die Sammelschienen, die Finger miteinander verbinden oder diese kontaktieren, haben keinen direkten Kontakt zum Silizium und sind somit nicht rekombinationsaktiv.
2. Finger können an beliebiger Stelle entlang ihrer Länge kontaktiert werden, ohne zu Leakage- oder Kurzschlusspfaden zu führen. Somit kann der Serienwiderstandsverlust entlang der Finger minimiert werden. Die Länge zum nächsten Sammelverbinder wird reduziert im Vergleich zum Stand der Technik und es können beliebig viele busbars oder Sammelverbinder eingesetzt werden.
3. Durch das Abscheiden von dielektrischen Schichten - bzw. - falls gewünscht - durch ein zusätzliches Abscheiden oder Aufbringen von organischen Isolationschichten - sind die Kontaktfinger auch bei evtl. hohen Spannungen effektiv vor Durchbruchverhalten bei angelegter Rückwärtsspannung oder möglichen Leckageströmen geschützt (elektrisch hervorragend isoliert). Ein Kandidat für eine entsprechende dielektrische Schicht ist beispielsweise Aluminiumoxid, das noch weitere Vorteile bieten kann.

Vorteile der HOR-ZELLE im Vergleich zu am Markt kommerziell erhältlichen Solarzellen sind zusammenfassend:

- höhere Wahrscheinlichkeit beim Einsammeln von erzeugten Minderheitsladungsträgern und somit höhere Stromdichten
- geringere Abschattungsverluste (gar keine bei rückseiten-kontaktierter Solarzelle) und somit höhere Stromdichten
- geringere Serienwiderstandsverluste in n- und p-dotierten Bereichen durch gezieltes Anpassen der Dotierung und geringere Abstände der Metallkontakte
- hervorragende Oberflächen-Passivierung und damit mehr Spannung
- geringe Serienwiderstandsverluste in den Kontakten durch hohe Leitfähigkeit trotz schmaler Kontakte und engen Abständen der Kontakte
- hervorragende Diodencharakteristik durch maßgeschneiderte Halbleiterübergänge im Inneren (Volumen der Halbleiterplatten) und Vermeiden von metallischen Verunreinigungen
- kompatibel mit Waferherstellung, die verbesserte Materialeigenschaften insbesondere bei multikristallinen und bandgezogenen Siliziumwafern zulässt
- weniger Kristalldefekte (Verunreinigungen, Versetzungen, Korngrenzen, mechanische Spannungen) als in herkömmlichen Solarzellen und somit höhere Minderheitsladungsträger-Lebensdauern
- höhere mechanische Stabilität und geringere Bruchraten als mit Vergleichswafern
- effektivere Wasserstoffpassivierung ist möglich
- direkteres Einsammeln von Minderheitsladungsträgern durch Führen entlang von elektrischen Feldern oder Barrieren (insbesondere bei multikristallinen Materialien)
- dauerhaft beständige Metallkontakte
- Potenzial zu vorteilhafter Modulverschaltung
- Potenzial zu deutlich höherer Spannung pro Flächeneinheit und oder geringerer Empfindlichkeit gegen lokale Abschattung
- Rückseiten-kontaktierte Solarzelle mit Eignung für mc-Si und EFG-Si
- massenproduktionsfähige Prozesse für Hochleistungs-Solarzellen
- Potenzial zu Produkt mit höchstem Wirkungsgrad am Markt
- Potenzial zu ästhetisch hochwertigem Produkt (Solarzelle und Modul).

G: Solarzelle mit verbesserter Wasserstoffpassivierung durch Wasserstoffbarrieren.

Bei multikristallinen und insbesondere bei bandgezogenen multikristallinen bzw. Folien-Siliziumsolarzellen ist die Passivierung von Defekten an Oberfläche und im Volumen der Halbleiterbauelemente entscheidend und oft limitierend für den maximal erzielbaren Wirkungsgrad. Diese Materialien haben in besonderer Weise gezeigt, dass sie von einer Wasserstoff-Passivierung profitieren, wenn diese effektiv in den Prozessablauf eingebaut werden kann. Bislang wird dies in industriellen Solarzellen-Prozessen für multikristalline und insbesondere auch bandgezogene Siliziummaterialien oder Foliensilizium dadurch erreicht, dass eine Siliziumnitridschicht aufgebracht wird, die Wasserstoff enthält und gleichzeitig später als Antireflexionsbarriere für die Solarzellen-Vorderseite dienen kann sowie durch induzierte Ladungen zur Erzeugung eines abschirmenden elektrischen Feldes im obersten Emitterbereich dieser Solarzelle (effektive Oberflächenpassivierung durch FSF) verwendet werden kann. Der in der Siliziumnitridschicht enthaltene Wasserstoff wird üblicherweise während des Einbrennvorgangs der Kontakte (lokales Durchfeuern durch Siliziumnitrid) aus der Schicht freigesetzt und hat eine gewisse Wahrscheinlichkeit, ins Materialvolumen der Wafer einzudringen und dort Defekte zu passivieren.

Obwohl dieser Vorgang recht gut funktioniert, bestehen insbesondere bei bandgezogenen Siliziummaterialien wie ‚string ribbon‘ oder EFG-Silizium noch Defizite in der Wasserstoff-Passivierung, die nachgewiesen werden können, indem durch eine zusätzliche Wasserstoffpassivierung weitere Verbesserungen der Minderheitsladungsträger-Lebensdauer in diesen Materialien bzw. einer Verbesserung der erzielbaren Solarzellen-Wirkungsgrade erreicht werden. Bislang können diese Verbesserungen nur mit Laborprozessen zugänglich gemacht werden, indem Methoden zur Erzeugung eines Wasserstoffplasma abseits der Solarzellenoberflächen (remote hydrogen passivation) verwendet werden und der so erzeugte atomare Wasserstoff mit einer gewissen Wahrscheinlichkeit hin zu den Waferoberflächen driftet und dort mit einer gewissen Wahrscheinlichkeit in den Wafer eindringt und Defekte passiviert. Mit anderen Worten weist die in industriellen Prozessen bestehende Technologie zur Wasserstoff-Passivierung Potenzia-

le auf, weiter deutlich verbessert zu werden. Gleichzeitig eignen sich bestehende Laborprozesse zur Verbesserung der Wasserstoff-Passivierung nicht, um in industrieller Massenfertigung eingesetzt zu werden. Deshalb erfordern Solarzellen-Prozesse für massenfertigungstaugliche Verfahren zur Herstellung höchsteffizienter multikristalliner Solarzellen und insbesondere solcher aus bandgezogenem Silizium wie EFG-Si neue Passivierung-Konzepte.

Aus der Halbleiter-Industrie ist es bekannt, dass Aluminiumoxid (Al_2O_3) sich durch drei Eigenschaften auch besonders für die Solarzellenherstellung empfiehlt:

1. Al_2O_3 ist schon bei sehr dünnen Schichtdicken (im Bereich weniger nm) eine hervorragende Barriere für Wasserstoff
2. Al_2O_3 induziert beim Kontakt mit Silizium dort im oberflächennahen Bereich Ladungen, die in umgekehrter Polarität wie bei Siliziumnitrid bei p-dotierten Bereichen zur Ausbildung eines abschirmenden elektrischen Feldes führen können (effektive Oberflächenpassivierung)
3. Al_2O_3 weist besondere Vorteile auf, wenn bei Halbleiterbauelementen hohe Spannungen angelegt werden und die Durchbruchspannung erhöht werden soll (beispielsweise an Kondensatoren, Dioden oder Transistoren bzw. Thyristoren oder eben an Solarzellen)

Al_2O_3 hat bereits in monokristallinen Labor-Solarzellen bewiesen (Aufbringverfahren mit ALD – „atomic layer deposition“ - bislang nicht für ökonomisch vorteilhafte industrielle Massenfertigung geeignet), dass es Vorteile bei der Passivierung von p-dotierten Solarzellen-Rückseiten bietet [B. Verheiden et al., J. Schmidt et al.]. Al_2O_3 kommt also als Passivierschicht von Solarzellen mit lokalen Rückseitenkontakten anstatt der bislang in industriellen Massenfertigung hergestellten ganzflächigen Rückseitenkontakte (Al-, Ag- und Ag-Al—Pastenkontakte bei multikristallinen Solarzellen mit überwiegendem Flächenanteil Aluminium-BSF) in Frage. Dies gilt besonders, wenn Al_2O_3 mit industriell umsetzbaren Verfahrensabläufen für Silizium-Solarzellen abgeschieden werden kann und die zusätzliche Aufgabe als Wasserstoffbarriere übernimmt, um die Effusion von zur Passivierung multikristalliner Materialien benötigtem Wasserstoff zu vermeiden.

Al_2O_3 weist ferner einen Brechungsindex auf, der zwischen dem von Siliziumnitrid und dem von Glas liegt, so dass Al_2O_3 als zweite Antireflexionsschicht oberhalb von Siliziumnitrid-Passivierschichten der Solarzellen-Vorderseite in besonderer Weise in Frage kommt. Auch auf der Solarzellen-Vorderseite kann Al_2O_3 die zusätzliche Aufgabe als aktive Wasserstoff-Barriere übernehmen.

Die vorliegende Erfindung sieht vor, dass nahezu alle Oberflächen der Solarzelle mit einer aktiven Wasserstoffbarriere aus Al_2O_3 versehen werden und dass sich innerhalb eines dielektrischen Schichtstapels an zumindest einer der Oberflächen der Solarzelle eine weitere dielektrische Schicht befindet, die bei geeigneter Temperaturbehandlung als Wasserstoffquelle zur Passivierung von Defekten in der Solarzelle dient. Es liegt auf der Hand, dass die Aufgabe von Al_2O_3 auch durch andere Schichten übernommen werden könnte, die ebenfalls als Wasserstoffbarriere dienen können, bzw. die anderen vorteilhaften Eigenschaften von Al_2O_3 bieten.

Prinzipiell kann die dünne Aluminiumoxid-Barrierschicht mit verschiedenen Verfahren aufgebracht werden. Dazu gehören auch Sol-Gel-Beschichtungen, die beispielsweise in Tauchverfahren oder Sprühverfahren aufgebracht werden können. Weiterhin kann eine sehr dünne Aluminiumschicht beispielsweise aufgedampft oder aufgesputtert werden und anschließend durch geeignete thermische Behandlung in sauerstoffreicher Atmosphäre (z. B. Nassoxydation) in eine Aluminiumoxidschicht konvertiert werden. Dabei dient die Aluminiumschicht zunächst selbst als Wasserstoffbarriere, bis sie völlig in eine Aluminiumoxidschicht konvertiert ist.

Als Quelle für Wasserstoff kommen neben Siliziumnitrid insbesondere auch durch Nassoxydation aufgebrachte Siliziumoxid-Schichten in Frage, da diese ebenfalls eine hervorragende Passivierung der Oberflächen (sowohl n-Typ, als auch p-Typ Silizium) nachgewiesen haben. Hierbei kann schon in sehr dünnen Siliziumoxidschichten durch die Nassoxydation ausreichend Wasserstoff eingebaut werden, um nach angepassten Temperaturbehandlungsschritten einerseits Defekte im Volumen der Solarzelle (ausgehend von einer oder beiden Oberflächen der Solarzelle) durch Wasserstoff zu passivie-

ren. Andererseits können durch die sehr dünne Ausprägung der wasserstoffreichen Siliziumoxidschicht negativen Eigenschaften für die Antireflexionseigenschaften der Solarzellenvorderseite vermieden werden. Die zusätzliche Passivierung durch das Ausbilden eines elektrischen Feldes ist bei Siliziumoxidschichten nicht ganz so ausgeprägt wie bei Siliziumnitridschichten auf n-dotierten Gebieten oder Al_2O_3 -Schichten auf p-dotierten Oberflächen. Dennoch eignen sich Siliziumoxidschichten hervorragend zur Passivierung schwach dotierter Oberflächen beider Dotiertypen.

Ferner können auch amorphe Siliziumschichten oder andere Wasserstoff enthaltende zumindest partiell amorphe Schichten als Quelle für Wasserstoff verwendet werden.

Ein besonders vorteilhaftes Anwendungsbeispiel für den Einsatz von Al_2O_3 -Wasserstoffbarriere-Schichten sieht vor, auf n-dotierten Oberflächen der Solarzelle - üblicherweise die Licht empfangende Solarzellenvorderseite - zunächst in einem Sputterverfahren wasserstoffreiches Siliziumnitrid und dann ebenfalls im gleichen Sputter-Durchlaufprozess Al_2O_3 über dem Siliziumnitrid abzuscheiden - bzw. evtl. zunächst eine dünne Aluminiumschicht, die sodann anschließend durch eine geeignete thermische Behandlung (z. B. Nassoxidation) in eine Aluminiumoxidschicht umgewandelt wird. Sofern auf der Solarzellen-Rückseite keine andere Wasserstoffbarriere-Schicht - wie beispielsweise ein großflächiges Al-BSF - vorgesehen ist, soll auf der Solarzellen-Rückseite beispielsweise in einem Sputter-Verfahren - evtl. sogar in vorteilhafter Anwendung parallel zur Solarzellen-Vorderseite - in ähnlicher Weise Al_2O_3 abgeschieden werden. Dabei soll die Dicke und der Brechungsindex der Siliziumnitridschicht auf der Solarzellen-Vorderseite so ausgeprägt sein, dass diese nach Temperaturbehandlung des Schicht-Stapels als erste Antireflexionsschicht - möglichst ohne Absorptionsverhalten - wirkt und ein elektrisches Feld auf den n-dotierten Oberflächen ausbildet, das Ladungsträger effektiv von diesen Oberflächen abschirmt.

Die Al_2O_3 -Schicht auf der Solarzellenvorderseite soll so dick abgeschieden werden, dass sie mit ihrem Brechungsindex innerhalb des Modulverbundes - dem Brechungsindex von Glas und dem Einkapselungsmaterial angepasst - als zweite Antireflexionsschicht dienen kann. Ferner soll die Al_2O_3 -Schicht die gewünschte Barrierewirkung für

Wasserstoff erfüllen. Dies ist üblicherweise bereits ab wenigen Nanometern Schichtdicke der Fall. Die Schichtdicke der Al_2O_3 -Schicht auf der Rückseite der Solarzelle soll derart ausgebildet sein, dass diese einerseits auf p-dotierten Gebieten Ladungen induziert, die dort ein elektrisches Feld ausbilden, das in der Solarzelle erzeugte Minderheitsladungsträger effektiv davon abhält, an diesen Oberflächen zu rekombinieren. Andererseits soll auch hier die Schichtdicke so gewählt werden, dass die Al_2O_3 -Schicht als effektive Wasserstoffbarriere dient.

Die Kontaktierung der Solarzellen soll bevorzugt - wie oben beschrieben - durch lokales Öffnen der dielektrischen Schichten mit Laser-Technologie und anschließendes Aufspalten oder Aufdampfen von Metallkontakten erfolgen. Diese sollen sodann bevorzugt - wie oben beschrieben - lokal durch Temperaturbehandlungsschritte ins Silizium eingetrieben werden. Dabei ist besonders wünschenswert, die Temperaturbehandlung so zu wählen, dass Wasserstoff Defekte im kompletten Volumen der Solarzelle passiviert. Die zuvor aufgetragenen Wasserstoffbarriere-Schichten bieten dabei besondere Vorteile und Freiheitsgrade in der Wahl des Temperatur-Zeit-Verlaufes, so dass parallel Wasserstoff-Passivierung und Kontaktbildung optimiert werden können. Andererseits ist es auch möglich, zunächst eine Temperaturbehandlung zum Eintreiben von Wasserstoff und zum Passivieren von Defekten in multikristallinen Silizium-Materialien durchzuführen und anschließend eine zweite Temperaturbehandlung zum Ausbilden von Metallkontakten mit geringem Kontaktübergangswiderstand durchzuführen.

Selbstverständlich ist es auch möglich, die vorteilhaften Eigenschaften zur Wasserstoff-Passivierung von Solarzellen mit herkömmlichen Metallisierungs-Konzepten - wie beispielsweise Metallpasten-Kontakte oder aus Lösungen abgeschiedene Metallkontakte - in geeigneter Form zu kombinieren. Falls erforderlich können auch hier die Barrierschichten aus Al_2O_3 zuvor mittels Ablationsverfahren wie Lasertechnik lokal geöffnet werden. Das lokale Öffnen bietet den zusätzlichen Vorteil - insbesondere bei Pastenkontakten -, dass die eigentliche Kontaktfläche kleiner ist als der Metallkontakt selbst. So können die rekombinationsaktiven Bereiche der Vorderseitenkontakte vom Lichteinfall maskiert werden und somit zumindest in vergleichsweise weniger tiefen Emitterbereichen - Emittertiefe < maskierte Breite des Metallkontaktes - Ladungsträger, die im

Emitter erzeugt werden, davon abgehalten werden, zu diesen rekombinationsaktiven Bereichen der Metallkontakte zu gelangen, bevor sie den Halbleiterübergang erreichen. Dies erhöht die Lichtausbeute - insbesondere bei kurzen Wellenlängen des Lichtspektrums - im Emitterbereich.

Das eben beschriebene Anwendungsbeispiel eignet sich insbesondere auch für die Varianten 1 (Fig. 3) und 3 (Fig. 5) der HOR-ZELLE.

Ein zweites vorteilhaftes Anwendungsbeispiel eignet sich in besonderer Weise bei Solarzellen, bei denen sich p-Typ und n-Typ-Bereiche in engen Abständen auf zumindest einer Seite der Solarzelle abwechseln. Hier erscheint es schwierig, beispielsweise Al_2O_3 direkt auf n-Typ-Gebieten als geeignete Passivierschicht zu verwenden, da die vorteilhaft auf p-Typ-Bereichen abgeschiedene Al_2O_3 -Schicht andernfalls auf allen n-Typ-Gebieten zuvor lokal entfernt werden müsste, ohne zu große unpassivierte Bereiche hin zu den p-Typ-Gebieten entstehen zu lassen, in denen Al_2O_3 als hervorragende Passivierschicht und Wasserstoffbarriere dient. Dies betrifft also in besonderer Weise auch die Varianten 2 und 4 der HOR-ZELLE. Hierbei wird zunächst auf beiden Waferoberflächen nach dem Eintreiben der Dotierstoffe eine Schicht aus Wasserstoff enthaltendem Siliziumoxid abgeschieden. Dazu eignet sich beispielsweise besonders ein Durchlaufverfahren zur Nassoxidation der Oberflächen, da hierbei bei geeigneter Ausführung in einem kontaminationsarmen massenproduktionstauglichen Durchlaufverfahren mit hohem Durchsatz auf allen Solarzellenoberflächen eine wasserstoffreiche Oxidschicht ausgebildet werden kann. Oberhalb der so ausgebildeten wasserstoffreichen Siliziumoxidschicht ($\text{SiO}_x\text{:H}$), die hervorragende Passiviereigenschaften für p- und n-dotierte Bereiche gleichermaßen aufweist, können weitere dielektrische Schichten abgeschieden werden. Dies kann im Falle der Solarzellenvorderseite beispielsweise ein durch Sputtern aufgebrachtter Schichtstapel aus einer Siliziumnitrid ($\text{SiN}_x\text{:H}$), einer Silizium-Oxinitrid ($\text{SiO}_x\text{N}_y\text{:H}$), und oder einer Titanoxid-Schicht ($\text{TiO}_x\text{:H}$) sein, auf dem jeweils bevorzugt Aluminiumoxid als abschließende Schicht die Barrierewirkung für Wasserstoff erfüllt. Dabei sind zweischichtige oder mehr als zweischichtige Antireflexionsschichten vorteilhaft in industrieller Massenfertigung für den späteren Einsatz in Solarmodulen anwendbar. Die Dicke und Brechungsindizes der Schichten sollten dabei so gewählt wer-

den, dass die Solarzelle im Modulverbund optimale Antireflexions-Eigenschaften beim Einkoppeln von Licht erzielt. Auf der Solarzellenrückseite wird ebenfalls auf der bevorzugt durch Nassoxidation (auch andere Verfahren wie thermische Oxidation, CVD oder Sputtern sind vorteilhaft denkbar) aufgetragenen Siliziumoxidschicht bevorzugt eine Aluminiumoxid-Schicht mit Barrierewirkung für Wasserstoff abgeschieden. Der so hergestellte Wafer kann wie oben beschrieben weiter metallisiert werden bzw. Temperaturbehandlungen zur Wasserstoff-Passivierung von Defekten und dem Ausprägen der Metallkontakte mit geringem Kontaktübergangswiderstand unterzogen werden.

Die dielektrischen Schichten der Solarzelle können neben den Passiviereigenschaften und der Wirkung als Wasserstoffbarriere weiter als Rückseiten-Spiegeloberfläche der Solarzelle dienen, die effektiv Photonen - insbesondere bei sehr dünnen Solarzellen - innerhalb der Solarzelle intern reflektieren und somit die Absorptionswahrscheinlichkeit innerhalb des aktiven Halbleitermaterialvolumens erhöhen.

Natürlich sind auch andere Anwendungen zur vorteilhaften Anwendung von Aluminiumoxid oder anderen Wasserstoff-Barrierschichten denkbar, bei denen die Defekt-Passivierung im Volumen des Halbleitermaterials jeweils durch bei entsprechender Temperaturbehandlung einer wasserstoffreichen, oberflächennahen Schicht entweichender Wasserstoff-Atome erzielt wird. Hierzu kommen andere Solarzellenstrukturen und Abläufe der Solarzellenherstellung in Frage. Aber auch andere Halbleiterbauelemente können so in vorteilhafter Weise hergestellt werden.

A-G:

Die in den Abschnitten A-G beschriebenen Verfahren eignen sich in besonderer Weise für die Herstellung multikristalliner Solarzellen, da durch die beschriebenen Vorteile insbesondere Defekte in derartigen Solarzellen weitestgehend vermieden, entfernt, passiviert oder abgeschirmt bzw. unschädlich gemacht werden. Es sei jedoch darauf hingewiesen, dass sich die entwickelte Technologie auch in besonderer Weise für sehr dünne Wafer und insbesondere kostengünstig hergestellte dünne monokristalline Wafer eignet, um daraus Solarzellen mit sehr hohen Wirkungsgraden in betriebswirtschaftlich sinnvoller industrieller Massenfertigung herzustellen.

Die Eignung für sehr dünne Solarzellen ergibt sich daraus, dass die Verfahrensschritte zum tiefen Eintreiben von Dotierstoffen diese Dotierstoffe dann vergleichsweise weniger tief eintreiben müssen und somit Diffusionsverfahren neben Legierungsverfahren auch schon bei vergleichsweise niedrigeren Temperaturen wirkungsvoll eingesetzt werden können und die entsprechenden Dotierstoffgradienten vorteilhafter (steiler) gestaltet werden können. Es ist also unbedingt wünschenswert für die entwickelte Technologie, zu dünneren Wafern und somit reduzierten Kosten für das Ausgangsmaterial überzugehen.

Die besondere Eignung für monokristalline Siliziummaterialien ergibt sich aus den entwickelten Hochleistungsstrukturen für rückseitenkontaktierte Solarzellen. Mit den hier beschriebenen Verfahren wird es bei Verwendung angepasster Prozesse zur geeigneten Strukturierung der Solarzellenoberflächen (Textur) möglich sein, die bislang höchsten Wirkungsgrade für kommerziell angebotene industrielle Solarzellen in Massenfertigung herzustellen, da Vorteile gegenüber dem bisherigen Stand der Technik (Sunpower mit weltweit höchstem Wirkungsgrad für kristalline Siliziumsolarzellen am Markt) erarbeitet wurden. Ein besonderer Vorteil liegt in der erhöhten Einsammelwahrscheinlichkeit für Minderheitsladungsträger durch die Verwendung von intrinsischem Silizium-Ausgangsmaterial und dem Ausbilden von Dotierstoffgradienten über die komplette Solarzelle hinweg. Dies lässt eventuell auch zu, beim Kristallisieren von Einkristallen Kompromisse einzugehen, um die Prozesskosten durch schnelleres Abkühlen beim Kristallisieren und das Zulassen von Verunreinigungen wie metallischen Verunreinigungen zu reduzieren, da Defekte wie Versetzungslinien und metallische Verunreinigungen durch die nachfolgenden Temperaturbehandlungen zum Ausprägen der Dotierstoffgradienten leicht wieder beseitigt werden können. Ferner lässt es aber auch den effektiven Einsatz von sehr dünnen monokristallinen Wafern zu, wie sie in Kürze von der Firma Silicon Genesis Corp. (SILGEN) aus Kalifornien am Markt angeboten werden sollen. Da hier maximale Waferdicken von ca. 50 μm zum Einsatz kommen sollen, sind die oben beschriebenen Herstellmethoden für hocheffiziente Solarzellen mit ausschließlich lokalen Rückseitenkontakten dafür ideal. Dabei bieten die Variante 2 und 3 der HOR-ZELLE die größten Verbesserungspotentiale. Einerseits können in Variante 3 auch an Halbleiterübergängen der Solarzellen-Vorderseite Ladungsträger eingesammelt

und ohne erhebliche Widerstands- oder Rekombinationsverluste durch das Volumen der Solarzelle hindurch zu den Kontakten der Solarzellen-Rückseite geführt werden. Dies bietet nicht nur den Vorteil der erhöhten Einsammelwahrscheinlichkeit für Minderheitsladungsträger, sondern auch den Vorteil gegenüber dem Stand der Technik von Sunpower, dass sich die Solarzellenvorderseite im Modulbetrieb nicht auflädt. Insbesondere durch die Maßnahmen von Variante 2 werden die die Minderheitsladungsträger mit noch höherer Wahrscheinlichkeit eingesammelt bzw. zu den Halbleiterübergängen in ihrer Nähe getrieben. Somit kommt auch hier monokristallines Material mit geringerer Ausgangslebensdauer für Minderheitsladungsträger in Frage, so dass Kosten bei der Herstellung dieser Ausgangswafer eingespart werden können. Diese Kosten lassen sich im Falle der Verwendung sehr dünner Wafer - 50 μm oder weniger - besser in eine sehr gute Strukturierung der Solarzellenvorderseite - glatte Rückseite - investieren, die dafür sorgt, das Licht so effektiv wie möglich in die Solarzelle eingekoppelt wird und um ein Vielfaches der Waferdicke durch den Wafer laufen kann, ohne der Solarzelle wieder zu entweichen oder parasitär absorbiert zu werden - optische Weglänge -, bevor die Photonen zu Ladungsträgern konvertiert werden.

H: Wafer-basierende Solarzellen mit verminderter Abschattungsempfindlichkeit bzw. höherer Ausgangs-Spannung pro Flächeneinheit bzw. pro Wafer

Typische Solarzellen, wie sie heute am Markt kommerziell erhältlich sind, zeichnen sich dadurch aus, dass sie überproportional empfindlich sind, wenn ein Teil der Solarzelle im Betrieb - zum Beispiel in einem Solarmodul - abgeschattet wird. Gleiches gilt für das Abschatten von Teilen von Solarmodulen, bei denen üblicherweise viele Solarzellen in Serie miteinander verschaltet sind, um höhere Modul-Ausgangsspannungen zu ermöglichen.

Die überproportionale Empfindlichkeit gegen Abschattung von Teilen der aktiven Solarzellenflächen zeichnet sich einerseits dadurch aus, dass der damit einhergehende Leistungsverlust größer ist, als dass der verminderten Stromerzeugung durch die abgeschatteten Bereiche entsprechen würde, da sich die Diodenkennlinie der entsprechenden Solarzellen verschieben und zusätzlich zu den Stromverlusten Füllfaktorverluste hinzukommen, die die Leistung der Solarzellen und Solarmodule negativ beeinflussen. Ferner zeichnet sich die Empfindlichkeit dadurch aus, dass durch teilweises oder ganzflächiges

Abschatten von Solarzellen in Solarmodulen oder Photovoltaiksystemen die Solarzelle gegebenenfalls in Rückwärtsrichtung mit Spannung belastet wird, so dass es bei Schwachstellen der Diode oder bei Kurzschluss- bzw. Leckagepfaden bei höheren Rückwärtsspannungen zu weiteren Wirkungsgradverlusten, zur Ausbildung so genannter ‚hot spots‘ oder sogar zu einer dauerhaften Leistungsabnahme oder Zerstörung einzelner Solarzellen oder Solarmodule kommen kann. Mit hot spots werden Bereiche der Solarzelle bezeichnet, die lokal den kleinsten Widerstand - Parallelwiderstand zur Halbleiterdiode in Sperrichtung - bieten und so lokal sehr viel Energie durch die durch Abschattung angelegte Rückwärtsspannung dissipieren. In Folge kann das Aufschmelzen von Modul-Einkapselungsmaterialien, das Verflüssigen oder Abdampfen von Metallkontakten, oder sogar das lokale Aufschmelzen von Silizium nicht vermieden werden und zu einer Schädigung führen.

Um derart negative Auswirkungen durch Abschattung vorzubeugen, bieten die oben beschriebenen Wafer- und Solarzellen und deren Herstellverfahren Möglichkeiten erhebliche Vorteile zu nutzen.

Zum einen besteht ein erheblicher Vorteil darin, dass die tief ins Silizium eingetriebenen Dotierbereiche die Entstehung lokaler Kurzschlusspfade im oberflächennahen Bereich der Solarzelle nahezu ausschließen. Bei herkömmlichen Solarzellen entstehen derartige Kurzschlusspfade oder Leckströme beispielsweise durch Kratzer an der Oberfläche der Solarzelle - z. B. durch nicht geeignet angepasste Handhabungstechnik verursacht – insbesondere, wenn diese geschädigten Bereiche mit Metallkontakten versehen werden. Ferner besteht ein sehr erheblicher Vorteil der aus intrinsischen oder vergleichsweise sehr schwach dotierten Silizium-Wafern hergestellten Solarzellen darin, dass die nach dem Ausbilden von Dotierbereichen vorhandene Diode über den Halbleiterübergang eine erheblich höhere Rückwärtsspannung der Solarzelle zulässt, bevor es zu Kurzschlussverhalten, Diodendurchbruchverhalten oder erheblichen Rückwärtsströmen kommt. Dies hat damit zu tun, dass in weiten Teilen der Solarzelle darauf verzichtet werden kann, neben der beispielsweise in Diffusionsprozessen auszubildenden Dotierbereiche eine zusätzliche Hintergrunddotierung - umgekehrte Polarität - mit entsprechender Leitfähigkeit bereits vorher in den Halbleiterplatten vorliegen zu haben.

Ferner kann zumindest bei einigen der Solarzellenkonzepte komplett darauf verzichtet werden, sehr hoch dotierte Siliziumbereiche - unterschiedlicher Polarität - zu verwenden, oder diese in unmittelbarer Nachbarschaft zueinander an der Oberfläche der Solarzelle auszubilden. Gegebenenfalls können sogar nach Ausbilden der Dotierbereiche oberflächennahe Regionen der Solarzelle wieder entfernt werden - z. B. in nasschemischen Polier- oder Texturprozessen oder Plasma-Ätzverfahren oder Ablationsverfahren oder mechanischen Abtrags- oder Strukturierungsverfahren -. Somit kann die Oberflächenkonzentration der Dotierung weiter abgesenkt werden. Ferner ist es durch gezieltes Konstruieren der gewünschten Dotierbereiche möglich zu vermeiden, dass sich eng benachbarte Bereiche sehr hoher Dotierstoffkonzentration ausbilden. Letztlich ist es mit den beschriebenen Verfahren möglich und unter Umständen wirtschaftlich vorteilhaft, die Solarzelle im Randbereich so zu bearbeiten, dass dort die dort vorhandenen oberflächennahen Bereiche durch geeignete Verfahren - wie z. B. Laserschneiden oder mechanisches Abtrennen der Bereiche und anschließendes Überätzen und Passivieren dieser Bereiche - entfernt werden und somit auch hier keine Kurzschlusspfade entstehen können. Somit können beim Verschalten von Solarzellen und Modulen sehr hohe Spannungen im Falle einer Abschattung von Teilbereichen zugelassen werden, ohne dass erhebliche Rückwärtsströme entstehen oder Solarzellen oder Solarmodule gar Gefahr laufen, dabei geschädigt zu werden. Die Bildung so genannter hot spots ist also durch die verwendete Technologie der HOR-ZELLE weitgehend ausgeschlossen.

Im Falle der Varianten 2 bis 4 der HOR-ZELLE besteht allerdings die Möglichkeit, die Abschattungsempfindlichkeit der Solarzelle weiter deutlich zu verringern und oder die erzielbare Ausgangsspannung der Solarzelle pro Flächeneinheit - Wafergröße - deutlich zu erhöhen. Weil p-dotierte und oder n-dotierte Bereiche dieser Solarzellen in engem Abstand komplett über die ganze Dicke der Solarzelle hinweg vertikal durchgängig ausgebildet werden können, besteht die Möglichkeit, diese Bereiche oder eine zusammengefasste Anzahl dieser Bereiche zumindest teilweise bereits wahlweise seriell und oder parallel zu verschalten. Dabei ist insbesondere im Zusammenspiel mit vorteilhafter Modultechnik möglich, beim Verschalten der Bereiche zusätzlich Bypass-Dioden zu verwenden. Somit ist es möglich, durch Parallelschaltung und/oder Serienschaltung von Teilbereichen der Solarzelle - und geeignete Dimensionierung von Bypass-Dioden

innerhalb oder außerhalb der Solarzellen oder Solarmodule - in derart hergestellten Solarzellen - bzw. Solarzellen-Wafern mit mehreren Einzel-Solarzellen - erheblich unempfindlicher gegen überproportionale Leistungsverluste bei Abschattung von Teilbereichen der Solarzellen zu werden.

Ferner ist durch die Möglichkeit der Serienschaltung von Solarzellenbereichen möglich, bereits innerhalb des ursprünglichen Wafers erheblich höhere Spannungen im Betrieb der Solarzellen bzw. höhere Leerlaufspannungen - offene Klemmenspannungen - zu erzielen, falls es gleichzeitig gelingt, Isolationsbereiche zwischen den in Serie geschalteten p- und n-dotierten Bereichen entstehen zu lassen - z. B. durch Wachstum von Isolationsbereichen gemäß Phasendiagramm, wenn nach Legierungsprozessen zwischen Silizium und Dotierstoffen wieder abgekühlt wird. Da einzelne dieser Bereiche durch Bypass-Dioden bereits für die Solarzelle so miteinander verbunden werden können, dass sich keine erheblichen Rückwärtsspannungen an einzelnen Solarzellen oder Solarzellenbereichen ausbilden, ist die Zerstörung durch teilweise Abschattung der Solarzellen nahezu ausgeschlossen. Idealerweise werden dabei die über Bypass-Dioden abgesicherten Bereiche über Dioden abgesichert, die sich außerhalb des eigentlichen Modulverbundes befinden, so dass dort lokal dissipierte Energie das Solarmodul nicht zerstören kann und eine defekte Diode sehr schnell ohne erhebliche Kosten im langjährigen Betrieb der Solarmodule ausgetauscht werden kann.

Für das Kontaktieren einzelner Solarzellenbereiche (Kontaktfinger) und das Herausführen der Kontakte zu außerhalb des Modules befindlichen Bypass-Dioden kommt beispielsweise eine von Day4Energy entwickelte Technologie in Frage. Generell kommt den Solarzellen mit der oben beschriebenen Kontaktierungstechnologie zugute, dass durch geeignete Wahl der aufgedampften, aufgesputterten und oder in Metallabscheidungsverfahren aus chemischen Lösungen verstärkten Metallschichten und die vorteilhaft gewählten Passivierschichten an Vorder- und Rückseite der Solarzelle das Eindringen von Feuchtigkeit in den Solarmodulverbund - beispielsweise entlang der Durchführungen für die Bypass-Dioden - keine Schädigung der Solarmodule im Feld (Dauerbetrieb über 25 Jahre) bewirkt. Ferner kommt diesen Solarzellen und damit hergestellten Modulen zugute, dass schon die Auswahl der geeigneten Passivierschichten wie Aluminium-

oxid sehr hohe Durchbruchspannungen im Modulverbund ermöglichen. Zusätzlich ist es möglich, durch lokales Aufbringen geeigneter Lacke oder Polymerschichten oder anderer geeigneter Schichten – Schichten, wie sie beispielsweise heute bereits erfolgreich für die Herstellung von Kondensatoren oder diversen Dioden verwendet werden - die Oberfläche der Solarzelle oder Teile der Solarzellen-Oberflächen vor Spannungsdurchbruch eng benachbarter Bereiche wirksam zu schützen. So ist es beispielsweise möglich, oberhalb dieser lokal abgedeckten Bereiche metallische Kontakte verlaufen zu lassen, ohne dass unter den abgedeckten Bereichen befindliche Metallkontakte kontaktiert werden, oder die Gefahr zu Durchbruch bei Rückwärtsspannung besteht. Dies erleichtert das Verschalten einzelner Bereiche der Solarzelle bzw. im Modulverbund, wobei es durchaus vorteilhaft sein kann, dass das eigentliche Verschalten der Solarzellen und Solarzellenbereiche erst im Modulverbund stattfindet und die Rückseite der Solarzellenmodule insbesondere bei rückseitenkontaktierten Solarzellen dabei besondere Funktionen übernimmt.

Derartige Solarwafer mit hoher Ausgangsspannung - diese Ausgangsspannung kann pro Flächeneinheit bzw. pro Wafer problemlos das hundert- bis tausendfache der jetzigen Solarzellenspannung betragen (oder noch höher sein), sofern es gelingt, in dem Wafer geeignete Isolationsschichten vertikal durchgängig einzubauen – transportieren nur vergleichsweise geringe elektrische Ströme durch die Metallkontakte der Solarzelle und durch externen Kontakte, die die Wafer bzw. Solarzellen miteinander verbinden. Die üblicherweise bei wafer-basierenden großflächigen Siliziumsolarwafern vorherrschenden Ausgangsspannungen liegen bei 0,5 bis 0,75 V und führen deshalb zu hohen Strömen und damit verbundenen Serienwiderstandsverlusten in den Kontakten. Bei vertikaler Trennung von vertikal durchgängigen p- und n-dotierten Bereichen im gleichen Solarwafer - z. B. vertikal durchgängige Isolationsschichten - lassen sich sehr hohe Modul- und Systemspannungen ohne erhebliche Risiken bei Abschattung einzelner Solarzellenbereiche oder Modulbereiche herstellen. Dies hat den erheblichen Vorteil, dass die Widerstandsverluste in den Kontakten und metallischen Verbindungen von Solarzellen und Solarmodulen untereinander erheblich reduziert werden können. Die Widerstandsverluste sind proportional dem Quadrat der Ströme, die durch diese Kontakte fließen. Wird also der Strom beispielsweise durch geeignete Serienschaltung von einzelnen Berei-

chen der Solarzelle auf ein Hundertstel oder ein Tausendstel reduziert, reduzieren sich damit die Widerstandsverluste in den betroffenen Kontakten auf ein Zehntausendstel bzw. ein Millionstel. Dies ist besonders interessant bei Konzentrator-Anwendungen, bei denen Licht stärker auf die Solarzelle gebündelt wird, als dies bei normaler Sonneneinstrahlung der Fall ist. So kann beispielsweise durch Verwendung von geeigneten optischen Linsen oder Parabolspiegeln Sonnenlicht in Regionen mit hoher Direkteinstrahlung (wenig Bewölkung oder diffuses Sonnenlicht) in seiner Intensität um mehrere Größenordnungen verstärkt (gebündelt) der Solarzellenvorderseite gezielt zugeführt werden. Den hier erläuterten Solarzellen kommen dabei die tief ausgebildeten Dotierstoffbereiche, die erhöhte Beständigkeit gegen Diodendurchbruch bzw. erhöhte Rückwärtsspannungen (teilweise Abschattung), die hoch leitfähigen auf der Rückseite der Solarzelle in beliebiger Dicke und Breite ausprägbaren Metallkontakte sowie die Möglichkeit, einzelne Bereiche der Solarwafer miteinander seriell zu verschalten sehr entgegen. Es sei darauf hingewiesen, dass hier bei den seriell oder parallel verschalteten Bereichen einer Solarzelle weiter von einer Solarzelle gesprochen wurde, obwohl dies zumindest bei Solarzellen, bei denen die jeweiligen benachbarten n-dotierten und p-dotierten Bereiche vertikal durchgängig ausgebildet sind, nicht mehr gilt, da es sich dann bereits je nach externer Verschaltung bereits um völlig unabhängige Solarzellen handelt, die auf einem einzelnen Ausgangswafer ausgebildet wurden. Es sei auch darauf hingewiesen, dass es so möglich ist, den äußersten Randbereich der Solarzelle (p- oder n-dotierter Bereich entlang des kompletten Umfangs der Solarzelle) sehr schmal auszubilden und nicht elektrisch mit den externen Kontakten oder den anderen Teilbereichen zu verbinden. Dadurch können zwar Ladungsträger, die in diesem äußersten Randbereich der Solarzelle erzeugt werden, nicht aktiv zur Stromgewinnung beitragen. Jedoch erhält man damit eine nahezu perfekte p-n-Trennung im Randbereich der Solarzelle ohne weitere Prozessschritte zur Isolation dieser Kantenbereiche ausführen zu müssen. Wesentlich ist dabei, dass der schmal ausgebildete dotierte Bereich der Wafer-Seitenkanten jeweils durch einen p-n-Übergang von den Bereichen getrennt ist, die kontaktiert werden. Auch das ist nur bei Solarzellen, die auf Wafern mit intrinsischer Ausgangs-Halbleiterqualität bzw. Wafern mit sehr niedriger Ausgangsdotierung gefertigt werden (sehr hoher Basiswiderstand), vorteilhaft anwendbar.

Generell erscheint es für Konzentrator-Anwendungen, in denen ein Vielfaches der Sonnenlichtstärke durch geeignete Systeme (siehe hierzu auch die Abschnitte I bis K) auf die Solarzellen gebündelt wird, aus mehrfacher Hinsicht sinnvoll, hochqualitatives monokristallines, möglichst dünnes Wafer-Ausgangsmaterial zu verwenden, das im Sinne der Erfindungen bevorzugt in intrinsischer oder sehr schwach dotierter Halbleiterqualität vorliegen sollte. Gründe hierfür sind:

1. Mit hochqualitativem monokristallinem Wafermaterial lassen sich die höchsten Solarzellen-Wirkungsgrade erreichen. Somit sind die eventuell höheren Kosten pro Wafer im Vergleich zu den Systemkosten gering und gerechtfertigt.
2. Durch den höheren Konversions-Wirkungsgrad von Licht zu elektrischer Energie bei hochqualitativen monokristallinen Solarzellen (kann je nach Konzentrationsfaktor über 30% betragen) wird die Solarzelle weniger stark erhitzt, da ein erheblicher Teil der gebündelten Sonnenenergie in elektrische Energie anstatt in Wärmeenergie umgesetzt werden kann.
3. Bei sehr dünnen Solarzellen ($\sim 50 \mu\text{m}$) mit hohem Wirkungsgrad kann die erzeugte Wärme besser wieder abgeführt werden, falls die Solarzellen aktiv gekühlt werden
4. Der Wirkungsgrad der eingesetzten Solarzellentechnologie limitiert den erreichbaren Gesamtwirkungsgrad des Konzentratorsystems und sollte deshalb so hoch wie möglich sein, um die Kosten pro erzeugte Leistung für das jeweilige System so gering wie möglich werden zu lassen.
5. Die monokristalline Ausführung der HOR-ZELLE in komplett rückseitenkontaktierter Bauweise mit deutlich erhöhter Ausgangsspannung pro Flächeneinheit und erheblich gesenkten Serienwiderstandsverlusten ermöglicht die höchsten am Markt verfügbaren Solarzellenwirkungsgrade für industriell gefertigte kristalline Silizium-Solarzellen und ermöglicht den Einsatz großflächiger Solarwafer in Konzentratoranwendungen.
6. Die im Vergleich zum Stand der Technik verringerten Serienwiderstandsverluste in den dotierten Bereichen (tiefe Dotierung), im Kontaktübergangswiderstand (legierte Kontakte), in der Linienleitfähigkeit der Kontakte (sehr leitfähige Kontaktfinger mit guter Isolation zu Nachbarbereichen möglich; lokales Kontaktie-

ren einzelner Bereiche an beliebigen Punkten entlang der Kontaktfinger) sowie die besseren Diodeneigenschaften der Solarzelle mit inhärentem Schutz gegen Leckageströme und die verringerte Empfindlichkeit gegen Abschattungsverluste bieten bei der HOR-ZELLE erhebliche Wettbewerbsvorteile gegenüber dem Stand der Technik.

7.

Sinnvoll erscheint, die ‚Einkapselung‘ der Solarzelle bzw. Systemtechnik der Konzentrator-Anwendung anzupassen, um maximal von den einzigartigen Eigenschaften der HOR-ZELLE™-Technologie zu profitieren.

I: Monolithisch rückseitenverschaltetes Hochspannungsmodul mit By-Pass-Dioden für Solarzellen und Solarzellenbereiche bzw. Konzentrator-Anwendungen

Insbesondere bei ausschließlich auf der Rückseite kontaktierten Solarzellen ist es sinnvoll, abweichend vom Stand der Technik neue Wege bei der Modulherstellung zu gehen. Bisher ist bei kristallinen Solarzellen üblich, dass aus einem Wafer jeweils nur eine Solarzelle gefertigt wird und einzelne Solarzellen erst im Modulverbund durch extern angelötete Zellverbinder (normalerweise verzinnte Kupferbändchen) elektrisch leitend miteinander verbunden werden.

Bei Dünnschicht-Solarzellen ist dies anders. Da bei Dünnschicht-Solarzellen die komplette Solarzellenstruktur in dünnen Schichten auf großflächigen Substraten wie beispielsweise Glas abgeschieden wird, ist es erforderlich, danach eine Trennung einzelner Bereiche vorzunehmen, so dass sich eine höhere Modulspannung ergibt. Dabei ist es durchaus üblich, vergleichsweise viele kleine Einzelsolarzellen auf dem Modul auszubilden und diese monolithisch miteinander zu verschalten. Durch diese Technologie ergibt sich die Möglichkeit, nahezu beliebig viele Solarzellen auf einem Modul in Serie oder parallel zu verschalten und durch geeignete Modul-Rückseitenmaterialien Bypass-Dioden in die Verschaltung einzubeziehen.

Mit der in den Abschnitten A-H beschriebenen neuen Technologie wird erstmals ermöglicht, auch mit vergleichsweise dicken Wafern (Vielfaches der Dicke von Dünnschicht-Solarzellen) zu arbeiten.

schicht-Solarzellen) viele kristalline Solarzellen bzw. Solarzellenbereiche innerhalb oder außerhalb eines Wafers miteinander monolithisch zu verschalten, auf dem sich diese Solarzellen oder Solarzellenbereiche befinden. Dies wird dadurch ermöglicht, dass durch die Verwendung von nahezu intrinsischem Siliziummaterial bei den Wafern und die Ausbildung von vertikal durchgängigen Dotierbereichen durch das ganze Materialvolumen der Solarzellen hinweg in horizontaler Richtung Halbleiterübergänge entstehen, die bei geeigneter Kontaktierung der einzelnen Dotierbereiche ermöglichen, dass jeweils benachbarte p- und n-dotierte Gebiete paarweise zu Einzelsolarzellen zusammengefasst und nach Wunsch miteinander verschaltet werden können. Dabei kann es besonders vorteilhaft sein, die komplett von der Rückseite der Solarzelle her kontaktierten Varianten der HOR-ZELLE herzustellen und - wie oben erläutert - weite Bereiche der Kontaktfinger, die Kontakt zum Siliziumwafer herstellen, bereits während der Solarzellenherstellung durch elektrisch gut isolierende Schichten abzudecken. Somit können viele Einzelbereiche auf den Wafern, auf denen die Solarzellen hergestellt werden, in gezielter Weise miteinander in Serie oder parallel bzw. über Bypass-Dioden miteinander verbunden werden. Dabei erscheint es besonders sinnvoll, die Leiterbahnen zur Verschaltung einzelner Bereiche bzw. die Bypass-Dioden auf speziell für die Anwendung entwickelten Rückseiten-Bauteilen der Module vorzufertigen, so dass die Solarzellen nur noch durch Roboter, so genannte ‚Pick an Place Systeme‘, oder andere Handhabungstechnik präzise an den Stellen auf diesen Rückseiten-Modulbauteilen abgelegt werden, an denen sie beispielsweise durch Lötens mit den Leiterbahnen der Modulrückseiten verbunden werden können. Dies erfordert, dass die Modul-Rückseiten ähnlich wie bei der Leiterplattentechnik oder bei der Platinenherstellung im Mikroelektronikbereich bereits die Verschaltungsstrukturen sowie Einkapselungsmaterialien enthalten und elektrisch leitfähige Kontakte zu den Solarzellen nur an den dafür ausgebildeten Stellen hergestellt werden können. Die Leiterbahnen der Rückseiten-Bauteile der Solarmodule sind dazu weitgehend zur Solarzelle hin durch isolierende Schichten abgedeckt, die auch bei teilweiser Abschattung der Solarzellen oder Solarmodule bei sich aufbauenden Spannungen in Rückwärtsrichtung keine Kurzschluss- oder Leckage-Pfade ermöglichen und ausreichend hohe Durchbruchsspannungen zulassen.

Da bei diesen Solarzellen alle Kontakte auf der Rückseite der Solarzelle angeordnet sind, kann es sinnvoll sein, sehr breite aber von der Auftragshöhe her dünne Leiterbahnen mit der Solarzelle zu verbinden. Dies hat den Vorteil, dass durch die unterschiedlichen thermischen Ausdehnungskoeffizienten zwischen Metallkontakten, Leiterbahnen und Silizium bei dünnen Leiterbahnen lokal während Temperaturzyklen nur vergleichsweise geringe mechanische Spannungen auf die Solarzellenbereiche ausgeübt werden. Ferner sorgt eine hohe Flächenbedeckung mit metallischen Leiterbahnen innerhalb des Solarmodul-Rückseitenbauteiles dazu, dass durch diese metallischen Schichten keine Feuchtigkeit ins Solarmodul eindringen kann - deutlich geringere Permeabilität für Wasserdampf und Feuchtigkeit, als bei herkömmlichen organischen Rückseiten-Folien zur Einkapselung von konventionellen Solarzellen nach dem Stand der Technik -. Durch die Verwendung von dünnen metallischen Schichten - Leiterbahnen - mit ausreichender elektrischer Leitfähigkeit, die durch geeignete Beschichtung überwiegend bereits eingekapselt sind, lassen sich insgesamt deutlich dünnere rückseitige Schichtaufbauten bei der Modulrückseite verwenden. Da diese Modulrückseiten im Dauerbetrieb üblicherweise keinen äußeren mechanischen Beanspruchungen wie beispielsweise Hagelschlag ausgesetzt sind, kann die Auslegung so erfolgen, dass nachteilige Einflüsse durch mögliches Eindringen von Feuchtigkeit in den Modulverbund bzw. durch mechanische Schädigungen - verursacht durch unterschiedliche thermische Ausdehnung der einzelnen Komponenten im Modulverbund - weitgehend ausgeschlossen werden können, so dass der Modulverbund im Dauerbetrieb auch in unterschiedlichen Klimaregionen 25 Jahre ohne erhebliche Degradations-Erscheinungen garantiert seine Aufgabe erfüllt.

Das Kontaktieren der Solarzellen bzw. von Solarzellenbereichen im Modulverbund kann beispielsweise dadurch erfolgen, dass die entsprechenden zu kontaktierenden Bereiche der Solarzelle bereits verzinnt werden bzw. mit Lötzinn und - falls erforderlich - Flussmittel versehen werden. Die Solarzelle sollte dann möglichst ganzflächig (z.B. beim Handhaben der Solarzelle) auf eine Temperatur erwärmt werden, die das Lot - wie Zinn oder Zinnverbindungen - zum Schmelzen bringt. Das Solarmodul kann wahlweise ebenfalls erwärmt werden, jedoch nicht auf Temperaturen, bei denen das Lot schmelzen würde. Da die Solarzelle keine Kontakte an der Vorderseite aufweist, kann sie durch

übliche Handhabungstechnik an der Vorderseite gegriffen und an den gewünschten Platz transportiert bzw. positioniert werden. Dabei ist entscheidend, dass sie mit ausreichender Präzision schnell an den Platz der Solarmodulrückseite gebracht wird, an dem sie angelötet werden kann und sich dauerhaft beständige Kontakte an allen dafür vorgesehenen freiliegenden Stellen des Solarmodul-Rückseitenbauteiles ausbilden können

Das Handhaben der Wafer muss dabei ausreichend schnell erfolgen, so dass die verzinnten (mit geschmolzenem Lot versehenen) Bereiche der Solarzellenrückseite aufgeschmolzen bleiben, bis der Kontakt zur Solarmodulrückseite erfolgt. Bei diesem Vorgang ist auf die Werkstoffauswahl bei den Greifern der Handhabungstechnik - z. B. hochtemperaturbeständige Bernoulli-Greifer -, eine angepasste Technologie zur Temperaturkontrolle der Wafer bzw. Solarzellen sowie schnelles und präzises Handhaben zu achten. Da die verzinnten Kontaktbereiche in aufgeschmolzenem Zustand durch die hohe Oberflächenspannung des Lotes sehr dick sind z. B. halbkugelförmige Lotbereiche -, kann die Solarzelle auch bei welligen bzw. unebenen Substraten in ausreichendem Abstand zum Modulrückseitenbauteil abgelegt werden und die Kontaktierung der gewünschten Bereiche erfolgt wie gewünscht. Möglicherweise verbleibende Hohlräume sollen beim Laminieren des Moduls durch entsprechende Einkapselungsmaterialien, die zuvor bereits auf dem Rückseitenbauteil des Moduls aufgebracht sind, verschlossen werden.

Alternativ können auch zunächst auf dem Rückseitenmodul-Bauteil die jeweiligen elektrisch mit den Solarzellen oder Solarzellenbereichen zu verbindenden Bereiche mit Lotpasten-Auftrag versehen werden. Dafür kommen beispielsweise Dispenssysteme in Frage, wie sie in der Leiterplattentechnik und SMT eingesetzt werden. In einem Folgeschritt werden die Solarzellen präzise so abgelegt, dass die elektrisch zu verbindenden Stellen auf diesen Lotpastenaufträgen zu liegen kommen. Anschließend wird die komplette Anordnung erwärmt, so dass die Lotpasten aufschmelzen und nach vorzugsweise langsamem Abkühlvorgang alle Lötkontakte ausgebildet sind. Das Aufheizen der kompletten Anordnung ermöglicht langsamere Abkühlrampen als beim Löten von Einzelwafern. Dies hat den Vorteil, dass weniger mechanischer Stress entsteht bzw. sich Stress

bereits beim Abkühlen wieder relaxiert und somit im Halbleiterbauelement oder dessen Kontakten keine Schädigungen hervorrufen kann.

Natürlich sind auch andere dem Fachmann bekannte Methoden zur lokalen Kontaktierung der Solarzellen auf den vorgefertigten Solarmodulrückseiten-Platinen zur monolithischen Verschaltung der Solarzellen und Solarzellenbereiche im Einklang mit den hier beschriebenen Erfindungen einsetzbar.

Besondere Vorteile ergeben sich, wenn in die Solarmodul-Rückseitenverschaltung Bypass-Dioden integriert werden. Diese können entweder in die Platinen der Solarmodulrückseitenbauteile integriert oder aus dem Solarmodul heraus auf dessen Rückseite geführt werden, so dass diese dort einfach aufgesteckt oder aufgelötet werden können. Daraus ergibt sich der Vorteil, dass die so extern angebrachten Bypass-Dioden jederzeit während der Lebensdauer des Solarmoduls ausgetauscht werden können, ohne dass dadurch die restliche Funktionsweise des Moduls beeinträchtigt werden muss oder sich erhebliche Kosten ergeben. Das Herausführen der Bypassdioden hat den weiteren Vorteil, dass im Falle der Abschattung von Teilen der Solarzellen oder Teilen der Solarmodule die sich dadurch ergebende Rückwärtsspannung an den entsprechenden Solarzellenbereichen, Solarzellen oder Solarzellensträngen vermieden oder begrenzt werden kann und die Diode einen alternativen Strompfad vorbei an den nicht aktiven abgeschatteten Solarzellenbereichen ermöglicht. Da auf diesem alternativen Strompfad auf vergleichsweise engem Raum Energie in Form von Wärme freigesetzt wird, ist es besser, diese Wärmeentwicklung außerhalb des Solarmoduls stattfinden zu lassen, um das Modul und seinen Einkapselungsmaterialien nicht zu schädigen und die benachbarten Solarzellen nicht zu erhitzen, was zu Leistungsverlusten führen würde.

Je nach Anwendungsfall – beispielsweise in Konzentrator-Anwendungen - kann es vorteilhaft sein, sehr viele Bypass-Dioden einzusetzen, um einzelne Solarzellen oder Solarzellenbereiche durch diese Dioden zu schützen. Die Kosten für die zusätzliche Verschaltungstechnik und Dioden sind dabei dem Nutzen gegenzurechnen. Insbesondere bei Solarmodulen, die durch sehr hohe Ausgangs-Spannungen Vorteile erwirtschaften, da Serienwiderstandsverluste und damit verbundene Füllfaktor- und Wirkungsgradver-

luste vermieden werden, rechtfertigen den Einsatz zusätzlicher Bypass-Dioden innerhalb oder außerhalb der monolithischen Verschaltungstechnik, da so das Risiko der Schädigung von Solarmodulen oder Solarzellen im Falle von lokaler Abschattung minimiert oder ausgeschlossen werden kann. Dies gilt in besonderer Weise bei monolithisch verschalteten Konzentrator-Solarzellen oder Konzentrator-Solarmodulen.

Für Konzentrator-Anwendungen, bei denen ein Vielfaches der üblichen Sonnenlichtintensität auf die Solarzelle gebündelt wird, ist es vorteilhaft, wenn Solarzellen und Solarmodule vor deutlicher Erwärmung geschützt werden können. Einerseits führt die Erwärmung kristalliner Siliziumsolarzellen dazu, dass ca. 2,3 mV Spannung je Grad Celsius verloren gehen, die die Solarzellen über die Standard-Messbedingungen (25 °C) hinaus erwärmt werden. Andererseits besteht ab Temperaturen, die deutlich über 100 °C hinaus gehen, die Gefahr, dass sich der Modulverbund als nicht dauerhaft beständig erweist. Dies gilt insbesondere, wenn lokale ‚hot spots‘ in Teilen der Solarzelle möglich sind. Wie bereits erläutert können hot spots mit der HOR-ZELLE-Technologie weitgehend ausgeschlossen bzw. vermieden werden. Die zusätzlichen Bypass-Dioden bei der vorteilhaften Verschaltung von rückseitenkontaktierten Solarzellen helfen hierbei erheblich, auch im Abschattungsfall keine kritischen hot-spots entstehen zu lassen.

Es kann allerdings zusätzlich vorteilhaft sein, die Solarzelle bei Konzentrator-Anwendungen gar nicht in üblichen Laminaten als Module einzubetten. Statt dessen kann es gemäß eines weiteren eigenerfinderischen Vorschlags vorteilhaft sein, die Solarzellen in sogenannten Receiver-Rohren aus Glas so anzuordnen, dass sie in einer Orientierung hin zum lichtbündelnden System (zum Beispiel Parabolspiegel-Rinne) ausgerichtet sind und im Fokus des lichtbündelnden Systems befestigt sind. Wird die Solarzelle komplett in einem Hohlrohr aus Glas (Receiver-Rohr) in dieser Form befestigt, wären zusätzliche Einkapselungsmaterialien eher hinderlich. Durch den Einschluss in einem hoch transparenten Glasrohr oder Quarzrohr kann verhindert werden, dass unerwünschte Umgebungsbedingungen wie beispielsweise erhöhte Luftfeuchtigkeit oder Verschmutzungen mit der so eingekapselten Solarzelle wechselwirken. Dies verhindert gleichzeitig Abschattungen auf der unmittelbaren Solarzellenoberfläche innerhalb des Receiver-Rohres. Allerdings ist sicherzustellen, dass die im Receiver-Rohr vorherr-

schende Atmosphäre nahezu keine Luftfeuchtigkeit und Verunreinigungen enthält. Hierzu kommt beispielsweise trockene Druckluft in Frage, die unterhalb eines gewissen Taupunktes kondensiert und somit von Luftfeuchtigkeit befreit wurde. In Frage kommen auch inerte Prozessgasatmosphären wie Stickstoff oder Argon die neben Luftfeuchtigkeit zusätzlich Sauerstoff weitgehend ausschließen und im Falle von Argon (schwerer als Luft) das Einbrechen von Umgebungsluft auch an den Stirnseiten der Receiverrohre weitgehend vermeiden können. Um die Solarzellen aktiv zu kühlen, ist es denkbar, die Prozessatmosphäre innerhalb der Receiver-Rohre permanent auszutauschen und die erhitzten abgeführten Prozessgase wieder extern abzukühlen, bevor sie erneut zur Kühlung der Solarzellen in die Receiver-Rohre eingespeist werden. Dabei ist es trotz Energieverlusten beim Kühlen der Prozessgase unter Umständen sehr wirtschaftlich, die Solarzellen im Receiver permanent zu kühlen, solange Licht auf die Receiverrohre fällt - Schwellenwert in erzeugter Leistung als Triggersignal für Kühlung -. Durch diese Maßnahme erhöhen sich die Spannung und damit auch der Wirkungsgrad der Solarzellen und des Konzentratorsystems. Parallel dazu werden die Solarzellen aktiv vor Überhitzung und Verschmutzung geschützt, so dass deren Lebensdauer in dieser Anwendung erheblich gesteigert werden kann.

Die Receiverrohre selbst erhalten an der äußeren und inneren Oberfläche Antireflexionsschichten, die dazu beitragen, dass Sonnenlicht, das ja durch beispielsweise Parabolrinnen-Spiegel senkrecht auf die Receiverrohroberflächen gebündelt wird, dort möglichst wenig reflektiert wird und somit der überwiegende Anteil des Lichtes in das Konzentrador-Receiver-Rohr eingekoppelt wird. Ferner ist es möglich, die Innenseite des Receiverrohres ebenfalls geeignet zu beschichten, um dort möglichst interne Reflexion des Lichtes durch den im Vergleich zum Innenraum des Receiverrohres höheren Brechungsindex von Glas zu vermeiden.

Im Inneren des Receiverrohres werden die Solarzellen von einem kühlenden Fluid umspült. Dies kann einerseits eine Gasatmosphäre - wie oben erwähnt -, aber auch eine geeignete Kühlflüssigkeit sein, die bevorzugt einen Brechungsindex zwischen dem von Glas und dem der obersten Antireflexionsschicht auf der Solarzellenvorderseite aufweist und im für die Solarzelle nutzbaren Spektralbereich möglichst wenig Lichtanteile

absorbiert. Wird als Fluid statt dessen ein Prozessgas eingesetzt, kann auf der Solarzellenvorderseite ein Stapel aus verschiedenen Antireflexionsschichten verwendet werden, der sicherstellt, dass nahezu alles Licht, das in das Receiverrohr eingedrungen ist, auch in die Solarzelle eingekoppelt wird. Die Solarzelle hat dabei zusätzlich eine hochwertige Oberflächentextur wie beispielsweise gezielt eingebrachte invertierte Pyramiden oder eine Honigwabenstruktur.

Da die Solarzellenvorderseite keine Metallkontakte aufweist, können Abschattungsverluste auf der Vorderseite der Solarzelle nahezu völlig vermieden werden. Die Textur der Solarzelle sorgt dafür, dass Licht einen möglichst langen optischen Weg innerhalb der sehr dünnen Solarzelle - z. B. $\sim 50\mu\text{m}$ - zurücklegt und somit die Absorptionswahrscheinlichkeit im aktiven Solarzellenvolumen sehr hoch ist. Je dünner der Wafer gewählt wird, desto eher kann er sehr schnell wieder seine Wärme an die Umgebung abgeben, bzw. gekühlt werden.

Durch Ausbildung der rückseitenkontaktierten Varianten der HOR-ZELLE-Solarzelle können Widerstandsverluste innerhalb der Solarzelle trotz der sehr hohen Stromdichten deutlich verringert bzw. vermieden werden. Dabei ist eine serielle monolithische Verschaltung benachbarter Solarzellen aus ein und demselben Wafer unbedingt wünschenswert, um den Stromfluss in den Kontakten deutlich zu minimieren. Stattdessen bilden sich hohe Spannungen als Folge der Serienverschaltung aus. Die monolithische Verschaltung kann dadurch erfolgen, dass an einzelne Teilbereiche der Solarzellenrückseite eine Platine aufgelötet wird, die diese Bereiche bevorzugt über Bypass-Dioden, die nicht in direktem Kontakt mit der Solarzelle sind, noch an diese Wärme abgeben, miteinander verbindet. Dabei befinden sich Metallkontakte, aufgelötete Platine - evtl. in diskretem Abstand zum Wafer - und Bypass-Dioden im Schatten der Solarzelle, die nur auf deren Vorderseite Licht aus dem Konzentrator empfängt. Der Konzentrator folgt dabei zumindest in einer Ebene dem Verlauf der Sonne.

Die beschriebene Konzentrator-Technologie zur direkten Konversion von Sonnenlicht in elektrische Energie ist kompatibel mit Konzentratoranwendungen, in denen bereits heute Receiverrohre zur solarthermischen Energiekonversion eingesetzt werden. Bei

geeigneter Anordnung und Verschaltung der Solarzellen (und benachbarter Wafer) im Receiverrohr können die Kontakte so aus dem Receiverrohr heraus geführt werden, dass diese nicht überhitzt werden können und dennoch die Prozessatmosphäre innerhalb der Receiverrohre bzw. das kühlende Fluid weiter vor Verunreinigungen geschützt bleibt. Ferner ist es möglich, die Receiverrohre bei Bedarf stirnseitig so zu öffnen, dass die Solarzellenanordnungen entnommen und gegebenenfalls Defekte in der Anordnung repariert oder durch vergleichbare Bauteile ersetzt werden können.

Die Parabolrinnen-Receiver-Anordnung schützt sich selbst, indem sie bei zu geringer Sonnenintensität bzw. durch externe Sensoren ausgelöste Signale beispielsweise bei einem Sandsturm in einer Wüstenregion in eine Position schwenkt, die Parabolrinnen-Spiegel und Receiver schützen.

Die hier besprochene Erfindung lässt erstmals den vorteilhaften Einsatz großflächiger Solarzellen in Konzentrator-Anwendungen mit hohen Konzentrationsfaktoren für das Sonnenlicht zu.

J: Gegen Abschattungsverluste unempfindlicheres Solarmodul

Neben den zuvor beschriebenen Anwendungen für Solarmodule mit höherer Modulspannung - bzw. geringerer Empfindlichkeit gegen Abschattung und Rückwärtsspannungen - ist es auch bei nicht ausschließlich rückseitig kontaktierten Solarzellen möglich, Leistungsverluste deutlich zu reduzieren, falls Teile von beidseitig kontaktierten Solarzellen oder von Solarmodulen (mit derartigen Solarzellen) abgeschattet werden. Dies ist insbesondere bei Solarzellen mit horizontalen Halbleiterübergängen möglich, wenn einzelne Teile der Solarzellen (bzw. des Wafers mit Solarzellen) parallel verschaltet werden und zusätzliche Bypass-Dioden hierfür eingesetzt werden.

Zwar sind bei herkömmlichen kommerziell erhältlichen auf Wafern hergestellten kristallinen Silizium-Solarzellen üblicherweise alle Bereiche der Solarzelle parallel verbunden, jedoch kommen hierbei keine Bypass-Dioden für einzelne Bereiche der Solarzelle zum Einsatz. So geht aufgrund von Abschattungen einzelner Solarzellenbereiche oder einzelner Solarzellen - wie bereits besprochen - im Modul überproportional viel

Leistung verloren, da nicht nur die verminderte Stromerzeugung zur Reduktion des Solarzellenwirkungsgrades führt, sondern auch ein verminderter Füllfaktor dadurch entsteht, dass die Spannung der Solarzelle lokal im abgeschatteten Bereich deutlich reduziert ist. Bei den Varianten 1 und 4 der HOR-ZEL-le erscheint es jedoch sinnvoll, zumindest einzelne Bereiche der Solarzellen-Rückseite trotz Parallelverschaltung separat über Bypass-Dioden - ebenfalls in Parallelschaltung - mit der Vorderseite zu verbinden. Dabei ist es möglich, die Vorderseitenbereiche gemeinsam über geeignete Verbindungsbändchen oder Drähte (Day4Energy) zur Modulrückseite zu führen. Die Modulrückseite kann wie in Abschnitt I beschrieben ein vorgefertigtes Bauteil sein, auf dem gegeneinander isolierte Platinen und integrierte bzw. extern angebrachte Bypass-Dioden eingesetzt werden können. Ebenfalls wie in Abschnitt I erläutert können die Solarzellen dann zunächst auf der Rückseite geeignet mit dem Modulrückseitenbauteil verbunden werden, so dass einzelne Bereiche der Waferückseite (Solarzellenrückseiten) über Bypass-Dioden parallel oder im Falle der Variante 4 der HOR-ZELLE auch wahlweise seriell oder teilweise seriell miteinander verschaltet sind. Die Kontakte bzw. Verbindungskontakte der Vorderseite werden dann im Anschluss bevorzugt an Positionen zwischen den einzelnen Wafern bzw. Solarzellen auf die Modul-Rückseitenbauelemente an dafür vorgesehenen Stellen verbunden. Dies kann beispielsweise dadurch erfolgen, dass die Vorderseiten-Verbinder vor oder während oder nach dem Verbinden der Solarzellen mit dem vorgefertigten Solarmodul-Rückseitenbauelement aufgelötet und dann ebenfalls mit dem Rückseitenbauelement (beispielsweise durch Löten) verbunden werden. Es sind aber auch andere Formen der Kontaktbildung denkbar. Hierfür kommen zum Beispiel auch Steck- oder Quetschkontakte in Frage, die mit dem vorgefertigten Solarmodul-Rückseitenbauelement verbunden werden. Das Kontaktieren der Solarzellen-Rückseiten selbst kann durch diverse Kontaktierungsverfahren erfolgen. Als weitere Beispiele seien Ultraschall-Löten oder Löten in einer reduzierenden Atmosphäre wie beispielsweise Formiergas genannt, die den Einsatz von Lötflussmitteln überflüssig machen. Dies ist deshalb besonders vorteilhaft, weil Lötflussmittel im Modulverbund während der garantierten Lebensdauer eines Solarmoduls chemische Wechselwirkungen mit der Solarzelle hervorrufen können, die zu einer Leistungsabnahme im Solarmodul führen können. Derartige Schädigungsrisiken sind vorzugsweise durch geeignete Wahl der Metallkontakte bzw. der Verbindungstechnik bzw. der Verfahren zur Herstellung dau-

erhaft beständiger Verbindungen zwischen einzelnen Solarzellenbereichen oder einzelnen Solarzellen zu vermeiden.

Natürlich ist es auch bei den anderen Varianten der HOR-ZEL-le-Technologie möglich, die eben beschriebenen Methoden zur Modulverschaltung vorteilhaft einzusetzen. Durch die Parallelverschaltung einzelner Solarzellen oder Solarzellenbereiche und geeignete Wahl von Bypass-Dioden kann verhindert werden, dass im Falle partieller Abschattung über die dadurch verminderten Stromverluste hinaus deutliche Spannungs- und Füllfaktor-Einbußen hingenommen werden müssen.

K: Hochspannungs-Systemverschaltung zur Reduktion von Widerstandsverlusten in photovoltaischen Systemen

In photovoltaischen System zur Energiegewinnung aus Sonnenlicht werden üblicherweise mehrere Solarmodule in Strängen zusammengefaßt seriell miteinander verbunden und der entsprechende Modulstrang einem DC/AC-Wechselrichter zugeführt, der Gleichspannung in Wechselspannung umwandelt. Dies gilt insbesondere für photovoltaische Systeme, die in bestehende Stromnetze Leistung einspeisen, wie dies derzeit für die Mehrzahl der Anwendungen - wie Solaranlagen auf Dächern oder Freiflächen-Solaranlagen - der Fall ist.

Nach dem Stand der Technik haben Solarmodule mit wafer-basierenden Solarzellen wie beispielsweise kristallinen Silizium-Solarzellen typischerweise Ausgangs-Spannungen von unter 100 Volt. Noch typischer sind Leerlauf-Spannungen im Bereich von 10 Volt bis 50 Volt. Die maximal erreichbare Spannung ist dabei durch die Anzahl der Solarzellen begrenzt, da jede einzelne Solarzelle nur eine Leerlaufspannung im Bereich von 0,5 V bis maximal 0,8 V zur Verfügung stellen kann - typisch sind Leerlaufspannungen von 0,6 Volt pro Solarzelle - und die Anzahl der Solarzellen, die in einem Solarmodul vorteilhaft miteinander verbunden werden können, durch die Solarzellenflächen und letztlich die maximale Modulfläche begrenzt sind.

So werden nach dem Stand der Technik Solarmodule derart miteinander in Modulsträngen seriell verbunden, dass an den Wechselrichtern typischerweise Spannungen von

mehreren hundert Volt anliegen – noch typischer sind Spannungen von 100 Volt bis 500 Volt pro Modulstrang.

Generell wäre es jedoch wünschenswert, Solarmodule mit hoher Ausgangs-Spannung zur Verfügung zu haben und sehr hohe Spannungen für den Stromtransport nutzen zu können, da dadurch Widerstands-Verluste in den Verbindungskabeln und Kosten für Verbindungskabel mit großen Querschnitten der metallischen Leiter minimiert werden können. Bei Dünnschicht-Solarzellen ist dies bereits möglich und führt zu Kostenvorteilen auf Systemebene, sofern die hohen Spannungen nicht zur Schädigung der Solarmodule führen. Letztlich sind es diese möglichen Schädigungsmechanismen, die bei Dünnschichtmodulen die maximale Leerlaufspannung limitieren, da dort nicht ohne weiteres Schutzmechanismen wie Bypass-Dioden für einzelne Bereiche des Solarmoduls in die Module eingebaut werden können. Da die Dünnschichtsolarzellen bei Leckageströmen jedoch sehr viel Wärme produzieren können, wäre eine Leckage im Dauerbetrieb der Module fatal. Die Wahrscheinlichkeit für Leckage-Pfade ist jedoch von der maximalen Leerlaufspannung abhängig und wird derzeit in Dünnschichtmodulen üblicherweise auf maximal 1000 Volt begrenzt.

Ferner ist es wünschenswert und vorteilhaft, Solarmodule mit hoher Ausgangs-Spannung parallel miteinander in einzelnen Modulsträngen zu verbinden. Dadurch kann vermieden werden, dass bei Ausfällen oder Abschattung einzelner Module überproportionale Leistungseinbußen zu erwarten sind. Dies kann bei serieller Verschaltung der Solarmodule nur bedingt vermieden werden, selbst wenn Bypass-Dioden zum Einsatz kommen. Fällt beispielsweise das letzte Solarmodul in einem Modulstrang hin zum Wechselrichter (das dem Wechselrichter nächste Solarmodul) aus oder wird abgeschattet, so muss der komplette Strom der anderen Module des Modulstranges durch Bypass-Dioden laufen und die gewünschte Spannung für den Betrieb im maximalen Leistungspunkt der Module kann nicht aufgebaut werden. Somit fällt deutlich mehr Leistung weg, als es der Leistung des ausgefallenen Moduls entspricht. Werden keine Bypass-Wege geschaffen, fällt sogar die Leistung des kompletten Modulstranges weg. Dabei ist jedoch zu beachten, dass für einen idealen Bypass-Weg, dieser - z. B. durch geeignete Dimensionierung von Dioden - jeweils der Position des Solarmoduls im Modulstrang

angepasst werden müsste. Bei paralleler Verschaltung der Module kann der Bypass-Weg für alle Module des Modulstranges gleich dimensioniert werden, was zu einer erheblichen Kostenersparnis und Fertigungsvorteilen führt.

Mit den in den Abschnitten A-I beschriebenen Erfindungen ist es möglich, erstmals Solarmodule basierend auf kristallinen Halbleiterwafern - die zur Herstellung der Solarzellen und Solarmodule verwendet werden - mit Ausgangs-Spannungen von deutlich über 100 Volt mit wirtschaftlichen Massenfertigungsverfahren herzustellen. Dabei ist es durch die HOR-ZELLE-Technologie sogar möglich, bereits auf einzelnen Wafern, Teilbereiche durch geeignete Verschaltungstechnik im Modulverbund so zu verbinden, dass sich Spannungen von deutlich über 100 Volt pro Wafer ergeben, falls dies gewünscht wird. Werden ferner die Wafer, die sehr viele Einzel-Solarzellen enthalten können, ebenfalls über geeignete Bypassdioden seriell miteinander verbunden, so sind Modul-Leerlaufspannungen von deutlich über 1000 Volt möglich, falls dies wünschenswert erscheint.

Dies wird insbesondere dadurch ermöglicht, dass mit der HOR-ZELLE-Technologie hergestellt Solarzellen und Solarmodule eine erheblich bessere Beständigkeit und Absicherung gegen Abschattungen und hohe Rückwärtsspannungen haben und Leckagepfade selbst bei diesen hohen Spannungen noch nicht auftreten. Es ergeben sich daraus also beim Verschalten von Modulen in photovoltaischen Systeme ganz erhebliche Vorteile gegenüber dem Stand der Technik für kristalline Solarmodule sowie auch gegenüber Dünnschicht-Solarmodulen. Es erscheint dadurch also möglich, Solar-Module in entsprechenden Strängen durch geeignete Bypass-Absicherungen parallel miteinander zu verbinden und das photovoltaische System weniger anfällig gegen Ausfälle und Abschattung zu machen. Dies ist besonders bei Aufstellungsorten sinnvoll, bei denen keine permanente Überwachung des photovoltaischen Systems erfolgt bzw. die Reparatur oder der Austausch von Komponenten mit erheblichem Zeitaufwand und Kosten verbunden sind. Weitere Kostenvorteile ergeben sich durch geringere Leistungsverluste in den Kabelverbindungen und geringere Kosten für die Kabelverbindungen.

Ferner ist es mit den vorliegenden Erfindungen erstmals möglich, auch Modulstränge mit sehr hohen Ausgangs-Spannungen herzustellen. Bei geeigneter Absicherung der Solarmodule über Bypass-Wege - gegebenenfalls mit intelligenter Leistungselektronik - ist es erstmals möglich, Spannungen aufzubauen, die für Ultra-Hochspannungsleitungen, die mit Gleichstrom - 400 kV und mehr - betrieben werden, geeignet sind. Dabei ist bekannt, dass derartige Hochspannungsleitungen bereits erhebliche Vorteile gegenüber den konventionellen Wechselstrom-Hochspannungsleitungen aufweisen. Da die Solarmodule bereits Gleichspannung liefern, kann auf eine erneute Umrichtung verzichtet werden, so dass es genügt, Transformatoren in die photovoltaischen Systeme zu integrieren, um diese sehr hohen Gleichspannungen aufbauen zu können. Es ist ferner bekannt, dass mit derartigen Gleichstrom-Hochspannungsleitungen beim Transport über sehr lange Strecken - Hunderte von Kilometern - deutlich geringere Leistungsverluste beim Transport von Energie erreicht werden können. Diese Technologie erscheint also besonders geeignet für entlegene, sonnenreiche Gebiete, wie Wüsten, aus denen die elektrische Energie in Regionen transportiert werden soll, in denen die Energie von Kunden verbraucht wird. Es erscheint damit auch möglich, Energieaustausch zwischen Regionen herzustellen, die sehr unterschiedliche Zyklen bei Angebot und Nachfrage günstiger elektrischer Energie haben. So ist es beispielsweise auch denkbar, Regionen mit unterschiedlichen Zeitzonen oder sogar unterschiedlichen Jahreszeiten miteinander zu verbinden, um jederzeit eine Versorgung mit kostengünstiger Solarenergie sicherstellen zu können.

Ein weiterer Vorteil von Modulen mit sehr hoher Ausgangsspannung kann in photovoltaischen Systemen dadurch erzielt werden, dass diese Module vor Diebstahl geschützt werden, indem die Hochspannung so eingesetzt wird, dass ein Demontieren von Solarmodulen - z. B. Abklemmen der Verbindungsleitungen bzw. Zugang zu den Modulen in Freiflächenanlagen - nur von Experten vorgenommen werden kann und mit erheblichem Zeitaufwand verbunden ist. Durch diese Sicherungsmaßnahme kann bei Verwendung geeigneter Kondensatoren - für die Zeiten, in denen das photovoltaische System nicht aktiv Energie produziert, aber dennoch geschützt werden soll - sichergestellt werden, dass bei ungewünschte Zugang von Unbefugten eine schnelle Demontage der Solaranlage nicht möglich ist und in dieser Zeit durch geeignete Überwachungsmechanismen

ein Alarm ausgelöst werden kann, der einerseits ermöglicht, dass Sicherungskräfte zum Schutz der Anlage vor Ort eintreffen und andererseits der potenzielle Diebstahl oder die absichtliche Schädigung der Anlage mit Filmaufnahmen oder fotografisch dokumentiert werden kann. Dies ist insbesondere bei photovoltaischen Systemen nützlich, die sich entfernt oder weit entfernt von Ansiedlungen befinden. Insbesondere ist dies auch in Regionen interessant die politisch instabil sind, bzw. keinen Eigentumsschutz durch staatliche Instanzen oder Sicherheitsorgane gewährleisten können.

In besonderer Weise eignen sich die erläuterten Erfindungen auch für Solar-Konzentrator-Anwendungen, bei denen in sonnereichen Regionen mit viel direkter Sonneneinstrahlung um ein Vielfaches konzentriertes Sonnenlicht von hoch-effizienten Hochspannungs-Solarzellen mit HOR-ZELLE-Technologie in elektrische Energie umgewandelt wird. In Frage kommen auch andere Anwendungen für Konzentrator-Solarzellen. Besonders geeignet erscheint jedoch die bereits beschriebene Anwendung mit Receiver-Rohren, in denen die Konzentrator-Solarzellen miteinander verschaltet werden und beispielsweise von Parabolrinnen-Spiegeln das konzentrierte Sonnenlicht zugeführt bekommen. Bei photovoltaischen Systemen mit Konzentrator-Solarzellen ist es besonders wichtig zu hohen Solarmodul-Spannungen überzugehen und Leistungsverluste in den leitenden metallischen Kontakten und Verbindungen zu minimieren.

Weitere Einzelheiten der Erfindungen und Aspekte dieser ergeben sich aus Nachfolgendem, wobei Merkmale für sich und/oder in Kombination erfinderisch sind

Wie die zuvor erfolgten Ausführungen verdeutlichen, bezieht sich eine Erfindung unter anderem auf ein Verfahren zur Herstellung von großflächigen, kristallinen, dünnen Halbleiterplatten und zeichnet sich dadurch aus, dass Halbleitermaterial aufgeschmolzen wird und nach dem Erstarren der Schmelze Halbleiterplatten geformt werden, wobei nach dem Erstarren der Schmelze, während die Halbleiterplatten geformt werden, sehr geringe Dotierstoffkonzentrationen von weniger als 10^{15} Dotierstoffatomen/cm³, im Halbleitermaterial vorhanden sind, oder dass Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien absichtlich der Schmelze zuzuführen, und dass nach dem Erstarren der Schmelze die Halbleiterplatten geformt werden, oder dass

Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien derart der Schmelze zuzuführen, dass während die Halbleiterplatten geformt werden, nach dem Erstarren der Schmelze die Halbleiterplatten mit einer über ihr Volumen hinweg homogenen effektiven Dotierung vom Typ p-Dotierung oder n-Dotierung versehen sind, die netto einen spezifischen Widerstand von weniger als 100 ohm cm aufweist, oder dass Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien zuzuführen, so dass, während die Halbleiterplatten geformt werden, nach dem Erstarren der Schmelze die Halbleiterplatten zunächst eine intrinsische Halbleiterqualität (ohne Vorzugs-Dotierung) aufweisen.

Bevorzugterweise ist vorgesehen, dass Dotierstoffkonzentrationen von weniger als 10^{14} Dotierstoffatomen/cm³, bevorzugterweise Dotierstoffkonzentrationen von weniger als 10^{13} Dotierstoffatomen/cm³, besonders bevorzugt Dotierstoffkonzentrationen von weniger als 10^{12} Dotierstoffatomen/cm³ im Halbleitermaterial vorhanden sind.

Insbesondere ist vorgesehen, dass durch geringere Verunreinigungskonzentrationen im Halbleitermaterial Halbleiterplatten mit weniger kristallinen Defekten gefertigt werden.

Insbesondere ist vorgesehen, dass die Anzahl an kristallinen Defekten wie Versetzungslinien in den Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.

Insbesondere ist vorgesehen, dass die Anzahl an kristallinen Defekten wie Korngrenzen in multikristallinen Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.

Insbesondere ist vorgesehen, dass die Anzahl an kristallinen Defekten wie Leerstellen oder interstitiellen Atomen in den Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.

Insbesondere ist vorgesehen, dass Dotierbereiche im Volumen der hergestellten Halbleiterplatten erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten ausgebildet werden.

Insbesondere ist vorgesehen, dass Dotierbereiche im Volumen der hergestellten Halbleiterplatten erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.

Insbesondere ist vorgesehen, dass Dotierbereiche beider Dotierungstypen (p-Typ und n-Typ) erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.

Insbesondere ist vorgesehen, dass Dotierbereiche die tiefer als bis zur Hälfte der Dicke der Halbleiterplatte ins Volumen der Halbleiterplatte eindringen, erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.

Insbesondere ist vorgesehen, dass Dotierbereiche beider Dotierstofftypen (n-Typ und p-Typ) im Volumen der Halbleiterplatte erst in einem zweiten oder weiteren Verfahrensschritten nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden, so dass die dann in diesem zweiten oder weiteren Verfahrensschritten Dotierstoffatome in allen Bereichen der Halbleiterplatte absichtlich und gezielt eingebracht werden.

Insbesondere ist vorgesehen, dass die Dotierstoffe nach Herstellung der Halbleiterplatten durch Verfahren wie Diffusion und oder Legieren bei Temperaturen oberhalb von 500° C in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass die Dotierstoffe nach Herstellung der Halbleiterplatten durch Verfahren in die Halbleiterplatte eingetrieben werden, bei denen Dotierstoffatome ausgehend von den Oberflächen oder ausgehend von Teilen der Oberfläche der

Halbleiterplatten bei Temperaturen oberhalb von 500° C in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Reinigungsverfahren eingesetzt wird, das Verunreinigungen an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein nass-chemisches Reinigungsverfahren eingesetzt wird, das Verunreinigungen an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, trockenchemische Reinigungsverfahren, wie beispielsweise Plasma-Reinigungsverfahren und oder Gasphasen-Reinigungsverfahren eingesetzt werden, die Verunreinigungen an den Oberflächen der Halbleiterplatten entfernen.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Strukturierungs- oder Texturierungs- oder Oberflächenaufrauungsverfahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Ätzver-

fahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein nass-chemisches Ätzverfahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein trocken-chemisches Ätzverfahren – wie beispielsweise Plasma-Ätzen - eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.

Insbesondere ist vorgesehen, dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, oberflächen-nahe kristalline Defekte oder Verunreinigungen auf den Oberflächen der Halbleiterplatten durch geeignete Verfahren entfernt werden.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff mit den Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff mit Teilen der Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff während einer Temperaturbehandlung zum Beispiel über die die Halbleiterplatte umgebende Atmosphäre zu Oberflächen der Halbleiterplatten transportiert wird und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff während einer Temperaturbehandlung zum Beispiel über die die Halbleiterplatte umgebende Atmosphäre gezielt zu Teilen der Oberflächen der Halbleiterplatten transportiert wird und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst Dotierstoff in Form einer Dotierstoffquelle mit den Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C sich die Dotierstoffquelle derart umwandelt, dass Dotierstoff ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst Dotierstoff in Form einer Dotierstoffquelle mit Teilen der Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C sich die Dotierstoffquelle derart umwandelt, dass Dotierstoff ins Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff bei Temperaturen unterhalb des Schmelzpunktes des für die Halbleiterplatten verwendeten Halbleitermaterials in den Halbleiter eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff durch lokales Schmelzen, Legieren oder Diffusion in die Halbleiterplatten eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff nicht homogen verteilt in die Halbleiterplatten eingebracht wird.

Insbesondere ist vorgesehen, dass Dotierstoff von Oberflächen oder Teilen der Oberflächen ausgehend mit Gradienten in der Dotierstoffkonzentrationen, die sich in alle drei Raumdimensionen erstrecken können, in die Halbleiterplatten eingetrieben wird.

Insbesondere ist vorgesehen, dass mehr als ein Dotierstoff von Teilen der Oberflächen ausgehend in die Halbleiterplatten eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoffe unterschiedlicher Art und oder unterschiedlichen Typs zur n-Dotierung oder p-Dotierung der Halbleiterplatten von Oberflächen oder Teilen der Oberflächen ausgehend in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, Phosphor oder Aluminium oder Bor ist.

Insbesondere ist vorgesehen, dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, eines der Elemente Ga, In, Tl oder ein weiteres Element der dritten Hauptgruppe des Periodensystems mit drei Valenzelektronen ist.

Insbesondere ist vorgesehen, dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, eines der Elemente As, Sb, Bi, oder ein weiteres Element der fünften Hauptgruppe des Periodensystems mit fünf Valenzelektronen oder Tm ist.

Insbesondere ist vorgesehen, dass das Halbleitermaterial der hergestellten Halbleiterplatten vorwiegend Silizium ist.

Insbesondere ist vorgesehen, dass die hergestellten Halbleiterplatten sogenannte Wafer zur Herstellung von Halbleiterbauelementen sind, die vorzugsweise in zwei Raumrichtungen Abmessungen von mehr als 50 mm aufweisen, noch bevorzugter Abmessungen zwischen 100 mm und 400 mm aufweisen, und deren Dicke vorzugsweise im Bereich 20 μm bis 500 μm , noch bevorzugter im Bereich 50 μm bis 300 μm ist.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach deren Herstellung zumindest teilweise zur Herstellung von Solarzellen als Halbleiterbauelemente verwendet werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten zunächst aus nahezu intrinsischem Silizium bestehen und anschließend Dotierstoffbereiche unterschiedlicher Polarität und Dotierstoffkonzentration in allen Bereichen der Halbleiterplatten ausgebildet werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet werden, dass auf vergleichsweise geringem Raumvolumen große Mengen von Halbleiterplatten gleichzeitig einer Temperaturbehandlung unterzogen werden können.

Insbesondere ist vorgesehen, dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet werden, dass sich der überwiegende Teil der Halbleiterplatten bei der Temperaturbehandlung zumindest an Teilen ihrer Oberflächen mit benachbarten Halbleiterplatten berührt.

Insbesondere ist vorgesehen, dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet sind, dass sie während der Temperaturbehandlung stapelförmige Anordnungen bilden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten-Anordnungen in Einhausungen gemeinsam prozessiert werden, die bevorzugt aus reinen Halbleitermaterialien, Quarz oder hochreinen Keramiken bestehen.

Insbesondere ist vorgesehen, dass die Halbleiterplatten-Anordnungen zumindest teilweise durch für Halbleiterprozesse reine Platten oder andere Form gebende Bauteile stirnseitig und oder an ihren Seitenkanten abgedeckt oder in ihrer Form bzw. der Form der Anordnung stabilisiert werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesstemperaturen oberhalb von 1100 °C verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesstemperaturen zwischen 1100 °C und 1400 °C, bevorzugt zwischen 1200 °C und 1400 °C, verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesszeiten von mehr als 2 Stunden, bevorzugt von mehr als 4 Stunden, besonders bevorzugt von mehr als 8 Stunden, ganz besonders bevorzugt von mehr als 12 Stunden bzw. von mehr als 24 Stunden verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe reduzierende Prozessatmosphären verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe oxidierende bzw. sauerstoffhaltige Prozessatmosphären verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe inerte Prozessatmosphären wie beispielsweise Stickstoff oder Argon verwendet werden.

Insbesondere ist vorgesehen, dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozessatmosphären mit Unterdruck zur Umgebungsatmosphäre bzw. Vakuum-Umgebungsbedingungen verwendet werden.

Insbesondere ist vorgesehen, dass die Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe in einem Kammerofensystem durchgeführt wird.

Insbesondere ist vorgesehen, dass die Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe in einem Kammerofensystem durchgeführt wird, wie es zur Kristallisation von Halbleitermaterialien zum Beispiel bei der Herstellung multikristalliner Siliziumblöcke verwendet wird.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit dem Ziel unterzogen werden, Verunreinigungen im Halbleitermaterial während der Temperaturbehandlung aus dem Material in eine die Halbleiterplatten umgebende Atmosphäre bzw. in auf dem Halbleitermaterial aufgebrachte oberflächennahe Schichten entweichen zu lassen und somit die Verunreinigungskonzentration in den Halbleiterplatten merklich zu reduzieren.

Ein selbstständig Schutz genießendes Verfahren zur Herstellung von großflächigen kristallinen, dünnen Halbleiterplatten, die nach dem Kristallisationsprozess zu deren Herstellung zunächst größere Mengen an Verunreinigungen im Halbleitermaterial aufweisen, zeichnet sich dadurch aus, dass die dünnen großflächigen Halbleiterplatten einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit dem Ziel unterzogen werden, Verunreinigungen im Halbleitermaterial während der Temperaturbehandlung aus dem Material in eine die Halbleiterplatten umgebende Atmosphäre bzw. in auf dem Halbleitermaterial aufgebrachte oberflächennahe Schichten entweichen zu lassen und somit die Verunreinigungskonzentration in den Halbleiterplatten merklich zu reduzieren.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehand-

lung oberhalb von 1200 °C und/oder einer weiteren Temperaturbehandlung oberhalb von 1300 °C unterzogen werden.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit einer Behandlungsdauer von mehr als 4 Stunden, vorzugsweise mehr als 12 Stunden, insbesondere mehr als 24 Stunden, unterzogen werden.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei der oberhalb von 1000 °C Abkühlgradienten verwendet werden, die weniger steil als beim Kristallisationsprozess verlaufen.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei der oberhalb von 900 °C, vorzugsweise oberhalb von 500 °C, Abkühlgradienten verwendet werden, die weniger steil als beim Kristallisationsprozess verlaufen.

Insbesondere ist vorgesehen, dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei dem Dotierstoffe oder metallische Verunreinigungen aus dem Halbleitermaterial an dessen Oberfläche an die die Halbleiterplatten umgebende Atmosphäre oder oberflächennahe Schichten abgegeben werden.

Insbesondere ist vorgesehen, dass während der Temperaturbehandlung zumindest von Teilen der Halbleiterplatten-Oberflächen ausgehend zumindest ein Dotierstoff für das entsprechende Halbleitermaterial mehr als 10 µm tief, bevorzugt mehr als bis zur Hälfte der Dicke der Halbleiterplatten tief in das Halbleitermaterial eingetrieben wird.

Insbesondere ist vorgesehen, dass während der Temperaturbehandlung zumindest von Teilen der Halbleiterplatten-Oberflächen ausgehend zumindest ein Dotierstoff für das entsprechende Halbleitermaterial so tief in das Halbleitermaterial eingetrieben wird, dass zuvor nicht vorhandene Verbindungen von Dotierbereichen des vom entsprechenden Dotierstoff verursachten Dotierstofftyps entstehen, die von einer Oberfläche der Halbleiterplatten zur gegenüberliegenden Oberfläche der Halbleiterplatten durch die Dicke der Halbleiterplatten hinweg reichen.

Insbesondere ist vorgesehen, dass während der Temperaturbehandlung Dotierstoffatome in die Halbleiterplatten eingetrieben werden, deren Atomradien möglichst wenig von denen der Halbleiteratome abweichen.

Insbesondere ist vorgesehen, dass durch die Verwendung von Aluminium, das in einer separaten Temperaturbehandlung nach der Kristallisation mehr als 10 μm tief in den Halbleiter von Oberflächen oder Teilen der Oberflächen ausgehend eingetrieben wird, weniger mechanische Spannungen oder Stress im Halbleiter entstehen, als dies bei üblichen Kristallisationsprozessen, Diffusionsprozessen oder Legierungsprozessen zur Herstellung dieser p-dotierten Bereiche im Halbleiter bei Verwendung von Bor, Gallium, Indium oder Thallium als Dotierstoffatome der Fall wäre.

Insbesondere ist vorgesehen, dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten reduziert werden, dass sich bei den Abkühlprozessen nach dieser Temperaturbehandlung geringere Temperaturgradienten innerhalb der Halbleiterplatten ausbilden, als dies bei Abkühlprozessen nach der Kristallisation für die entsprechenden Bereiche der Halbleiterplatte der Fall war.

Insbesondere ist vorgesehen, dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten dadurch reduziert werden, dass sich in stapelförmigen oder anderen verdichteten Anordnungen von plattenförmigen Halbleiterscheiben beim Abkühlvorgang keine so hohen Temperaturgradienten innerhalb des Halbleitermaterials ausbilden können.

nen, wie das im Halbleitermaterial beim Abkühlen Halbleiterblöcken mit großem Volumen (mehr als das Hundertfache des Volumens der Halbleiterplatten) nach der Kristallisation bei vergleichbaren Abkühlraten der Fall ist.

Insbesondere ist vorgesehen, dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten dadurch reduziert werden, dass sich in stapelförmigen oder anderen verdichteten Anordnungen von plattenförmigen Halbleiterscheiben beim Abkühlvorgang keine so hohen Temperaturgradienten innerhalb des Halbleitermaterials ausbilden können, wie das bei Kristallisationsprozessen für bandgezogene Halbleiterplatten oder Folien-Halbleiterplatten der Fall ist.

Insbesondere ist vorgesehen, dass das Halbleitermaterial Silizium, insbesondere sogenanntes UMG-Silizium (Up-graded Metallurgical Grade) oder anderes qualitativ gegenüber Silizium, das für die Halbleiterindustrie üblicherweise verwendet wird (semiconductor grade), qualitativ minderwertigeres Silizium ist.

Insbesondere ist vorgesehen, dass während dem oder den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Anzahl kristalliner Defekte wie Versetzungslinien, Versetzungsebenen, Versetzungs-Cluster, Korngrenzen die in flachem Winkel zu den Oberflächen der Halbleiterplatten verlaufen, oder andere bekannte kristalline Defekte in ihrer Anzahl in den Halbleiterplatten reduziert werden oder aus dem Halbleitermaterial entfernt werden.

Insbesondere ist vorgesehen, dass während dem oder den, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n mechanische Spannungen oder Stress in den Halbleiterplatten reduziert werden.

Insbesondere ist vorgesehen, dass während dem oder den, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Welligkeit der Halbleiterplatten reduziert wird und oder die Ebenheit der Halbleiterplatten verbessert wird.

Insbesondere ist vorgesehen, dass durch den oder die, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Bruchanfälligkeit der Halbleiterplatten in nachfolgenden Prozessschritten zur Herstellung von Halbleiterbauelementen signifikant reduziert wird.

Insbesondere ist vorgesehen, dass durch den oder die, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Anzahl der Verunreinigungen innerhalb der Halbleiterplatten signifikant reduziert wird.

Insbesondere ist vorgesehen, dass durch den oder die der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen innerhalb der Halbleiterplatten unschädlich gemacht werden, weniger schädlich gemacht werden oder in Bereichen angesammelt werden, in denen sie die Funktionsweise der späteren Halbleiterbauelemente weniger stören.

Insbesondere ist vorgesehen, dass der oder die, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome in den Halbleiter eintreiben.

Insbesondere ist vorgesehen, dass der oder die der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome nur einen Typs (n-Typ oder p-Typ) in den Halbleiter eintreiben.

Insbesondere ist vorgesehen, dass der oder die, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome verschiedener Dotierstoff-Elemente und oder verschiedener Dotierstofftypen in einem oder mehreren aufeinander folgenden Verfahrensschritten in den Halbleiter eintreiben.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Teile der Halbleiterplattenoberflächen vom Eindringen von Verunreinigungen und/oder Dotierstoffatomen durch geeignete Maskierschichten wie beispielsweise Siliziumoxid, Siliziumnitrid, Aluminiumoxid oder andere, für Halbleiterprozesse geeignete Schichten, geschützt werden.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome ausgehend von lokalen, nicht durch Masken abgedeckten Bereichen der Halbleiterplattenoberflächen in die Halbleiterplatten eindringen, während andere Bereiche der Oberflächen der Halbleiterplatten vor dem Eindringen dieser Dotierstoffatome geschützt oder maskiert sind.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n unterschiedliche Dotierstoffatome ausgehend von verschiedenen lokalen, nicht durch Masken abgedeckten Bereichen der Halbleiterplattenoberflächen in die Halbleiterplatten eindringen, während andere Bereiche der Oberflächen der Halbleiterplatten vor dem Eindringen dieser Dotierstoffatome geschützt oder maskiert sind.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n zumindest ein Typ Dotierstoffatome weiter als 10 μm , vorzugsweise weiter als 30 μm , insbesondere weiter als bis zur Hälfte der Dicke der Halbleiterplatten in die Halbleiterplatten eindringt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome von zumindest einem der Elemente Al, B, P in die Halbleiterplatten eindringen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von

denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die bis zum Halbleiterübergang oder den Halbleiterübergansbereichen reichen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die sowohl für die n-Typ-Dotierung, als auch die p-Typ-Dotierung bis zum Halbleiterübergang oder den Halbleiterübergansbereichen reichen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die zumindest für einen Dotierstofftyp an keiner Stelle eine Dotierstoffkonzentration von mehr als 10^{20} Dotierstoffatomen/cm³, insbesondere von mehr als 10^{19} Dotierstoffatomen/cm³, vorzugsweise von mehr als 10^{18} Dotierstoffatomen/cm³ aufweisen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die für beide Dotierstofftypen an keiner Stelle eine Dotierstoffkonzentration von mehr als 10^{19} Dotierstoffatomen/cm³ aufweisen.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich durchgängige Bereiche diesen Dotierstofftyps durch die komplette Dicke der Halbleiterplatte hinweg ergeben.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden,

dass es auch tiefer als 10 μm in der Halbleiterplatte zu (horizontalen) Halbleiterübergängen in zumindest einer Richtung senkrecht zur Waferoberfläche kommt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es auch tiefer als 10 μm in der Halbleiterplatte zu vielen – vorzugsweise mehr als hundert - (horizontalen) Halbleiterübergängen in zumindest einer Richtung senkrecht zur Waferoberfläche kommt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es in der Halbleiterplatte zu vielen – vorzugsweise mehr als hundert – vertikal durchgängigen Dotierstoffgebieten unterschiedlichen Typs mit vielen – vorzugsweise über hundert - (horizontalen) Halbleiterübergängen in zumindest einer Richtung senkrecht zur Waferoberfläche kommt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es bei multikristallinen Halbleiterplatten zu mehreren vertikal durchgängigen Dotierstoffgebieten unterschiedlichen Typs innerhalb der meisten multikristallinen Körner kommt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es bei bandgezogenen multikristallinen Halbleiterplatten (wie beispielsweise EFG-Si oder „string ribbon Si“) zu vielen – vorzugsweise mehr als hundert - vertikal durchgängigen Dotierstoffgebieten unterschiedlichen Typs – vorzugsweise abwechselnder Polarität oder alternierenden Dotierstofftyps - entlang der Ziehrichtung beim Kristallisieren dieser Halbleiterplatten kommt.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden,

dass der Abstand des p-n-Halbleiterüberganges zu den entsprechenden Oberflächen, von denen ausgehend die Dotierstoffe eingetrieben wurden, so gewählt ist, dass das Verhältnis des Abstandes im p-Gebiet zum Abstand im n-Gebiet im Wesentlichen dem Verhältnis der Minderheitsladungsträger-Diffusionslängen von p-Gebiet zu n-Gebiet entspricht.

Insbesondere ist vorgesehen, dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass Halbleiterplatten entstehen, die in oberflächennahen Gebieten von mehr als 10 µm Eindringtiefe ein zunächst über zumindest eine der Oberflächen hinweg ein im Wesentlichen gleichmäßiges Dotierstoff-Eindringtiefen-Profil entsteht, innerhalb dessen später Halbleiterbauelemente auf den Halbleiterplatten gefertigt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n großflächige dünne Halbleiterplatten so verdichtet werden, dass möglichst viele Halbleiterplatten schadigungsarm auf vergleichsweise geringem Volumen gleichzeitig einer Temperaturbehandlung mit nahezu identischem Temperatur-Zeit-Verlauf ausgesetzt werden können und/oder dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n zum Eintreiben von Dotierstoffatomen Teile der Oberflächen der Halbleiterplatten so mit oberflächennahen Schichten versehen sind, dass das Eindringen von Dotierstoffatomen an diesen Stellen verlangsamt oder verhindert wird.

Insbesondere ist vorgesehen, dass zunächst Barriere-Schichten für Verunreinigungen wie Dotierstoffe oder Metallatome auf die Oberflächen der großflächigen, dünnen Halbleiterplatten aufgebracht oder in diesen Oberflächen einwächst und sodann in einem weiteren Verfahrensschritt an Teilen der Oberflächen diese Schichten durch Verfahren wie beispielsweise Ablation, Ätzen oder mechanisches Entfernen wieder zum Halbleiter hin geöffnet werden und schließlich in einem weiteren Verfahrensschritt - zumindest lokal an den in den Barriere-Schichten geöffneten Bereichen - Dotierstoffe bei erhöhten Prozesstemperaturen zwischen 577 °C und 1407 °C in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Barriere-Schichten zumindest an Teilen der Oberflächen der Halbleiterplatten das Eindringen von Verunreinigungen verhindern und gleichzeitig als Dotierstoffquelle dienen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n an in Barrierschichten auf den Halbleiterplatten-Oberflächen zumindest teilweise zum Halbleiter hin geöffneten Bereichen Dotierstoffe aus der Prozessatmosphäre oder Gasphase in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n an zumindest Teilen der Halbleiterplatten-Oberflächen Schichten wie Siliziumoxide, Silizium-oxinitride, Aluminiumoxide, Siliziumcarbid, Diamantbeschichtungen oder keramische Beschichtungen zumindest teilweise das Eindringen von Verunreinigungen wie beispielsweise Dotierstoffen oder Metallatomen reduzieren oder verhindern.

Insbesondere ist vorgesehen, dass vor einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n eine oder mehrere Dotierstoffquellen auf den Halbleiterplatten aufgebracht werden, so dass in dem/n nachfolgenden Hochtemperatur-Behandlungsschritte/n Dotierstoffe von dort ausgehend in den Halbleiterplatten eingetrieben werden können.

Insbesondere ist vorgesehen, dass vor einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n eine oder mehrere Dotierstoffquellen derart auf den Halbleiterplatten aufgebracht werden, so dass in dem/n nachfolgenden Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die in verdichteten Anordnungen wie beispielsweise Halbleiterplatten-Stapeln befindlichen Halbleiterplatten eingetrieben werden können und die verdichteten Anordnungen wie beispielsweise

Halbleiterplatten-Stapel, danach wieder aufgelöst werden können, ohne die Halbleiterplatten zu schädigen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden, die sich nicht dazu eignen, um direkt aus Halbleiter-schmelzen heraus beim Abkühlen nach der Kristallisation weitgehend homogen dotierte Halbleiterplatten zu erhalten.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dabei Dotierstoffatome gewählt werden, deren Atomradien möglichst wenig von denen der in den Halbleiterplatten am häufigsten vorkommenden Halbleiter-Elemente abweichen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch eine höhere gemittelte Minderheitsladungsträger-Diffusionslänge in den aus den Halbleiterplatten herzustellenden Halbleiterbauelementen erzielt wird, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch geringere mechanische Spannungen in den Halbleiterplatten entstehen, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiter-

platten eingetrieben werden und dadurch geringere mechanische Spannungen in den Halbleiterplatten entstehen, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre und dadurch die Bruchempfindlichkeit für Halbleiterplatten und Halbleiterbauelemente in nachfolgenden Prozessschritten und oder während der Lebensdauer der Halbleiterbauelemente gesenkt werden kann.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch eine geringere Welligkeit oder eine verbesserte Ebenheit in den Halbleiterplatten entstehen, als dies vergleichsweise der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.

Insbesondere ist vorgesehen, dass nach der Kristallisation zunächst wellige Oberflächen von beispielsweise bandgezogenen Siliziumwafer durch diese Verfahren in ihrer Welligkeit deutlich reduziert werden können, so dass vorzugsweise eine Welligkeit von weniger als 1 mm, vorzugsweise von weniger als 0,5 mm und noch bevorzugter eine Welligkeit im Bereich der Dicke bzw. Dickenschwankungen der Halbleiterplatten entsteht.

Insbesondere ist vorgesehen, dass nach der Kristallisation während einem der nachfolgenden Temperatur-Behandlungsschritte Halbleiterplatten wie beispielsweise bandgezogene Halbleiterplatten wie beispielsweise EFG-Siliziumwafer durch mechanische Kräfte während der Temperaturbehandlung in eine andere Form gebracht werden, die vorzugsweise eine geringere Welligkeit und oder verbesserte Ebenheit der Halbleiterplatten zur Folge hat.

Insbesondere ist vorgesehen, dass nach der Kristallisation während einem der nachfolgenden Temperatur-Behandlungsschritte Halbleiterplatten wie beispielsweise bandgezogene Halbleiterplatten wie beispielsweise EFG-Siliziumwafer durch Hilfsmittel wie

beispielsweise Platten oder Carrier oder Boxen während der Temperaturbehandlung mechanisch gehalten, geführt, stabilisiert, komprimiert oder vor Verunreinigungen oder mechanischen Schädigungen geschützt werden.

Insbesondere ist vorgesehen, dass durch Vermeiden eines entsprechenden Dotierstoffes als Zugabe bei der Kristallisation und das nachträgliche Eintreiben diesen Dotierstoffes in nachfolgenden Hochtemperatur-Behandlungsschritten das Lösen von Verunreinigungen aus den Tiegelwänden in die Halbleiterschmelze zumindest verringert werden kann und oder die Tiegelwände länger beständig sind und oder länger der Halbleiterschmelze ausgesetzt werden können.

Insbesondere ist vorgesehen, dass während der Kristallisation auf die Zugabe von Bor verzichtet wird und dadurch weniger Kohlenstoff aus die Halbleiterschmelze umgebenden Oberflächen in die Halbleiterschmelze gelangen.

Insbesondere ist vorgesehen, dass während der Kristallisation auf die Zugabe von Dotierstoffatomen verzichtet wird und dadurch auch weniger andere Verunreinigungen in die Halbleiterschmelze gelangen oder weniger andere Verunreinigungen aus der Halbleiterschmelze in die nach der Kristallisation geformten Halbleiterplatten gelangen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem Volumen der Halbleiterplatten an Oberflächen der Halbleiterplatten entfernt oder abgedampft werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem Volumen der Halbleiterplatten in oberflächennahen Bereichen oder Schichten angesammelt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem

Volumen der Halbleiterplatten in oberflächennahen Bereichen oder Schichten zunächst angesammelt werden und dann mit zumindest einem Teil dieser Bereiche oder Schichten entfernt werden, beispielsweise durch Ätz- oder Ablationsprozesse.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen der Halbleiterplatten mobilisiert werden und bis zu den Oberflächen der Halbleiterplatten gelangen, so dass sie dort durch Ätz-, Ablations- oder Reinigungsverfahren entfernt werden können.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen der Halbleiterplatten mobilisiert werden und bis zu den Oberflächen der Halbleiterplatten gelangen, so dass sie dort durch Getterverfahren, wie beispielsweise Phosphor-Gettern, Aluminium-Gettern, Chlor-Gettern oder durch Oxidation der Oberflächen gebunden bzw. aus dem Halbleitermaterial durch geeignete Schritte entfernt werden können.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n, bei denen Verunreinigungen im Volumen der Halbleiterplatten mobilisiert werden können, die bei gängigen Verfahrensabläufen für separate Temperaturbehandlungsschritte nach der Kristallisation mit maximalen Prozesstemperaturen für die herzustellenden Halbleiterbauelemente von 900 °C vorzugsweise von 1100 °C nicht mobilisiert und eingesammelt werden könnten.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer reduzierenden Atmosphäre, die beispielsweise Wasserstoff und Chlor oder Chlorverbindungen oder Fluor oder Fluorverbindungen enthalten kann, ausgesetzt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer sauerstoffhaltigen oder oxidierenden Atmosphäre ausgesetzt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer ätzenden Atmosphäre ausgesetzt werden, wobei diese Atmosphäre entweder das Halbleitermaterial und oder Schichten an der Oberfläche des Halbleitermaterials wegätzen kann.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung wahlweise sequentiell nacheinander unterschiedlichen Atmosphären wie beispielsweise oxidierenden, reduzierenden, ätzenden oder inerten Gasatmosphären ausgesetzt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass sie zeitgleich oder sequentiell nacheinander durch zwei oder mehr unterschiedliche Getter-Mechanismen mit unterschiedlichem Einfangsquerschnitt und unterschiedlicher Bindungsaffinität für die entsprechenden Verunreinigungen eingesammelt oder in oberflächennahen Gebieten angesammelt werden.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich dadurch in unmittelbarer Nähe der Kristalldefekte mit erhöhter Dotierstoffanreicherung elektrische Felder ausbilden, die Minderheitsladungsträger in den aus den Halbleiterplatten hergestellten Halbleiterbauelementen von diesen Bereichen abschirmen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und zugleich

in diesen Bereichen andere mobile Verunreinigungen im Halbleitermaterial, wie beispielsweise metallische Verunreinigungen dort ebenfalls angereichert werden

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus durch die Dicke der Halbleiterplatte vertikal durchgängige Bereiche höherer Dotierstoffkonzentration entlang dieser kristallinen Defektbereiche - wie beispielsweise vertikal durchgängigen Korngrenzen oder Versetzungen - ergeben, die ferner beispielsweise für Minderheitsladungsträger als Potentialbarrieren wirken können.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus Potentialbarrieren für Minderheitsladungsträger in den späteren Halbleiterbauelementen ergeben, entlang derer die Minderheitsladungsträger mit höherer Wahrscheinlichkeit einem p-n-Übergang zugeführt werden, als dies ohne die Potentialbarrieren entlang kristalliner Defekte der Fall wäre.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus Potentialbarrieren für Minderheitsladungsträger in den späteren Halbleiterbauelementen ergeben, die die effektive Diffusionslänge für Minderheitsladungsträger im fertiggestellten Halbleiterbauelement erhöhen.

Insbesondere ist vorgesehen, dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n aus Verunreinigungselementen bestehende Präzipitatbereiche im Halbleitermaterial zunächst derart umgewandelt werden, dass sich zumindest ein Teil der Verunreinigungen aus den Präzipitaten löst und als interstitielle oder ins Kristallgitter eingebundene Verunreinigungen ausreichend mobil wird, um an anderen Orten der Halbleiterplatten, wie zum Beispiel an deren Oberflächen, eingesammelt oder unschädlich gemacht oder aus dem Halbleiter entfernt zu werden.

Insbesondere ist vorgesehen, dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass Verunreinigungen und kristalline Defekte, die die Diffusionslänge von Minderheitsladungsträgern in UMG-Si-Halbleiterplatten limitieren, merklich in ihrer Konzentration, vorzugsweise um mindestens eine Größenordnung in ihrer Konzentration gesenkt werden.

Insbesondere ist vorgesehen, dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass Verunreinigungen und kristalline Defekte, die zu Degradationseffekten von aus UMG-Si-Halbleiterplatten hergestellten

Halbleiterbauelementen führen, merklich in ihrer Konzentration, vorzugsweise um eine Größenordnung in ihrer Konzentration, gesenkt werden.

Insbesondere ist vorgesehen, dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass die Dotierstoffkonzentration zumindest eines Dotierstoffes innerhalb dieser Halbleiterplatten durch Abgabe von Dotierstoff an zumindest Teilen der Halbleiterplatten-Oberflächen durch Abläufe wie beispielsweise Verdampfen oder Oxidation oder Ätzen merklich reduziert wird und/oder um mindestens eine Größenordnung reduziert wird.

Insbesondere ist vorgesehen, dass die Hochtemperaturbehandlungsschritte zur Verbesserung von mit UMG-Si hergestellten Wafern bei Maximaltemperaturen zwischen 577 °C und 1407 °C erfolgen und mit der jeweiligen Temperaturbehandlung ein Durchsatz von mehr als 1000 Halbleiterplatten pro Stunde bei der für die Hochtemperaturbehandlung gewählten Prozesszeit in wirtschaftlich vorteilhaften Prozessen und Prozessanlagen möglich ist.

Insbesondere ist vorgesehen, dass die Hochtemperaturbehandlungsschritte zur Verbesserung von mit UMG-Si hergestellten Wafern bei Temperaturen erfolgen, die einen ausreichend hohen Dampfdruck für Verunreinigungen erzeugen, die aus dem Halbleitermaterial durch Verdampfen oder Abdampfen entfernt werden sollen, um die Materialqualität in später aus den Halbleiterplatten hergestellten Halbleiterbauelementen nachweislich zu verbessern.

Eine erfinderische Lehre bezieht sich auf ein Verfahren zur Herstellung kristalliner, großflächiger, dünner Halbleiterplatten bei gleichzeitiger Verbesserung der Materialqualität von verunreinigtem Silizium wie beispielsweise UMG (up-grated metalurgical grade)-Silizium und zeichnet sich dadurch aus, dass die Konzentration an Verunreinigungsatomen zumindest eines Typs um mindestens eine Größenordnung, vorzugsweise um mindestens zwei Größenordnungen, insbesondere um zumindest drei Größenord-

nungen innerhalb der Halbleiterplatten gegenüber der Verunreinigungskonzentration im Ausgangsmaterial gesenkt wird, und dass die Halbleiterplatten in so genannten Bandziehverfahren wie EFG-Verfahren oder string ribbon Verfahren hergestellt werden und die Verunreinigung, deren Konzentration um mindestens eine Größenordnung gesenkt wird, durch Segregation im Wesentlichen bevorzugt in der Halbleiterschmelze zurück gehalten wird.

Eigenerfinderisch ist vorgesehen, dass die Konzentration an Dotierstoffatomen zumindest eines Typs um mindestens eine Größenordnung, vorzugsweise um mindestens zwei Größenordnungen, insbesondere um mindestens drei Größenordnungen innerhalb der Halbleiterplatten gegenüber der Dotierstoffkonzentration im Ausgangsmaterial gesenkt wird, und dass die Halbleiterplatten in so genannten Bandziehverfahren - wie EFG-Verfahren oder string ribbon Verfahren - hergestellt werden und die Dotierstoffe im Wesentlichen durch Segregation bevorzugt in der Halbleiterschmelze zurück gehalten werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach dem bzw, den erfindungsgemäßen Verfahren zu Halbleiterplatten mit verbesserten Eigenschaften verarbeitet werden.

Insbesondere ist vorgesehen, dass kürzere Prozesszeiten bei der Kristallisation bzw. bei den Abkühlprozessen unmittelbar nach der Kristallisation gewählt werden, als dies bei Verfahren der Fall wäre, die nicht in separaten Hochtemperaturschritten gemäß erfolgter Erläuterungen die Materialqualität in den Halbleiterplatten verbessern, und dass diese kürzeren Prozesszeiten somit insgesamt zu wirtschaftlicheren Herstellungsprozessen entlang der kompletten Wertschöpfungskette von Ausgangs-Halbleitermaterial bis zum fertigen Halbleiterbauelement, das aus den Halbleiterplatten gefertigt wird, führen.

Insbesondere ist vorgesehen, dass höhere Verunreinigungskonzentrationen – wie beispielsweise Dotierstoffkonzentrationen - bei der Kristallisation bzw. bei den Abkühlprozessen unmittelbar nach der Kristallisation zugelassen werden, als dies bei Verfahren der Fall wäre, die nicht in separaten Hochtemperaturschritten gemäß den Ansprüchen 1

bis 145 die Materialqualität in den Halbleiterplatten verbessern und dass diese höheren zugelassenen Verunreinigungskonzentrationen zu geringeren Kosten für das Ausgangs-Halbleitermaterial und somit insgesamt zu wirtschaftlicheren Herstellungsprozessen entlang der kompletten Wertschöpfungskette von Ausgangs-Halbleitermaterial bis zum fertigen Halbleiterbauelement, das aus den Halbleiterplatten gefertigt wird, führen.

Insbesondere ist vorgesehen, dass das Ausgangs-Halbleitermaterial vor der Kristallisation ohne Zugabe weiterer Dotierstoffe bereits eine Dotierstoffkonzentration von mehr als 10^{16} Dotierstoffatomen/cm³, insbesondere von mehr als 10^{17} Dotierstoffatomen/cm³, vorzugsweise von mehr als 10^{18} Dotierstoffatomen/cm³, insbesondere vorzugsweise von mehr als 10^{19} Dotierstoffatomen/cm³ aufweist.

Ein eigenerfinderisches Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zeichnet sich dadurch aus, dass die Verunreinigungskonzentration von im Halbleiter-Ausgangsmaterial vorhandenen Verunreinigungen dadurch erheblich abgesenkt wird, dass Verfahren wie Bandziehverfahren (z.B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert und anschließend zum Kristallisieren (Erstarren) gebracht wird, eingesetzt werden, um die Verunreinigungskonzentration im daraus entstehenden Halbleitermaterial erheblich gegenüber der Verunreinigungskonzentration im Ausgangsmaterial zu senken, und dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird, und/oder dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration zunächst zerkleinert und dann erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird, und/oder dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration zunächst mit mechanischen Verfahren – wie Backenbrechen oder Zentrifugen, die harte und für Halbleitermaterial reine Oberflächen zum Zerkleinern des Materials verwenden - zerkleinert und dann erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird.

Insbesondere ist vorgesehen, dass das Halbleitermaterial mit geringerer Verunreinigungskonzentration, das nach der ersten Kristallisation mit einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird hergestellt wurde so zerkleinert wird, dass es anschließend erneut einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder anderen Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert und anschließend zum Kristallisieren (Erstarren) gebracht wird, zugeführt wird.

Insbesondere ist vorgesehen, dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Hundertstel oder weniger der zuvor im Ausgangshalbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.

Insbesondere ist vorgesehen, dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Tausendstel oder weniger der zuvor im Ausgangshalbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.

Insbesondere ist vorgesehen, dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Zehntausendstel oder weniger der zuvor im Ausgangshalbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.

Insbesondere ist vorgesehen, dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Hunderttausendstel oder weniger der zuvor im Ausgangshalbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.

Insbesondere ist vorgesehen, dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen bei einer der für die Funktion der Halbleiterbauelemente entscheidenden oder die Qualität der Halbleiterbauelemente limitierenden Verunreinigung um mehr als eine Größenordnung gesenkt wird.

Insbesondere ist vorgesehen, dass die Dotierstoffkonzentration von zumindest einem Dotierstoffelement in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial auf ein Zehntel oder weniger, vorzugsweise auf ein Hundertstel oder weniger, insbesondere auf ein Tausendstel oder weniger abgesenkt wird.

Insbesondere ist vorgesehen, dass die Dotierstoffkonzentration des im Ausgangsmaterial am meisten vorkommenden Dotierstoffelements in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial auf ein Zehntel oder weniger abgesenkt wird.

Insbesondere ist vorgesehen, dass die Dotierstoffkonzentration des im Ausgangsmaterial am meisten vorkommenden Dotierstoffelements in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial soweit abgesenkt wird, dass nahezu intrinsisches Halbleitermaterial entsteht.

Insbesondere ist vorgesehen, dass das metallurgische Silizium oder anderes qualitativ minderwertiges Silizium als Ausgangsmaterial eingesetzt wird um es mit den beschriebenen Verfahren so von Verunreinigungen zu reinigen, dass es sich zur wirtschaftlich vorteiligen Herstellung von Halbleiterbauelementen wie beispielsweise Solarzellen eignet.

Insbesondere ist vorgesehen, dass das zu reinigende Ausgangs-Halbleitermaterial zunächst nach einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halblei-

termaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, einem sehr raschen Abkühlprozess nach dieser ersten Kristallisation unterzogen wird, bei dem sich mehr Kristalldefekte bilden, als dies für die vorteilhafte Herstellung von Halbleiterplatten und Halbleiterbauelementen wie beispielsweise Solarzellen vorteilhaft ist, und dass diese kristallinen Defekte dennoch keine nachteilige Auswirkung auf die nach dem zweiten Kristallisationsprozess entstehenden Halbleiterplatten haben.

Insbesondere ist vorgesehen, dass das zu reinigende Ausgangs-Halbleitermaterial zunächst nach einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, einem sehr raschen Abkühlprozess nach dieser ersten Kristallisation unterzogen wird, bei dem sich mehr mechanische Spannungen im entstehenden Halbleitermaterial bilden, als dies für die vorteilhafte Herstellung von Halbleiterplatten und Halbleiterbauelementen wie beispielsweise Solarzellen vorteilhaft ist, und dass diese mechanischen Spannungen dennoch keine nachteilige Auswirkung auf die nach dem zweiten Kristallisationsprozess entstehenden Halbleiterplatten haben.

Insbesondere ist vorgesehen, dass nach dem ersten Kristallisieren entstehende kristalline Defekte oder entstehende mechanische Spannungen im Halbleitermaterial in diesem Zustand oder eine erhöhte Welligkeit des Halbleitermaterial in diesem Zustand – beispielsweise aufgrund vergleichsweise hoher oder ungleichmäßiger Abkühlraten nach dem ersten Kristallisieren – zu Vorteilen (beispielsweise einfacheres Zerkleinern des Materials) bei den weiterhin folgenden Prozessschritten bei der Herstellung von Halbleiterplatten oder Halbleiterbauelementen führen.

Insbesondere ist vorgesehen, dass mehrfach Kristallisationsprozesse zur Reinigung des Ausgangsmaterials eingesetzt werden, die Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, anwenden.

Insbesondere ist vorgesehen, dass das zu reinigende aufgeschmolzene Ausgangsiliziummaterial mit Schwerkraft und oder Kapillarkräften nach unten hin oder seitlich aus einem Tiegel quasi kontinuierlich gezogen wird, um unterhalb oder seitlich des Tiegels zu erstarren.

Insbesondere ist vorgesehen, dass das zu reinigende aufgeschmolzene Ausgangsiliziummaterial mit Schwerkraft und oder Kapillarkräften nach unten hin oder seitlich aus einem Tiegel quasi kontinuierlich gezogen wird, um unterhalb oder seitlich des Tiegels zu erstarren und sofern vorteilhaft oder notwendig aufgefangen werden zu können, falls mechanische Spannungen (z.B. aufgrund drastisch erhöhter Abkühlraten) im Material dazu führen, dass das erstarnte Material bricht und um nicht den im Wesentlichen kontinuierlichen Ziehprozess unterbrechen zu müssen.

Industriell zu wirtschaftlichen Kosten hergestellte großflächige, kristalline, dünne Halbleiterplatten, die Dicken von vorzugsweise zwischen 30 μm und 500 μm aufweisen können und die zur Herstellung von Halbleiterbauelementen eingesetzt werden können, zeichnen sich dadurch aus, dass die Halbleiterplatten über ihr gesamtes Volumen hinweg Dotierstoffkonzentrationen unterhalb 10^{15} Dotierstoffatomen/ cm^3 , aufweisen, und/oder dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg nahezu intrinsische Halbleiterqualität aufweisen und keine deutlich ausgeprägte Dotierung eines Typs aufweisen, bevor sie weiteren Bearbeitungsschritten zur Herstellung von Halbleiterbauelementen unterzogen werden, und/oder dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg eine höhere Verunreinigungskonzentration mit Kohlenstoff und/oder Sauerstoff als mit allen anderen Verunreinigungen im Halbleitermaterial aufweisen.

Insbesondere zeichnen sich Halbleiterplatten dadurch aus, dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg Dotierstoffkonzentrationen unterhalb 10^{14} Dotierstoffatomen/ cm^3 aufweisen.

Insbesondere ist vorgesehen, dass Halbleiterplatten nach den zuvor beschriebenen Verfahrensschritten bzw. aus den Halbleiterplatten Halbleiterbauelemente hergestellt werden.

Insbesondere zeichnet sich ein Halbleiterbauelement dadurch aus, dass es sich bei dem Halbleiterbauelement um ein Halbleiterbauelement zur Konvertierung von Licht in elektrische Energie oder eine Solarzelle handelt.

Insbesondere ist vorgesehen, dass Dotierbereiche (p-Typ bzw. n-Typ-Dotierung) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozess) der Halbleiterplatten ausgebildet werden, insbesondere ausgehend von Oberflächen der Halbleiterplatten durch das Eintreiben von Dotierstoffen hergestellt werden.

Insbesondere ist vorgesehen, dass Dotierbereiche (p-Typ bzw. n-Typ-Dotierung) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozess) der Halbleiterplatten ausgehend von mit den Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen mindestens 10 μm , vorzugsweise mindestens 30 μm tief ins Innere der Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierbereiche zumindest eines Dotierstofftyps (p-Typ oder n-Typ) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozess) der Halbleiterplatten - ausgehend von mit Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen - mindestens bis zur Hälfte der Dicke der Halbleiterplatte ins Innere der Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierbereiche mit Diffusionsverfahren ausgehend von mit den Oberflächen bzw. Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierbereiche in Legierungsverfahren zwischen Halbleitermaterial und Dotierstoffen - ausgehend von mit den Oberflächen bzw. Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen - eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierbereiche ausgehend von mit den Oberflächen bzw. Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen dadurch eingetrieben werden, dass sich die Dotierstoffe bei einem angepassten Temperaturbehandlungsverfahren im Halbleitermaterial lösen (z. B. gemäß Phasendiagramm zwischen Dotierstoff- und Halbleiter-Element).

Insbesondere ist vorgesehen, dass Dotierbereiche ausgehend von mit den Oberflächen bzw. Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen dadurch eingetrieben werden, dass die eutektische Temperatur zwischen Halbleiterelement und Dotierstoffelement überschritten wird.

Insbesondere ist vorgesehen, dass es aus Halbleiterplatten gefertigt wird, deren effektive Dotierstoff-Konzentration (n-Typ oder p-Typ Netto-Dotierstoff-Konzentration) in nahezu allen Bereichen der Halbleiterplatten so gering ist, dass ein spezifischer Widerstand von über 100 ohm cm im Halbleitermaterial vorherrscht.

Insbesondere ist vorgesehen, dass es aus Halbleiterplatten gefertigt wird, deren effektive Dotierstoff-Konzentration (n-Typ oder p-Typ Netto-Dotierstoff-Konzentration) in nahezu allen Bereichen der Halbleiterplatten so gering ist, dass ein spezifischer Widerstand von über 1000 ohm cm im Halbleitermaterial vorherrscht.

Insbesondere ist vorgesehen, dass ausgehend von den Oberflächen der Halbleiterplatten, aus denen das Halbleiterbauelement gefertigt wird, Dotierstoffgradienten ausgebildet werden, die sich im Wesentlichen durch das gesamte Volumen der Halbleiterplatten hindurch erstrecken und bis zu den jeweiligen Halbleiterübergängen zwischen n-dotierten und p-dotierten Bereichen reichen.

Insbesondere ist vorgesehen, dass ausgehend von den Oberflächen der Halbleiterplatten, auf denen das Halbleiterbauelement gefertigt wird, Dotierstoffgradienten ausgebildet werden, die sich im Wesentlichen durch das gesamte Volumen der Halbleiterplatten hindurch erstrecken und bis zu den jeweiligen Halbleiterübergängen zwischen n-dotierten und p-dotierten Bereichen reichen.

Insbesondere ist vorgesehen, dass im durch Dotierstoffgradienten im kompletten Halbleitervolumen der kristallinen Solarzelle elektrische Felder ausgebildet sind, die erzeugten Minderheitsladungsträgern an nahezu jeder Stelle des Halbleitervolumens eine Vorzugsrichtung hin zu den Halbleiterübergängen im Inneren der Solarzelle aufprägen.

Insbesondere ist vorgesehen, dass sich die Dotierstoffkonzentration entlang von Linien, insbesondere von jeder beliebigen Linie, senkrecht zu den beiden Oberflächen der Halbleiterplatten kontinuierlich, vorzugsweise kontinuierlich und stetig, mit zunehmender Eindringtiefe ändert.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten bei Temperaturen oberhalb von 1100 °C ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mit mehr als 2 Stunden, vorzugsweise mit mehr als 4 Stunden, insbesondere mit mehr als 8 Stunden Dauer, ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten oberhalb von 1100 °C ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 µm, vorzugsweise mehr als 30 µm, tief eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration in allen Bereichen der Halbleiterbauelemente unterhalb 10^{19} Dotierstoffatomen/ cm^3 bleibt.

Insbesondere ist vorgesehen, dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration in allen Bereichen der Halbleiterbauelemente unterhalb 10^{19} Dotierstoffatomen/ cm^3 bleibt.

Eigenerfinderisch zeichnet sich ein Halbleiterbauelement in Form einer Solarzelle dadurch aus, dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration so gewählt wird, dass an keiner Stelle innerhalb des Halbleitervolumens Auger-Rekombination von Minderheitsladungsträger den Wirkungsgrad der Solarzelle limitiert.

Insbesondere ist vorgesehen, dass die Eindringtiefe und Dotierstoffkonzentration von p-dotierten Bereichen und die Eindringtiefe und Dotierstoffkonzentration von n-dotierten Bereichen so angepasst sind, dass die interne Quantenausbeute für Minderheitsladungsträger für das einfallende Lichtspektrum und die einfallende Lichtintensität insgesamt dadurch maximiert wird, dass die Dotierbereiche der jeweiligen Diffusionslänge für Minderheitsladungsträger optimal angepasst sind, so dass gemittelt insgesamt die meisten Minderheitsladungsträger den Halbleiterübergang erreichen.

Insbesondere ist vorgesehen, dass der Halbleiterübergang (im Wesentlichen parallel zu den Oberflächen der Halbleiterplatten) zwischen p-dotiertem Bereichen (ausgehend von einer Oberfläche der Solarzelle) und n-dotiertem Bereich (ausgehend von der gegenüberliegenden Oberfläche der Solarzelle) in einer Tiefe gewählt wird, dass das Verhältnis der Tiefe des n-dotierten Bereiches zur Tiefe des p-dotierten Bereiches ungefähr dem Verhältnis der gemittelten Diffusionslänge für Minderheitsladungsträger von n-

dotiertem Bereich zu der gemittelten Diffusionslänge von Minderheitsladungsträgern im p-dotiertem Bereich entspricht.

Insbesondere ist vorgesehen, dass Minderheitsladungsträger an jeder Position innerhalb der Solarzelle aufgrund von Dotierstoffgradienten durch ein elektrisches Feld bevorzugt in Richtung Halbleiterübergang getrieben werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach Temperaturbehandlungsschritten oberhalb von 1100 °C zumindest bis hinunter zu Temperaturen von 1100 °C langsamer abgekühlt werden, als dies nach den Kristallisationsprozessen zur Herstellung der Halbleiterplatten der Fall war.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach Temperaturbehandlungsschritten oberhalb von 1000 °C zumindest bis hinunter zu Temperaturen von 1000 °C, vorzugsweise bis hinunter zu Temperaturen von 900 °C, langsamer abgekühlt werden, als dies nach den Kristallisationsprozessen zur Herstellung der Halbleiterplatten der Fall war.

Eigenerfinderisch zeichnet sich ein Verfahren zur Herstellung von Solarzellen unter Verwendung zumindest eines oder mehrerer zuvor erläuterter Merkmale dadurch aus, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen geschützt werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch geeignete Schichten, insbesondere durch Dotierstoffschichten, an der Oberfläche der Halbleiterbauelemente geschützt werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch dielektrische Schichten wie SiO_x , SiN_x , SiO_xN_y , AlO_x , SiC_x , oder andere für

Halbleiterprozesse geeignete Schichten an der Oberfläche der Halbleiterbauelemente geschützt werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch eine geeignete Ofenatmosphäre bzw. durch Verwendung von für Halbleiterprozesse hochreiner Materialien im Ofeninneren geschützt werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch eine geeignete Ofenatmosphäre wie beispielsweise einer reduzierenden Ofenatmosphäre, einer oxidierenden Ofenatmosphäre, einer ätzenden Ofenatmosphäre oder einer reinigenden Ofenatmosphäre geschützt werden.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach der Kristallisation erneut Temperaturbehandlungsschritten zwischen 1000 °C und 1407 °C ausgesetzt werden und anschließend zumindest bis hinunter zu Temperaturen von 1100 °C mit Temperaturrampen abgekühlt werden, die ähnlich oder geringer sind, als die Abkühlraten, die in diesem Temperaturbereich nach der Kristallisation von Halbleiterblöcken sind.

Insbesondere ist vorgesehen, dass die Halbleiterplatten nach der Kristallisation erneut Temperaturbehandlungsschritten zwischen 1000 °C und 1407 °C ausgesetzt werden und anschließend zumindest bis hinunter zu Temperaturen von 1100 °C mit Temperaturrampen abgekühlt werden, die ähnlich oder geringer sind, als die Abkühlraten, die in diesem Temperaturbereich nach der Kristallisation von Halbleiterblöcken sind und sich dadurch mechanische Spannungen bzw. Defektbereiche in den kristallinen Halbleiterplatten reduzieren, dass sich innerhalb der Halbleiterplatten dabei geringere Temperaturgradienten ausbilden, als dies beim Abkühlen nach der Kristallisation (z. B. in kristallinen Blöcken aus Halbleitermaterial) der Fall war.

Insbesondere ist vorgesehen, dass Dotierstoffe im Wesentlichen ausgehend von den Oberflächen in das Volumen der nahezu intrinsischen Halbleiterplatten, auf denen die

Halbleiterbauelemente hergestellt werden, eingetrieben werden, indem zunächst Dotierstoff auf den Oberflächen aufgebracht wird und anschließend von dort aus in Temperaturbehandlungsschritten in den Halbleiter eingetrieben wird.

Insbesondere ist vorgesehen, dass Aluminium zur Ausbildung tiefer p-dotierter Bereiche ($> 30 \mu\text{m}$ Tiefe) und Phosphor zur Ausbildung tiefer n-dotierter Bereiche ($> 10 \mu\text{m}$ Tiefe) in zuvor nahezu intrinsischem Halbleitermaterial verwendet wird.

Insbesondere ist vorgesehen, dass Aluminium zur Ausbildung tiefer p-dotierter Bereiche und Phosphor zur Ausbildung tiefer n-dotierter Bereiche in Temperaturbehandlungsschritten ins Halbleitermaterial eingetrieben werden und diese so hergestellten Dotierbereiche nahezu das komplette Volumen ($> 90\%$) der Halbleiterplatten durchdringen, auf denen die Halbleiterbauelemente gefertigt werden

Insbesondere ist vorgesehen, dass zumindest zwei der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Silizium-Halbleiterplatten ausgehend von den Oberflächen dieser Halbleiterplatten so tief ins Silizium eingetrieben werden, dass danach alle Bereiche des Volumens der Halbleiterplatten mit zumindest einem dieser eingetriebenen Dotierstoffe dotiert ist.

Insbesondere ist vorgesehen, dass zumindest zwei der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen werden und in anschließenden Temperaturbehandlungsverfahren weiter als $10 \mu\text{m}$ tief ins Silizium, weiter als bis zur Hälfte der Dicke der kristallinen Siliziumplatten ins Silizium, eingetrieben werden.

Insbesondere ist vorgesehen, dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff gemäß Phasendiagramm tief ($> 10 \mu\text{m}$) ins Silizium einlegiert wird, wobei insbesondere die

Eindringtiefe durch die Dicke der Dotierstoffschicht kontrolliert wird, und/oder wobei die Eindringtiefe durch die Temperatur und Zeit beim Legierungsprozess kontrolliert wird, und/oder wobei die Eindringtiefe durch die Temperatur und Zeit beim Diffusionsprozess kontrolliert wird.

Insbesondere ist vorgesehen, dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den mit einer dünnen Diffusionsbarriere versehenen Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff durch diese Barrierschicht hindurch tief ($> 10 \mu\text{m}$) ins Silizium eingetrieben wird.

Insbesondere ist vorgesehen, dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Form einer Diffusionsquelle anstatt in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff tief ($> 10 \mu\text{m}$) ins Silizium eingetrieben wird.

Insbesondere ist vorgesehen, dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Form einer Diffusionsquelle anstatt in elementarer Form mit den Oberflächen von Silizium-Halbleiterplatten in einem Temperaturbehandlungsverfahren in Wechselwirkung tritt und dadurch der Dotierstoff tief ($> 10 \mu\text{m}$) ins Silizium eingetrieben wird.

Insbesondere ist vorgesehen, dass während dem Eintreiben von Dotierstoffen zumindest Teile der Halbleiterbauelementoberflächen vor dem Eindringen von Dotierstoffen oder anderen Verunreinigungen durch geeignete Schichten wie beispielsweise SiO_x , SiN_x , SiO_xN_y , AlO_x , SiC_x oder andere adäquate dielektrische Schichten geschützt oder maskiert sind.

Insbesondere ist vorgesehen, dass zum Eintreiben von Dotierstoffen Dotierstoffquellen verwendet werden, die mehrere unterschiedliche Dotierstoffe eines Typs gleichzeitig

ausgehend von denselben Oberflächenbereichen der Halbleiterplatten ins Innere der Halbleiterplatten eintreiben.

Insbesondere ist vorgesehen, dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten in geschlossenen Kammeröfen mit kontrollierter Prozessatmosphäre erfolgt, insbesondere wie diese zur Kristallisation von multikristallinen Siliziumblöcken verwendet werden.

Insbesondere ist vorgesehen, dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten in geeigneten hochreinen Durchlauf-Temperaturbehandlungsöfen erfolgt.

Insbesondere ist vorgesehen, dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und die Halbleiterplatten dabei durch hochreine Stapelboxen oder hochreine Carrier (bevorzugt aus Halbleitermaterial, Quarz oder hochreiner Keramik) in ihrer Form stabilisiert werden.

Insbesondere ist vorgesehen, dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und jeweils mehr als 20 Halbleiterplatten, bevorzugt jedoch mehr als 100 Halbleiterplatten, noch bevorzugter jedoch mehr als 200 Halbleiterplatten in hochreinen Stapelboxen (bevorzugt aus Halbleitermaterial, Quarz oder hochreiner Keramik) derart angeordnet sind, dass sich die Oberflächen der benachbarten Halbleiterplatten berühren.

Insbesondere ist vorgesehen, dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und mehr als 100.000 Halbleiterplatten zusammen in einem Temperaturbehandlungsöfen dieselbe Temperaturbehandlung erfahren.

Insbesondere ist vorgesehen, dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen (>

90%) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war.

Insbesondere ist vorgesehen, dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen (> 90%) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war und dennoch an keiner Stelle des Halbleitervolumens, das einen größeren Abstand, als $1\text{ }\mu\text{m}$ zu den Oberflächen der Halbleiterplatten aufweist, eine Dotierstoffkonzentration von mehr als 10^{19} Dotierstoffatomen/ cm^3 vorherrscht.

Insbesondere ist vorgesehen, dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen (> 90%) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war und dennoch an keiner Stelle des Halbleitervolumens, das einen größeren Abstand, als $1\text{ }\mu\text{m}$ zu den Oberflächen der Halbleiterplatten aufweist, eine Dotierstoffkonzentration von mehr als 10^{18} Dotierstoffatomen/ cm^3 vorherrscht.

Insbesondere ist vorgesehen, dass es beim tiefen Eintreiben von Dotierstoffen in die Halbleiterplatten ausgehend von den Oberflächen der Dotierstoffe an Oberflächen der Halbleiterplatten bzw. an Teilen der Oberflächen der Halbleiterplatten zu einer Anhäufung von Dotierstoffen kommt, weil Schichten wie beispielsweise dielektrische Oxidschichten auf den Halbleiterplatten den Austritt von Dotierstoffen verhindern und zu einer erhöhten Konzentration der Dotierstoffe in unmittelbarer Nähe der Oberflächen (< $1\text{ }\mu\text{m}$ Eindringtiefe von den Oberflächen ausgehend) beitragen.

Insbesondere ist vorgesehen, dass beim tiefen Eintreiben von Dotierstoffen in die Halbleiterplatten an den Oberflächen der Halbleiterplatten bzw. an Teilen der Oberflächen der Halbleiterplatten metallische Verunreinigungen aus dem Halbleitermaterial angehäuft werden und vorzugsweise in nachfolgenden Prozessschritten entfernt werden.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht, entfernt werden.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht durch Verfahren wie Schleifverfahren, oder Schneidverfahren oder selektive Ätzverfahren (Ätzen nur im Bereich der Wafer-Seitenkanten) oder durch mechanische Abtragsverfahren (z. B. Partikelbeschuss) entfernt werden und gegebenenfalls durch zusätzliche Ätzschritte geschädigte Gebiete an den Halbleiterplatten-Oberflächen und/oder Halbleiterplatten-Seitenkanten entfernt werden, wodurch insbesondere parasitäre Halbleiterübergänge in den Solarzellen oder Kurzschlusspfade, bzw. Leckageströme im Randbereich der Halbleiterplatten vermieden werden.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und gegebenenfalls zusätzlich die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht durch Verfahren wie Schleifverfahren, oder Schneidverfahren oder selektive Ätzverfahren (Ätzen nur im Bereich der Wafer-Seitenkanten) oder durch mechanische Abtragsverfahren (z. B. Partikelbeschuss) entfernt werden.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und dennoch tief dotierte Bereiche zurückbleiben, die in großem Abstand zur Oberfläche der Solarzelle Halbleiterübergänge zwischen n-dotierten und p-dotierten Gebieten der Solarzelle aufweisen.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und damit zeitgleich eine Reinigung der Halbleiterplattenoberflächen für nachfolgende Prozessschritte erfolgt.

Insbesondere ist vorgesehen, dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Oxidation der Oberflächen oder Oxidation von Teilen der Oberflächen chemisch umgewandelt werden und gegebenenfalls in nachfolgenden Ätzschritten entfernt werden und damit gegebenenfalls zeitgleich eine Reinigung der Halbleiterplattenoberflächen für nachfolgende Prozessschritte erfolgt.

Insbesondere ist vorgesehen, dass beim Eintreiben von Dotierstoffen in das Volumen der zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffquellen verwendet werden, die es zulassen zu sehr hohen Temperaturen ($>>1100^{\circ}\text{C}$) und sehr langen Zeiten bei der Temperaturbehandlung ($>>4\text{ h}$) zu gehen und zeitgleich zulassen dass die maximale Dotierstoffkonzentration innerhalb der Halbleiterbauelementen überall im Volumen des Halbleiternmaterials außer an sehr oberflächennahen Gebieten (Abstand $> 1\text{ }\mu\text{m}$ zur Oberfläche der Halbleiterplatten) unterhalb von 10^{19} Dotierstoffatomen/ cm^3 bleibt.

Insbesondere ist vorgesehen, dass beim Eintreiben von Dotierstoffen in das Volumen der zuvor nahezu intrinsischen Halbleiterplatten und beim anschließenden Abkühlvorgang zumindest eine der folgenden Materialeigenschaften der Halbleiterplatten wie Minderheitsladungsträger-Lebensdauer, Defektkonzentration, Reinheit, Kristallinität, Ebenheit, mechanische Festigkeit oder Bruchfestigkeit im Hinblick auf verbesserte Solarzeleigenschaften verbessert wird.

Insbesondere ist vorgesehen, dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten im Abstand von mehr als 10 μm zur Oberfläche der Halbleiterplatte mehrere p-n-Halbleiterübergänge befinden.

Insbesondere ist vorgesehen, dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten im Abstand von mehr als 30 μm zur Oberfläche der Halbleiterplatte mehrere p-n-Halbleiterübergänge befinden.

Insbesondere ist vorgesehen, dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten in einer Ebene in der Mitte der Halbleiterplattenoberflächen mehrere p-n-Halbleiterübergänge befinden.

Insbesondere ist vorgesehen, dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten in einer Ebene, die sich mindestens im Abstand von 10 μm zu den Halbleiteroberflächen befindet mehr als hundert p-n-Halbleiterübergänge, insbesondere mehr als fünfhundert p-n-Halbleiterübergänge, befinden.

Eine kristalline Solarzelle, vorzugsweise hergestellt unter Berücksichtigung eines oder mehrerer zuvor erläuteter Merkmale, zeichnet sich dadurch aus, dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und sich dabei ausgehend von den Teilbereichen, von denen der Dotierstoff eingetrieben wird, Gradienten in der Dotierstoffkonzentration ausbilden, bei denen die

Dotierstoffkonzentration mit zunehmender Eindringtiefe in die Halbleiterplatte abnimmt.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird, wobei sich insbesondere dabei Dotierstoffgradienten von den Oberflächenbereichen ausgehend, von denen der jeweilige Dotierstoff eingetrieben wird, hin zu den p-n-Halbleiterübergängen ausbilden.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und sich dabei Dotierstoffgradienten von den Oberflächenbereichen ausgehend, von denen der jeweilige Dotierstoff eingetrieben wird, mit kontinuierlich abnehmender Dotierstoffkonzentration hin zu den p-n-Halbleiterübergängen ausbilden.

Insbesondere ist vorgesehen, dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ), vorzugsweise beider Dotierstofftypen, ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und andere Teilbereiche der jeweiligen Halbleiterplattenoberfläche mit einer als Diffusionsbarriere wirkenden Schicht maskiert sind.

Insbesondere ist vorgesehen, dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche –also sich von einer Oberfläche der Halbleiterplatten hin zur

anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

Insbesondere ist vorgesehen, dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich benachbarte, lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – beider Dotierstofftypen ergeben.

Insbesondere ist vorgesehen, dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich benachbarte, lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – beider Dotierstofftypen ergeben.

Insbesondere ist vorgesehen, dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen in einen minimalen Abstand zu einem Halbleiterübergang haben, der geringer als die halbe Dicke der Halbleiterplatten ist.

Insbesondere ist vorgesehen, dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen sowohl in horizontaler Richtung (parallel zu den Oberflächen der Halbleiterplatten), als auch in vertikaler Richtung (senkrecht zu den Oberflächen der Halbleiterplatten) einen p-n-Halbleiterübergang erreichen können, der sich in maximalem Abstand von weniger als der Waferdicke von diesem Ort befindet.

Insbesondere ist vorgesehen, dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen im Wesentlichen entlang von Dotierstoffgradienten - durch entlang dieser Dotierstoffgradienten ausgebildete elektrische Drift-Felder - zu einem nahe gelegenen Halbleiterübergang, vorzugsweise zum nächstgelegenen Halbleiterübergang getrieben werden.

Insbesondere ist vorgesehen, dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger auch dann mit hoher Wahrscheinlichkeit ($> 70\%$, bevorzugt $> 90\%$) an Halbleiterübergängen eingesammelt werden und zur Stromdichte der Solarzelle beitragen, wenn das Halbleitermaterial am Ende des Solarzellenprozesses eine gemittelte Diffusionslänge für Minderheitsladungsträger aufweist, die kleiner als die Waferdicke ist.

Insbesondere ist vorgesehen, dass mehrere längliche (streifenförmige) Gebiete zumindest einen Dotierstofftyps (n-Typ oder p-Typ) parallel zueinander angeordnet von zumindest einer Oberfläche ausgehend tief ins Innere (typischerweise mehr als bis zur Hälfte der Halbleiterplattendicke) der Halbleiterplatten reichen und durch Bereiche umgekehrter Dotierung zumindest an der Oberfläche, von der aus diese Gebiete in den Halbleiter eingetrieben wurden, voneinander getrennt sind.

Insbesondere ist vorgesehen, dass die Solarzellen durch benachbarte streifenförmige oder längliche n-Typ-Gebiete und p-Typ-Gebiete in vertikaler Richtung (senkrecht zu den Halbleiterplatten-Oberflächen) durchgängig von der Vorderseite der Solarzelle zur Rückseite der Solarzelle durchzogen sind.

Eigenerfinderisch zeichnet sich ein Verfahren zur Herstellung von Solarzellen, die eines oder mehrere der zuvor erläuterten Merkmale aufweisen können, dadurch aus, dass zunächst eine Diffusionsbarriere-Schicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid oder eine andere für Halbleiterprozesse geeignete dielektrische Schicht, auf zumindest einer der Halbleiterplattenoberflächen abgeschieden wird, diese Schicht sodann mit geeigneten Verfahren, wie Laserablation oder lokalem Ätzen bzw. lokalem Aufbringen eines Ätzmediums oder anderen geeigneten Verfahren, lokal geöffnet wird und anschließend in einem thermischen Verfahren (gegebenenfalls nach einem Reinigungs- oder Ätzschritt) Dotierstoff ausgehend von den lokal geöffneten Bereichen der anderswo mit einer Diffusionsbarriere versehenen Oberfläche Dotierstoff tief – typischerweise mehr als 10 μm , bevorzugt jedoch mehr als 30 μm , noch bevorzugter bis über die Hälfte der Dicke der Halbleiterplatten hinaus - in den Halbleiter eingetrieben wird.

Insbesondere ist vorgesehen, dass die Diffusionsbarriere-Schicht eine Siliziumoxid-Schicht ist, die insbesondere durch Nassoxidation und oder thermische Oxidation aufgebracht wird.

Insbesondere ist vorgesehen, dass die Diffusionsbarriere-Schicht auf beiden gegenüberliegenden Oberflächen der Halbleiterplatten aufgebracht wird.

Insbesondere ist vorgesehen, dass die Diffusionsbarriere-Schicht mit Verfahren wie CVD-Abscheideverfahren, Aufdampfverfahren oder Sputterverfahren und/oder mit Verfahren bei geringem Druck (deutlich geringer als Atmosphärendruck) oder im Vakuum aufgebracht wird.

Insbesondere ist vorgesehen, dass die Diffusionsbarriere-Schicht mit Laser-Verfahren, insbesondere mit Laser-Verfahren bei geringem Atmosphärendruck oder im Vakuum lokal geöffnet wird.

Insbesondere ist vorgesehen, dass die lokal in der Diffusionsbarriere-Schicht geöffneten Bereiche vor dem Eintreiben von Dotierstoff zunächst mit einem nasschemischen oder trockenchemischen Verfahren von Verunreinigungen gereinigt oder lokal zurückgeätzt werden.

Insbesondere ist vorgesehen, dass lokal auf den geöffneten Bereichen der Diffusionsbarriereschicht eine Diffusionsquelle aufgetragen wird.

Insbesondere ist vorgesehen, dass auf der zuvor lokal geöffneten Diffusionsbarriereschicht eine Diffusionsquelle aufgetragen oder abgeschieden wird, insbesondere eine Diffusionsquelle mit einem Verfahren wie CVD, Aufdampfverfahren oder Sputterverfahren vorzugsweise bei geringem Atmosphärendruck oder im Vakuum abgeschieden wird.

Insbesondere ist vorgesehen, dass in den lokal in der Diffusionsbarriere-Schicht geöffneten Bereichen Dotierstoff über eine Gasphase vor oder während der Temperaturbehandlung zum Eintreiben des Dotierstoffs zur Oberfläche lokal geöffneten Oberfläche der Halbleiterplatte gelangt und dort mit einem Temperaturbehandlungsschritt eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoffe von mehr als einer Diffusionsquelle lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffe beider Dotierstofftypen (n-Typ und p-Typ) von mehr als einer Diffusionsquelle lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoffe ausgehend von beiden gegenüberliegenden Oberflächen der Halbleiterplatten lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Dotierstoff in elementarer Form auf den Oberflächen oder Teilen der Oberflächen abgeschieden wird, wobei insbesondere die Auftragsmenge bzw. die Schichtdicke der Dotierstoffquelle mit dem jeweiligen Auftragsverfahren gezielt bestimmt werden kann.

Insbesondere ist vorgesehen, dass Dotierstoff über Legierungsverfahren gemäß Phasendiagramm mit dem Halbleitermaterial und den jeweils miteinander in Austausch befindlichen Stoffmengen lokal an den in der Diffusionsbarriere-Schicht geöffneten Bereichen tief in den Halbleiter eingetrieben wird.

Insbesondere ist vorgesehen, dass Dotierstoff über Diffusion lokal an den in der Diffusionsbarriere-Schicht geöffneten Bereichen tief in den Halbleiter eingetrieben wird.

Insbesondere ist vorgesehen, dass zumindest einer der Dotierstoffe Al, P, B, Ga, In, Tl, Ho, As, Sb, Bi, Tm ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben wird.

Insbesondere ist vorgesehen, dass zumindest zwei Dotierstoffe unterschiedlichen Dotierstofftyps - wobei die Dotierstoffe jeweils zumindest eines der Elemente Al, P, B, Ga,

In, Tl, Ho, As, Sb, Bi, Tm enthalten - ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass Al und P als Dotierstoffelemente ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben werden.

Insbesondere ist vorgesehen, dass zunächst eine dielektrische Schutzschicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid, SiC_x , oder andere für Halbleiterprozesse geeignete Schichten, auf den Halbleiterplatten-Oberflächen abgeschieden und dann in einem weiteren Verfahrensschritt lokal geöffnet wird, bevor in einem dritten Verfahrensschritt eine Metallschicht auf zumindest Teilen der lokal geöffneten Bereiche oder auf der kompletten Oberfläche der Halbleiterplatten abgeschieden wird, wobei vorzugsweise in einem vierten Verfahrensschritt Metall an den in der Schutzschicht geöffneten Bereichen in die Halbleiterplatte zumindest teilweise eingetrieben wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht eine Siliziumoxidschicht ist, die in einem Nassoxidationsverfahren und/oder einem thermischen Verfahren in den Siliziumhalbleiterplatten-Oberflächen wächst.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht als Barriere für Metalle dient, die an den in der Schutzschicht geöffneten Bereichen elektrisch leitende Kontakte zum Halbleitermaterial herstellen sollen.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht durch ein CVD-Verfahren, ein Aufdampfverfahren oder ein Sputterverfahren bevorzugt bei geringem Atmosphärendruck oder im Vakuum aufgetragen wird oder durch ALD oder Sol-Gel-Verfahren oder andere Abscheideverfahren aufgebracht wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht aus einem Schichtstapel verschiedener dielektrischer Schichten besteht.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Anti-Reflexionsschicht dient.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Passivierschicht für die Oberfläche der Halbleiterplatten und/oder als Quelle für Wasserstoff zur Wasserstoff-Passivierung von Defekten im Halbleitermaterial dient.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Wasserstoffbarriere den Austritt von Wasserstoff bei der Wasserstoffpassivierung von Defekten im Halbleitermaterial zumindest teilweise verhindert oder reduziert.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Rückseitenreflektor-Schicht Photonen auf der Rückseite der Solarzelle davon abhält, die Halbleiterplatten zu verlassen.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht durch Laser-Verfahren, insbesondere bei geringem Atmosphärendruck oder bevorzugt im Vakuum, oder durch selektive Ätzverfahren lokal geöffnet wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht bereits beim Eintreiben der Dotierstoffe gemäß einem der Ansprüche 305 bis 328 zumindest teilweise vorhanden war und durch Entfernen der Dotierstoffquelle selektiv wieder geöffnet wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht an den Stellen lokal geöffnet wird, an denen später Metallkontakte entstehen sollen, oder an den Stellen, an denen Metallkontakte lokal Kontakt zum Halbleitermaterial herstellen sollen.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht entlang von länglichen, streifenförmigen oder linienförmigen Bereichen - gegebenenfalls nur lokal durch benachbarte Punktreihen - geöffnet wird.

Insbesondere ist vorgesehen, dass Metallkontakte nur lokal in den Bereichen, die zuvor in der dielektrischen Schutzschicht geöffnet wurden, aufgebracht werden, wobei die Metallkontakte dabei wahlweise die geöffneten Bereiche komplett überlappen, oder über die geöffneten Bereiche hinausragen oder diese nur teilweise überlappen können.

Insbesondere ist vorgesehen, dass Metallkontakte nur lokal in den Bereichen, die zuvor in der dielektrischen Schutzschicht geöffnet wurden dort in das Halbleitermaterial zumindest teilweise eindringen und elektrisch leitfähigen Kontakt zum Halbleitermaterial herstellen.

Insbesondere ist vorgesehen, dass Metallkontakte mit Verfahren wie Druckverfahren (z.B. Siebdruck, Offsetdruck, Tampon-Druck, ...) Dispensverfahren, Inkjet- oder Aeorsoldruck-Verfahren, mit Aufdampfverfahren, mit Sputterverfahren, mit Flammsspritzverfahren oder mit Metallabscheidungsverfahren aus chemischen Lösungen (stromlose oder galvanische, bzw. lichtgalvanische Verfahren) oder andern bekannten Techniken zum Abscheiden von Metallschichten wahlweise selektiv oder flächig aufgebracht werden.

Insbesondere ist vorgesehen, dass sehr dünne Metallschichten abgeschieden werden.

Insbesondere ist vorgesehen, dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen in den Halbleiter eingetrieben werden, insbesondere in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen in den Halbleiter einlegiert werden, vorzugsweise in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen Metall-Silizid-Schichten ausbilden.

Insbesondere ist vorgesehen, dass die Metallkontakte nach einem Temperaturbehandlungsschritt zumindest teilweise – bevorzugt an den nicht mit der Halbleiterplatte in direktem Kontakt befindlichen Bereichen – wieder entfernt werden und - sofern vorteilhaft - die verbliebenen Metallkontakte anschließend durch geeignete Verfahren (z.B. Metallabscheidung aus chemischen Lösungen wie Galvanik, Lichtgalvanik oder strom-

lose Metallabscheidung) lokal verstärkt werden, um eine höhere Leitfähigkeit zu erzielen.

Insbesondere ist vorgesehen, dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt lokal elektrisch leitfähig Kontakte mit geringem Kontaktübergangswiderstand zu den zuvor in der Schutzschicht geöffneten niedrig dotierten Halbleiterbereichen ($< 10^{19}$ Dotierstoffatome/cm³) entstehen.

Insbesondere ist vorgesehen, dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt gleichzeitig Wasserstoff aus den dielektrischen Schichten in die Oberflächen und/oder das Volumen der Halbleiterplatten eingetrieben wird und dort Defekte passiviert werden.

Insbesondere ist vorgesehen, dass die Metallschicht zunächst in Form eines Schichtstapels verschiedener Metalle oder die Kontaktbildung unterstützender Schichten abgeschieden wird.

Insbesondere ist vorgesehen, dass nur sehr schmale Bereiche – typischerweise $< 30\text{ }\mu\text{m}$ bevorzugt jedoch $< 20\text{ }\mu\text{m}$, besonders bevorzugt $< 10\text{ }\mu\text{m}$ breite Öffnungen - in der Schutzschicht geöffnet werden und nur dort elektrisch leitfähige Kontakte zum Halbleitermaterial entstehen.

Insbesondere ist vorgesehen, dass die Dicke und laterale Ausdehnung der Metallschichten so gewählt wird, dass bei Legierungsverfahren zum Eintreiben der Metallkontakte die Eindringtiefe durch die mit dem Halbleitermaterial in Kontakt befindliche Metallmenge kontrolliert wird.

Insbesondere ist vorgesehen, dass sowohl die Abscheidung der dielektrischen Schutzschicht als auch das lokale Laser-Öffnen dieser Schutzschicht als auch das Abscheiden von Metallschichten in Vakuumanlagen, wie beispielsweise CVD-Beschichtungsanlagen, Sputteranlagen und/oder Aufdampfanlagen in im Wesentlichen einem kontinu-

ierlichen Verfahrensablauf erfolgen, ohne dass die Halbleiterplatten bei der Bearbeitung das Vakuum bzw. Anlagen mit geringem Atmosphärendruck verlassen.

Insbesondere ist vorgesehen, dass das lokale Öffnen dielektrischer Schichten im Vakuum, in einer Inertgas-Atmosphäre, in einer reduzierenden Atmosphäre bzw. unter Ausschluss von Sauerstoff oder Stickstoff stattfindet, um die Bildung von Oxidschichten oder Nitridschichten in den zu öffnenden Bereichen an der Halbleiteroberfläche beim Lasern zu vermeiden.

Insbesondere ist vorgesehen, dass die bei der Temperaturbehandlung an den zuvor in der Schutzschicht geöffneten Bereichen eingedrungenen Metall-Halbleiterverbindungen in einem nachfolgende Ätzschritt zur Entfernung der übrigen Metallschichten - die Teile der Metallschicht, die nicht in den Halbleiter eingedrungen sind bzw. die nicht im Bereich der lokalen Öffnungen der dielektrischen Schutzschicht liegen – während des Ätzschrittes chemisch beständig sind und zumindest teilweise in den Halbleiterplatten als Metall-Halbleiterverbindung verbleiben.

Insbesondere ist vorgesehen, dass die zuvor aufgedampften oder aufgesputterten Metallschichten überall dort entfernt werden, wo sie nicht in direktem Kontakt zum Halbleitermaterial stehen.

Insbesondere ist vorgesehen, dass die zuvor aufgebrauchte Metallschicht - z. B. durch Unterätzen der dielektrischen Schicht oder von Teilen der dielektrischen Schicht oder durch lokales Öffnen der Metallschicht (an Bereichen an denen sie nicht im direkten Kontakt mit dem Halbleitermaterial ist) und anschließendem Unterätzen entlang der dielektrischen Schicht – überall dort entfernt wird, wo sie nicht lokal in direktem Kontakt zum Halbleitermaterial steht oder in dieses eingetrieben wurde.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50\ \mu\text{m}$ Breite; bevorzugt $< 30\ \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, deren Querschnitt im Wesentlichen halbkreisförmig ist.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, die nur im Inneren ihres Querschnittes (Breite $10\text{-}30 \mu\text{m}$) Kontakt zum Halbleitermaterial haben und in benachbarten Bereichen über eine dielektrische Schutzschicht zwischen Halbleiter und Metallkontakt hinausragen.

Insbesondere ist vorgesehen, dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, in nahezu isotropem Wachstum mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte mit nahezu halbkreisförmigem Querschnitt bilden

Insbesondere ist vorgesehen, dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte bilden, deren Querschnitt so gestaltet ist, dass ein erheblicher Teil der auf den Metallkontakt auftreffenden Photonen so reflektiert wird, dass die Photonen in das Halbleitermaterial eindringen.

Insbesondere ist vorgesehen, dass zunächst eine dielektrische Schutzschicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid, SiC_x , oder andere für Halbleiterprozesse geeignete Schichten, auf den Halbleiterplatten-Oberflächen abgeschieden wird und in einem zweiten Verfahrensschritt eine Metallschicht auf zumindest Teilen Oberfläche der Halbleiterplatten bzw. auf der Schutzschicht abgeschieden wird und in einem dritten Verfahrensschritt Metall selektiv an Teilen der Oberfläche der Halbleiterplatte durch die dielektrische Schutzschicht hindurch in die Halbleiterplatte eingetrieben wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht eine Siliziumoxidschicht ist, die in einem Nassoxidationsverfahren und/oder einem thermischen Verfahren in den Siliziumhalbleiterplatten-Oberflächen wächst.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht als Barriere und Isolationsschicht für Metalle dient, die nur selektiv lokal, beispielsweise mit Laserverfahren, durch die Schutzschicht hindurch in den Halbleiter eingetrieben werden sollen, die dielektrische Schutzschicht jedoch bei nachfolgenden thermischen Verfahrensschritten – beispielsweise zum Eintreiben von Wasserstoff aus dielektrischen Schichten – und oder nasschemischen Verfahrensschritten – beispielsweise dem Abscheiden von Metallen aus chemischen Lösungen – als Barrierschicht und Isolationsschicht beständig bleibt.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht durch ein CVD-Verfahren, ein Aufdampfverfahren oder ein Sputterverfahren, bevorzugt bei geringem Atmosphärendruck oder im Vakuum, aufgetragen wird oder durch ALD oder Sol-Gel-Verfahren oder andere Abscheideverfahren aufgebracht wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht aus einem Schichtstapel verschiedener dielektrischer Schichten besteht.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Anti-Reflexionsschicht dient.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Passivierschicht für die Oberfläche der Halbleiterplatten und/oder als Quelle für Wasserstoff zur Wasserstoff-Passivierung von Defekten im Halbleitermaterial dient.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Wasserstoffbarriere den Austritt von Wasserstoff bei der Wasserstoffpassivierung von Defekten im Halbleitermaterial zumindest teilweise verhindert oder reduziert.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht in der Solarzelle als Rückseitenreflektor-Schicht Photonen auf der Rückseite der Solarzelle davon abhält, die Halbleiterplatten zu verlassen.

Insbesondere ist vorgesehen, dass Metalle durch die dielektrische Schutzschicht hindurch mit Hilfe von Laser-Verfahren lokal selektiv in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass Metalle durch die dielektrische Schutzschicht hindurch - beispielsweise mit Laserverfahren - bei geringem Atmosphärendruck oder bevorzugt im Vakuum lokal selektiv in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht beim selektiven Eintreiben von Metall durch die Schutzschicht hindurch selektiv an gewünschten Bereichen der Halbleiteroberfläche beispielsweise mit Ätzverfahren, Schmelzverfahren oder Legierungsverfahren lokal geöffnet bzw. durchdrungen wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht bereits beim Eintreiben der Dotierstoffe gemäß einem der Ansprüche 253 bis 270 zumindest teilweise vorhanden war und durch Entfernen der Dotierstoffquelle selektiv wieder geöffnet wird.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht an den Stellen lokal von Metall durchdrungen wird, an denen später Metallkontakte entstehen sollen oder an den Stellen, an denen Metallkontakte lokal Kontakt zum Halbleitermaterial herstellen sollen.

Insbesondere ist vorgesehen, dass die dielektrische Schutzschicht entlang von länglichen, streifenförmigen oder linienförmigen Bereichen - gegebenenfalls nur lokal durch benachbarte Punktreihen - von Metall durchdrungen wird.

Insbesondere ist vorgesehen, dass Metallkontakte im Wesentlichen nur da lokal auf der dielektrischen Schutzschicht aufgebracht werden, wo die dielektrische Schutzschicht

von Metall durchdrungen werden soll, wobei die Metallkontakte dabei wahlweise die zu durchdringenden Bereiche der Schutzschicht komplett oder teilweise überlappen oder über die zu durchdringenden Bereiche hinausragen.

Insbesondere ist vorgesehen, dass Metall im Wesentlichen nur lokal in den Bereichen die dielektrischen Schutzschicht durchdringt bzw. in das Halbleitermaterial zumindest teilweise eindringt und elektrisch leitfähigen Kontakt zum Halbleitermaterial herstellt, von denen ausgehend zuvor Dotierstoff gemäß zumindest einem der Ansprüche 196 bis 231 oder 253 bis 270 in den Halbleiter eingetrieben wurde.

Insbesondere ist vorgesehen, dass Metallkontakte mit Verfahren wie Druckverfahren (z. B. Siebdruck, Offsetdruck, Tampon-Druck, ...) Dispensverfahren, Inkjet- oder Aeorsoldruck-Verfahren, mit Aufdampfverfahren, mit Sputterverfahren, mit Flammsspritzverfahren oder mit Metallabscheideverfahren aus chemischen Lösungen (stromlose oder galvanische, bzw. lichtgalvanische Verfahren) oder andern bekannten Techniken zum Abscheiden von Metallschichten wahlweise selektiv oder flächig aufgebracht werden.

Insbesondere ist vorgesehen, dass sehr dünne Metallschichten abgeschieden werden.

Insbesondere ist vorgesehen, dass die Metallkontakte in einem selektiven (lokalen) Temperaturbehandlungsschritt lokal durch die Schutzschicht hindurch in den gewünschten Bereichen in den Halbleiter eingetrieben werden.

Insbesondere ist vorgesehen, dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal durch die Schutzschicht hindurch in den gewünschten Bereichen in den Halbleiter einlegiert werden.

Insbesondere ist vorgesehen, dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal beim Durchdringen der Schutzschicht Metall-Silizid-Bereiche im Halbleiter ausbilden.

Insbesondere ist vorgesehen, dass die Metallkontakte nach einem Temperaturbehandlungsschritt zumindest teilweise – bevorzugt an den nicht mit der Halbleiterplatte in direktem Kontakt befindlichen Bereichen – wieder entfernt werden und sofern vorteilhaft die verbliebenen Metallkontakte anschließend durch geeignete Verfahren (z. B. Metallabscheidung aus chemischen Lösungen wie Galvanik, Lichtgalvanik oder stromlose Metallabscheidung) lokal verstärkt werden, um eine höhere Leitfähigkeit zu erzielen.

Insbesondere ist vorgesehen, dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt lokal elektrisch leitfähig Kontakte mit geringem Kontaktübergangswiderstand zu den zuvor in der Schutzschicht geöffneten niedrig dotierten Halbleiterbereichen ($< 10^{19}$ Dotierstoffatome/cm³) entstehen.

Insbesondere ist vorgesehen, dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt gleichzeitig Wasserstoff aus den dielektrischen Schichten in die Oberflächen und/oder das Volumen der Halbleiterplatten eingetrieben wird und dort Defekte passiviert werden.

Insbesondere ist vorgesehen, dass die Metallschicht zunächst in Form eines Schichtstapels verschiedener Metalle oder die Kontaktbildung unterstützender Schichten abgeschieden wird.

Insbesondere ist vorgesehen, dass nur sehr schmale Bereiche – typischerweise $< 30\ \mu\text{m}$ bevorzugt $< 20\ \mu\text{m}$ besonders bevorzugt $< 10\ \mu\text{m}$ breite Öffnungen - in der Schutzschicht von Metall durchdrungen werden und nur dort elektrisch leitfähige Kontakte zum Halbleitermaterial entstehen.

Insbesondere ist vorgesehen, dass die Dicke und laterale Ausdehnung der Metallschichten so gewählt wird, dass bei Legierungsverfahren zum Eintreiben der Metallkontakte die Eindringtiefe durch die mit dem Halbleitermaterial in Kontakt befindliche Metallmenge kontrolliert wird.

Insbesondere ist vorgesehen, dass sowohl beim Aufbringen der dielektrischen Schutzschicht als auch dem Aufbringen von Metallschichten, beispielsweise in CVD-Beschichtungsanlagen, Sputteranlagen und/oder Aufdampfanlagen - und sofern vorteilhaft auch für das selektive Durchdringen der dielektrischen Schutzschicht in geeigneten Anlagen -, in im Wesentlichen einem kontinuierlichen Verfahrensablauf Vakuumanlagen verwendet werden, ohne dass die Halbleiterplatten bei der Bearbeitung das Vakuum bzw. Anlagen mit geringem Atmosphärendruck verlassen.

Insbesondere ist vorgesehen, dass das lokale Durchdringen der dielektrischen Schichten im Vakuum, in einer Inertgas-Atmosphäre in einer reduzierenden Atmosphäre bzw. unter Ausschluss von Sauerstoff oder Stickstoff stattfindet, um die Bildung von Oxidschichten oder Nitridschichten beispielsweise beim Lasern zu vermeiden.

Insbesondere ist vorgesehen, dass die bei der Temperaturbehandlung beim selektiven Durchdringen der Schutzschicht eingedrungenen Metall-Halbleiterverbindungen in einem nachfolgenden Ätzschritt zur Entfernung der übrigen Metallschichten - die Teile der Metallschicht, die nicht in den Halbleiter eingedrungen sind - während des Ätzschrittes chemisch beständig sind und zumindest teilweise in den Halbleiterplatten als Metall-Halbleiterverbindung verbleiben.

Insbesondere ist vorgesehen, dass die zuvor aufgedampften oder aufgesputterten Metallschichten überall dort entfernt werden, wo sie nicht in direktem Kontakt zum Halbleitermaterial stehen.

Insbesondere ist vorgesehen, dass die zuvor aufgebrachte Metallschicht - z. B. durch Unterätzen der dielektrischen Schicht oder von Teilen der dielektrischen Schicht oder durch lokales Öffnen der Metallschicht (an Bereichen an denen sie nicht im direkten Kontakt mit dem Halbleitermaterial ist) und anschließendem Unterätzen entlang der dielektrischen Schicht - überall dort entfernt wird, wo sie nicht lokal in direktem Kontakt zum Halbleitermaterial steht oder in dieses eingetrieben wurde.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, deren Querschnitt im Wesentlichen halbkreisförmig ist.

Insbesondere ist vorgesehen, dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, die nur im Inneren ihres Querschnittes (Breite $10\text{-}30 \mu\text{m}$) Kontakt zum Halbleitermaterial haben und in benachbarten Bereichen über eine dielektrische Schutzschicht zwischen Halbleiter und Metallkontakt hinausragen.

Insbesondere ist vorgesehen, dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, in nahezu isotropem Wachstum mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte mit nahezu halbkreisförmigem Querschnitt bilden.

Insbesondere ist vorgesehen, dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte bilden, deren Querschnitt so gestaltet ist, dass ein erheblicher Teil, der auf den Metallkontakt auftreffenden Photonen so reflektiert wird, dass die Photonen in das Halbleitermaterial eindringen.

PATENTANSPRÜCHE

1. Verfahren zur Herstellung von großflächigen, kristallinen, dünnen Halbleiterplatten,

d a d u r c h g e k e n n z e i c h n e t ,

- dass Halbleitermaterial aufgeschmolzen wird und nach dem Erstarren der Schmelze Halbleiterplatten geformt werden, wobei nach dem Erstarren der Schmelze, während die Halbleiterplatten geformt werden, sehr geringe Dotierstoffkonzentrationen von weniger als 10^{15} Dotierstoffatomen/cm³, im Halbleitermaterial vorhanden sind, oder

- dass Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien absichtlich der Schmelze zuzuführen, und dass nach dem Erstarren der Schmelze die Halbleiterplatten geformt werden, oder

- dass Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien derart der Schmelze zuzuführen, dass während die Halbleiterplatten geformt werden, nach dem Erstarren der Schmelze die Halbleiterplatten mit einer über ihr Volumen hinweg homogenen effektiven Dotierung vom Typ p-Dotierung oder n-Dotierung versehen sind, die netto einen spezifischen Widerstand von weniger als 100 ohm cm aufweist, oder

- dass Halbleitermaterial aufgeschmolzen wird, ohne Dotierstoffe für Halbleitermaterialien zuzuführen, so dass, während die Halbleiterplatten geformt werden, nach dem Erstarren der Schmelze die Halbleiterplatten zunächst eine intrinsische Halbleiterqualität (ohne Vorzugs-Dotierung) aufweisen.

2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
dass Dotierstoffkonzentrationen von weniger als 10^{14} Dotierstoffatomen/cm³, bevorzugterweise Dotierstoffkonzentrationen von weniger als 10^{13} Dotierstoffatomen/cm³, besonders bevorzugt Dotierstoffkonzentrationen von weniger als 10^{12} Dotierstoffatomen/cm³ im Halbleitermaterial vorhanden sind.
3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
dass durch geringere Verunreinigungskonzentrationen im Halbleitermaterial Halbleiterplatten mit weniger kristallinen Defekten gefertigt werden.
4. Verfahren nach wenigstens einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
dass die Anzahl an kristallinen Defekten wie Versetzungslinien in den Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.
5. Verfahren nach wenigstens einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
dass die Anzahl an kristallinen Defekten wie Korngrenzen in multikristallinen Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.
6. Verfahren nach wenigstens einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass die Anzahl an kristallinen Defekten wie Leerstellen oder interstitiellen Atomen in den Halbleiterplatten gegenüber Verfahren reduziert ist, die vergleichsweise höhere Verunreinigungskonzentrationen im Halbleitermaterial während der Schmelzphase des Halbleitermaterials zulassen.

7. Verfahren nach wenigstens einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass Dotierbereiche im Volumen der hergestellten Halbleiterplatten erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten ausgebildet werden.
8. Verfahren nach wenigstens einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass Dotierbereiche im Volumen der hergestellten Halbleiterplatten erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.
9. Verfahren nach wenigstens einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet,
dass Dotierbereiche beider Dotierungstypen (p-Typ und n-Typ) erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.
10. Verfahren nach wenigstens einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet,
dass Dotierbereiche die tiefer als bis zur Hälfte der Dicke der Halbleiterplatte ins Volumen der Halbleiterplatte eindringen, erst in einem zweiten Verfahrensschritt nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden.
11. Verfahren nach wenigstens einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet,
dass Dotierbereiche beider Dotierstofftypen (n-Typ und p-Typ) im Volumen der Halbleiterplatte erst in einem zweiten oder weiteren Verfahrensschritten nach Herstellung der Halbleiterplatten durch geeignete Temperaturbehandlungsverfahren ausgebildet werden, so dass die dann in diesem zweiten oder weiteren Verfahrens-

schritten Dotierstoffatome in allen Bereichen der Halbleiterplatte absichtlich und gezielt eingebracht werden.

12. Verfahren nach wenigstens einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet,
dass die Dotierstoffe nach Herstellung der Halbleiterplatten durch Verfahren wie Diffusion und oder Legieren bei Temperaturen oberhalb von 500° C in den Halbleiter eingetrieben werden.
13. Verfahren nach wenigstens einem der Ansprüche 1 bis 12,
dadurch gekennzeichnet,
dass die Dotierstoffe nach Herstellung der Halbleiterplatten durch Verfahren in die Halbleiterplatte eingetrieben werden, bei denen Dotierstoffatome ausgehend von den Oberflächen oder ausgehend von Teilen der Oberfläche der Halbleiterplatten bei Temperaturen oberhalb von 500° C in den Halbleiter eingetrieben werden.
14. Verfahren nach wenigstens einem der Ansprüche 1 bis 13,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Reinigungsverfahren eingesetzt wird, das Verunreinigungen an den Oberflächen der Halbleiterplatten entfernt.
15. Verfahren nach wenigstens einem der Ansprüche 1 bis 14,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein nasschemisches Reinigungsverfahren eingesetzt wird, das Verunreinigungen an den Oberflächen der Halbleiterplatten entfernt.

16. Verfahren nach wenigstens einem der Ansprüche 1 bis 15,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, trockenchemische Reinigungsverfahren, wie beispielsweise Plasma-Reinigungsverfahren und oder Gasphasen-Reinigungsverfahren eingesetzt werden, die Verunreinigungen an den Oberflächen der Halbleiterplatten entfernen.
17. Verfahren nach wenigstens einem der Ansprüche 1 bis 16,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Strukturierungs- oder Texturierungs- oder Oberflächenaufrauungsverfahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.
18. Verfahren nach wenigstens einem der Ansprüche 1 bis 17,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein Ätzverfahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.
19. Verfahren nach wenigstens einem der Ansprüche 1 bis 18,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein nasschemisches Ätz-

verfahren eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.

20. Verfahren nach wenigstens einem der Ansprüche 1 bis 19,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, ein trockenchemisches Ätzverfahren – wie beispielsweise Plasma-Ätzen - eingesetzt wird, das zumindest Teile des Halbleitermaterials an den Oberflächen der Halbleiterplatten entfernt.
21. Verfahren nach wenigstens einem der Ansprüche 1 bis 20,
dadurch gekennzeichnet,
dass zwischen dem Herstellen der Halbleiterplatten nach Erstarren des Halbleitermaterials aus einer Schmelze und dem zweiten oder weiteren Verfahrensschritt, der Dotierstoffbereiche in der Halbleiterplatte ausbildet, oberflächennahe kristalline Defekte oder Verunreinigungen auf den Oberflächen der Halbleiterplatten durch geeignete Verfahren entfernt werden.
22. Verfahren nach wenigstens einem der Ansprüche 1 bis 21,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff mit den Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.
23. Verfahren nach wenigstens einem der Ansprüche 1 bis 22,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass zunächst mindestens ein Dotierstoff mit Teilen der Oberflächen der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.

24. Verfahren nach wenigstens einem der Ansprüche 1 bis 23,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass
zunächst mindestens ein Dotierstoff während einer Temperaturbehandlung zum
Beispiel über die die Halbleiterplatte umgebende Atmosphäre zu Oberflächen der
Halbleiterplatten transportiert wird und dann bei Temperaturen oberhalb 500 °C
ins Halbleitermaterial eingetrieben wird.
25. Verfahren nach wenigstens einem der Ansprüche 1 bis 24,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass
zunächst mindestens ein Dotierstoff während einer Temperaturbehandlung zum
Beispiel über die die Halbleiterplatte umgebende Atmosphäre gezielt zu Teilen der
Oberflächen der Halbleiterplatten transportiert wird und dann bei Temperaturen
oberhalb 500 °C ins Halbleitermaterial eingetrieben wird.
26. Verfahren nach wenigstens einem der Ansprüche 1 bis 25,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass
zunächst Dotierstoff in Form einer Dotierstoffquelle mit den Oberflächen der
Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb 500
°C sich die Dotierstoffquelle derart umwandelt, dass Dotierstoff ins Halbleiterma-
terial eingetrieben wird.
27. Verfahren nach wenigstens einem der Ansprüche 1 bis 26,
dadurch gekennzeichnet,
dass Dotierstoff erst dadurch gezielt in die Halbleiterplatten eingebracht wird, dass
zunächst Dotierstoff in Form einer Dotierstoffquelle mit Teilen der Oberflächen
der Halbleiterplatten in Berührung gebracht und dann bei Temperaturen oberhalb
500 °C sich die Dotierstoffquelle derart umwandelt, dass Dotierstoff ins Halblei-
termaterial eingetrieben wird.

28. Verfahren nach wenigstens einem der Ansprüche 1 bis 27,
dadurch gekennzeichnet,
dass Dotierstoff bei Temperaturen unterhalb des Schmelzpunktes des für die Halbleiterplatten verwendeten Halbleitermaterials in den Halbleiter eingetrieben wird.
29. Verfahren nach wenigstens einem der Ansprüche 1 bis 28,
dadurch gekennzeichnet,
dass Dotierstoff durch lokales Schmelzen, Legieren oder Diffusion in die Halbleiterplatten eingetrieben wird.
30. Verfahren nach wenigstens einem der Ansprüche 1 bis 29,
dadurch gekennzeichnet,
dass Dotierstoff nicht homogen verteilt in die Halbleiterplatten eingebracht wird.
31. Verfahren nach wenigstens einem der Ansprüche 1 bis 30,
dadurch gekennzeichnet,
dass Dotierstoff von Oberflächen oder Teilen der Oberflächen ausgehend mit Gradienten in der Dotierstoffkonzentrationen, die sich in alle drei Raumdimensionen erstrecken können, in die Halbleiterplatten eingetrieben wird.
32. Verfahren nach wenigstens einem der Ansprüche 1 bis 31,
dadurch gekennzeichnet,
dass mehr als ein Dotierstoff von Teilen der Oberflächen ausgehend in die Halbleiterplatten eingetrieben wird.
33. Verfahren nach einem der Ansprüche 1 bis 32,
dadurch gekennzeichnet,
dass Dotierstoffe unterschiedlicher Art und oder unterschiedlichen Typs zur n-Dotierung oder p-Dotierung der Halbleiterplatten von Oberflächen oder Teilen der Oberflächen ausgehend in die Halbleiterplatten eingetrieben werden.

34. Verfahren nach wenigstens einem der Ansprüche 1 bis 33,
dadurch gekennzeichnet,
dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, Phosphor oder Aluminium oder Bor ist.
35. Verfahren nach wenigstens einem der Ansprüche 1 bis 34,
dadurch gekennzeichnet,
dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, eines der Elemente Ga, In, Tl oder ein weiteres Element der dritten Hauptgruppe des Periodensystems mit drei Valenzelektronen ist.
36. Verfahren nach wenigstens einem der Ansprüche 1 bis 35,
dadurch gekennzeichnet,
dass einer der Dotierstoffe, die zur Ausbildung von Dotierstoffbereichen im Volumen der Halbleiterplatten eingetrieben werden, eines der Elemente As, Sb, Bi, oder ein weiteres Element der fünften Hauptgruppe des Periodensystems mit fünf Valenzelektronen oder Tm ist.
37. Verfahren nach wenigstens einem der Ansprüche 1 bis 36,
dadurch gekennzeichnet,
dass das Halbleitermaterial der hergestellten Halbleiterplatten vorwiegend Silizium ist.
38. Verfahren nach wenigstens einem der Ansprüche 1 bis 37,
dadurch gekennzeichnet,
dass die hergestellten Halbleiterplatten sogenannte Wafer zur Herstellung von Halbleiterbauelementen sind, die vorzugsweise in zwei Raumrichtungen Abmessungen von mehr als 50 mm aufweisen, noch bevorzugter Abmessungen zwischen 100 mm und 400 mm aufweisen, und deren Dicke vorzugsweise im Bereich 20 μm bis 500 μm , noch bevorzugter im Bereich 50 μm bis 300 μm ist.

39. Verfahren nach wenigstens einem der Ansprüche 1 bis 38,
dadurch gekennzeichnet,
dass die Halbleiterplatten nach deren Herstellung zumindest teilweise zur Herstellung von Solarzellen als Halbleiterbauelemente verwendet werden.
40. Verfahren nach wenigstens einem der Ansprüche 1 bis 39,
dadurch gekennzeichnet,
dass die Halbleiterplatten zunächst aus nahezu intrinsischem Silizium bestehen und anschließend Dotierstoffbereiche unterschiedlicher Polarität und Dotierstoffkonzentration in allen Bereichen der Halbleiterplatten ausgebildet werden.
41. Verfahren nach wenigstens einem der Ansprüche 1 bis 40,
dadurch gekennzeichnet,
dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet werden, dass auf vergleichsweise geringem Raumvolumen große Mengen von Halbleiterplatten gleichzeitig einer Temperaturbehandlung unterzogen werden können.
42. Verfahren nach wenigstens einem der Ansprüche 1 bis 41,
dadurch gekennzeichnet,
dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet werden, dass sich der überwiegende Teil der Halbleiterplatten bei der Temperaturbehandlung zumindest an Teilen ihrer Oberflächen mit benachbarten Halbleiterplatten berührt.
43. Verfahren nach wenigstens einem der Ansprüche 1 bis 42,
dadurch gekennzeichnet,
dass die Halbleiterplatten beim Eintreiben von zumindest einem der Dotierstoffe so zueinander angeordnet sind, dass sie während der Temperaturbehandlung stapelförmige Anordnungen bilden.

44. Verfahren nach wenigstens einem der Ansprüche 1 bis 43,
dadurch gekennzeichnet,
dass die Halbleiterplatten-Anordnungen in Einhausungen gemeinsam prozessiert werden, die bevorzugt aus reinen Halbleitermaterialien, Quarz oder hochreinen Keramiken bestehen.
45. Verfahren nach wenigstens einem der Ansprüche 1 bis 44,
dadurch gekennzeichnet,
dass die Halbleiterplatten-Anordnungen zumindest teilweise durch für Halbleiterprozesse reine Platten oder andere Form gebende Bauteile stirnseitig und oder an ihren Seitenkanten abgedeckt oder in ihrer Form bzw. der Form der Anordnung stabilisiert werden.
46. Verfahren nach wenigstens einem der Ansprüche 1 bis 45,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesstemperaturen oberhalb von 1100 °C verwendet werden.
47. Verfahren nach wenigstens einem der Ansprüche 1 bis 46,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesstemperaturen zwischen 1100 °C und 1400 °C, bevorzugt zwischen 1200 °C und 1400 °C, verwendet werden.
48. Verfahren nach wenigstens einem der Ansprüche 1 bis 47,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe Prozesszeiten von mehr als 2 Stunden, bevorzugt von mehr als 4 Stunden, besonders bevorzugt von mehr als 8 Stunden, ganz besonders bevorzugt von mehr als 12 Stunden bzw. von mehr als 24 Stunden verwendet werden.

49. Verfahren nach wenigstens einem der Ansprüche 1 bis 48,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotier-
stoffe reduzierende Prozessatmosphären verwendet werden.
50. Verfahren nach wenigstens einem der Ansprüche 1 bis 49,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotier-
stoffe oxidierende bzw. sauerstoffhaltige Prozessatmosphären verwendet werden.
51. Verfahren nach wenigstens einem der Ansprüche 1 bis 50,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotier-
stoffe inerte Prozessatmosphären wie beispielsweise Stickstoff oder Argon ver-
wendet werden.
52. Verfahren nach wenigstens einem der Ansprüche 1 bis 51,
dadurch gekennzeichnet,
dass bei der Temperaturbehandlung zum Eintreiben zumindest eines der Dotier-
stoffe Prozessatmosphären mit Unterdruck zur Umgebungsatmosphäre bzw. Va-
kuum-Umgebungsbedingungen verwendet werden.
53. Verfahren nach wenigstens einem der Ansprüche 1 bis 52,
dadurch gekennzeichnet,
dass die Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe
in einem Kammerofensystem durchgeführt wird.
54. Verfahren nach wenigstens einem der Ansprüche 1 bis 53,
dadurch gekennzeichnet,
dass die Temperaturbehandlung zum Eintreiben zumindest eines der Dotierstoffe
in einem Kammerofensystem durchgeführt wird, wie es zur Kristallisation von

Halbleitermaterialien zum Beispiel bei der Herstellung multikristalliner Siliziumblöcke verwendet wird.

55. Verfahren nach wenigstens einem der Ansprüche 1 bis 54,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit dem Ziel unterzogen werden, Verunreinigungen im Halbleitermaterial während der Temperaturbehandlung aus dem Material in eine die Halbleiterplatten umgebende Atmosphäre bzw. in auf dem Halbleitermaterial aufgebrachte oberflächennahe Schichten entweichen zu lassen und somit die Verunreinigungskonzentration im den Halbleiterplatten merklich zu reduzieren.
56. Verfahren zur Herstellung von großflächigen, kristallinen, dünnen Halbleiterplatten, vorzugsweise nach zumindest einem der Ansprüche 1 bis 55, die nach dem Kristallisationsprozess zu deren Herstellung zunächst größere Mengen an Verunreinigungen im Halbleitermaterial aufweisen,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit dem Ziel unterzogen werden, Verunreinigungen im Halbleitermaterial während der Temperaturbehandlung aus dem Material in eine die Halbleiterplatten umgebende Atmosphäre bzw. in auf dem Halbleitermaterial aufgebrachte oberflächennahe Schichten entweichen zu lassen und somit die Verunreinigungskonzentration im den Halbleiterplatten merklich zu reduzieren.
57. Verfahren nach wenigstens einem der Ansprüche 1 bis 56,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1200 °C und/oder einer weiteren Temperaturbehandlung oberhalb von 1300 °C unterzogen werden.

58. Verfahren nach wenigstens einem der Ansprüche 1 bis 57,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C mit einer Behandlungsdauer von mehr als 4 Stunden, vorzugsweise mehr als 12 Stunden, insbesondere mehr als 24 Stunden, unterzogen werden.
59. Verfahren nach wenigstens einem der Ansprüche 1 bis 58,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei der oberhalb von 1000 °C Abkühlgradienten verwendet werden, die weniger steil als beim Kristallisationsprozess verlaufen.
60. Verfahren nach wenigstens einem der Ansprüche 1 bis 59,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei der oberhalb von 900 °C, vorzugsweise oberhalb von 500 °C, Abkühlgradienten verwendet werden, die weniger steil als beim Kristallisationsprozess verlaufen.
61. Verfahren nach wenigstens einem der Ansprüche 1 bis 60,
dadurch gekennzeichnet,
dass die dünnen großflächigen Halbleiterplatten nach der Kristallisation in einem separaten Verfahrensschritt einer weiteren Temperaturbehandlung oberhalb von 1100 °C unterzogen werden, bei dem Dotierstoffe oder metallische Verunreinigungen aus dem Halbleitermaterial an dessen Oberfläche an die die Halbleiterplatten umgebende Atmosphäre oder oberflächennahe Schichten abgegeben werden.

62. Verfahren nach wenigstens einem der Ansprüche 1 bis 61,
dadurch gekennzeichnet,
dass während der Temperaturbehandlung zumindest von Teilen der Halbleiterplatten-Oberflächen ausgehend zumindest ein Dotierstoff für das entsprechende Halbleitermaterial mehr als 10 μm tief, bevorzugt mehr als bis zur Hälfte der Dicke der Halbleiterplatten tief in das Halbleitermaterial eingetrieben wird.
63. Verfahren nach wenigstens einem der Ansprüche 1 bis 62,
dadurch gekennzeichnet,
dass während der Temperaturbehandlung zumindest von Teilen der Halbleiterplatten-Oberflächen ausgehend zumindest ein Dotierstoff für das entsprechende Halbleitermaterial so tief in das Halbleitermaterial eingetrieben wird, dass zuvor nicht vorhandene Verbindungen von Dotierbereichen des vom entsprechenden Dotierstoff verursachten Dotierstofftyps entstehen, die von einer Oberfläche der Halbleiterplatten zur gegenüberliegenden Oberfläche der Halbleiterplatten durch die Dicke der Halbleiterplatten hinweg reichen.
64. Verfahren nach wenigstens einem der Ansprüche 1 bis 63,
dadurch gekennzeichnet,
dass während der Temperaturbehandlung Dotierstoffatome in die Halbleiterplatten eingetrieben werden, deren Atomradien möglichst wenig von denen der Halbleiteratome abweichen.
65. Verfahren nach wenigstens einem der Ansprüche 1 bis 64,
dadurch gekennzeichnet,
dass durch die Verwendung von Aluminium, das in einer separaten Temperaturbehandlung nach der Kristallisation mehr als 10 μm tief in den Halbleiter von Oberflächen oder Teilen der Oberflächen ausgehend eingetrieben wird, weniger mechanische Spannungen oder Stress im Halbleiter entstehen, als dies bei üblichen Kristallisationsprozessen, Diffusionsprozessen oder Legierungsprozessen zur Herstellung dieser p-dotierten Bereiche im Halbleiter bei Verwendung von Bor, Gallium, Indium oder Thallium als Dotierstoffatome der Fall wäre.

66. Verfahren nach wenigstens einem der Ansprüche 1 bis 65,
dadurch gekennzeichnet,
dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten reduziert werden, dass sich bei den Abkühlprozessen nach dieser Temperaturbehandlung geringere Temperaturgradienten innerhalb der Halbleiterplatten ausbilden, als dies bei Abkühlprozessen nach der Kristallisation für die entsprechenden Bereiche der Halbleiterplatte der Fall war.
67. Verfahren nach wenigstens einem der Ansprüche 1 bis 66,
dadurch gekennzeichnet,
dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten dadurch reduziert werden, dass sich in stapelförmigen oder anderen verdichteten Anordnungen von plattenförmigen Halbleiterscheiben beim Abkühlvorgang keine so hohen Temperaturgradienten innerhalb des Halbleitermaterials ausbilden können, wie das im Halbleitermaterial beim Abkühlen Halbleiterblöcken mit großem Volumen (mehr als das Hundertfache des Volumens der Halbleiterplatten) nach der Kristallisation bei vergleichbaren Abkühlraten der Fall ist.
68. Verfahren nach wenigstens einem der Ansprüche 1 bis 67,
dadurch gekennzeichnet,
dass durch die zusätzliche Temperaturbehandlung oberhalb von 1100 °C mechanische Spannungen oder Stress im Halbleitervolumen der Halbleiterplatten dadurch reduziert werden, dass sich in stapelförmigen oder anderen verdichteten Anordnungen von plattenförmigen Halbleiterscheiben beim Abkühlvorgang keine so hohen Temperaturgradienten innerhalb des Halbleitermaterials ausbilden können, wie das bei Kristallisationsprozessen für bandgezogene Halbleiterplatten oder Folien-Halbleiterplatten der Fall ist.
69. Verfahren nach wenigstens einem der Ansprüche 1 bis 68,
dadurch gekennzeichnet,

dass das Halbleitermaterial Silizium, insbesondere sogenanntes UMG-Silizium (up-grated metallurgical grade) oder anderes qualitativ gegenüber Silizium, das für die Halbleiterindustrie üblicherweise verwendet wird (semiconductor grade), qualitativ minderwertigeres Silizium ist.

70. Verfahren nach wenigstens einem der Ansprüche 1 bis 69,
dadurch gekennzeichnet,
dass während dem oder den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Anzahl kristalliner Defekte wie Versetzungslinien, Versetzungsebenen, Versetzungs-Cluster, Korngrenzen die in flachem Winkel zu den Oberflächen der Halbleiterplatten verlaufen, oder andere bekannte kristalline Defekte in ihrer Anzahl in den Halbleiterplatten reduziert werden oder aus dem Halbleitermaterial entfernt werden.
71. Verfahren nach wenigstens einem der Ansprüche 1 bis 70,
dadurch gekennzeichnet,
dass während dem oder den, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n mechanische Spannungen oder Stress in den Halbleiterplatten reduziert werden.
72. Verfahren nach wenigstens einem der Ansprüche 1 bis 71,
dadurch gekennzeichnet,
dass während dem oder den, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Welligkeit der Halbleiterplatten reduziert wird und oder die Ebenheit der Halbleiterplatten verbessert wird.
73. Verfahren nach wenigstens einem der Ansprüche 1 bis 72,
dadurch gekennzeichnet,
dass durch den oder die, der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n die Bruchanfälligkeit der Halbleiterplatten in nachfolgenden Prozessschritten zur Herstellung von Halbleiterbauelementen signifikant reduziert wird.

74. Verfahren nach wenigstens einem der Ansprüche 1 bis 73,
dadurch gekennzeichnet,
dass durch den oder die, der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n die Anzahl der Verunreinigungen innerhalb der Halbleiter-
platten signifikant reduziert wird.
75. Verfahren nach wenigstens einem der Ansprüche 1 bis 74,
dadurch gekennzeichnet,
dass durch den oder die der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Verunreinigungen innerhalb der Halbleiterplatten unschäd-
lich gemacht werden, weniger schädlich gemacht werden oder in Bereichen ange-
sammelt werden, in denen sie die Funktionsweise der späteren Halbleiterbauele-
mente weniger stören.
76. Verfahren nach wenigstens einem der Ansprüche 1 bis 75,
dadurch gekennzeichnet,
dass der oder die, der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome in den Halbleiter eintreiben.
77. Verfahren nach wenigstens einem der Ansprüche 1 bis 76,
dadurch gekennzeichnet,
dass der oder die der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome nur einen Typs (n-Typ oder p-Typ) in den
Halbleiter eintreiben.
78. Verfahren nach wenigstens einem der Ansprüche 1 bis 77,
dadurch gekennzeichnet,
dass der oder die, der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome verschiedener Dotierstoff-Elemente und
oder verschiedener Dotierstofftypen in einem oder mehreren aufeinander folgen-
den Verfahrensschritten in den Halbleiter eintreiben.

79. Verfahren nach wenigstens einem der Ansprüche 1 bis 78,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Teile der Halbleiterplattenoberflächen vom Eindringen von
Verunreinigungen und/oder Dotierstoffatomen durch geeignete Maskierschichten
wie beispielsweise Siliziumoxid, Siliziumnitrid, Aluminiumoxid oder andere, für
Halbleiterprozesse geeignete Schichten, geschützt werden.
80. Verfahren nach wenigstens einem der Ansprüche 1 bis 79,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome ausgehend von lokalen, nicht durch Mas-
ken abgedeckten Bereichen der Halbleiterplattenoberflächen in die Halbleiterplat-
ten eindringen, während andere Bereiche der Oberflächen der Halbleiterplatten
vor dem Eindringen dieser Dotierstoffatome geschützt oder maskiert sind.
81. Verfahren nach wenigstens einem der Ansprüche 1 bis 80,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n unterschiedliche Dotierstoffatome ausgehend von verschie-
denen lokalen, nicht durch Masken abgedeckten Bereichen der Halbleiterplatten-
oberflächen in die Halbleiterplatten eindringen, während andere Bereiche der
Oberflächen der Halbleiterplatten vor dem Eindringen dieser Dotierstoffatome ge-
schützt oder maskiert sind.
82. Verfahren nach wenigstens einem der Ansprüche 1 bis 81,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n zumindest ein Typ Dotierstoffatome weiter als 10 μm , vor-
zugsweise weiter als 30 μm , insbesondere weiter als bis zur Hälfte der Dicke der
Halbleiterplatten in die Halbleiterplatten eindringt.

83. Verfahren nach wenigstens einem der Ansprüche 1 bis 82,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome von zumindest einem der Elemente Al, B,
P in die Halbleiterplatten eindringen.
84. Verfahren nach wenigstens einem der Ansprüche 1 bis 83,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Do-
tierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen
ausgehend die Dotierstoffatome eingetrieben werden, einstellen.
85. Verfahren nach wenigstens einem der Ansprüche 1 bis 84,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Do-
tierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen
ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die bis zum Halb-
leiterübergang oder den Halbleiterübergansbereichen reichen.
86. Verfahren nach wenigstens einem der Ansprüche 1 bis 85,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Do-
tierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen
ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die sowohl für
die n-Typ-Dotierung, als auch die p-Typ-Dotierung bis zum Halbleiterübergang
oder den Halbleiterübergansbereichen reichen.
87. Verfahren nach wenigstens einem der Ansprüche 1 bis 86,
dadurch gekennzeichnet,

dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die zumindest für einen Dotierstofftyp an keiner Stelle eine Dotierstoffkonzentration von mehr als 10^{20} Dotierstoffatomen/cm³, insbesondere von mehr als 10^{19} Dotierstoffatomen/cm³, vorzugsweise von mehr als 10^{18} Dotierstoffatomen/cm³ aufweisen.

88. Verfahren nach wenigstens einem der Ansprüche 1 bis 87,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich Dotierstoffkonzentrations-Gradienten ausgehend von den Oberflächen, von denen ausgehend die Dotierstoffatome eingetrieben werden, einstellen, die für beide Dotierstofftypen an keiner Stelle eine Dotierstoffkonzentration von mehr als 10^{19} Dotierstoffatomen/cm³ aufweisen.
89. Verfahren nach wenigstens einem der Ansprüche 1 bis 88,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass sich durchgängige Bereiche diesen Dotierstofftyps durch die komplette Dicke der Halbleiterplatte hinweg ergeben.
90. Verfahren nach wenigstens einem der Ansprüche 1 bis 89,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es auch tiefer als 10 µm in der Halbleiterplatte zu (horizontalen) Halbleiterübergängen in zumindest einer Richtung senkrecht zur Waferoberfläche kommt.

91. Verfahren nach wenigstens einem der Ansprüche 1 bis 90,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es auch tie-
fer als 10 μm in der Halbleiterplatte zu vielen – vorzugsweise mehr als hundert -
(horizontalen) Halbleiterübergängen in zumindest einer Richtung senkrecht zur
Waferoberfläche kommt.
92. Verfahren nach wenigstens einem der Ansprüche 1 bis 91,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es in der
Halbleiterplatte zu vielen – vorzugsweise mehr als hundert – vertikal durchgängi-
gen Dotierstoffgebieten unterschiedlichen Typs mit vielen – vorzugsweise über
hundert - (horizontalen) Halbleiterübergängen in zumindest einer Richtung senk-
recht zur Waferoberfläche kommt.
93. Verfahren nach wenigstens einem der Ansprüche 1 bis 92,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es bei multi-
kristallinen Halbleiterplatten zu mehreren vertikal durchgängigen Dotierstoffge-
bieten unterschiedlichen Typs innerhalb der meisten multikristallinen Körner
kommt.
94. Verfahren nach wenigstens einem der Ansprüche 1 bis 93,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-
Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass es bei band-
gezogenen multikristallinen Halbleiterplatten (wie beispielsweise EFG-Si oder
„string ribbon Si“) zu vielen – vorzugsweise mehr als hundert - vertikal durchgän-

gigen Dotierstoffgebieten unterschiedlichen Typs – vorzugsweise abwechselnder Polarität oder alternierenden Dotierstofftyps - entlang der Ziehrichtung beim Kristallisieren dieser Halbleiterplatten kommt.

95. Verfahren nach wenigstens einem der Ansprüche 1 bis 94,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass der Abstand des p-n-Halbleiterüberganges zu den entsprechenden Oberflächen, von denen ausgehend die Dotierstoffe eingetrieben wurden, so gewählt ist, dass das Verhältnis des Abstandes im p-Gebiet zum Abstand im n-Gebiet im Wesentlichen dem Verhältnis der Minderheitsladungsträger-Diffusionslängen von p-Gebiet zu n-Gebiet entspricht.
96. Verfahren nach wenigstens einem der Ansprüche 1 bis 95,
dadurch gekennzeichnet,
dass während dem/den der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome so eingetrieben werden, dass Halbleiterplatten entstehen, die in oberflächennahen Gebieten von mehr als 10 µm Eindringtiefe ein zunächst über zumindest eine der Oberflächen hinweg ein im Wesentlichen gleichmäßiges Dotierstoff-Eindringtiefen-Profil entsteht, innerhalb dessen später Halbleiterbauelemente auf den Halbleiterplatten gefertigt werden.
97. Verfahren nach wenigstens einem der Ansprüche 1 bis 96,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n großflächige dünne Halbleiterplatten so verdichtet werden, dass möglichst viele Halbleiterplatten schadigungsarm auf vergleichsweise geringem Volumen gleichzeitig einer Temperaturbehandlung mit nahezu identischem Temperatur-Zeit-Verlauf ausgesetzt werden können und/oder dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n zum Eintreiben von Dotierstoffatomen Teile der

Oberflächen der Halbleiterplatten so mit oberflächennahen Schichten versehen sind, dass das Eindringen von Dotierstoffatomen an diesen Stellen verlangsamt oder verhindert wird.

98. Verfahren nach wenigstens einem der Ansprüche 1 bis 97,
dadurch gekennzeichnet,
dass zunächst Barriere-Schichten für Verunreinigungen wie Dotierstoffe oder Metallatome auf die Oberflächen der großflächigen, dünnen Halbleiterplatten aufgebracht oder in diesen Oberflächen einwächst und sodann in einem weiteren Verfahrensschritt an Teilen der Oberflächen diese Schichten durch Verfahren wie beispielsweise Ablation, Ätzen oder mechanisches Entfernen wieder zum Halbleiter hin geöffnet werden und schließlich in einem weiteren Verfahrensschritt - zumindest lokal an den in den Barriere-Schichten geöffneten Bereichen - Dotierstoffe bei erhöhten Prozesstemperaturen zwischen 577 °C und 1407 °C in den Halbleiter eingetrieben werden.
99. Verfahren nach wenigstens einem der Ansprüche 1 bis 98,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Barriere-Schichten zumindest an Teilen der Oberflächen der Halbleiterplatten das Eindringen von Verunreinigungen verhindern und gleichzeitig als Dotierstoffquelle dienen.
100. Verfahren nach wenigstens einem der Ansprüche 1 bis 99,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n an in Barrierschichten auf den Halbleiterplatten-Oberflächen zumindest teilweise zum Halbleiter hin geöffneten Bereichen Dotierstoffe aus der Prozessatmosphäre oder Gasphase in den Halbleiter eingetrieben werden.

101. Verfahren nach wenigstens einem der Ansprüche 1 bis 100,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n an zumindest Teilen der Halbleiterplatten-Oberflächen Schichten wie Siliziumoxide, Siliziumoxinitride, Aluminiumoxide, Siliziumcarbid, Diamantbeschichtungen oder keramische Beschichtungen zumindest teilweise das Eindringen von Verunreinigungen wie beispielsweise Dotierstoffen oder Metallatomen reduzieren oder verhindern.
102. Verfahren nach wenigstens einem der Ansprüche 1 bis 101,
dadurch gekennzeichnet,
dass vor einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n eine oder mehrere Dotierstoffquellen auf den Halbleiterplatten aufgebracht werden, so dass in dem/n nachfolgenden Hochtemperatur-Behandlungsschritte/n Dotierstoffe von dort ausgehend in den Halbleiterplatten eingetrieben werden können.
103. Verfahren nach wenigstens einem der Ansprüche 1 bis 102,
dadurch gekennzeichnet,
dass vor einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n eine oder mehrere Dotierstoffquellen derart auf den Halbleiterplatten aufgebracht werden, so dass in dem/n nachfolgenden Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die in verdichteten Anordnungen wie beispielsweise Halbleiterplatten-Stapeln befindlichen Halbleiterplatten eingetrieben werden können und die verdichteten Anordnungen wie beispielsweise Halbleiterplatten-Stapel, danach wieder aufgelöst werden können, ohne die Halbleiterplatten zu beschädigen.
104. Verfahren nach wenigstens einem der Ansprüche 1 bis 103,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrie-

ben werden, die sich nicht dazu eignen, um direkt aus Halbleiterschmelzen heraus beim Abkühlen nach der Kristallisation weitgehend homogen dotierte Halbleiterplatten zu erhalten.

105. Verfahren nach wenigstens einem der Ansprüche 1 bis 104,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur- Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dabei Dotierstoffatome gewählt werden, deren Atomradien möglichst wenig von denen der in den Halbleiterplatten am häufigsten vorkommenden Halbleiter-Elemente abweichen.
106. Verfahren nach wenigstens einem der Ansprüche 1 bis 105,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch eine höhere gemittelte Minderheitsladungsträger-Diffusionslänge in den aus den Halbleiterplatten herzustellenden Halbleiterbauelementen erzielt wird, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.
107. Verfahren nach wenigstens einem der Ansprüche 1 bis 106,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch geringere mechanische Spannungen in den Halbleiterplatten entstehen, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.

108. Verfahren nach wenigstens einem der Ansprüche 1 bis 107,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch geringere mechanische Spannungen in den Halbleiterplatten entstehen, als dies der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre und dadurch die Bruchempfindlichkeit für Halbleiterplatten und Halbleiterbauelemente in nachfolgenden Prozessschritten und oder während der Lebensdauer der Halbleiterbauelemente gesenkt werden kann.
109. Verfahren nach wenigstens einem der Ansprüche 1 bis 108,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffe in die Halbleiterplatten eingetrieben werden und dadurch eine geringere Welligkeit oder eine verbesserte Ebenheit in den Halbleiterplatten entstehen, als dies vergleichsweise der Fall wäre, wenn zumindest einer der nachträglich in den Halbleiterplatten entstehenden Dotierstoffbereiche entsprechenden Dotierstofftyps bereits während der Kristallisation ausgebildet worden wäre.
110. Verfahren nach wenigstens einem der Ansprüche 1 bis 109,
dadurch gekennzeichnet,
dass nach der Kristallisation zunächst wellige Oberflächen von beispielsweise bandgezogenen Siliziumwafer durch diese Verfahren in ihrer Welligkeit deutlich reduziert werden können, so dass vorzugsweise eine Welligkeit von weniger als 1 mm, vorzugsweise von weniger als 0,5 mm und noch bevorzugter eine Welligkeit im Bereich der Dicke bzw. Dickenschwankungen der Halbleiterplatten entsteht.

111. Verfahren nach wenigstens einem der Ansprüche 1 bis 110,
dadurch gekennzeichnet,
dass nach der Kristallisation während einem der nachfolgenden Temperatur-
Behandlungsschritte Halbleiterplatten wie beispielsweise bandgezogene Halblei-
terplatten wie beispielsweise EFG-Siliziumwafer durch mechanische Kräfte wäh-
rend der Temperaturbehandlung in eine andere Form gebracht werden, die vor-
zugsweise eine geringere Welligkeit und oder verbesserte Ebenheit der Halbleiter-
platten zur Folge hat.
112. Verfahren nach wenigstens einem der Ansprüche 1 bis 111,
dadurch gekennzeichnet,
dass nach der Kristallisation während einem der nachfolgenden Temperatur-
Behandlungsschritte Halbleiterplatten wie beispielsweise bandgezogene Halblei-
terplatten wie beispielsweise EFG-Siliziumwafer durch Hilfsmittel wie beispiels-
weise Platten oder Carrier oder Boxen während der Temperaturbehandlung me-
chanisch gehalten, geführt, stabilisiert, komprimiert oder vor Verunreinigungen
oder mechanischen Schädigungen geschützt werden.
113. Verfahren nach wenigstens einem der Ansprüche 1 bis 112,
dadurch gekennzeichnet,
dass durch Vermeiden eines entsprechenden Dotierstoffes als Zugabe bei der Kris-
tallisation und das nachträgliche Eintreiben diesen Dotierstoffes in nachfolgenden
Hochtemperatur-Behandlungsschritten das Lösen von Verunreinigungen aus den
Tiegelwänden in die Halbleiterschmelze zumindest verringert werden kann und
oder die Tiegelwände länger beständig sind und oder länger der Halbleiterschmel-
ze ausgesetzt werden können.
114. Verfahren nach wenigstens einem der Ansprüche 1 bis 113,
dadurch gekennzeichnet,
dass während der Kristallisation auf die Zugabe von Bor verzichtet wird und da-
durch weniger Kohlenstoff aus die Halbleiterschmelze umgebenden Oberflächen
in die Halbleiterschmelze gelangen.

115. Verfahren nach wenigstens einem der Ansprüche 1 bis 114,
dadurch gekennzeichnet,
dass während der Kristallisation auf die Zugabe von Dotierstoffatomen verzichtet wird und dadurch auch weniger andere Verunreinigungen in die Halbleiterschmelze gelangen oder weniger andere Verunreinigungen aus der Halbleiterschmelze in die nach der Kristallisation geformten Halbleiterplatten gelangen.
116. Verfahren nach wenigstens einem der Ansprüche 1 bis 115,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem Volumen der Halbleiterplatten an Oberflächen der Halbleiterplatten entfernt oder abgedampft werden.
117. Verfahren nach wenigstens einem der Ansprüche 1 bis 116,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem Volumen der Halbleiterplatten in oberflächennahen Bereichen oder Schichten angesammelt werden.
118. Verfahren nach wenigstens einem der Ansprüche 1 bis 117,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen aus dem Volumen der Halbleiterplatten in oberflächennahen Bereichen oder Schichten zunächst angesammelt werden und dann mit zumindest einem Teil dieser Bereiche oder Schichten entfernt werden, beispielsweise durch Ätz- oder Ablationsprozesse.
119. Verfahren nach wenigstens einem der Ansprüche 1 bis 118,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen der Halbleiter-

platten mobilisiert werden und bis zu den Oberflächen der Halbleiterplatten gelangen, so dass sie dort durch Ätz-, Ablations- oder Reinigungsverfahren entfernt werden können.

120. Verfahren nach wenigstens einem der Ansprüche 1 bis 119,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen der Halbleiterplatten mobilisiert werden und bis zu den Oberflächen der Halbleiterplatten gelangen, so dass sie dort durch Getterverfahren, wie beispielsweise Phosphor-Gettern, Aluminium-Gettern, Chlor-Gettern oder durch Oxidation der Oberflächen gebunden bzw. aus dem Halbleitermaterial durch geeignete Schritte entfernt werden können.
121. Verfahren nach wenigstens einem der Ansprüche 1 bis 120,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n, bei denen Verunreinigungen im Volumen der Halbleiterplatten mobilisiert werden können, die bei gängigen Verfahrensabläufen für separate Temperaturbehandlungsschritte nach der Kristallisation mit maximalen Prozesstemperaturen für die herzustellenden Halbleiterbauelemente von 900 °C vorzugsweise von 1100 °C nicht mobilisiert und eingesammelt werden könnten.
122. Verfahren nach wenigstens einem der Ansprüche 1 bis 121,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer reduzierenden Atmosphäre, die beispielsweise Wasserstoff und Chlor oder Chlor-

verbindungen oder Fluor oder Fluorverbindungen enthalten kann, ausgesetzt werden.

123. Verfahren nach wenigstens einem der Ansprüche 1 bis 122,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer sauerstoffhaltigen oder oxidierenden Atmosphäre ausgesetzt werden.
124. Verfahren nach wenigstens einem der Ansprüche 1 bis 123,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung einer ätzenden Atmosphäre ausgesetzt werden, wobei diese Atmosphäre entweder das Halbleitermaterial und oder Schichten an der Oberfläche des Halbleitermaterials wegätzen kann.
125. Verfahren nach wenigstens einem der Ansprüche 1 bis 124,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass die Halbleiterplatten während zumindest Phasen der Hochtemperaturbehandlung wahlweise sequentiell nacheinander unterschiedlichen Atmosphären wie beispielsweise oxidierenden, reduzierenden, ätzenden oder inerten Gasatmosphären ausgesetzt werden.

126. Verfahren nach wenigstens einem der Ansprüche 1 bis 125,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen im Volumen des Halbleitermaterials mobilisiert werden und dadurch unschädlich gemacht werden, dass sie zeitgleich oder sequentiell nacheinander durch zwei oder mehr unterschiedliche Gettermechanismen mit unterschiedlichem Einfangsquerschnitt und unterschiedlicher Bindungsaffinität für die entsprechenden Verunreinigungen eingesammelt oder in oberflächennahen Gebieten angesammelt werden.
127. Verfahren nach wenigstens einem der Ansprüche 1 bis 126,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Verunreinigungen entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.
128. Verfahren nach wenigstens einem der Ansprüche 1 bis 127,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.
129. Verfahren nach wenigstens einem der Ansprüche 1 bis 128,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen

Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

130. Verfahren nach wenigstens einem der Ansprüche 1 bis 129,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich dadurch in unmittelbarer Nähe der Kristalldefekte mit erhöhter Dotierstoffanreicherung elektrische Felder ausbilden, die Minderheitsladungsträger in den aus den Halbleiterplatten hergestellten Halbleiterbauelementen von diesen Bereichen abschirmen.
131. Verfahren nach wenigstens einem der Ansprüche 1 bis 130,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien in höherer Konzentration angereichert werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und zugleich in diesen Bereichen andere mobile Verunreinigungen im Halbleitermaterial, wie beispielsweise metallische Verunreinigungen dort ebenfalls angereichert werden.
132. Verfahren nach wenigstens einem der Ansprüche 1 bis 131,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist.

133. Verfahren nach wenigstens einem der Ansprüche 1 bis 132,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus durch die Dicke der Halbleiterplatte vertikal durchgängige Bereiche höherer Dotierstoffkonzentration entlang dieser kristallinen Defektbereiche - wie beispielsweise vertikal durchgängigen Korngrenzen oder Versetzungen - ergeben, die ferner beispielsweise für Minderheitsladungsträger als Potentialbarrieren wirken können.
134. Verfahren nach wenigstens einem der Ansprüche 1 bis 133,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus Potentialbarrieren für Minderheitsladungsträger in den späteren Halbleiterbauelementen ergeben, entlang derer die Minderheitsladungsträger mit höherer Wahrscheinlichkeit einem p-n-Übergang zugeführt werden, als dies ohne die Potentialbarrieren entlang kristalliner Defekte der Fall wäre.
135. Verfahren nach wenigstens einem der Ansprüche 1 bis 134,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n ausgehend von den Oberflächen der Halbleiterplatten Dotierstoffatome entlang von Korngrenzen und oder anderen kristallinen Defekten wie Versetzungslinien deutlich schneller und tiefer in den Halbleiter

eingetrieben werden, als dies in benachbarten nicht gestörten Kristallbereichen der Fall ist und sich daraus Potentialbarrieren für Minderheitsladungsträger in den späteren Halbleiterbauelementen ergeben, die die effektive Diffusionslänge für Minderheitsladungsträger im fertiggestellten Halbleiterbauelement erhöhen.

136. Verfahren nach wenigstens einem der Ansprüche 1 bis 135,
dadurch gekennzeichnet,
dass während einem oder mehreren der Kristallisation folgenden separaten Hochtemperatur-Behandlungsschritte/n aus Verunreinigungselementen bestehende Präzipitatbereiche im Halbleitermaterial zunächst derart umgewandelt werden, dass sich zumindest ein Teil der Verunreinigungen aus den Präzipitaten löst und als interstitielle oder ins Kristallgitter eingebundene Verunreinigungen ausreichend mobil wird, um an anderen Orten der Halbleiterplatten, wie zum Beispiel an deren Oberflächen, eingesammelt oder unschädlich gemacht oder aus dem Halbleiter entfernt zu werden.
137. Verfahren nach wenigstens einem der Ansprüche 1 bis 136,
dadurch gekennzeichnet,
dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass Verunreinigungen und kristalline Defekte, die die Diffusionslänge von Minderheitsladungsträgern in UMG-Si-Halbleiterplatten limitieren, merklich in ihrer Konzentration, vorzugsweise um mindestens eine Größenordnung in ihrer Konzentration, gesenkt werden.
138. Verfahren nach wenigstens einem der Ansprüche 1 bis 137,
dadurch gekennzeichnet,
dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass Verunreinigungen und kristalline

Defekte, die zu Degradationseffekten von aus UMG-Si-Halbleiterplatten hergestellten Halbleiterbauelementen führen, merklich in ihrer Konzentration, vorzugsweise um eine Größenordnung in ihrer Konzentration gesenkt werden.

139. Verfahren nach wenigstens einem der Ansprüche 1 bis 138,
dadurch gekennzeichnet,
dass die einzelnen Verfahrensschritte derart angepasst werden, dass bei Verwendung von UMG-Si als Ausgangs-Halbleitermaterial (vor dem Kristallisationsprozess) die einzelnen Prozessparameter bei den Hochtemperatur-Behandlungsschritten so angepasst werden, dass die Dotierstoffkonzentration zumindest eines Dotierstoffes innerhalb dieser Halbleiterplatten durch Abgabe von Dotierstoff an zumindest Teilen der Halbleiterplatten-Oberflächen durch Abläufe wie beispielsweise Verdampfen oder Oxidation oder Ätzen merklich reduziert wird und/oder um mindestens eine Größenordnung reduziert wird.
140. Verfahren nach wenigstens einem der Ansprüche 1 bis 139,
dadurch gekennzeichnet,
dass die Hochtemperaturbehandlungsschritte zur Verbesserung von mit UMG-Si hergestellten Wafern bei Maximaltemperaturen zwischen 577 °C und 1407 °C erfolgen und mit der jeweiligen Temperaturbehandlung ein Durchsatz von mehr als 1000 Halbleiterplatten pro Stunde bei der für die Hochtemperaturbehandlung gewählten Prozesszeit in wirtschaftlich vorteilhaften Prozessen und Prozessanlagen möglich ist.
141. Verfahren nach wenigstens einem der Ansprüche 1 bis 140,
dadurch gekennzeichnet,
dass die Hochtemperaturbehandlungsschritte zur Verbesserung von mit UMG-Si hergestellten Wafern bei Temperaturen erfolgen, die einen ausreichend hohen Dampfdruck für Verunreinigungen erzeugen, die aus dem Halbleitermaterial durch Verdampfen oder Abdampfen entfernt werden sollen, um die Materialqualität in später aus den Halbleiterplatten hergestellten Halbleiterbauelementen nachweislich zu verbessern.

142. Verfahren zur Herstellung kristalliner, großflächiger, dünner Halbleiterplatten bei gleichzeitiger Verbesserung der Materialqualität von verunreinigtem Silizium wie beispielsweise UMG (Up-graded Metallurgical Grade) –Silizium, insbesondere nach einem der Ansprüche 1 bis 141,
dadurch gekennzeichnet,
dass die Konzentration an Verunreinigungsatomen zumindest eines Typs um mindestens eine Größenordnung, vorzugsweise um mindestens zwei Größenordnungen, insbesondere um zumindest drei Größenordnungen innerhalb der Halbleiterplatten gegenüber der Verunreinigungskonzentration im Ausgangsmaterial gesenkt wird, und dass die Halbleiterplatten in so genannten Bandziehverfahren wie EFG-Verfahren oder string ribbon Verfahren hergestellt werden und die Verunreinigung, deren Konzentration um mindestens eine Größenordnung gesenkt wird, durch Segregation im Wesentlichen bevorzugt in der Halbleiterschmelze zurück gehalten wird.
143. Verfahren zur Herstellung kristalliner, großflächiger, dünner Halbleiterplatten bei gleichzeitiger Verbesserung der Materialqualität von verunreinigtem Silizium wie beispielsweise UMG-Silizium, insbesondere einem der Ansprüche 1 bis 142,
dadurch gekennzeichnet,
dass die Konzentration an Dotierstoffatomen zumindest eines Typs um mindestens eine Größenordnung, vorzugsweise um mindestens zwei Größenordnungen, insbesondere um mindestens drei Größenordnungen innerhalb der Halbleiterplatten gegenüber der Dotierstoffkonzentration im Ausgangsmaterial gesenkt wird, und dass die Halbleiterplatten in so genannten Bandziehverfahren - wie EFG-Verfahren oder string ribbon Verfahren - hergestellt werden und die Dotierstoffe im Wesentlichen durch Segregation bevorzugt in der Halbleiterschmelze zurück gehalten werden.
144. Verfahren nach wenigstens einem der Ansprüche 1 bis 143,
dadurch gekennzeichnet,

dass die Halbleiterplatten gemäß mindestens einem der Ansprüche 1 bis 141 weiter zu Halbleiterplatten mit verbesserten Eigenschaften verarbeitet werden.

145. Verfahren nach wenigstens einem der Ansprüche 1 bis 144,

d a d u r c h g e k e n n z e i c h n e t ,

dass kürzere Prozesszeiten bei der Kristallisation bzw. bei den Abkühlprozessen unmittelbar nach der Kristallisation gewählt werden, als dies bei Verfahren der Fall wäre, die nicht in separaten Hochtemperaturschritten gemäß den Ansprüche 1 bis 144 die Materialqualität in den Halbleiterplatten verbessern und dass diese kürzeren Prozesszeiten somit insgesamt zu wirtschaftlicheren Herstellungsprozessen entlang der kompletten Wertschöpfungskette von Ausgangs-Halbleitermaterial bis zum fertigen Halbleiterbauelement, das aus den Halbleiterplatten gefertigt wird, führen.

146. Verfahren nach wenigstens einem der Ansprüche 1 bis 145,

d a d u r c h g e k e n n z e i c h n e t ,

dass höhere Verunreinigungskonzentrationen – wie beispielsweise Dotierstoffkonzentrationen - bei der Kristallisation bzw. bei den Abkühlprozessen unmittelbar nach der Kristallisation zugelassen werden, als dies bei Verfahren der Fall wäre, die nicht in separaten Hochtemperaturschritten gemäß den Ansprüchen 1 bis 145 die Materialqualität in den Halbleiterplatten verbessern, und dass diese höheren zugelassenen Verunreinigungskonzentrationen zu geringeren Kosten für das Ausgangs-Halbleitermaterial und somit insgesamt zu wirtschaftlicheren Herstellungsprozessen entlang der kompletten Wertschöpfungskette von Ausgangs-Halbleitermaterial bis zum fertigen Halbleiterbauelement, das aus den Halbleiterplatten gefertigt wird, führen.

147. Verfahren nach wenigstens einem der Ansprüche 1 bis 146,

d a d u r c h g e k e n n z e i c h n e t ,

dass das Ausgangs-Halbleitermaterial vor der Kristallisation ohne Zugabe weiterer Dotierstoffe bereits eine Dotierstoffkonzentration von mehr als 10^{16} Dotierstoffatomen/cm³, insbesondere von mehr als 10^{17} Dotierstoffatomen/cm³, vorzugsweise

von mehr als 10^{18} Dotierstoffatomen/cm³, insbesondere vorzugsweise von mehr als 10^{19} Dotierstoffatomen/cm³ aufweist.

148. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten, insbesondere unter Berücksichtigung eines oder mehrerer Merkmale der Ansprüche 1 bis 147,

dadurch gekennzeichnet,

dass die Verunreinigungskonzentration von im Halbleiter-Ausgangsmaterial vorhandenen Verunreinigungen dadurch erheblich abgesenkt wird, dass Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert und anschließend zum Kristallisieren (Erstarren) gebracht wird, eingesetzt werden, um die Verunreinigungskonzentration im daraus entstehenden Halbleitermaterial erheblich gegenüber der Verunreinigungskonzentration im Ausgangsmaterial zu senken, und dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird, und/oder dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration zunächst zerkleinert und dann erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird, und/oder dass das so entstandene Halbleitermaterial mit geringerer Verunreinigungskonzentration zunächst mit mechanischen Verfahren – wie Backenbrechen oder Zentrifugen, die harte und für Halbleitermaterial reine Oberflächen zum Zerkleinern des Materials verwenden - zerkleinert und dann erneut einem Kristallisationsverfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten zugeführt wird.

149. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach zumindest Anspruch 148,

dadurch gekennzeichnet,

dass das Halbleitermaterial mit geringerer Verunreinigungskonzentration, das nach der ersten Kristallisation mit einem Verfahren wie Bandziehverfahren (z.B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird hergestellt wurde so zerkleinert wird, dass es anschließend erneut einem Verfahren wie Bandziehverfahren (z.B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder anderen Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert und anschließend zum Kristallisieren (Erstarren) gebracht wird, zugeführt wird.

150. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach zumindest Anspruch 148 oder 149,
dadurch gekennzeichnet,
dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Hundertstel oder weniger der zuvor im Ausgangs-Halbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.
151. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach zumindest einem der Ansprüche 148 bis 150,
dadurch gekennzeichnet,
dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Tausendstel oder weniger der zuvor im Ausgangs-Halbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.
152. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 151,
dadurch gekennzeichnet,
dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf

ein Zehntausendstel oder weniger der zuvor im Ausgangs-Halbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.

153. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 152,
dadurch gekennzeichnet,
dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen zumindest bei einer Verunreinigung auf ein Hunderttausendstel oder weniger der zuvor im Ausgangs-Halbleitermaterial vorhandenen Konzentration dieser Verunreinigung reduziert wird.
154. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 153,
dadurch gekennzeichnet,
dass die Verunreinigungskonzentration in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen bei einer der für die Funktion der Halbleiterbauelemente entscheidenden oder die Qualität der Halbleiterbauelemente limitierenden Verunreinigung um mehr als eine Größenordnung gesenkt wird.
155. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 154,
dadurch gekennzeichnet,
dass die Dotierstoffkonzentration von zumindest einem Dotierstoffelement in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial auf ein Zehntel oder weniger, vorzugsweise auf ein Hundertstel oder weniger, insbesondere auf ein Tausendstel oder weniger abgesenkt wird.
156. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 155,
dadurch gekennzeichnet,

dass die Dotierstoffkonzentration des im Ausgangsmaterial am meisten vorkommenden Dotierstoffelements in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial auf ein Zehntel oder weniger abgesenkt wird.

157. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 156,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Dotierstoffkonzentration des im Ausgangsmaterial am meisten vorkommenden Dotierstoffelements in den entstehenden Halbleiterplatten zur Herstellung von Halbleiterbauelementen gegenüber der Dotierstoffkonzentration im Ausgangs-Halbleitermaterial soweit abgesenkt wird, dass nahezu intrinsisches Halbleitermaterial entsteht.

158. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 157,

d a d u r c h g e k e n n z e i c h n e t ,

dass das metallurgische Silizium oder anderes qualitativ minderwertiges Silizium als Ausgangsmaterial eingesetzt wird um es mit den beschriebenen Verfahren so von Verunreinigungen zu reinigen, dass es sich zur wirtschaftlich vorteiligen Herstellung von Halbleiterbauelementen wie beispielsweise Solarzellen eignet.

159. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 158,

d a d u r c h g e k e n n z e i c h n e t ,

dass das zu reinigende Ausgangs-Halbleitermaterial zunächst nach einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, einem sehr raschen Abkühlprozess nach dieser ersten Kristallisation unterzogen wird, bei dem sich mehr Kristalldefekte bilden, als dies für die vorteilhafte Herstellung von Halbleiterplatten und Halbleiterbauelementen wie beispielsweise So-

larzellen vorteilhaft ist, und dass diese kristallinen Defekte dennoch keine nachteilige Auswirkung auf die nach dem zweiten Kristallisationsprozess entstehenden Halbleiterplatten haben.

160. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 159,

d a d u r c h g e k e n n z e i c h n e t ,

dass das zu reinigende Ausgangs-Halbleitermaterial zunächst nach einem Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, einem sehr raschen Abkühlprozess nach dieser ersten Kristallisation unterzogen wird, bei dem sich mehr mechanische Spannungen im entstehenden Halbleitermaterial bilden, als dies für die vorteilhafte Herstellung von Halbleiterplatten und Halbleiterbauelementen wie beispielsweise Solarzellen vorteilhaft ist, und dass diese mechanischen Spannungen dennoch keine nachteilige Auswirkung auf die nach dem zweiten Kristallisationsprozess entstehenden Halbleiterplatten haben.

161. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 160,

d a d u r c h g e k e n n z e i c h n e t ,

dass nach dem ersten Kristallisieren entstehende kristalline Defekte oder entstehende mechanische Spannungen im Halbleitermaterial in diesem Zustand oder eine erhöhte Welligkeit des Halbleitermaterial in diesem Zustand – beispielsweise aufgrund vergleichsweise hoher oder ungleichmäßiger Abkühlraten nach dem ersten Kristallisieren – zu Vorteilen (beispielsweise einfacheres Zerkleinern des Materials) bei den weiterhin folgenden Prozessschritten bei der Herstellung von Halbleiterplatten oder Halbleiterbauelementen führen.

162. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 161,

d a d u r c h g e k e n n z e i c h n e t ,

dass mehrfach Kristallisationsprozesse zur Reinigung des Ausgangsmaterials eingesetzt werden, die Verfahren wie Bandziehverfahren (z. B. EFG-Verfahren oder string ribbon Verfahren) oder Strangziehverfahren oder andere Verfahren, bei denen Halbleitermaterial im Wesentlichen kontinuierlich aus einer Halbleiterschmelze heraus gefördert wird, anwenden.

163. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 162,
dadurch gekennzeichnet,
dass das zu reinigende aufgeschmolzene Ausgangs-Siliziummaterial mit Schwerkraft und oder Kapillarkräften nach unten hin oder seitlich aus einem Tiegel quasi kontinuierlich gezogen wird, um unterhalb oder seitlich des Tiegels zu erstarren.
164. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 163,
dadurch gekennzeichnet,
dass das zu reinigende aufgeschmolzene Ausgangs-Siliziummaterial mit Schwerkraft und oder Kapillarkräften nach unten hin oder seitlich aus einem Tiegel quasi kontinuierlich gezogen wird, um unterhalb oder seitlich des Tiegels zu erstarren und sofern vorteilhaft oder notwendig aufgefangen werden zu können, falls mechanische Spannungen (z. B. aufgrund drastisch erhöhter Abkühlraten) im Material dazu führen, dass das erstarrte Material bricht und um nicht den im Wesentlichen kontinuierlichen Ziehprozess unterbrechen zu müssen.
165. Verfahren zur Herstellung großflächiger, kristalliner, dünner Halbleiterplatten nach wenigstens einem der Ansprüche 148 bis 164,
dadurch gekennzeichnet,
dass die entstehenden Halbleiterplatten gemäß zumindest einem der Ansprüche 1 bis 147 weiter bearbeitet werden.

166. Industriell zu wirtschaftlichen Kosten hergestellte großflächige, kristalline, dünne (wie 30 μm - 500 μm) Halbleiterplatten, die zur Herstellung von Halbleiterbauelementen eingesetzt werden können,
dadurch gekennzeichnet,
dass die Halbleiterplatten über ihr gesamtes Volumen hinweg Dotierstoffkonzentrationen unterhalb 10^{15} Dotierstoffatomen/ cm^3 , aufweisen, und/oder
dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg nahezu intrinsische Halbleiterqualität aufweisen und keine deutlich ausgeprägte Dotierung eines Typs aufweisen, bevor sie weiteren Bearbeitungsschritten zur Herstellung von Halbleiterbauelementen unterzogen werden, und/oder
dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg eine höhere Verunreinigungskonzentration mit Kohlenstoff und/oder Sauerstoff als mit allen anderen Verunreinigungen im Halbleitermaterial aufweisen.
167. Halbleiterplatten nach zumindest Anspruch 166,
dadurch gekennzeichnet,
dass die Halbleiterplatten nach der Kristallisation über ihr gesamtes Volumen hinweg Dotierstoffkonzentrationen unterhalb 10^{14} Dotierstoffatomen/ cm^3 aufweisen.
168. Halbleiterplatten nach wenigstens Anspruch 166 oder 167,
dadurch gekennzeichnet,
dass die Halbleiterplatten gemäß einem Verfahren nach wenigstens einem der Ansprüche 1 bis 165 hergestellt wurden.
169. Halbleiterbauelement,
dadurch gekennzeichnet,
dass das Halbleiterbauelement aus Halbleiterplatten nach wenigstens einem der Ansprüche 1 bis 168 hergestellt wird.

170. Halbleiterbauelement nach Anspruch 169,
dadurch gekennzeichnet,
dass es sich bei dem Halbleiterbauelement um ein Halbleiterbauelement zur Konvertierung von Licht in elektrische Energie oder eine Solarzelle handelt.
171. Halbleiterbauelement nach Anspruch 169 oder 170,
dadurch gekennzeichnet,
dass Dotierbereiche (p-Typ bzw. n-Typ-Dotierung) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozeß) der Halbleiterplatten ausgebildet werden, insbesondere ausgehend von Oberflächen der Halbleiterplatten durch das Eintreiben von Dotierstoffen hergestellt werden.
172. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 171,
dadurch gekennzeichnet,
dass Dotierbereiche (p-Typ bzw. n-Typ-Dotierung) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozeß) der Halbleiterplatten ausgehend von mit den Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen mindestens 10 µm, vorzugsweise mindestens 30 µm tief ins Innere der Halbleiterplatten eingetrieben werden.
173. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 172,
dadurch gekennzeichnet,
dass Dotierbereiche zumindest eines Dotierstofftyps (p-Typ oder n-Typ) innerhalb der kristallinen Halbleiterplatten im Wesentlichen erst nach der Herstellung (Kristallisationsprozess) der Halbleiterplatten - ausgehend von mit Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen - mindestens bis zur Hälfte der Dicke der Halbleiterplatte ins Innere der Halbleiterplatten eingetrieben werden.

174. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 173,
dadurch gekennzeichnet,
dass Dotierbereiche mit Diffusionsverfahren ausgehend von mit den Oberflächen
bzw. Teilen der Oberflächen der Halbleiterplatten in Wechselwirkung stehenden
Dotierstoffquellen eingetrieben werden.
175. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 174,
dadurch gekennzeichnet,
dass Dotierbereiche in Legierungsverfahren zwischen Halbleitermaterial und Do-
tierstoffen - ausgehend von mit den Oberflächen bzw. Teilen der Oberflächen der
Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen - eingetrieben
werden.
176. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 175,
dadurch gekennzeichnet,
dass Dotierbereiche ausgehend von mit den Oberflächen bzw. Teilen der Oberflä-
chen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen da-
durch eingetrieben werden, dass sich die Dotierstoffe bei einem angepassten Tem-
peraturbehandlungsverfahren im Halbleitermaterial lösen (z. B. gemäß Phasendia-
gramm zwischen Dotierstoff- und Halbleiter-Element).
177. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 176,
dadurch gekennzeichnet,
dass Dotierbereiche ausgehend von mit den Oberflächen bzw. Teilen der Oberflä-
chen der Halbleiterplatten in Wechselwirkung stehenden Dotierstoffquellen da-
durch eingetrieben werden, dass die eutektische Temperatur zwischen Halbleiter-
element und Dotierstoffelement überschritten wird.

178. Halbleiterbauelement nach vorzugsweise einem der Ansprüche 169 bis 177,
dadurch gekennzeichnet,
dass es aus Halbleiterplatten gefertigt wird, deren effektive Dotierstoff-Konzentration (n-Typ oder p-Typ Netto-Dotierstoff-Konzentration) in nahezu allen Bereichen der Halbleiterplatten so gering ist, dass ein spezifischer Widerstand von über 100 ohm cm im Halbleitermaterial vorherrscht.
179. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 178,
dadurch gekennzeichnet,
dass es aus Halbleiterplatten gefertigt wird, deren effektive Dotierstoff-Konzentration (n-Typ oder p-Typ Netto-Dotierstoff-Konzentration) in nahezu allen Bereichen der Halbleiterplatten so gering ist, dass ein spezifischer Widerstand von über 1000 ohm cm im Halbleitermaterial vorherrscht.
180. Halbleiterbauelement nach vorzugsweise einem der Ansprüche 169 bis 179,
dadurch gekennzeichnet,
dass ausgehend von den Oberflächen der Halbleiterplatten, aus denen das Halbleiterbauelement gefertigt wird, Dotierstoffgradienten ausgebildet werden, die sich im Wesentlichen durch das gesamte Volumen der Halbleiterplatten hindurch erstrecken und bis zu den jeweiligen Halbleiterübergängen zwischen n-dotierten und p-dotierten Bereichen reichen.
181. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 180,
dadurch gekennzeichnet,
dass ausgehend von den Oberflächen der Halbleiterplatten, auf denen das Halbleiterbauelement gefertigt wird, Dotierstoffgradienten ausgebildet werden, die sich im Wesentlichen durch das gesamte Volumen der Halbleiterplatten hindurch erstrecken und bis zu den jeweiligen Halbleiterübergängen zwischen n-dotierten und p-dotierten Bereichen reichen.

182. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 179,
dadurch gekennzeichnet,
dass im durch Dotierstoffgradienten im kompletten Halbleitervolumen der kristallinen Solarzelle elektrische Felder ausgebildet sind, die erzeugten Minderheitsladungsträgern an nahezu jeder Stelle des Halbleitervolumens eine Vorzugsrichtung hin zu den Halbleiterübergängen im Inneren der Solarzelle aufprägen.
183. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 180,
dadurch gekennzeichnet,
dass sich die Dotierstoffkonzentration entlang von Linien, insbesondere von jeder beliebigen Linie, senkrecht zu den beiden Oberflächen der Halbleiterplatten kontinuierlich, vorzugsweise kontinuierlich und stetig, mit zunehmender Eindringtiefe ändert.
184. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 183,
dadurch gekennzeichnet,
dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten bei Temperaturen oberhalb von 1100 °C ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.
185. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 184,
dadurch gekennzeichnet,
dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mit mehr als 2 Stunden, vorzugsweise mit mehr als 4 Stunden, insbesondere mit mehr als 8 Stunden Dauer, ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.
186. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 185,
dadurch gekennzeichnet,
dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten oberhalb von 1100 °C ausgehend von den Oberflächen der Halbleiterbauelemente eingetrieben werden.

187. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 186,
dadurch gekennzeichnet,
dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm , vorzugsweise mehr als 30 μm , tief eingetrieben werden.
188. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 187,
dadurch gekennzeichnet,
dass Dotierstoffbereiche nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration in allen Bereichen der Halbleiterbauelemente unterhalb 10^{19} Dotierstoffatomen/ cm^3 bleibt.
189. Halbleiterbauelement nach wenigstens einem der Ansprüche 169 bis 188,
dadurch gekennzeichnet,
dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration in allen Bereichen der Halbleiterbauelemente unterhalb 10^{19} Dotierstoffatomen/ cm^3 bleibt.
190. Halbleiterbauelement in Form einer Solarzelle nach wenigstens einem der Ansprüche 169 bis 189,
dadurch gekennzeichnet,
dass Dotierstoffbereiche beider Dotierstofftypen nach der Kristallisation der Halbleiterplatten in Temperaturbehandlungsschritten mehr als 10 μm tief eingetrieben werden und dabei die Dotierstoffkonzentration so gewählt wird, dass an keiner Stelle innerhalb des Halbleitervolumens Auger-Rekombination von Minderheitsladungsträger den Wirkungsgrad der Solarzelle limitiert.
191. Solarzelle nach wenigstens einem der Ansprüche 169 bis 190,
dadurch gekennzeichnet,

dass die Eindringtiefe und Dotierstoffkonzentration von p-dotierten Bereichen und die Eindringtiefe und Dotierstoffkonzentration von n-dotierten Bereichen so angepasst sind, dass die interne Quantenausbeute für Minderheitsladungsträger für das einfallende Lichtspektrum und die einfallende Lichtintensität insgesamt dadurch maximiert wird, dass die Dotierbereiche der jeweiligen Diffusionslänge für Minderheitsladungsträger optimal angepasst sind, so dass gemittelt insgesamt die meisten Minderheitsladungsträger den Halbleiterübergang erreichen.

192. Solarzelle nach wenigstens einem der Ansprüche 169 bis 191,
dadurch gekennzeichnet,
dass der Halbleiterübergang (im Wesentlichen parallel zu den Oberflächen der Halbleiterplatten) zwischen p-dotiertem Bereichen (ausgehend von einer Oberfläche der Solarzelle) und n-dotiertem Bereich (ausgehend von der gegenüberliegenden Oberfläche der Solarzelle) in einer Tiefe gewählt wird, dass das Verhältnis der Tiefe des n-dotierten Bereiches zur Tiefe des p-dotierten Bereiches ungefähr dem Verhältnis der gemittelten Diffusionslänge für Minderheitsladungsträger von n-dotiertem Bereich zu der gemittelten Diffusionslänge von Minderheitsladungsträgern im p-dotiertem Bereich entspricht.
193. Solarzelle nach wenigstens einem der Ansprüche 169 bis 192,
dadurch gekennzeichnet,
dass Minderheitsladungsträger an jeder Position innerhalb der Solarzelle aufgrund von Dotierstoffgradienten durch ein elektrisches Feld bevorzugt in Richtung Halbleiterübergang getrieben werden.
194. Solarzelle nach wenigstens einem der Ansprüche 169 bis 193,
dadurch gekennzeichnet,
dass die Halbleiterplatten nach Temperaturbehandlungsschritten oberhalb von 1100 °C zumindest bis hinunter zu Temperaturen von 1100 °C langsamer abgekühlt werden, als dies nach den Kristallisationsprozessen zur Herstellung der Halbleiterplatten der Fall war.

195. Solarzelle nach wenigstens einem der Ansprüche 169 bis 194,
dadurch gekennzeichnet,
dass die Halbleiterplatten nach Temperaturbehandlungsschritten oberhalb von 1000 °C zumindest bis hinunter zu Temperaturen von 1000 °C, vorzugsweise bis hinunter zu Temperaturen von 900 °C, langsamer abgekühlt werden, als dies nach den Kristallisationsprozessen zur Herstellung der Halbleiterplatten der Fall war.
196. Verfahren zur Herstellung von Solarzellen gemäß mindestens einem der Ansprüche 169 bis 195,
dadurch gekennzeichnet,
dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen geschützt werden
197. Verfahren nach Anspruch 196,
dadurch gekennzeichnet,
dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch geeignete Schichten, insbesondere durch Dotierstoffschichten, an der Oberfläche der Halbleiterbauelemente geschützt werden.
198. Verfahren nach Anspruch 196 oder 197,
dadurch gekennzeichnet,
dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch dielektrische Schichten wie SiO_x , SiN_x , SiO_xN_y , AlO_x , SiC_x , oder andere für Halbleiterprozesse geeignete Schichten an der Oberfläche der Halbleiterbauelemente geschützt werden.
199. Verfahren nach wenigstens einem der Ansprüche 196 bis 198,
dadurch gekennzeichnet,
dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000 °C vor dem Eindringen von ungewünschten Fremdatomen durch eine geeignete

Ofenatmosphäre bzw. durch Verwendung von für Halbleiterprozesse hochreiner Materialien im Ofeninneren geschützt werden.

200. Verfahren nach wenigstens einem der Ansprüche 196 bis 199, dadurch gekennzeichnet, dass die Halbleiterplatten bei Temperaturbehandlungsschritten oberhalb von 1000° C vor dem Eindringen von ungewünschten Fremdatomen durch eine geeignete Ofenatmosphäre wie beispielsweise einer reduzierenden Ofenatmosphäre, einer oxidierenden Ofenatmosphäre, einer ätzenden Ofenatmosphäre oder einer reinigenden Ofenatmosphäre geschützt werden.
201. Verfahren nach wenigstens einem der Ansprüche 196 bis 200, dadurch gekennzeichnet, dass die Halbleiterplatten nach der Kristallisation erneut Temperaturbehandlungsschritten zwischen 1000 °C und 1407 °C ausgesetzt werden und anschließend zumindest bis hinunter zu Temperaturen von 1100 °C mit Temperaturrampen abgekühlt werden, die ähnlich oder geringer sind, als die Abkühlraten, die in diesem Temperaturbereich nach der Kristallisation von Halbleiterblöcken sind.
202. Verfahren nach wenigstens einem der Ansprüche 196 bis 201, dadurch gekennzeichnet, dass die Halbleiterplatten nach der Kristallisation erneut Temperaturbehandlungsschritten zwischen 1000 °C und 1407 °C ausgesetzt werden und anschließend zumindest bis hinunter zu Temperaturen von 1100 °C mit Temperaturrampen abgekühlt werden, die ähnlich oder geringer sind, als die Abkühlraten, die in diesem Temperaturbereich nach der Kristallisation von Halbleiterblöcken sind und sich dadurch mechanische Spannungen bzw. Defektbereiche in den kristallinen Halbleiterplatten reduzieren, dass sich innerhalb der Halbleiterplatten dabei geringere Temperaturgradienten ausbilden, als dies beim Abkühlen nach der Kristallisation (z. B. in kristallinen Blöcken aus Halbleitermaterial) der Fall war.

203. Verfahren nach wenigstens einem der Ansprüche 196 bis 202,
dadurch gekennzeichnet,
dass Dotierstoffe im Wesentlichen ausgehend von den Oberflächen in das Volumen der nahezu intrinsischen Halbleiterplatten, auf denen die Halbleiterbauelemente hergestellt werden, eingetrieben werden, indem zunächst Dotierstoff auf den Oberflächen aufgebracht wird und anschließend von dort aus in Temperaturbehandlungsschritten in den Halbleiter eingetrieben wird.
204. Verfahren nach wenigstens einem der Ansprüche 196 bis 203,
dadurch gekennzeichnet,
dass Aluminium zur Ausbildung tiefer p-dotierter Bereiche ($> 30 \mu\text{m}$ Tiefe) und Phosphor zur Ausbildung tiefer n-dotierter Bereiche ($> 10 \mu\text{m}$ Tiefe) in zuvor nahezu intrinsischem Halbleitermaterial verwendet wird.
205. Verfahren nach wenigstens einem der Ansprüche 196 bis 204,
dadurch gekennzeichnet,
dass Aluminium zur Ausbildung tiefer p-dotierter Bereiche und Phosphor zur Ausbildung tiefer n-dotierter Bereiche in Temperaturbehandlungsschritten ins Halbleitermaterial eingetrieben werden und diese so hergestellten Dotierbereiche nahezu das komplette Volumen ($> 90\%$) der Halbleiterplatten durchdringen, auf denen die Halbleiterbauelemente gefertigt werden
206. Verfahren nach wenigstens einem der Ansprüche 196 bis 205,
dadurch gekennzeichnet,
dass zumindest zwei der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Silizium-Halbleiterplatten ausgehend von den Oberflächen dieser Halbleiterplatten so tief ins Silizium eingetrieben werden, dass danach alle Bereiche des Volumens der Halbleiterplatten mit zumindest einem dieser eingetriebenen Dotierstoffe dotiert ist.
207. Verfahren nach wenigstens einem der Ansprüche 196 bis 206,
dadurch gekennzeichnet,

dass zumindest zwei der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen werden und in anschließenden Temperaturbehandlungsverfahren weiter als 10 µm tief ins Silizium, weiter als bis zur Hälfte der Dicke der kristallinen Siliziumplatten ins Silizium, eingetrieben werden.

208. Verfahren nach wenigstens einem der Ansprüche 196 bis 207,

d a d u r c h g e k e n n z e i c h n e t ,

dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff gemäß Phasendiagramm tief (> 10 µm) ins Silizium einlegiert wird, wobei insbesondere die Eindringtiefe durch die Dicke der Dotierstoffschicht kontrolliert wird, und/oder wobei die Eindringtiefe durch die Temperatur und Zeit beim Legierungsprozess kontrolliert wird, und/oder wobei die Eindringtiefe durch die Temperatur und Zeit beim Diffusionsprozess kontrolliert wird.

209. Verfahren nach wenigstens einem der Ansprüche 196 bis 208,

d a d u r c h g e k e n n z e i c h n e t ,

dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in elementarer Form auf den mit einer dünnen Diffusionsbarriere versehenen Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff durch diese Barrierschicht hindurch tief (> 10 µm) ins Silizium eingetrieben wird.

210. Verfahren nach wenigstens einem der Ansprüche 196 bis 209,

d a d u r c h g e k e n n z e i c h n e t ,

dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Form einer Diffusions-

quelle anstatt in elementarer Form auf den Oberflächen von Silizium-Halbleiterplatten aufgetragen wird und in einem anschließenden Temperaturbehandlungsverfahren der Dotierstoff tief ($> 10 \mu\text{m}$) ins Silizium eingetrieben wird.

211. Verfahren nach wenigstens einem der Ansprüche 196 bis 210,
dadurch gekennzeichnet,
dass zumindest einer der Dotierstoffe Aluminium, Phosphor, Bor, Antimon, Wismut, Gallium, Indium, Thallium, Thulium, Holmium in Form einer Diffusionsquelle anstatt in elementarer Form mit den Oberflächen von Silizium-Halbleiterplatten in einem Temperaturbehandlungsverfahren in Wechselwirkung tritt und dadurch der Dotierstoff tief ($> 10 \mu\text{m}$) ins Silizium eingetrieben wird.
212. Verfahren nach wenigstens einem der Ansprüche 196 bis 211,
dadurch gekennzeichnet,
dass während dem Eintreiben von Dotierstoffen zumindest Teile der Halbleiterbauelementoberflächen vor dem Eindringen von Dotierstoffen oder anderen Verunreinigungen durch geeignete Schichten wie beispielsweise SiO_x , SiN_x , SiO_xN_y , AlO_x , SiC_x oder andere adäquate dielektrische Schichten geschützt oder maskiert sind.
213. Verfahren nach wenigstens einem der Ansprüche 196 bis 212,
dadurch gekennzeichnet,
dass zum Eintreiben von Dotierstoffen Dotierstoffquellen verwendet werden, die mehrere unterschiedliche Dotierstoffe eines Typs gleichzeitig ausgehend von denselben Oberflächenbereichen der Halbleiterplatten ins Innere der Halbleiterplatten eintreiben.
214. Verfahren nach wenigstens einem der Ansprüche 196 bis 213,
dadurch gekennzeichnet,
dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten in geschlossenen Kammeröfen mit kontrollierter Prozessatmosphäre er-

folgt, insbesondere wie diese zur Kristallisation von multikristallinen Siliziumblöcken verwendet werden.

215. Verfahren nach wenigstens einem der Ansprüche 196 bis 214,
dadurch gekennzeichnet,
dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten in geeigneten hochreinen Durchlauf-Temperaturbehandlungsöfen erfolgt.
216. Verfahren nach wenigstens einem der Ansprüche 196 bis 215,
dadurch gekennzeichnet,
dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und die Halbleiterplatten dabei durch hochreine Stapelboxen oder hochreine Carrier (bevorzugt aus Halbleitermaterial, Quarz oder hochreiner Keramik) in ihrer Form stabilisiert werden.
217. Verfahren nach wenigstens einem der Ansprüche 196 bis 216,
dadurch gekennzeichnet,
dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und jeweils mehr als 20 Halbleiterplatten, bevorzugt jedoch mehr als 100 Halbleiterplatten, noch bevorzugter jedoch mehr als 200 Halbleiterplatten in hochreinen Stapelboxen (bevorzugt aus Halbleitermaterial, Quarz oder hochreiner Keramik) derart angeordnet sind, dass sich die Oberflächen der benachbarten Halbleiterplatten berühren.
218. Verfahren nach wenigstens einem der Ansprüche 196 bis 217,
dadurch gekennzeichnet,
dass das Eintreiben von Dotierstoffen in stapelförmigen Anordnungen der Halbleiterplatten erfolgt und mehr als 100000 Halbleiterplatten zusammen in einem Temperaturbehandlungssofen dieselbe Temperaturbehandlung erfahren.

219. Verfahren nach wenigstens einem der Ansprüche 196 bis 218,
dadurch gekennzeichnet,
dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen ($> 90\%$) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war.
220. Verfahren nach zumindest Anspruch 219,
dadurch gekennzeichnet,
dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen ($> 90\%$) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war und dennoch an keiner Stelle des Halbleitervolumens, das einen größeren Abstand, als $1\ \mu\text{m}$ zu den Oberflächen der Halbleiterplatten aufweist, eine Dotierstoffkonzentration von mehr als 10^{19} Dotierstoffatomen/ cm^3 vorherrscht.
221. Verfahren nach zumindest Anspruch 219 oder 220,
dadurch gekennzeichnet,
dass in zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffe so tief eingetrieben werden, dass danach nahezu das komplette Volumen ($> 90\%$) der Halbleiterplatten eine höhere Dotierstoffkonzentration aufweist, als dies vor dem Eintreiben der Dotierstoffe der Fall war und dennoch an keiner Stelle des Halbleitervolumens, das einen größeren Abstand, als $1\ \mu\text{m}$ zu den Oberflächen der Halbleiterplatten aufweist, eine Dotierstoffkonzentration von mehr als 10^{18} Dotierstoffatomen/ cm^3 vorherrscht.
222. Verfahren nach wenigstens einem der Ansprüche 196 bis 221,
dadurch gekennzeichnet,
dass es beim tiefen Eintreiben von Dotierstoffen in die Halbleiterplatten ausgehend von den Oberflächen der Dotierstoffe an Oberflächen der Halbleiterplatten bzw. an Teilen der Oberflächen der Halbleiterplatten zu einer Anhäufung von Do-

tierstoffen kommt, weil Schichten wie beispielsweise dielektrische Oxidschichten auf den Halbleiterplatten den Austritt von Dotierstoffen verhindern und zu einer erhöhten Konzentration der Dotierstoffe in unmittelbarer Nähe der Oberflächen (< 1 µm Eindringtiefe von den Oberflächen ausgehend) beitragen.

223. Verfahren nach wenigstens einem der Ansprüche 196 bis 222,
dadurch gekennzeichnet,
dass beim tiefen Eintreiben von Dotierstoffen in die Halbleiterplatten an den Oberflächen der Halbleiterplatten bzw. an Teilen der Oberflächen der Halbleiterplatten metallische Verunreinigungen aus dem Halbleitermaterial angehäuft werden und vorzugsweise in nachfolgenden Prozessschritten entfernt werden.
224. Verfahren nach wenigstens einem der Ansprüche 196 bis 223,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht, entfernt werden.
225. Verfahren nach zumindest Anspruch 224,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht durch Verfahren wie Schleifverfahren, oder Schneidverfahren oder selektive Ätzverfahren (Ätzen nur im Bereich der Wafer-Seitenkanten) oder durch mechanische Abtragsverfahren (z. B. Partikelbeschuss) entfernt werden und gegebenenfalls durch zusätzliche Ätzschritte geschädigte Gebiete an den Halbleiterplatten-Oberflächen und/oder Halbleiterplatten-Seitenkanten entfernt werden, wodurch insbesondere parasitäre Halbleiterübergänge in den Solarzellen oder Kurzschlusspfade, bzw. Leakageströme im Randbereich der Halbleiterplatten vermieden werden.

226. Verfahren nach Anspruch 224 oder 225,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und gegebenenfalls zusätzlich die Seitenkanten der Halbleiterplatten um einen Abstand, der der Eindringtiefe der Dotierstoffe oder mehr entspricht durch Verfahren wie Schleifverfahren, oder Schneidverfahren oder selektive Ätzverfahren (Ätzen nur im Bereich der Wafer-Seitenkanten) oder durch mechanische Abtragsverfahren (z. B. Partikelbeschuss) entfernt werden.
227. Verfahren nach wenigstens einem der Ansprüche 224 bis 226,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und dennoch tief dotierte Bereiche zurückbleiben, die in großem Abstand zur Oberfläche der Solarzelle Halbleiterübergänge zwischen n-dotierten und p-dotierten Gebieten der Solarzelle aufweisen.
228. Verfahren nach wenigstens einem der Ansprüche 224 bis 227,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Ätzverfahren wie nasschemische Ätzverfahren oder trockenchemische Ätzverfahren oder Oberflächen-Strukturierungsverfahren oder Texturverfahren oder Polierverfahren zumindest teilweise entfernt werden und damit zeitgleich eine Reinigung der Halbleiterplattenoberflächen für nachfolgende Prozessschritte erfolgt.

229. Verfahren nach wenigstens einem der Ansprüche 224 bis 228,
dadurch gekennzeichnet,
dass nach dem tiefen Eintreiben von Dotierstoffen in das Volumen der Halbleiterplatten oberflächennahe Gebiete der Halbleiterplatten durch Oxidation der Oberflächen oder Oxidation von Teilen der Oberflächen chemisch umgewandelt werden und gegebenenfalls in nachfolgenden Ätzschritten entfernt werden und damit gegebenenfalls zeitgleich eine Reinigung der Halbleiterplattenoberflächen für nachfolgende Prozessschritte erfolgt.
230. Verfahren nach wenigstens einem der Ansprüche 169 bis 229,
dadurch gekennzeichnet,
dass beim Eintreiben von Dotierstoffen in das Volumen der zuvor nahezu intrinsischen Halbleiterplatten Dotierstoffquellen verwendet werden, die es zulassen zu sehr hohen Temperaturen ($>>1100^{\circ}\text{C}$) und sehr langen Zeiten bei der Temperaturbehandlung ($>>4\text{ h}$) zu gehen und zeitgleich zulassen dass die maximale Dotierstoffkonzentration innerhalb der Halbleiterbauelementen überall im Volumen des Halbleiternmaterials außer an sehr oberflächennahen Gebieten (Abstand $> 1\text{ }\mu\text{m}$ zur Oberfläche der Halbleiterplatten) unterhalb von 10^{19} Dotierstoffatomen/ cm^3 bleibt.
231. Verfahren nach wenigstens einem der Ansprüche 169 bis 230,
dadurch gekennzeichnet,
dass beim Eintreiben von Dotierstoffen in das Volumen der zuvor nahezu intrinsischen Halbleiterplatten und beim anschließenden Abkühlvorgang zumindest eine der folgenden Materialeigenschaften der Halbleiterplatten wie Minderheitsladungsträger-Lebensdauer, Defektkonzentration, Reinheit, Kristallinität, Ebenheit, mechanische Festigkeit oder Bruchfestigkeit im Hinblick auf verbesserte Solarzeleigenschaften verbessert wird.
232. Solarzelle nach wenigstens einem der Ansprüche 169 bis 231, bzw. hergestellt nach einem der Ansprüche,
dadurch gekennzeichnet,

dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten im Abstand von mehr als 10 μm zur Oberfläche der Halbleiterplatte mehrere p-n-Halbleiterübergänge befinden.

233. Solarzelle nach wenigstens einem der Ansprüche 169 bis 195,
dadurch gekennzeichnet,
dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten im Abstand von mehr als 30 μm zur Oberfläche der Halbleiterplatte mehrere p-n-Halbleiterübergänge befinden.
234. Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233,
dadurch gekennzeichnet,
dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten in einer Ebene in der Mitte der Halbleiterplattenoberflächen mehrere p-n-Halbleiterübergänge befinden.
235. Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 oder 234,
dadurch gekennzeichnet,
dass sich entlang zumindest einer (horizontalen) Richtung parallel zur Oberfläche der Halbleiterplatten in einer Ebene, die sich mindestens im Abstand von 10 μm zu den Halbleiteroberflächen befindet mehr als hundert p-n-Halbleiterübergänge, insbesondere mehr als fünfhundert p-n-Halbleiterübergänge, befinden.
236. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 235,
dadurch gekennzeichnet,
dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird.

237. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 236,
dadurch gekennzeichnet,
dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und sich dabei ausgehend von den Teilbereichen, von denen der Dotierstoff eingetrieben wird, Gradienten in der Dotierstoffkonzentration ausbilden, bei denen die Dotierstoffkonzentration mit zunehmender Eindringtiefe in die Halbleiterplatte abnimmt.
238. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 237,
dadurch gekennzeichnet,
dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird, wobei sich insbesondere dabei Dotierstoffgradienten von den Oberflächenbereichen ausgehend, von denen der jeweilige Dotierstoff eingetrieben wird, hin zu den p-n-Halbleiterübergängen ausbilden.
239. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 238,
dadurch gekennzeichnet,
dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und sich dabei Dotierstoffgradienten von den Oberflächenbereichen ausgehend, von denen

der jeweilige Dotierstoff eingetrieben wird, mit kontinuierlich abnehmender Dotierstoffkonzentration hin zu den p-n-Halbleiterübergängen ausbilden.

240. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 239,

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ), vorzugsweise beider Dotierstofftypen, ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen sehr tief – mehr als 10 μm , bevorzugt mehr als 30 μm und noch vorteilhafter über die Hälfte der Halbleiterplattendicke hinaus – in die Halbleiterplatten eingetrieben wird und andere Teilbereiche der jeweiligen Halbleiterplattenoberfläche mit einer als Diffusionsbarriere wirkenden Schicht maskiert sind.

241. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 240,

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche –also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

242. Kristalline Solarzellen nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 241

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff zumindest eines Dotierstofftyps (n-Typ oder p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche –also sich von einer Oberfläche der Halbleiterplatten hin zur an-

deren Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

243. Kristalline Solarzellen nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 242,

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

244. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 243,

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – zumindest eines Dotierstofftyps ergeben.

245. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 244,

d a d u r c h g e k e n n z e i c h n e t ,

dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen zumindest einer der Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich benachbarte, lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – beider Dotierstofftypen ergeben.

246. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 245,
dadurch gekennzeichnet,
dass Dotierstoff beider Dotierstofftypen (n-Typ und p-Typ) ausgehend von lokalen Teilbereichen beider gegenüberliegender Halbleiterplattenoberflächen so tief in die Halbleiterplatten eingetrieben wird, dass sich benachbarte, lokal vertikal durchgängige Bereiche – also sich von einer Oberfläche der Halbleiterplatten hin zur anderen Oberfläche der Halbleiterplatten erstreckende lokale Bereiche – beider Dotierstofftypen ergeben.
247. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 246,
dadurch gekennzeichnet,
dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen in einen minimalen Abstand zu einem Halbleiterübergang haben, der geringer als die halbe Dicke der Halbleiterplatten ist.
248. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 247,
dadurch gekennzeichnet,
dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen sowohl in horizontaler Richtung (parallel zu den Oberflächen der Halbleiterplatten), als auch in vertikaler Richtung (senkrecht zu den Oberflächen der Halbleiterplatten) einen p-n-Halbleiterübergang erreichen können, der sich in maximalem Abstand von weniger als der Waferdicke von diesem Ort befindet.
249. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 248,
dadurch gekennzeichnet,

dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger unabhängig von ihrem Ort im Halbleitervolumen im Wesentlichen entlang von Dotierstoffgradienten - durch entlang dieser Dotierstoffgradienten ausgebildete elektrische Driftfelder - zu einem nahe gelegenen Halbleiterübergang, vorzugsweise zum nächstgelegenen Halbleiterübergang getrieben werden.

250. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 249,

dadurch gekennzeichnet,

dass im Volumen der Solarzelle erzeugte Minderheitsladungsträger auch dann mit hoher Wahrscheinlichkeit (>70%, bevorzugt >90%) an Halbleiterübergängen eingesammelt werden und zur Stromdichte der Solarzelle beitragen, wenn das Halbleitermaterial am Ende des Solarzellenprozesses eine gemittelte Diffusionslänge für Minderheitsladungsträger aufweist, die kleiner als die Waferdicke ist.

251. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 250,

dadurch gekennzeichnet,

dass mehrere längliche (streifenförmige) Gebiete zumindest einen Dotierstofftyps (n-Typ oder p-Typ) parallel zueinander angeordnet von zumindest einer Oberfläche ausgehend tief ins Innere (typischerweise mehr als bis zur Hälfte der Halbleiterplattendicke) der Halbleiterplatten reichen und durch Bereiche umgekehrter Dotierung zumindest an der Oberfläche, von der aus diese Gebiete in den Halbleiter eingetrieben wurden, voneinander getrennt sind.

252. Kristalline Solarzelle nach wenigstens einem der Ansprüche 169 bis 195 oder 233 bis 251,

dadurch gekennzeichnet,

dass die Solarzellen durch benachbarte streifenförmige oder längliche n-Typ-Gebiete und p-Typ-Gebiete in vertikaler Richtung (senkrecht zu den Halbleiterplatten-Oberflächen) durchgängig von der Vorderseite der Solarzelle zur Rückseite der Solarzelle durchzogen sind.

253. Verfahren zur Herstellung von Solarzellen gemäß zumindest einem der Ansprüche 169 bis 195 oder 233 bis 252,
dadurch gekennzeichnet,
dass zunächst eine Diffusionsbarriere-Schicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid oder eine andere für Halbleiterprozesse geeignete dielektrische Schicht, auf zumindest einer der Halbleiterplattenoberflächen abgeschieden wird, diese Schicht sodann mit geeigneten Verfahren, wie Laserablation oder lokalem Ätzen bzw. lokalem Aufbringen eines Ätzmediums oder anderen geeigneten Verfahren, lokal geöffnet wird und anschließend in einem thermischen Verfahren (gegebenenfalls nach einem Reinigungs- oder Ätzschritt) Dotierstoff ausgehend von den lokal geöffneten Bereichen der anderswo mit einer Diffusionsbarriere versehenen Oberfläche Dotierstoff tief – typischerweise mehr als 10 µm, bevorzugt jedoch mehr als 30 µm, noch bevorzugter bis über die Hälfte der Dicke der Halbleiterplatten hinaus - in den Halbleiter eingetrieben wird.
254. Verfahren nach zumindest Anspruch 253,
dadurch gekennzeichnet,
dass die Diffusionsbarriere-Schicht eine Siliziumoxid-Schicht ist, die insbesondere durch Nassoxidation und oder thermische Oxidation aufgebracht wird.
255. Verfahren nach wenigstens Anspruch 253 oder 254,
dadurch gekennzeichnet,
dass die Diffusionsbarriere-Schicht auf beiden gegenüberliegenden Oberflächen der Halbleiterplatten aufgebracht wird.
256. Verfahren nach wenigstens einem der Ansprüche 253 bis 255,
dadurch gekennzeichnet,
dass die Diffusionsbarriere-Schicht mit Verfahren wie CVD-Abscheideverfahren, Aufdampfverfahren oder Sputterverfahren und/oder mit Verfahren bei geringem

Druck (deutlich geringer als Atmosphärendruck) oder im Vakuum aufgebracht wird.

257. Verfahren nach wenigstens einem der Ansprüche 253 bis 256,
dadurch gekennzeichnet,
dass die Diffusionsbarriere-Schicht mit Laser-Verfahren, insbesondere mit Laser-Verfahren bei geringem Atmosphärendruck oder im Vakuum lokal geöffnet wird.
258. Verfahren nach wenigstens einem der Ansprüche 253 bis 257,
dadurch gekennzeichnet,
dass die lokal in der Diffusionsbarriere-Schicht geöffneten Bereiche vor dem Eintreiben von Dotierstoff zunächst mit einem nasschemischen oder trockenchemischen Verfahren von Verunreinigungen gereinigt oder lokal zurückgeätzt werden.
259. Verfahren nach wenigstens einem der Ansprüche 253 bis 258,
dadurch gekennzeichnet,
dass lokal auf den geöffneten Bereichen der Diffusionsbarriereschicht eine Diffusionsquelle aufgetragen wird.
260. Verfahren nach wenigstens einem der Ansprüche 253 bis 259,
dadurch gekennzeichnet,
dass auf der zuvor lokal geöffneten Diffusionsbarriereschicht eine Diffusionsquelle aufgetragen oder abgeschieden wird, insbesondere eine Diffusionsquelle mit einem Verfahren wie CVD, Aufdampfverfahren oder Sputterverfahren vorzugsweise bei geringem Atmosphärendruck oder im Vakuum abgeschieden wird.
261. Verfahren nach wenigstens einem der Ansprüche 253 bis 260,
dadurch gekennzeichnet,
dass in den lokal in der Diffusionsbarriere-Schicht geöffneten Bereichen Dotierstoff über eine Gasphase vor oder während der Temperaturbehandlung zum Eintreiben des Dotierstoffs zur Oberfläche lokal geöffneten Oberfläche der Halblei-

terplatte gelangt und dort mit einem Temperaturbehandlungsschritt eingetrieben wird.

262. Verfahren nach wenigstens einem der Ansprüche 253 bis 261,
dadurch gekennzeichnet,
dass Dotierstoffe von mehr als einer Diffusionsquelle lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.
263. Verfahren nach wenigstens einem der Ansprüche 253 bis 262,
dadurch gekennzeichnet,
dass Dotierstoffe beider Dotierstofftypen (n-Typ und p-Typ) von mehr als einer Diffusionsquelle lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.
264. Verfahren nach wenigstens einem der Ansprüche 253 bis 263,
dadurch gekennzeichnet,
dass Dotierstoffe ausgehend von beiden gegenüberliegenden Oberflächen der Halbleiterplatten lokal - ausgehend von lokal in einer Diffusionsbarriere-Schicht geöffneten Bereichen - in die Halbleiterplatten eingetrieben werden.
265. Verfahren nach wenigstens einem der Ansprüche 253 bis 264,
dadurch gekennzeichnet,
dass Dotierstoff in elementarer Form auf den Oberflächen oder Teilen der Oberflächen abgeschieden wird, wobei insbesondere die Auftragsmenge bzw. die Schichtdicke der Dotierstoffquelle mit dem jeweiligen Auftragsverfahren gezielt bestimmt werden kann.
266. Verfahren nach wenigstens einem der Ansprüche 253 bis 265,
dadurch gekennzeichnet,
dass Dotierstoff über Legierungsverfahren gemäß Phasendiagramm mit dem Halbleitermaterial und den jeweils miteinander in Austausch befindlichen Stoffmengen

lokal an den in der Diffusionsbarriere-Schicht geöffneten Bereichen tief in den Halbleiter eingetrieben wird.

267. Verfahren nach wenigstens einem der Ansprüche 253 bis 266,
dadurch gekennzeichnet,
dass Dotierstoff über Diffusion lokal an den in der Diffusionsbarriere-Schicht geöffneten Bereichen tief in den Halbleiter eingetrieben wird.
268. Verfahren nach wenigstens einem der Ansprüche 253 bis 267,
dadurch gekennzeichnet,
dass zumindest einer der Dotierstoffe Al, P, B, Ga, In, Tl, Ho, As, Sb, Bi, Tm ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben wird.
269. Verfahren nach wenigstens einem der Ansprüche 253 bis 268,
dadurch gekennzeichnet,
dass zumindest zwei Dotierstoffe unterschiedlichen Dotierstofftyps - wobei die Dotierstoffe jeweils zumindest eines der Elemente Al, P, B, Ga, In, Tl, Ho, As, Sb, Bi, Tm enthalten - ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben werden.
270. Verfahren nach wenigstens einem der Ansprüche 253 bis 269,
dadurch gekennzeichnet,
dass Al und P als Dotierstoffelemente ausgehend von lokalen Bereichen der Oberflächen der Halbleiterplatten tief in die Halbleiterplatten eingetrieben werden.
271. Verfahren nach wenigstens einem der Ansprüche 253 bis 270,
dadurch gekennzeichnet,
dass zunächst eine dielektrische Schutzschicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid, SiC_x, oder andere für Halbleiterprozesse geeignete Schichten, auf den Halbleiterplatten-Oberflächen abgeschieden und dann in einem weiteren Verfahrensschritt lokal geöffnet wird, bevor in ei-

nem dritten Verfahrensschritt eine Metallschicht auf zumindest Teilen der lokal geöffneten Bereiche oder auf der kompletten Oberfläche der Halbleiterplatten abgeschieden wird, wobei vorzugsweise in einem vierten Verfahrensschritt Metall an den in der Schutzschicht geöffneten Bereichen in die Halbleiterplatte zumindest teilweise eingetrieben wird.

272. Verfahren nach wenigstens Anspruch 271,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht eine Siliziumoxidschicht ist, die in einem Nassoxidationsverfahren und/oder einem thermischen Verfahren in den Siliziumhalbleiterplatten-Oberflächen wächst.
273. Verfahren nach wenigstens Anspruch 271 oder 272,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht als Barriere für Metalle dient, die an den in der Schutzschicht geöffneten Bereichen elektrisch leitende Kontakte zum Halbleitermaterial herstellen sollen.
274. Verfahren nach wenigstens einem der Ansprüche 271 bis 273,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht durch ein CVD-Verfahren, ein Aufdampfverfahren oder ein Sputterverfahren bevorzugt bei geringem Atmosphärendruck oder im Vakuum aufgetragen wird oder durch ALD oder Sol-Gel-Verfahren oder andere Abscheideverfahren aufgebracht wird.
275. Verfahren nach wenigstens einem der Ansprüche 271 bis 274,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht aus einem Schichtstapel verschiedener dielektrischer Schichten besteht.
276. Verfahren nach wenigstens einem der Ansprüche 271 bis 275,
dadurch gekennzeichnet,

dass die dielektrische Schutzschicht in der Solarzelle als Anti-Reflexionsschicht dient.

277. Verfahren nach wenigstens einem der Ansprüche 271 bis 276,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Passivierschicht für die Oberfläche der Halbleiterplatten und/oder als Quelle für Wasserstoff zur Wasserstoff-Passivierung von Defekten im Halbleitermaterial dient.
278. Verfahren nach wenigstens einem der Ansprüche 271 bis 277,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Wasserstoffbarriere den Austritt von Wasserstoff bei der Wasserstoffpassivierung von Defekten im Halbleitermaterial zumindest teilweise verhindert oder reduziert.
279. Verfahren nach wenigstens einem der Ansprüche 271 bis 278,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Rückseitenreflektorschicht Photonen auf der Rückseite der Solarzelle davon abhält, die Halbleiterplatten zu verlassen.
280. Verfahren nach wenigstens einem der Ansprüche 271 bis 279,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht durch Laser-Verfahren, insbesondere bei geringem Atmosphärendruck oder bevorzugt im Vakuum, oder durch selektive Ätzverfahren lokal geöffnet wird.
281. Verfahren nach wenigstens einem der Ansprüche 271 bis 280,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht bereits beim Eintreiben der Dotierstoffe gemäß einem der Ansprüche 305 bis 328 zumindest teilweise vorhanden war und durch Entfernen der Dotierstoffquelle selektiv wieder geöffnet wird.

282. Verfahren nach wenigstens einem der Ansprüche 271 bis 281,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht an den Stellen lokal geöffnet wird, an denen später Metallkontakte entstehen sollen, oder an den Stellen, an denen Metallkontakte lokal Kontakt zum Halbleitermaterial herstellen sollen.
283. Verfahren nach wenigstens einem der Ansprüche 271 bis 282,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht entlang von länglichen, streifenförmigen oder linienförmigen Bereichen - gegebenenfalls nur lokal durch benachbarte Punktreihen – geöffnet wird.
284. Verfahren nach wenigstens einem der Ansprüche 271 bis 283,
dadurch gekennzeichnet,
dass Metallkontakte nur lokal in den Bereichen, die zuvor in der dielektrischen Schutzschicht geöffnet wurden, aufgebracht werden, wobei die Metallkontakte dabei wahlweise die geöffneten Bereiche komplett überlappen, oder über die geöffneten Bereiche hinausragen oder diese nur teilweise überlappen können.
285. Verfahren nach wenigstens einem der Ansprüche 271 bis 284,
dadurch gekennzeichnet,
dass Metallkontakte nur lokal in den Bereichen, die zuvor in der dielektrischen Schutzschicht geöffnet wurden dort in das Halbleitermaterial zumindest teilweise eindringen und elektrisch leitfähigen Kontakt zum Halbleitermaterial herstellen.
286. Verfahren nach wenigstens einem der Ansprüche 271 bis 285,
dadurch gekennzeichnet,
dass Metallkontakte mit Verfahren wie Druckverfahren (z. B. Siebdruck, Offsetdruck, Tampon-Druck, ...) Dispensverfahren, Inkjet- oder Aeorsoldruck-Verfahren, mit Aufdampfverfahren, mit Sputterverfahren, mit Flamspritzverfahren oder mit Metallabscheideverfahren aus chemischen Lösungen (stromlose oder

galvanische, bzw. lichtgalvanische Verfahren) oder andern bekannten Techniken zum Abscheiden von Metallschichten wahlweise selektiv oder flächig aufgebracht werden.

287. Verfahren nach wenigstens einem der Ansprüche 271 bis 286,
dadurch gekennzeichnet,
dass sehr dünne Metallschichten abgeschieden werden.
288. Verfahren nach wenigstens einem der Ansprüche 271 bis 287,
dadurch gekennzeichnet,
dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen in den Halbleiter eingetrieben werden, insbesondere in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen in den Halbleiter einlegiert werden, vorzugsweise in einem Temperaturbehandlungsschritt lokal an den in der Schutzschicht geöffneten Bereichen Metall-Silizid-Schichten ausbilden.
289. Verfahren nach wenigstens einem der Ansprüche 271 bis 288,
dadurch gekennzeichnet,
dass die Metallkontakte nach einem Temperaturbehandlungsschritt zumindest teilweise – bevorzugt an den nicht mit der Halbleiterplatte in direktem Kontakt befindlichen Bereichen – wieder entfernt werden und - sofern vorteilhaft - die verbliebenen Metallkontakte anschließend durch geeignete Verfahren (z.B. Metallabscheidung aus chemischen Lösungen wie Galvanik, Lichtgalvanik oder stromlose Metallabscheidung) lokal verstärkt werden, um eine höhere Leitfähigkeit zu erzielen.
290. Verfahren nach wenigstens einem der Ansprüche 271 bis 289,
dadurch gekennzeichnet,
dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt lokal elektrisch leitfähig Kontakte mit geringem Kontaktübergangswiderstand zu

den zuvor in der Schutzschicht geöffneten niedrig dotierten Halbleiterbereichen ($< 10^{19}$ Dotierstoffatome/cm³) entstehen.

291. Verfahren nach wenigstens einem der Ansprüche 271 bis 290,
dadurch gekennzeichnet,
dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt gleichzeitig Wasserstoff aus den dielektrischen Schichten in die Oberflächen und/oder das Volumen der Halbleiterplatten eingetrieben wird und dort Defekte passiviert werden.
292. Verfahren nach wenigstens einem der Ansprüche 271 bis 291,
dadurch gekennzeichnet,
dass die Metallschicht zunächst in Form eines Schichtstapels verschiedener Metalle oder die Kontaktbildung unterstützender Schichten abgeschieden wird.
293. Verfahren nach wenigstens einem der Ansprüche 271 bis 292,
dadurch gekennzeichnet,
dass nur sehr schmale Bereiche – typischerweise $< 30\ \mu\text{m}$ bevorzugt jedoch $< 20\ \mu\text{m}$, besonders bevorzugt $< 10\ \mu\text{m}$ breite Öffnungen - in der Schutzschicht geöffnet werden und nur dort elektrisch leitfähige Kontakte zum Halbleitermaterial entstehen.
294. Verfahren nach wenigstens einem der Ansprüche 271 bis 293,
dadurch gekennzeichnet,
dass die Dicke und laterale Ausdehnung der Metallschichten so gewählt wird, dass bei Legierungsverfahren zum Eintreiben der Metallkontakte die Eindringtiefe durch die mit dem Halbleitermaterial in Kontakt befindliche Metallmenge kontrolliert wird.
295. Verfahren nach wenigstens einem der Ansprüche 271 bis 294,
dadurch gekennzeichnet,

dass sowohl die Abscheidung der dielektrischen Schutzschicht als auch das lokale Laser-Öffnen dieser Schutzschicht als auch das Abscheiden von Metallschichten in Vakuumanlagen, wie beispielsweise CVD-Beschichtungsanlagen, Sputteranlagen und/oder Aufdampfanlagen in im Wesentlichen einem kontinuierlichen Verfahrensablauf erfolgen, ohne dass die Halbleiterplatten bei der Bearbeitung das Vakuum bzw. Anlagen mit geringem Atmosphärendruck verlassen.

296. Verfahren nach wenigstens einem der Ansprüche 271 bis 295,
dadurch gekennzeichnet,
dass das lokale Öffnen dielektrischer Schichten im Vakuum, in einer Inertgas-Atmosphäre, in einer reduzierenden Atmosphäre bzw. unter Ausschluss von Sauerstoff oder Stickstoff stattfindet, um die Bildung von Oxidschichten oder Nitridschichten in den zu öffnenden Bereichen an der Halbleiteroberfläche beim Lasern zu vermeiden.
297. Verfahren nach wenigstens einem der Ansprüche 271 bis 296,
dadurch gekennzeichnet,
dass die bei der Temperaturbehandlung an den zuvor in der Schutzschicht geöffneten Bereichen eingedrungenen Metall-Halbleiterverbindungen in einem nachfolgende Ätzschritt zur Entfernung der übrigen Metallschichten - die Teile der Metallschicht, die nicht in den Halbleiter eingedrungen sind bzw. die nicht im Bereich der lokalen Öffnungen der dielektrischen Schutzschicht liegen – während des Ätzschrittes chemisch beständig sind und zumindest teilweise in den Halbleiterplatten als Metall-Halbleiterverbindung verbleiben.
298. Verfahren nach wenigstens einem der Ansprüche 271 bis 297,
dadurch gekennzeichnet,
dass die zuvor aufgedampften oder aufgesputterten Metallschichten überall dort entfernt werden, wo sie nicht in direktem Kontakt zum Halbleitermaterial stehen.
299. Verfahren nach wenigstens einem der Ansprüche 271 bis 298,
dadurch gekennzeichnet,

dass die zuvor aufgebrachte Metallschicht - z. B. durch Unterätzen der dielektrischen Schicht oder von Teilen der dielektrischen Schicht oder durch lokales Öffnen der Metallschicht (an Bereichen an denen sie nicht im direkten Kontakt mit dem Halbleitermaterial ist) und anschließendem Unterätzen entlang der dielektrischen Schicht – überall dort entfernt wird, wo sie nicht lokal in direktem Kontakt zum Halbleitermaterial steht oder in dieses eingetrieben wurde.

300. Verfahren nach wenigstens einem der Ansprüche 271 bis 299,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen.
301. Verfahren nach wenigstens einem der Ansprüche 271 bis 300,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, deren Querschnitt im Wesentlichen halbkreisförmig ist.
302. Verfahren nach wenigstens einem der Ansprüche 271 bis 301,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, die nur im Inneren ihres Querschnittes (Breite $10\text{-}30 \mu\text{m}$) Kontakt zum Halbleitermaterial haben und in benachbarten Bereichen über eine dielektrische Schutzschicht zwischen Halbleiter und Metallkontakt hinausragen.
303. Verfahren nach wenigstens einem der Ansprüche 271 bis 302,
dadurch gekennzeichnet,

dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, in nahezu isotropem Wachstum mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte mit nahezu halbkreisförmigem Querschnitt bilden

304. Verfahren nach wenigstens einem der Ansprüche 271 bis 303,
dadurch gekennzeichnet,
dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte bilden, deren Querschnitt so gestaltet ist, dass ein erheblicher Teil der auf den Metallkontakt auftreffenden Photonen so reflektiert wird, dass die Photonen in das Halbleitermaterial eindringen.
305. Verfahren nach wenigstens einem der Ansprüche 271 bis 304,
dadurch gekennzeichnet,
dass zunächst eine dielektrische Schutzschicht, wie beispielsweise Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Aluminiumoxid, SiC_x , oder andere für Halbleiterprozesse geeignete Schichten, auf den Halbleiterplatten-Oberflächen abgeschieden wird und in einem zweiten Verfahrensschritt eine Metallschicht auf zumindest Teilen Oberfläche der Halbleiterplatten bzw. auf der Schutzschicht abgeschieden wird und in einem dritten Verfahrensschritt Metall selektiv an Teilen der Oberfläche der Halbleiterplatte durch die dielektrische Schutzschicht hindurch in die Halbleiterplatte eingetrieben wird.
306. Verfahren nach zumindest Anspruch 305,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht eine Siliziumoxidschicht ist, die in einem Nassoxidationsverfahren und/oder einem thermischen Verfahren in den Silizium-halbleiterplatten-Oberflächen wächst.
307. Verfahren nach zumindest Anspruch 305 oder 306,
dadurch gekennzeichnet,

dass die dielektrische Schutzschicht als Barriere und Isolationsschicht für Metalle dient, die nur selektiv lokal, beispielsweise mit Laserverfahren, durch die Schutzschicht hindurch in den Halbleiter eingetrieben werden sollen, die dielektrische Schutzschicht jedoch bei nachfolgenden thermischen Verfahrensschritten – beispielsweise zum Eintreiben von Wasserstoff aus dielektrischen Schichten – und oder nasschemischen Verfahrensschritten – beispielsweise dem Abscheiden von Metallen aus chemischen Lösungen – als Barrierschicht und Isolationsschicht beständig bleibt.

308. Verfahren nach wenigstens einem der Ansprüche 305 bis 307,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht durch ein CVD-Verfahren, ein Aufdampfverfahren oder ein Sputterverfahren, bevorzugt bei geringem Atmosphärendruck oder im Vakuum, aufgetragen wird oder durch ALD oder Sol-Gel-Verfahren oder andere Abscheideverfahren aufgebracht wird.
309. Verfahren nach wenigstens einem der Ansprüche 305 bis 308,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht aus einem Schichtstapel verschiedener dielektrischer Schichten besteht.
310. Verfahren nach wenigstens einem der Ansprüche 305 bis 309,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Anti-Reflexionsschicht dient.
311. Verfahren nach wenigstens einem der Ansprüche 305 bis 310,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Passivierschicht für die Oberfläche der Halbleiterplatten und/oder als Quelle für Wasserstoff zur Wasserstoff-Passivierung von Defekten im Halbleitermaterial dient.

312. Verfahren nach wenigstens einem der Ansprüche 305 bis 311,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Wasserstoffbarriere den Austritt von Wasserstoff bei der Wasserstoffpassivierung von Defekten im Halbleitermaterial zumindest teilweise verhindert oder reduziert.
313. Verfahren nach wenigstens einem der Ansprüche 305 bis 312,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht in der Solarzelle als Rückseitenreflektorschicht Photonen auf der Rückseite der Solarzelle davon abhält, die Halbleiterplatten zu verlassen.
314. Verfahren nach wenigstens einem der Ansprüche 305 bis 313,
dadurch gekennzeichnet,
dass Metalle durch die dielektrische Schutzschicht hindurch mit Hilfe von Laser-Verfahren lokal selektiv in den Halbleiter eingetrieben werden.
315. Verfahren nach wenigstens einem der Ansprüche 305 bis 314,
dadurch gekennzeichnet,
dass Metalle durch die dielektrische Schutzschicht hindurch - beispielsweise mit Laserverfahren - bei geringem Atmosphärendruck oder bevorzugt im Vakuum lokal selektiv in den Halbleiter eingetrieben werden.
316. Verfahren nach wenigstens einem der Ansprüche 305 bis 315,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht beim selektiven Eintreiben von Metall durch die Schutzschicht hindurch selektiv an gewünschten Bereichen der Halbleiteroberfläche beispielsweise mit Ätzverfahren, Schmelzverfahren oder Legierungsverfahren lokal geöffnet bzw. durchdrungen wird.
317. Verfahren nach wenigstens einem der Ansprüche 305 bis 316,
dadurch gekennzeichnet,

dass die dielektrische Schutzschicht bereits beim Eintreiben der Dotierstoffe gemäß einem der Ansprüche 253 bis 270 zumindest teilweise vorhanden war und durch Entfernen der Dotierstoffquelle selektiv wieder geöffnet wird.

318. Verfahren nach wenigstens einem der Ansprüche 305 bis 317,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht an den Stellen lokal von Metall durchdrungen wird, an denen später Metallkontakte entstehen sollen oder an den Stellen, an denen Metallkontakte lokal Kontakt zum Halbleitermaterial herstellen sollen.
319. Verfahren nach wenigstens einem der Ansprüche 305 bis 318,
dadurch gekennzeichnet,
dass die dielektrische Schutzschicht entlang von länglichen, streifenförmigen oder linienförmigen Bereichen - gegebenenfalls nur lokal durch benachbarte Punktreihen – von Metall durchdrungen wird.
320. Verfahren nach wenigstens einem der Ansprüche 305 bis 319,
dadurch gekennzeichnet,
dass Metallkontakte im Wesentlichen nur da lokal auf der dielektrischen Schutzschicht aufgebracht werden, wo die dielektrische Schutzschicht von Metall durchdrungen werden soll, wobei die Metallkontakte dabei wahlweise die zu durchdringenden Bereiche der Schutzschicht komplett oder teilweise überlappen oder über die zu durchdringenden Bereiche hinausragen.
321. Verfahren nach wenigstens einem der Ansprüche 305 bis 320,
dadurch gekennzeichnet,
dass Metall im Wesentlichen nur lokal in den Bereichen die dielektrischen Schutzschicht durchdringt bzw. in das Halbleitermaterial zumindest teilweise eindringt und elektrisch leitfähigen Kontakt zum Halbleitermaterial herstellt, von denen ausgehend zuvor Dotierstoff gemäß zumindest einem der Ansprüche 196 bis 231 oder 253 bis 270 in den Halbleiter eingetrieben wurde.

322. Verfahren nach wenigstens einem der Ansprüche 305 bis 321,
dadurch gekennzeichnet,
dass Metallkontakte mit Verfahren wie Druckverfahren (z.B. Siebdruck, Offsetdruck, Tampon-Druck, ...) Dispensverfahren, Inkjet- oder Aeorsoldruck-Verfahren, mit Aufdampfverfahren, mit Sputterverfahren, mit Flammsspritzverfahren oder mit Metallabscheideverfahren aus chemischen Lösungen (stromlose oder galvanische, bzw. lichtgalvanische Verfahren) oder andern bekannten Techniken zum Abscheiden von Metallschichten wahlweise selektiv oder flächig aufgebracht werden.
323. Verfahren nach wenigstens einem der Ansprüche 305 bis 322,
dadurch gekennzeichnet,
dass sehr dünne Metallschichten abgeschieden werden.
324. Verfahren nach wenigstens einem der Ansprüche 305 bis 323,
dadurch gekennzeichnet,
dass die Metallkontakte in einem selektiven (lokalen) Temperaturbehandlungsschritt lokal durch die Schutzschicht hindurch in den gewünschten Bereichen in den Halbleiter eingetrieben werden.
325. Verfahren nach wenigstens einem der Ansprüche 305 bis 324,
dadurch gekennzeichnet,
dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal durch die Schutzschicht hindurch in den gewünschten Bereichen in den Halbleiter einlegiert werden.
326. Verfahren nach wenigstens einem der Ansprüche 305 bis 325,
dadurch gekennzeichnet,
dass die Metallkontakte in einem Temperaturbehandlungsschritt lokal beim Durchdringen der Schutzschicht Metall-Silizid-Bereiche im Halbleiter ausbilden.

327. Verfahren nach wenigstens einem der Ansprüche 305 bis 326,
dadurch gekennzeichnet,
dass die Metallkontakte nach einem Temperaturbehandlungsschritt zumindest teilweise – bevorzugt an den nicht mit der Halbleiterplatte in direktem Kontakt befindlichen Bereichen – wieder entfernt werden und sofern vorteilhaft die verbliebenen Metallkontakte anschließend durch geeignete Verfahren (z. B. Metallabscheidung aus chemischen Lösungen wie Galvanik, Lichtgalvanik oder stromlose Metallabscheidung) lokal verstärkt werden, um eine höhere Leitfähigkeit zu erzielen.
328. Verfahren nach wenigstens einem der Ansprüche 305 bis 327,
dadurch gekennzeichnet,
dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt lokal elektrisch leitfähig Kontakte mit geringem Kontaktübergangswiderstand zu den zuvor in der Schutzschicht geöffneten niedrig dotierten Halbleiterbereichen ($< 10^{19}$ Dotierstoffatome/cm³) entstehen.
329. Verfahren nach wenigstens einem der Ansprüche 305 bis 328,
dadurch gekennzeichnet,
dass beim Eintreiben der Metallkontakte in einem Temperaturbehandlungsschritt gleichzeitig Wasserstoff aus den dielektrischen Schichten in die Oberflächen und/oder das Volumen der Halbleiterplatten eingetrieben wird und dort Defekte passiviert werden.
330. Verfahren nach wenigstens einem der Ansprüche 305 bis 329,
dadurch gekennzeichnet,
dass die Metallschicht zunächst in Form eines Schichtstapels verschiedener Metalle oder die Kontaktbildung unterstützender Schichten abgeschieden wird.
331. Verfahren nach wenigstens einem der Ansprüche 305 bis 330,
dadurch gekennzeichnet,

dass nur sehr schmale Bereiche – typischerweise $< 30\ \mu\text{m}$ bevorzugt $< 20\ \mu\text{m}$ besonders bevorzugt. $< 10\ \mu\text{m}$ breite Öffnungen - in der Schutzschicht von Metall durchdrungen werden und nur dort elektrisch leitfähige Kontakte zum Halbleitermaterial entstehen.

332. Verfahren nach wenigstens einem der Ansprüche 305 bis 331,
dadurch gekennzeichnet,
dass die Dicke und laterale Ausdehnung der Metallschichten so gewählt wird, dass bei Legierungsverfahren zum Eintreiben der Metallkontakte die Eindringtiefe durch die mit dem Halbleitermaterial in Kontakt befindliche Metallmenge kontrolliert wird.
333. Verfahren nach wenigstens einem der Ansprüche 305 bis 332,
dadurch gekennzeichnet,
dass sowohl beim Aufbringen der dielektrischen Schutzschicht als auch dem Aufbringen von Metallschichten, beispielsweise in CVD-Beschichtungsanlagen, Sputteranlagen und/oder Aufdampfanlagen - und sofern vorteilhaft auch für das selektive Durchdringen der dielektrischen Schutzschicht in geeigneten Anlagen -, in im Wesentlichen einem kontinuierlichen Verfahrensablauf Vakuumanlagen verwendet werden, ohne dass die Halbleiterplatten bei der Bearbeitung das Vakuum bzw. Anlagen mit geringem Atmosphärendruck verlassen.
334. Verfahren nach wenigstens einem der Ansprüche 305 bis 333,
dadurch gekennzeichnet,
dass das lokale Durchdringen der dielektrischen Schichten im Vakuum, in einer Inertgas-Atmosphäre in einer reduzierenden Atmosphäre bzw. unter Ausschluß von Sauerstoff oder Stickstoff stattfindet, um die Bildung von Oxidschichten oder Nitridschichten beispielsweise beim Lasern zu vermeiden.
335. Verfahren nach wenigstens einem der Ansprüche 305 bis 334,
dadurch gekennzeichnet,

dass die bei der Temperaturbehandlung beim selektiven Durchdringen der Schutzschicht eingedrungenen Metall-Halbleiterverbindungen in einem nachfolgenden Ätzschritt zur Entfernung der übrigen Metallschichten - die Teile der Metallschicht, die nicht in den Halbleiter eingedrungen sind - während des Ätzschrittes chemisch beständig sind und zumindest teilweise in den Halbleiterplatten als Metall-Halbleiterverbindung verbleiben.

336. Verfahren nach wenigstens einem der Ansprüche 305 bis 335,
dadurch gekennzeichnet,
dass die zuvor aufgedampften oder aufgesputterten Metallschichten überall dort entfernt werden, wo sie nicht in direktem Kontakt zum Halbleitermaterial stehen.
337. Verfahren nach wenigstens einem der Ansprüche 305 bis 336,
dadurch gekennzeichnet,
dass die zuvor aufgebrachte Metallschicht - z. B. durch Unterätzen der dielektrischen Schicht oder von Teilen der dielektrischen Schicht oder durch lokales Öffnen der Metallschicht (an Bereichen an denen sie nicht im direkten Kontakt mit dem Halbleitermaterial ist) und anschließendem Unterätzen entlang der dielektrischen Schicht - überall dort entfernt wird, wo sie nicht lokal in direktem Kontakt zum Halbleitermaterial steht oder in dieses eingetrieben wurde.
338. Verfahren nach wenigstens einem der Ansprüche 305 bis 337,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen.
339. Verfahren nach wenigstens einem der Ansprüche 305 bis 338,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Me-

tallkontakte ausbilden lassen, deren Querschnitt im Wesentlichen halbkreisförmig ist.

340. Verfahren nach wenigstens einem der Ansprüche 305 bis 339,
dadurch gekennzeichnet,
dass sich damit auf den Solarzellen in Massenproduktionsverfahren sehr schmale ($< 50 \mu\text{m}$ Breite; bevorzugt $< 30 \mu\text{m}$ optische Breite), ausreichend leitfähige Metallkontakte ausbilden lassen, die nur im Inneren ihres Querschnittes (Breite $10\text{-}30 \mu\text{m}$) Kontakt zum Halbleitermaterial haben und in benachbarten Bereichen über eine dielektrische Schutzschicht zwischen Halbleiter und Metallkontakt hinausragen.
341. Verfahren nach wenigstens einem der Ansprüche 305 bis 340,
dadurch gekennzeichnet,
dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, in nahezu isotropem Wachstum mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte mit nahezu halbkreisförmigem Querschnitt bilden.
342. Verfahren nach wenigstens einem der Ansprüche 305 bis 341,
dadurch gekennzeichnet,
dass sich ausgehend von den schmalen lokalen Kontakten, die in Öffnungen der dielektrischen Schutzschicht gebildet wurden, mit stromlosen oder galvanischen Metallabscheidungsverfahren Kontakte bilden, deren Querschnitt so gestaltet ist, dass ein erheblicher Teil, der auf den Metallkontakt auftreffenden Photonen so reflektiert wird, dass die Photonen in das Halbleitermaterial eindringen.

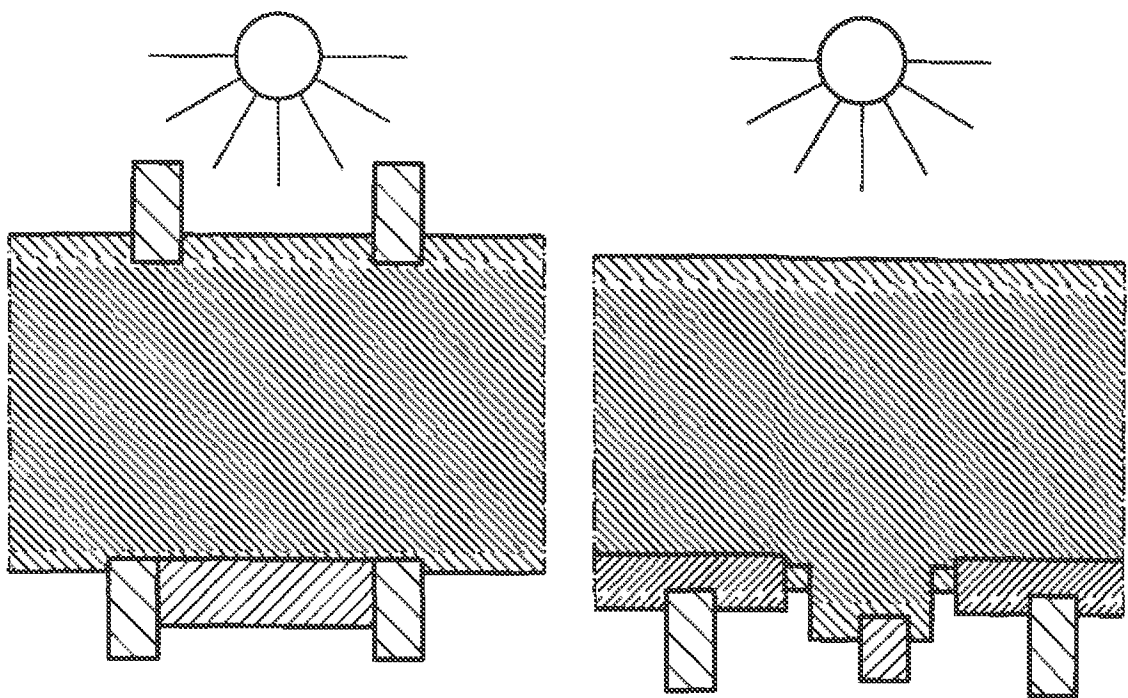


Fig. 1

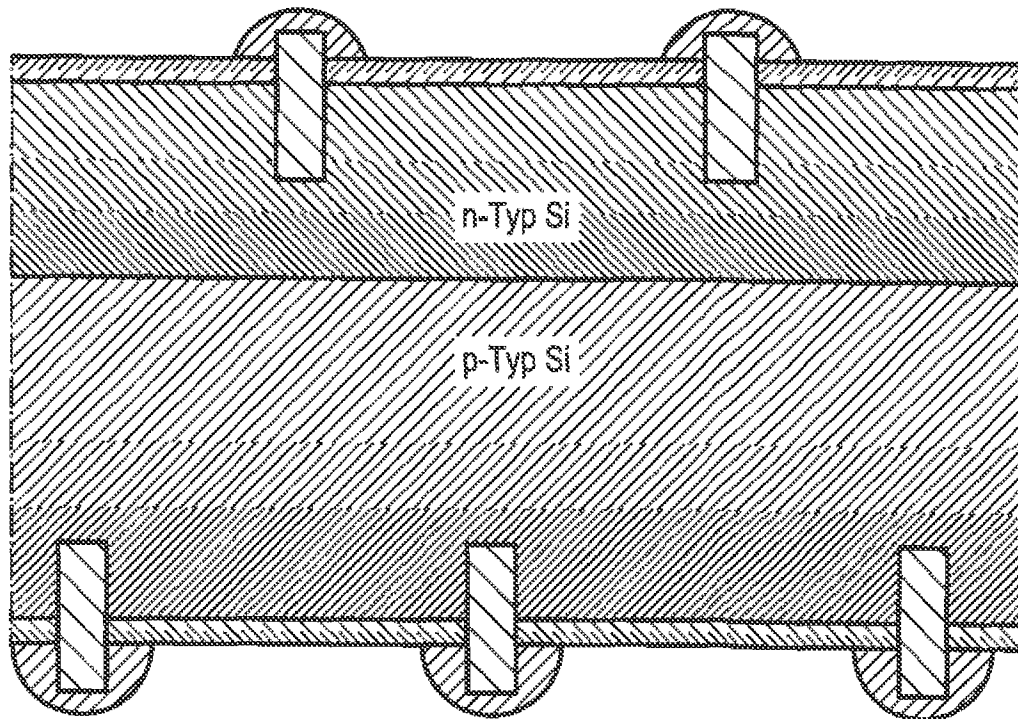


Fig. 2

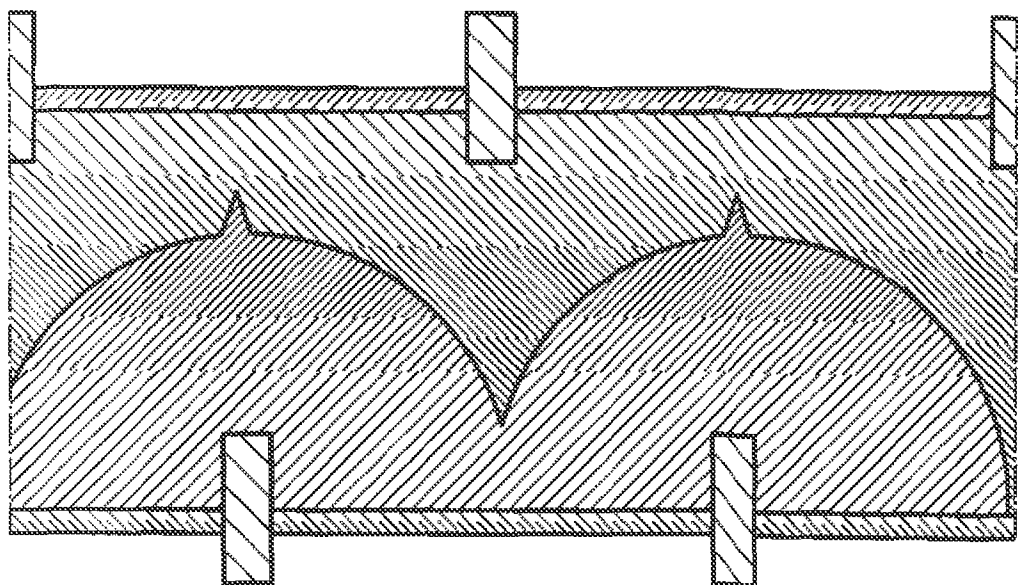


Fig. 3

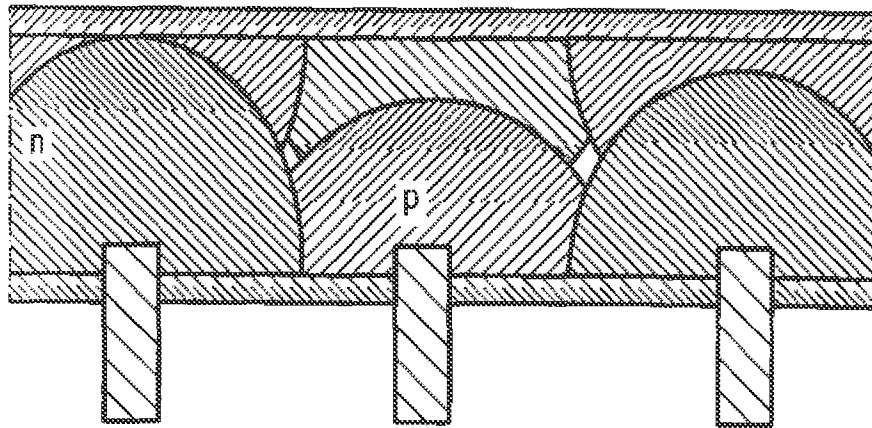


Fig. 4

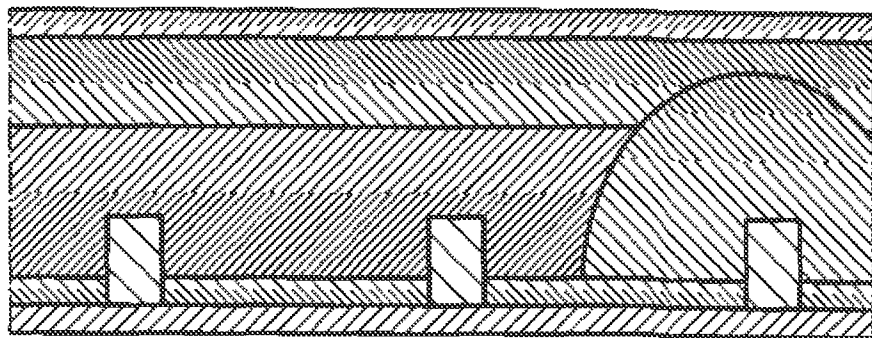


Fig. 5

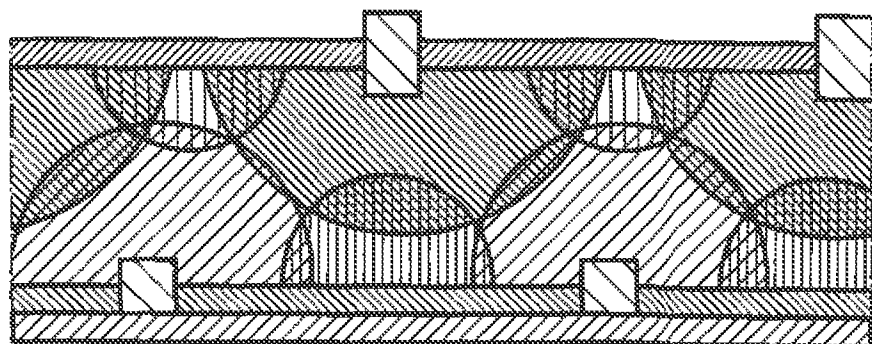


Fig. 6