

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/18

(45) 공고일자 1990년03월05일
(11) 공고번호 90-001233

(21) 출원번호	특1986-0001253	(65) 공개번호	특1986-0006828
(22) 출원일자	1986년02월22일	(43) 공개일자	1986년09월15일
(30) 우선권 주장	60-033862 1985년02월22일 일본(JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌		

(72) 발명자 사사 시게히코
일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰가부시끼가이샤내
곤도 가즈히로
일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰가부시끼가이샤내
무토 스니찌
일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰가부시끼가이샤내

(74) 대리인 문기상, 조기호

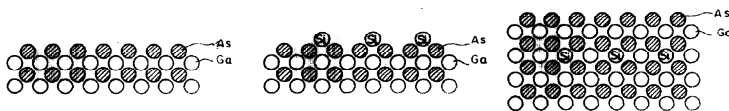
심사관 : 정용철 (책자공보 제1782호)

(54) 고캐리어 농도를 갖는 화합물 반도체층 및 그의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

고캐리어 농도를 갖는 화합물 반도체층 및 그의 제조방법

[도면의 간단한 설명]

제1a도 내지 1c도는 GaAs층을 형성하는 원자배열들의 개략도.

제2도는 Si원자평면을 부합하고 있는 N-형 GaAs층의 박판불순물(Si)농도 Nsd와 박판전자 농도 Ns간의 상호관계를 나타내는 그래프.

제3도는 Be전자평면을 부합하고 있는 P-형 GaAs층의 박판불순물(Be) 농도 Nsd와 박판정공 불순물 농도 Ns간의 상호관계를 나타내는 그래프.

제4도는 20개의 Si원자평면들을 부합하고 있는 N-형 GaAs층의 Si원자평면들과 캐리어 전자농도 N간의 간격간의 상호관계를 나타내는 그래프.

제5도는 20개의 Be원자평면들을 부합하고 있는 P-형 GaAs층의 Be원자평면들과 캐리어 홀 농도 N간의 간격간의 상호관계를 나타내는 그래프.

[발명의 상세한 설명]

본 발명은 분자 비임 에피택셜(MBE)공정에 의해 형성된 갈륨 아세나이드(GaAs)와 알루미늄 갈륨 아세나이드(AlGaAs)와 같은 화합물 반도체층에 관한 것으로 특히, 고캐리어 농도를 갖는 화합물 반도체층을 위한 도우핑 방법에 관한 것이다.

GaAs와 같은 화합물 반도체는 반도체 장치들에 광범위하게 사용되는 실리콘(Si) 반도체의 것보다 더 큰 캐리어 이동도를 갖고 있으므로 화합물 반도체는 전계효과 트랜

GaAs와 AlGaAs와 같은 N-형 도전성의 화합물 반도체를 제조하기 위한 도우판트(즉, 불순물)는 Si, 게르마늄(Ge), 주석(Sn), 유황(S), 셀레니움(Se), 또는 텔루리움(Te)이다. VI족의 S, Se 또는 Te의 사용은 그의 화합물 사용도 포함하는 것이다. Ge는 성장조건에 따라 P-형 도전성의 화합물 반도체를 만들 수 있다. Sn은 급격히 감소되므로 도너(donor) 운곽을 쉽게 형성할 수 없다. 그러므로, Si가 주로 사용된다. P-형 도전성인 화합물 반도체를 제조하는 기타 도우판트들은 베릴륨(Be), 마그네슘(Mg), 망간(Mn) 또는 아연(Zn)이다. Be가 주로 사용된다.

MBE공정에 의해 형성되는 반도체층(예, GaAs층)은 다음 방법들에 의해 도우판트로서 도우프될 수 있다.

MBE공정에 의해 형성되는 화합물 반도체층(예, GaAs층)은 다음 방법들에 의해 도우판트로서 도우프될 수 있다. 우선, GaAs층이 Ga분자비임과 As분자비임으로 기판충격(bombarding)시켜 주어 GaAs기판상에 성장될 때 Si 또는 Be분자비임은 기판상에 충돌하여 결국, 최종 GaAs층이 Si 또는 Be로서 균일하게 도우프된다. 성장 및 도우핑은 ¹⁸⁻³¹⁸⁻³¹⁸⁻³¹⁸⁻³¹⁹⁻³¹⁹⁻³

둘째로, GaAs MBE층은 소위 원자평면 도우핑 공정에 의해 도우판트(Ge)로서 도우프된다(예, C.E.C.Wood등이 발표한 1980년 1호 볼륨 51, J.Appl.Phys.383-387 페이지의 논문 MBE GaAs의 도우핑하는 "원자평면"에 의한 복합자유 캐리어 운곽 합성), 이경우에, GaAs층의 성장은 Ga분자비임을 정지시키고(즉, 셔터에 의해 Ga에 대한 유출셀을 폐쇄시키고) 그와 동시에 GaAs표면상에 도우판트 분자비임을 충돌시켜줌으로서 ¹⁷⁻³

셋째로, GaAs MBE층내로 도우판트를 도우핑시키는 것은 종래의 이온주입 방법에 의해 수행될 수 있다. 주입된 도우판트 원자들은 활성화되어, 결정결함들은 800°C로부터 850°C까지의 온도에서 소결에 의해 보정된다. 이경우에, 주입된 도우판트 원자들의 활성화계수는 낮으므로 결국, 캐리어 농도 N은 상술한 도우핑 방식으로 하는 것보다 더 낮다. 예를들어 Si로 도우프된 GaAs층의 얻어진 캐리어 전자농도 N은 $1 \times 10^{18} - 2 \times 10^{18} \text{ cm}^{-3}$ 의 최대값 범위를 얻을 수 있다.

본 발명의 또다른 목적은 MBE공정에 의해 형성되며, 고캐리어 농도를 갖고 있는 화합물 반도체층 및 그의 제조방법을 제공하는데 있다.

본 발명의 또다른 목적은 증가된 캐리어 농도를 갖는 화합물 반도체층을 포함하는 반도체 장치의 성능을 개선하여 저항성분(예, 화합물 반도체층 자체의 저항성분 및 접촉저항)을 감소시켜 전류를 증가시키는데 있다.

본 발명의 상술한 목적들 및 기타 목적들은 그내에 도우판트의 원자평면들 즉, $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 도우판트 농도 N_{sd} 를 각각 갖고 있으며 또한 원자평면들간에 6nm이하의 간격을 각각 갖고 있는 원자평면들을 갖는 GaAs 또는 AlGaAs의 화합물 반도체층을 제공함으로써 달성된다.

화합물 반도체(GaAs 또는 AlGaAs)는 본 발명에 의하면, MBE성장 과정에서 반복되는 원자평면 도우핑 과정과 MBE공정에 의해 형성되며, 원자평면 도우핑은 6nm이하의 간격들에서 $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 도우판트 농도 N_{sd} 에서 도우판트의 분자비임을 사용함에 의해 수행된다. 원자평면의 바람직한 도우판트 박판농도를 얻도록 Ga의 분자비임(및 Al의 분자비임)을 정지시키고 동시에 도우판트(Si 또는 Be)의 분자비임으로 성장하는 GaAs 또는 AlGaAs의 층의 표면을 충격시켜줌으로서 GaAs 또는 AlGaAs의 성장을 정지시키는 것에 의해 원자평면을 도우핑시키는 과정을 수행하는 것이 바람직하다. MBE성장을 정지시키지 않고 짧은 기간내에 도우판트의 축적 분자비임으로 성장하는 GaAs 또는 AlGaAs층의 표면을 충격시켜줌에 의해 원자평면의 도우핑을 수행하는 것이 가능하다. N-형 GaAs(또는 AlGaAs)층은 $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 Si농도 N_{sd} 를 각각 갖고 있으며 또한 6nm이하씩 그다음부터 격리된 Si원자평면들을 부함되는 것이 좋다. Si박판농도와 간격(이웃하는 원자평면들간의 거리)은 $7 \times 10^{18} \text{ cm}^{-3}$ 이상의 N-형 GaAs(AlGaAs)층의 캐리어 전자농도를 얻도록 제어될 수 있다.

P-형 GaAs(AlGaAs)층은 또한 4nm이하의 간격들에서 $5 \times 10^{12} \text{ cm}^{-2}$ 이상의 Be원자평면들을 부함시키는 것이 좋다. Be박판농도와 간격은 $5 \times 10^{19} \text{ cm}^{-3}$ 이상의 P-형 GaAs(AlGaAs)층의 캐리어 정공농도를 얻도록 제어될 수 있다.

이하 첨부된 도면을 참조하면서 본 발명의 양호한 실시예들의 설명을 상세히 설명하면 다음과 같다.

본 발명의 양호한 실시예들을 설명하기전에, 원자평면 도우핑을 설명한다.

제1a 내지 1c도를 참조하면, GaAs MBE층내로 Si의 원자평면 도우핑은 다음 방법에 의해 수행된다. (100)GaAs 기판은 Ga분자비임과 As분자비임으로 동시에 충격을 줌으로서 GaAs층을 그위에 성장시킨다. Ga분자비임이 연속되는 As충격으로 정지되면 GaAs층의 성장은 정지되어 제1a도에 보인 바와같이 As표면이 나타난다. Si분자비임은 성장하는 GaAs층의 As표면상에 충돌되므로 결국 Si원자는 제1b도에 보인 바와같이 Ga지역들을 어느 정도 점유한다. 그다음 Si분자비임이 정지되고 Ga분자비임이 다시 계속되므로 GaAs는 제1c도에 보인 바와같이 성장된다. Si원자를 포함하는 평면을 "원자평면"이라 칭한다.

본 발명에 의하면, 원자평면 도우핑이 반복되면 각 원자평면의 도우판트 박판농도와 이웃하는 원자평면들간의 간격이 한정된다. 그 다음 박판 도우판트(Si)농도 N_{sd} (즉, 원자평면의 도우핑량)과 박판 전자농도 N_s 간의 상호관계에 대한 설명이다. (100)GaAs기판, Ga유출셀, Si유출셀 및 As유출셀은 MBE장치내에 세트된다. MBE장치는 고진공상태로 진동된 다음 기판과 유출셀들을 규정된 온도로 가열한다. 예를들어 기판 온도는 520°C(500°C 내지 700°C)이고, Ga유출 온도는 1000°C(500°C 내지 1100°C), As유출셀 온도는 330°C(300°C 내지 400°C) 그리고 Si유출셀 온도 1300°C(1100°C 내지 1350°C)이다. 유출셀들 각각은 유출셀로부터 분자비임을 차단시키는 셔터를 갖고 있다. As유출셀의 셔터는

As분자비임이 GaAs기판상에 충돌될 수 있도록 개방시켜준다. 기판은 As분자비임에 의해 세정된다. 서터는 GaAs층 형성의 종료시까지 As분자비임(즉, As원자들)의 충격을 계속할 수 있도록 개방상태를 계속 유지한다. 그다음 Ga유출셀의 서터는 Ga분자비임이 충돌될 수 있도록 개방되므로 비도우프된 GaAs에피택셜층(약 $0.4\mu\text{m}$ 의 두께를 가짐)이 기판상에서(약 $0.6\mu\text{m}/\text{h}$ 의 성장속도로) 성장

Si원자평면 도우핑을 수행하기 위해, Ga분자비임은 GaAs성장을 중지시키도록 Ga유출셀의 서터를 닫아줌으로써 정지되며 Si유출셀의 서터는 Si분자비임이 성장하는 GaAs층상에 충돌되도록 개방된다. Si원자들은 제1b도에 보인 바와같이 GaAs층의 As표면에 접촉된다. 이때에, Si분자비임의 세기는 Si유출셀 온도를 조정함에 의해 제어되며, 또한 Si셀서터를 개방시키기 위한 시간이 제어되므로 소정의 박판농도(즉, 원자평면의 Si원자들의 규정된 숫자)가 얻어질 수 있다.

그 다음 Si셀서터가 폐쇄된 다음 Ga셀서터가 다시 개방되므로 Ga분자비임은 비도우프된 GaAs층(약 $0.1\mu\text{m}$ 의 두께를 가짐)의 성장을 재개시하도록 GaAs층상에 As분자비임으로서 함께 충돌될 수 있다.

따라서, 각각의 최종으로 얻어진 GaAs MBE층들(약, $0.5\mu\text{m}$ 의 두께를 가짐)이 여러 가지 박판 Si(도우판트)농도 N_{sd} 를 갖는 단하나의 Si원자평면에 부합된다. GaAs층들의 박판 캐리어 전자농도를 N_s 는 홀(Hall) 측정 및 용량-전압(C-V)측정에 의해 결정된다. $300\text{K}(27^\circ\text{C})$ 에서 측정의 결과가 제2도에 도시되어 있다. 제2도의 점선은 100%의 활성계수를 나타낸다. 제2도에 보인 바와 같이, $3 \times 10^{12} \text{ cm}^{-2}$ 까지의 Si원자들은 완전히 활성화된다. 박판 Si농도 N_{sd} 가 증가할 때 박판 전자농도 N_s 도 증가하지만 $3 \times 10^{12} \text{ cm}^{-2}$ 이상에서 N_{sd} 의 활성계수는 감소하여 포화값에 도달한다. 박판 Be농도 N_{sd} 와 박판 정공농도 N_s 간의 상호관계에 관해 아래에 설명한다.

GaAs층의 상술한 MBE성장시에, Si에 대한 유출셀은 Be원자평면 도우핑을 수행하기 위해 Be에 대한 유출셀로 대체된다. GaAs층들은 규정된 조건하에 형성되므로 ¹⁴⁻²

고캐리어 농도를 갖는 화합물 반도체 MBE층(예, GaAs층)은 본 발명에 의해 형성된다.

[실시예 1]

20개의 Si원자평면들을 형성하여 Si로 도우프시킨 GaAs층은 다음 방법으로 생성된다.

MBE장치에서, (100)GaAs기판을 약 520°C 로 가열한 다음 As분자비임을 기판상에 충돌시킨다. 이러한 조건들을 유지시킨다. 약 $0.6\text{m}/\text{h}$ 의 성장속도에서 약 $0.4\mu\text{m}$ 의 두께를 갖는 비도우프된 GaAs층을 성장시키도록 기판상에 Ga분자비임을 충돌시킨다. GaAs성장을 중단시키도록 Ga분자비임을 정지시킨다음 원자평면을 형성하도록 GaAs층상에 Si분자비임을 충돌시킨다. $2 \times 10^{12} \text{ cm}^{-2}$, $3 \times 10^{12} \text{ cm}^{-2}$, 또는 $5 \times 10^{12} \text{ cm}^{-2}$ 의 원자평면의 박판 농도 N_{sd} 는 Si분자비임의 세기와 충돌시간을 제어해줌으로써 얻어진다. 그다음, Si분자비임을 정지시키고 Ga분자비임을 다시 충돌시켜 GaAs층을 계속 성장시킨다. 규정된 두께(예, 0.05, 1.0, 1.5, 2, 3, 4, 4.5 또는 7nm)를 갖는 추가 GaAs성장을 다시 중단시킨다. 상술한 Si원자평면 도우핑을 반복한다. 따라서, 교호적인 Si원자 도우핑과 추가 GaAs부분의 성장이 수행된다. 20번째 Si원자평면 도우핑을 한후, 약 $0.1\mu\text{m}$ 의 두께를 갖는 최종 GaAs부분이 성장된다. 얻어진 GaAs층은 일정한 간격으로 20개의 Si ¹²¹²¹²⁻²¹⁹⁻³¹²¹²¹²⁻²

[실시예 2]

20개의 Be원자평면들을 형성함에 의해 Be로서 도우프된 GaAs층은 다음 방법으로 제조된다.

(100)GaAs기판상에는 실시예1에서와 동일한 조건들하에서 약 $0.4\mu\text{m}$ 의 두께를 갖는 비도우프된 GaAs층이 성장된다. Ga분자비임의 정지로 인해 GaAs성장이 중단되는 동안 Be분자비임은 $2 \times 10^{13} \text{ cm}^{-2}$ 의 박판 Be농도 N_{sd} 를 갖는 원자평면을 형성하도록 GaAs층상에 충돌된다. 그다음 Be분자비임은 정지되고, Ga분자비임이 GaAs층을 계속 성장시키도록 다시 충돌된다. 규정된 두께(예, 0.5, 1.0, 2, 5, 10 또는 20nm)를 갖는 추가 GaAs부분이 원자평면상에 성장된 후 GaAs성장은 Ga분자비임의 정지에 의해 다시 중단된다. 그러한 Be원자평면 도우핑과 추가 GaAs부분성장이 교호로 된다. 20번째 Be원자평면 도우핑이 된후, 약 $0.1\mu\text{m}$ 의 두께를 갖는 최종 GaAs부분이 성장된다. 얻어진 GaAs층은 일정한 간격들에 ¹⁹⁻³¹³⁻²²⁰⁻³¹²⁻²서 20개의 Be원자평면들과 부합된다. GaAs층의 평균

본 발명은 상술한 실시예들로 국한되지 않으며, 또한 본 발명의 범위에서 이탈하지 않는 범위내에서 많은 수정변경 가능함을 이해할 것이다. 예를들어, Si 또는 Be를 갖는 AlGaAs MBE층을 도우프하는 것이 가능하다. 예를 들면, AlGaAs MBE층은 전자공급층으로서 2차 전자가스(2DEG) 예를들어 고전자 이동도 트랜지스터(HEMT)를 이용하는 반도체 장치에 형성된다. HEMT는 비도우프된 GaAs능동층과 전자공급층간에 비도우프된 AlGaAs의 간격분리층을 갖고 있다. 종래 기술 예를들어, 비도우프된 AlGaAs간격분리층에 의하면, 비도우프된 AlGaAs간격분리층은 6nm 의 두께를 가지며, n-형 AlGaAs층은 $2 \times 10^{18} \text{ cm}^{-3}$ 의 도우핑(Si)농도를 가지며, 그리고 비도우프된 AlGaAs간격분리층과 GaAs능동층의 계면에 발생한 2DEG층의 박판 전자농도는 $6 \times 10^{11} \text{ cm}^{-2}$ 이다. Si원자평면 도우핑 기술은 비도우프된 AlGaAs간격분리층상에 적용될 수 있다. AlGaAs간 ¹²⁻²¹²⁻²

(57) 청구의 범위

청구항 1

도우판트의 원자평면들이 형성되는 GaAs 또는 AlGaAs의 반도체층을 포함하는 고캐리어 농도를 갖는 화합물 반도체층에서, 상기 각각의 원자평면들은 $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 도우판트 농도를 가지며 또한 6nm 이하의 간격씩 다른 평면들로부터 격리되는 것이 특징인 고캐리어 농도를 갖는 화합물 반도체

층.

청구항 2

제1항에서, 상기 화합물 반도체층은 Si도우판트의 상기 원자평면들을 이용함에 의해 N-형 도전성을 가지며 각각의 원자평면들은 $2 \times 10^{12} \text{ cm}^{-2}$ 의 박판 Si농도를 가지며 또한 상기 간격은 6nm이하인 것이 특징인 고캐리어 농도를 갖는 화합물 반도체층.

청구항 3

제1항에서, 상기 화합물 반도체층은 Be도우판트의 상기 원자평면들을 이용함에 의해 P-형 도전성을 가지며, 상기 각각의 원자평면들은 $5 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 Be농도를 가지며 또한 상기 간격은 4nm이하인 것이 특징인 고캐리어 농도를 갖는 화합물 반도체층.

청구항 4

MBE공정에 의해 상기 재료의 반도체층을 성장시키고 또한 상기 반도체층의 성장과정에서 원자평면 도우핑을 반복하는 단계들을 포함하는 제1항의 화합물 반도체층을 제조하기 위한 방법에서, 상기 원자평면 도우핑은 $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 도우판트

청구항 5

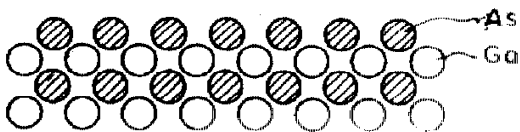
제4항에서, 상기 원자평면 도우핑은 $2 \times 10^{12} \text{ cm}^{-2}$ 이상의 박판 Si농도에서 Si도우판트의 분자비임을 사용하여 수행되며, 또한 6nm이하의 간격들에서 반복되는 것이 특징인 고캐리어 농도를 갖는 화합물 반도체층의 제조방법.

청구항 6

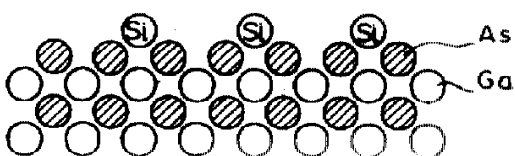
제4항에서, 상기 원자평면 도우핑은 $5 \times 10^{12} \text{ cm}^{-2}$ 의 박판 Be농도에서 Be도우판트의 분자비임을 이용하여 수행되며 또한 4nm이하의 간격들에서, 반복되는 것이 특징인 고캐리어 농도를 갖는 화합물 반도체층의 제조방법.

도면

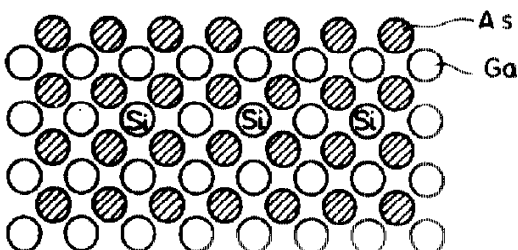
도면 1A



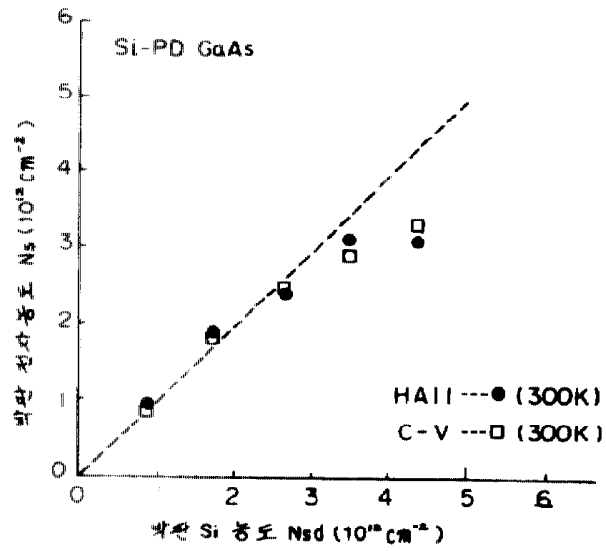
도면 1B



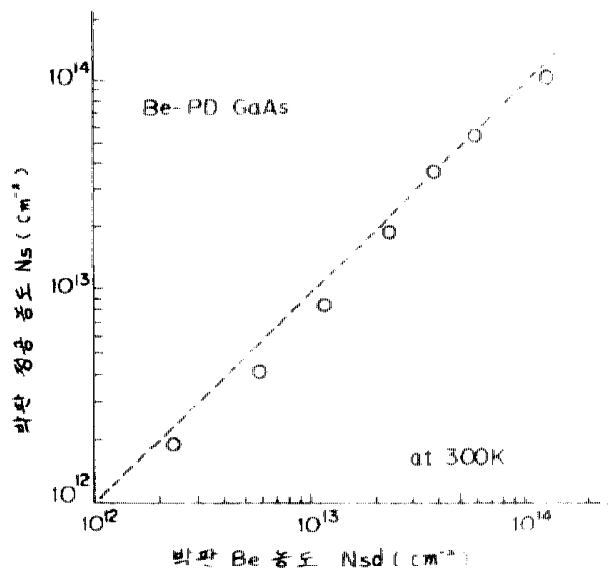
도면 1C



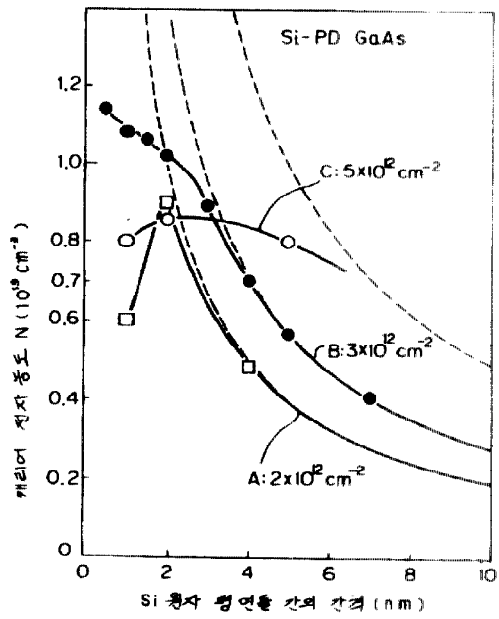
도면2



도면3



도면4



도면5

