

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>8</sup> G11C 11/22 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월16일 10-0551932 2006년02월07일
(21) 출원번호 (22) 출원일자	10-2000-0028958 2000년05월29일	(65) 공개번호 (43) 공개일자	10-2001-0066806 2001년07월11일
(30) 우선권주장	99-375671	1999년12월28일	일본(JP)
(73) 특허권자	후지쯔 가부시끼가이샤 일본국 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1		
(72) 발명자	다케시마도루 일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시 끼가이샤나이  노로고우이치 일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시 끼가이샤나이		
(74) 대리인	조태연 김성택 김승호 김성기		

심사관 : 오응기

(54) 불휘발성 강유전체 반도체 기억 장치

요약

본 발명은 제조 단계에서 열이나 수소 등의 영향을 받더라도 기억 정보를 계속해서 유지하는 강유전체 기억 소자를 구비한 반도체 기억 장치를 제공하는 것을 목적으로 한다. 이와 같은 목적을 달성하기 위하여, 본 발명에 따른 반도체 기억 장치는, 기판 실장후에 데이터를 기록하기 위한 제1 강유전체 기억 소자와, 상기 제1 강유전체 기억 소자보다 용량이 큰 제2 강유전체 기억 소자를 설치하고, 상기 제2 강유전체 기억 소자를, 제조 단계에서 암호 등을 기록하기 위한 기억 소자로서 이용한다. 제2 강유전체 기억 소자는 복수의 제1 강유전체 기억 소자를 조합시킴으로써 구성한다. 그러기 위해서는 복수의 메모리 셀 행에 걸쳐 워드선끼리 및 플레이트선끼리를 단락시키거나, 또는 복수의 메모리 셀 열에 걸쳐 비트선끼리를 단락한다.

대표도

도 1

명세서

## 도면의 간단한 설명

도 1은 제1 실시예에 관한 FRAM에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면.

도 2는 제2 실시예에 관한 FRAM에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면.

도 3은 제3 실시예에 관한 FRAM에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면.

도 4는 제3 실시예에 관한 FRAM에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태의 다른 예를 모식적으로 도시한 도면.

도 5는 제4 실시예에 관한 FRAM에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면.

도 6은 제4 실시예에 관한 FRAM에 있어서, 메모리 셀과 비트선과의 접속 상태의 다른 예를 모식적으로 도시한 도면.

도 7은 제5 실시예에 관한 FRAM에 있어서, 메모리 셀 내의 강유전체 소자와의 접속 상태를 모식적으로 도시한 도면.

도 8은 제6 실시예에 관한 FRAM에 있어서, 인접하는 메모리 셀 사이에서의 강유전체 소자의 접속 상태를 모식적으로 도시한 도면.

도 9는 종래의 FRAM에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면.

도 10은 종래의 FRAM에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면.

도 11은 종래의 FRAM에 있어서, 메모리 셀이 2개의 트랜지스터와 2개의 강유전체 소자로 구성되어 있는 예를 도시한 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

B : 열 선택선(비트선)

W : 행 선택선(워드선)

P : 행 선택선(플레이트선)

C : 강유전체 커패시터(강유전체 소자)

01~33 : 강유전체 기억 소자(메모리 셀)

1, 2, 5, 6 : 선택 회로

3, 7 : 기억 수단(프로그램 저장부)

4, 8 : 제어 수단(프로그램 제어 회로)

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치, 특히 불휘발성 강유전체 메모리(Ferroelectric RAM, 이하 FRAM이라 함)에 관한 것이다. FRAM은 DRAM의 커패시터 부분에 강유전체를 이용한 것으로, 그 커패시터 부분의 잔류 분극에 의해 데이터를 기억하기 때문에, 데이터 유지를 위한 전원을 설치하지 않더라도 데이터를 유지할 수 있다. 그 때문에, 예컨대, IC 카드 등에 있어서 암호나 기밀성이 높은 코드 등(이하, 암호 등이라 함)을 기억시키는 데 FRAM이 사용되는 것이다.

도 9는 종래의 FRAM에서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면이다. 또한, 도 10은 종래의 FRAM에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면이다.

도 9에 도시된 바와 같이, 종래의 FRAM에서는, 워드선(W)과 플레이트선(P)으로 이루어진 행 선택선 쌍과, 행 방향의 메모리 셀 군(이하, 메모리 셀 행이라 함)과는 1:1의 관계로 접속되어 있다. 즉, 도 9에 있어서, 제1 번째 행 선택선 쌍(W1, P1)은 제1 행째 메모리 셀(11, 12, 13, ...)에 접속된다. 제2 번째 행 선택선 쌍(W2, P2)은 제2 행째 메모리 셀(21, 22, 23, ...)에 접속된다. 제3 번째 행 선택선 쌍(W3, P3)은 제3 행째 메모리 셀(31, 32, 33, ...)에 접속된다.

또한, 도 10에 도시된 바와 같이, 종래의 FRAM에서는, 한 쌍의 비트선(B, B)으로 이루어진 열 선택선 쌍과, 열 방향의 메모리 셀 군(이하, 메모리 셀 열이라 함)과는 1:1의 관계로 접속되어 있다. 즉, 도 10에 있어서, 제1 번째 열 선택선 쌍(B11, B12)은 제1 열째 메모리 셀(11, 21, ...)에 접속된다. 제2 번째 열 선택선 쌍(B21, B22)은 제2 열째 메모리 셀(12, 22, ...)에 접속된다. 제3 번째 열 선택선 쌍(B31, B32)은 제3 열째 메모리 셀(13, 23, ...)에 접속된다. 제4 번째 열 선택선 쌍(B41, B42) 및 제4 열째 메모리 셀(14, 24, ...)에 대해서도 마찬가지이다.

예컨대, 메모리 셀이 2개의 트랜지스터와 2개의 강유전체 소자(강유전체 커패시터)로 구성되어 있는 FRAM의 경우, 각 메모리 셀은 도 11에 도시된 바와 같은 구성이 된다. 즉, 각 메모리 셀(11, 12, ..., 21, 22, ...) 내의 2개의 강유전체 소자(C1, C2)는 각각 그 일단을 별개의 트랜지스터(Q1, Q2)에 접속하고, 타단을 플레이트선(P1, P2)에 접속한 구성으로 되어 있다.

일반적으로, FRAM을 제조하는 데 있어서, 그 제조 단계의 웨이퍼 단계에서 강유전체로 이루어진 기억 소자에 대한 암호 등을 기록할 필요가 있다. 이것은 완성된 FRAM 칩의 패키지를 회로 기판에 실장한 후에 기록을 행하는 것은 기밀 보호상 바람직하지 못하기 때문이다.

그런데, 강유전체 소자는 열이나 수소 등의 외부적 요인에 의해 소자 특성의 열화를 일으키는 것이 알려져 있다. 따라서, 웨이퍼 단계에서 강유전체 기억 소자에 암호 등을 기록하여도, 그 후의 제조 단계에 있어서 강유전체 소자가 열의 영향을 받거나 수소 등에 노출되면, 소자 특성의 열화에 의해 기억 정보가 소실되어 버릴 우려가 있다. 기억 정보의 소실은 신뢰성 면에서 매우 중대한 문제이다. 그래서, 종래에는 제조 단계에 있어서, 열이나 수소 등의 외부적 요인을 철저히 배제하도록 배려가 행해지고 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 전술한 바와 같이, 종래에는 제조 단계에 있어서, 열이나 수소 등의 외부적 요인을 철저히 배제해야 하기 때문에, 제조 단계에 제약이 생긴다고 하는 문제점이 있다. 또한, 통상의 DRAM 등의 제조 설비와는 별도로 열이나 수소 등의 영향을 배제하기 위한 설비가 필요하게 되므로, 제조 비용이 상승한다. 따라서, FRAM의 패키지가 비싸진다는 문제점이 있다.

본 발명은 상기 문제점을 감안하여 이루어진 것으로, 제조 단계에서 열이나 수소 등의 영향을 받더라도 기억 정보를 계속해서 유지하는 강유전체 기억 소자를 구비한 반도체 기억 장치를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명은 강유전체 기억 소자를 구비한 반도체 기억 장치에 있어서, 기판 실장후에 데이터를 기록하기 위한 제1 강유전체 기억 소자와, 그 제1 강유전체 기억 소자보다 용량이 큰 제2 강유전체 기억 소자를 설치하고, 그 제2 강유전체 기억 소자를, 제조 단계에서 암호 등을 기록하기 위한 기억 소자로서 이용하는 것이다.

강유전체 소자의 특성은 그 용량의 대소에 따라 결정된다. 따라서, 제조 단계에서, 용량이 보다 큰 제2 강유전체 기억 소자에 암호 등을 기록하면, 제조중에 강유전체 소자가 열의 영향을 받거나 수소 등에 노출되더라도, 기억 정보가 소실되어 버릴 정도로는 소자의 특성이 열화하지는 않기 때문에, 제조 종료후에 있어서도 계속해서 기억 정보를 유지할 수 있다.

여기서, 제2 강유전체 기억 소자는 복수의 제1 강유전체 기억 소자를 조합함으로써 구성되어 있어도 좋다. 또한, 제1 강유전체 기억 소자가 복수의 강유전체 커패시터(강유전체 소자)를 구비하고 있는 경우에는, 그 제1 강유전체 기억 소자에 포함되는 복수의 강유전체 커패시터를 병렬로 접속함으로써 제2 강유전체 기억 소자가 구성되어 있어도 좋다. 이와 같이 하면, 제2 강유전체 기억 소자의 용량을 제1 강유전체 기억 소자의 용량보다 크게 할 수 있다.

구체적으로는, 복수의 제1 강유전체 기억 소자에 의해 제2 강유전체 기억 소자를 구성하는 경우, 복수의 행 선택선(워드선, 플레이트선) 또는 복수의 열 선택선(비트선)을 단락한다. 그렇게 하면, 행 선택선(워드선, 플레이트선)이 단락된 복수의 제1 강유전체 기억 소자에는 동일 정보가 기록되게 되므로, 제2 강유전체 기억 소자에 기록된 정보는 제1 강유전체 기억 소자에 기록되는 경우의 복수배의 용량을 갖는 강유전체 기억 소자로 유지되게 된다. 따라서, 제조중에 강유전체 기억 소자가 열이나 수소 등의 영향을 받아도 계속해서 기억 정보를 유지할 수 있다. 열 선택선(비트선)을 단락한 경우도 마찬가지이다.

또한, 선택 회로를 설치하고, 그 선택 회로에 의해, 단락시키는 행 선택선(워드선, 플레이트선) 또는 열 선택선(비트선)을 선택하는 구성으로 하여도 좋다. 그렇게 하면, 단락시키는 행 선택선(워드선, 플레이트선) 또는 열 선택선(비트선)을 기록하는 암호 등의 데이터량 등에 따라 변경할 수 있다.

더욱이, ROM 등의 기억 수단(프로그램 저장부)에, 단락시키는 행 선택선(워드선, 플레이트선) 또는 열 선택선(비트선)을 선택하기 위한 프로그램을 저장하고, 그 프로그램에 기초하여 단락 대상이 되는 복수의 행 선택선(워드선, 플레이트선) 또는 열 선택선(비트선)을 선택하는 제어 수단(프로그램 제어 회로)을 설치한 구성으로 하여도 좋다. 그렇게 하면, 단락시키는 행 선택선(워드선, 플레이트선) 또는 열 선택선(비트선)을 프로그램 가능하게 선택할 수 있다.

이하에, 본 발명에 관한 반도체 기억 장치의 실시예에 대해서 도면을 참조하면서 상세히 설명한다.

#### (제1 실시예)

도 1은 제1 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면이다. 이 반도체 기억 장치는 예컨대, 제1 강유전체 기억 소자로서 복수의 메모리 셀(01, 02, ..., 11, 12, ..., 21, 22, ..., 31, 32, ...)을 구비하고 있다. 제1 행째 메모리 셀 행과 제2 행째 메모리 셀 행은 제1 번째 워드선(W1) 및 제1 번째 플레이트선(P1)에 공통 접속되어 있다.

따라서, 제1 행째 메모리 셀 행과 제2 행째 메모리 셀 행에 있어서, 동일한 열에 배치된 메모리 셀 쌍이 각각 단독의 경우보다도 용량이 큰 제2 강유전체 기억 소자를 구성하고 있게 된다. 즉, 도시에에서는, 제1 행 제1 열째(도면에 도시된 메모리 셀 어레이에 있어서 우측 상부)의 메모리 셀(01)과 제2 행 제1 열째 메모리 셀(11)에 의해 제1 열째 제2 강유전체 기억 소자가 구성되어 있다.

마찬가지로, 제1 행 제2 열째 메모리 셀(02)과 제2 행 제2 열째 메모리 셀(12)에 의해 제2 열째 제2 강유전체 기억 소자가 구성되어 있다. 또한, 제1 행 제3 열째 메모리 셀(03)과 제2 행 제3 열째 메모리 셀(13)에 의해 제3 열째 제2 강유전체 기억 소자가 구성되어 있다. 도시 생략하였지만, 제4 열째 이후도 마찬가지이다.

제3 행째 메모리 셀 행은 제2 번째 워드선(W2) 및 제2 번째 플레이트선(P2)에 접속되어 있다. 제4 행째 메모리 셀 행은 제3 번째 워드선(W3) 및 제3 번째 플레이트선(P3)에 접속되어 있다. 제5 행째 이후도 마찬가지이다.

이어서, 제1 실시예에 관한 반도체 기억 장치의 작용에 대해서 설명한다. 제1 번째 워드선(W1) 및 제1 번째 플레이트선(P1)은 제1 행째 메모리 셀 행과 제2 행째 메모리 셀 행의 양쪽에 접속되어 있다. 그 때문에, 제1 번째 워드선(W1) 및 제1 번째 플레이트선(P1)에 의해 제1 행째와 제2 행째 메모리 셀 행이 동시에 선택된다. 즉, 동일한 비트선에 접속된 제1 행째 메모리 셀과 제2 행째 메모리 셀에 대하여 동시에 데이터의 기록 또는 독출이 행해진다.

따라서, 제1 행째 메모리 셀과 제2 행째 메모리 셀에 기록된 동일한 정보는 단독 메모리 셀의 2배의 용량을 갖는 강유전체 기억 소자로 유지되게 된다. 따라서, 제조 단계에 있어서, 그 용량이 2배인 강유전체 기억 소자에 암호 등의 데이터를 기록하면, 그 암호 등의 데이터는 통상의 2배의 용량으로 유지되게 된다.

이상 설명한 바와 같이, 제1 실시예에 따르면, 제조 단계에 있어서, 암호 등의 데이터는 통상의 강유전체 기억 소자의 2배의 용량을 갖는 강유전체 기억 소자에 기록되기 때문에, 제조중에 열이나 수소 등의 영향을 받아도 그 데이터가 소실되어 버릴 정도로 소자의 특성이 열화하지는 않기 때문에, 제조 종료후에도 계속해서 암호 등의 데이터를 유지할 수 있다.

따라서, 제조 단계에 있어서, 열이나 수소 등의 외부적 요인을 철저히 배제할 필요가 없기 때문에, 제조 단계의 제약을 없앨 수 있다. 또한, 열이나 수소 등의 영향을 배제하기 위한 설비가 불필요하게 되므로, 제조 비용을 억제할 수 있어서, 저렴한 FRAM 패키지를 얻을 수 있다. 또한, 웨이퍼의 단계에서 ID 번호 등을 강유전체 메모리에 기억시킬 수 있다.

#### (제2 실시예)

도 2는 제2 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면이다. 이 반도체 기억 장치는 예컨대, 제1 강유전체 기억 소자로서 복수의 메모리 셀(11, ..., 14, 15, ..., 21, ..., 24, 25, ...)을 구비하고 있다. 제4 열째 메모리 셀 열과 제5 열째 메모리 셀 열은 부호 B41과 부호 B42로 나타낸 제4 번째 비트선 쌍에 공통 접속되어 있다.

따라서, 제4 열째 메모리 셀 열과 제5 열째 메모리 셀 열에 있어서, 동일한 행에 배치된 메모리 셀 쌍이 각각 단독의 경우보다 용량이 큰 제2 강유전체 기억 소자를 구성하고 있게 된다. 즉, 도시예에서는, 제1 행째 제4 열째 메모리 셀(14)과 제1 행째 제5 열째(도면에 도시된 메모리 셀 어레이에 있어서 좌측 상부) 메모리 셀(15) 등에 의해 제1 행째 제2 강유전체 기억 소자가 구성되어 있다. 마찬가지로, 제2 행째 제4 열째 메모리 셀(24)과 제2 행째 제5 열째 메모리 셀(25) 등에 의해 제2 행째 제2 강유전체 기억 소자가 구성되어 있다. 또한, 제3 행째 이후도 마찬가지이다.

제1 행째 메모리 셀 열은 제1 번째 비트선 쌍(B11, B12)에 접속되어 있다. 제2 열째 메모리 셀 열은 제2 번째 비트선 쌍(B21, B22)에 접속되어 있다. 제3 열째 메모리 셀 열은 제3 번째 비트선 쌍(B31, B32)에 접속되어 있다. 제6 열 이후도 마찬가지이다.

제2 실시예에 관한 반도체 기억 장치의 작용에 대해서 설명한다. 제4 번째 비트선 쌍(B41, B42)은 제4 열째 메모리 셀 열과 제5 열째 메모리 셀 열의 양쪽에 접속되어 있다. 그 때문에, 제4 번째 비트선 쌍(B41, B42)에 의해 제4 열째와 제5 열째 메모리 셀 열이 동시에 선택된다. 즉, 동일한 워드선 및 플레이트선에 접속된 제4 열째 메모리 셀과 제5 열째 메모리 셀에 대하여 동시에 데이터의 기록 또는 독출이 행해진다.

따라서, 제4 열째 메모리 셀과 제5 열째 메모리 셀에 기록된 동일 정보는 단독 메모리 셀의 2배의 용량을 갖는 강유전체 기억 소자로 유지되게 된다. 따라서, 제조 단계에 있어서, 그 용량이 2배인 강유전체 기억 소자에 암호 등의 데이터를 기록하면, 그 암호 등의 데이터는 통상의 2배의 용량으로 유지되게 된다.

이상 설명한 바와 같이, 제2 실시예에 따르면, 제조 단계에서 암호 등의 데이터는 통상의 강유전체 기억 소자의 2배의 용량을 갖는 강유전체 기억 소자에 기록되기 때문에, 제조중에 열이나 수소 등의 영향을 받아도 그 데이터가 소실되어 버릴 정도로 소자의 특성이 열화하지는 않기 때문에, 제조 종료후에도 계속해서 암호 등의 데이터를 유지할 수 있다.

따라서, 제조 단계에 있어서, 열이나 수소 등의 외부적 요인을 철저히 배제할 필요가 없기 때문에, 제조 단계의 제약을 없앨 수 있다. 또한, 열이나 수소 등의 영향을 배제하기 위한 설비가 불필요하게 되므로, 제조 비용을 억제할 수 있어서, 저렴한 FRAM 패키지를 얻을 수 있다.

#### (제3 실시예)

도 3은 제3 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태를 모식적으로 도시한 도면이다. 제3 실시예는 제1 실시예의 반도체 기억 장치에 있어서, 단락시키는 워드선 및 플레이트선을 선택하기 위한 복수(도시예에서는 2개만 도시되어 있음)의 선택 회로(1, 2, ...)를 구비한 것이다.

즉, 예컨대 도시예에서는, 제1 번째 워드선(W1) 및 제1 번째 플레이트선(P1)은 제1 행째 메모리 셀 행에 접속된다. 제2 번째 워드선(W2) 및 제2 번째 플레이트선(P2)은 제2 행째 메모리 셀 행에 접속된다. 그리고, 제1 선택 회로(1)는 외부로부터 입력하는 선택 신호에 기초하여 제1 번째 워드선(W1)과 제2 번째 워드선(W2) 및 제1 번째 플레이트선(P1)과 제2 번째의 플레이트선(P2)을 동시에 단락시킬지 여부를 선택한다.

또한, 제3 번째 워드선(W3) 및 제3 번째 플레이트선(P3)은 제3 행째 메모리 셀 행에 접속된다. 제4 번째 워드선(W4) 및 제4 번째 플레이트선(P4)은 제4 행째 메모리 셀 행에 접속된다. 그리고, 제2 선택 회로(2)는 외부로부터 입력하는 선택 신호에 기초하여 제3 번째 워드선(W3)과 제4 번째 워드선(W4) 및 제3 번째 플레이트선(P3)과 제4 번째 플레이트선(P4)을 동시에 단락시킬지 여부를 선택한다. 제5 행째 메모리 셀 행 이후에 대해서도 마찬가지이다.

도 4는 제3 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 워드선 및 플레이트선과의 접속 상태의 다른 예를 모식적으로 도시한 도면이다. 도 4에 도시된 예는 도 3에 도시된 반도체 기억 장치에 있어서, 기억 수단인 프로그램 저장부(3) 및 제어 수단인 프로그램 제어 회로(4)를 구비하여, 단락시키는 워드선(W)의 그룹 및 플레이트선(P)의 그룹을 프로그램 가능하게 선택할 수 있는 구성으로 한 것이다.

프로그램 저장부(3)는 단락시키는 워드선의 그룹 및 플레이트선의 그룹을 선택하기 위한 프로그램을 저장한다. 프로그램 저장부(3)는 ROM, EEPROM, FRAM, SRAM 또는 DRAM 등의 메모리로 구성된다. 프로그램 제어 회로(4), 프로그램 저장부(3)에 저장된 프로그램에 기초하여 선택 신호를 생성하고, 대상이 되는 선택 회로(1, 2, ...)로 출력한다. 각 선택 회로(1, 2, ...)는 선택 신호에 따라 워드선(W)의 그룹 및 플레이트선(P)의 그룹의 단락 동작을 행한다.

제3 실시예에 관한 반도체 기억 장치의 작용에 대해서 설명한다. 도 3에 도시된 예에 있어서는, 외부로부터 입력된 선택 신호에 기초하여 소정의 2개의 메모리 셀 행에 대해서, 워드선(W) 및 플레이트선(P)이 모두 단락된다. 또한, 도 4에 도시된 예에 있어서는, 프로그램 저장부(3)에 저장된 프로그램에 기초하여 어느 2개의 메모리 셀 행에 대해서 워드선(W) 및 플레이트선(P)이 모두 단락된다.

워드선(W) 및 플레이트선(P)이 모두 단락된 2개의 메모리 셀 행에서는, 단독 메모리 셀 행에 있어서의 강유전체 용량의 2배의 용량을 갖게 된다. 따라서, 제조 단계에서, 그 용량이 2배인 강유전체 기억 소자에 암호 등의 데이터를 기록하면, 그 암호 등의 데이터는 통상의 2배의 용량으로 유지되게 된다.

이상 설명한 바와 같이, 제3 실시예에 따르면, 제1 실시예와 같이, 제조 단계에서 기록된 암호 등의 데이터를 제조 종료후에도 계속해서 유지할 수 있다는 효과에 덧붙여 그 암호 등을 기록하기 위한 기억 영역을 암호 등의 데이터량 등에 따라 메모리 셀 어레이 중에서 변경할 수 있다. 또한, 선택 회로(1, 2)가 설치됨으로써, 워드선(W) 또는 플레이트선(P)의 배선 경로를 찾아가기 어렵게 된다. 따라서, 제삼자가 워드선(W) 또는 플레이트선(P)의 배선 경로를 찾아가 암호 등이 기록된 기억 영역을 조사하여, 부정하게 암호 등을 취득해 버리는 것을 막을 수 있다. 즉, 기밀성이 높아진다.

#### (제4 실시예)

도 5는 제4 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 비트선과의 접속 상태를 모식적으로 도시한 도면이다. 제4 실시예는 제2 실시예의 반도체 기억 장치에 있어서, 단락시키는 비트선 쌍을 선택하기 위한 복수(도시예에서는 2개만 도시되어 있음)의 선택 회로(5, 6, ...)를 구비한 것이다.

즉, 예컨대 도시예에서는, 제1 번째 비트선 쌍(B11, B12)은 제1 열째 메모리 셀 열에 접속된다. 제2 번째 비트선 쌍(B21, B22)은 제2 열째 메모리 셀 열에 접속된다. 그리고, 제1 선택 회로(5)는 외부로부터 입력하는 선택 신호에 기초하여 제1 번째 비트선 쌍(B11, B12)의 한쪽과 제2 번째 비트선 쌍(B21, B22)의 한쪽 및 제1 번째 비트선 쌍(B11, B12)의 다른쪽과 제2 번째 비트선 쌍(B21, B22)의 다른쪽을 동시에 단락시킬지 여부를 선택한다.

또한, 제3 번째 비트선 쌍(B31, B32)은 제3 열째 메모리 셀 열에 접속된다. 제4 번째 비트선 쌍(B41, B42)은 제4 열째 메모리 셀 열에 접속된다. 그리고, 제2 선택 회로(6)는 외부로부터 입력하는 선택 신호에 기초하여 제3 번째 비트선 쌍(B31, B32)의 한쪽과 제4 번째 비트선 쌍(B41, B42)의 한쪽 및 제3 번째 비트선 쌍(B31, B32)의 다른쪽과 제4 번째 비트선 쌍(B41, B42)의 다른쪽을 동시에 단락시킬지 여부를 선택한다. 제5 열째 메모리 셀 열 이후에 대해서도 마찬가지이다.

도 6은 제4 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀과 비트선 쌍과의 접속 상태의 다른 예를 모식적으로 도시한 도면이다. 도 6에 도시된 예는 도 5에 도시된 반도체 기억 장치에 있어서, 기억 수단인 프로그램 저장부(7) 및 제어 수단인 프로그램 제어 회로(8)를 구비하여, 단락시키는 비트선 쌍(B, B)의 그룹을 프로그램 가능하게 선택할 수 있는 구성으로 한 것이다.

프로그램 저장부(7)는 단락시키는 비트선 쌍(B, B)의 그룹을 선택하기 위한 프로그램을 저장한다. 프로그램 저장부(7)는 ROM, EEPROM, FRAM, SRAM 또는 DRAM 등의 메모리에 의해 구성된다. 프로그램 제어 회로(8)는 프로그램 저장부(7)에 저장된 프로그램에 기초하여 선택 신호를 생성하고, 대상이 되는 선택 회로(5, 6, ...)로 출력한다. 각 선택 회로(5, 6, ...)는 선택 신호에 따라 비트선 쌍(B, B)의 그룹의 단락 동작을 행한다.

제4 실시예에 관한 반도체 기억 장치의 작용에 대해서 설명한다. 도 5에 도시된 예에 있어서는, 외부로부터 입력된 선택 신호에 기초하여 소정의 2개의 메모리 셀 열에 대해서, 비트선 쌍(B, B)이 단락된다. 또한, 도 6에 도시된 예에 있어서는, 프로그램 저장부(7)에 저장된 프로그램에 기초하여 소정의 2개의 메모리 셀 열에 대해서, 비트선 쌍(B, B)이 단락된다.

비트선 쌍(B, B)이 모두 단락된 2개의 메모리 셀 열에서는, 단독 메모리 셀 열에서의 강유전체 용량의 2배의 용량을 갖게 된다. 따라서, 제조 단계에서, 그 용량이 2배인 강유전체 기억 소자에 암호 등의 데이터를 기록하면, 그 암호 등의 데이터는 통상의 2배의 용량으로 유지되게 된다.

이상 설명한 바와 같이, 제4 실시예에 따르면, 제2 실시예와 같이, 제조 단계에서 기록된 암호 등의 데이터를 제조 종료후에도 계속해서 유지할 수 있다고 하는 효과에 덧붙여 그 암호 등을 기록하기 위한 기억 영역을 암호 등의 데이터량 등에 따라 메모리 셀 어레이 중에서 변경할 수 있다.

또한, 선택 회로(5, 6)가 설치됨으로써, 비트선(B)의 배선 경로를 찾아 가기 어렵게 된다. 따라서, 제삼자가 비트선(B)의 배선 경로를 찾아가 암호 등이 기록된 기억 영역을 조사하여, 부정하게 암호 등을 취득해 버리는 것을 막을 수 있다. 즉, 기밀성이 높아진다.

#### (제5 실시예)

도 7은 제5 실시예에 관한 반도체 기억 장치에 있어서, 메모리 셀 내의 강유전체 소자와의 접속 상태를 모식적으로 도시한 도면이다. 제5 실시예는 예컨대 도시예와 같이, 각 메모리 셀에 복수, 예컨대 2개의 강유전체 소자(강유전체 커패시터)가 설치되어 있는 경우, 메모리 셀(11)에 있어서 한쪽 트랜지스터(Q1a)와 플레이트선(P1)과의 사이에 2개의 강유전체 소자(C1a, C2a)를 병렬로 접속하는 동시에 메모리 셀(11)에 인접한 메모리 셀(12)에 있어서 한쪽 트랜지스터(Q2b)와 플레이트선(P1) 사이에 2개의 강유전체 소자(C1b, C2b)를 병렬로 접속한 것이다.

메모리 셀(11)에 있어서 강유전체 소자(C2a)와 다른 한쪽 트랜지스터(Q2a)와는 절연된다. 마찬가지로, 메모리 셀(12)에 있어서 강유전체 소자(C1b)와 또 한쪽 트랜지스터(Q1b)와는 절연된다. 이러한 구성으로 함으로써, 메모리 셀(11)과 메모리 셀(12)의 2개의 셀로, 단독 메모리 셀의 경우의 2배인 강유전체 용량을 갖는 단일 메모리 셀과 동등해진다. 이 2개의 메모리 셀(11, 12)로 이루어진 메모리 셀에 대해서는, 4가닥의 비트선(B11, B12, B21, B22)중 트랜지스터(Q1a)에 접속된 비트선(B11)과 트랜지스터(Q2b)에 접속된 비트선(B22)이 유효하게 된다.

이상 설명한 바와 같이, 제5 실시예에 따르면, 다른 실시예와 같이, 제조 단계에서 기록된 암호 등의 데이터를 제조 종료후에도 계속해서 유지할 수 있다고 하는 효과를 갖는다. 또한, 강유전체 용량이 2배인 기억 영역에서의 셀 구조가 통상의 용량의 기억 영역에서의 셀 구조와 외관상 같기 때문에, 제삼자가 암호 등이 기록된 기억 영역을 조사하여, 부정하게 암호 등을 취득해 버리는 것을 막을 수 있다. 즉, 기밀성을 향상시킬 수 있게 된다.

#### (제6 실시예)

도 8은 제6 실시예에 관한 반도체 기억 장치에 있어서, 인접하는 메모리 셀 사이에서의 강유전체 소자의 접속 상태를 모식적으로 도시한 도면이다. 제6 실시예는 각 메모리 셀에 복수, 예컨대 2개의 강유전체 소자(강유전체 커패시터)가 설치되는 경우, 예컨대 도시예와 같은 구성으로 한 것이다.

즉, 메모리 셀(12)의 한쪽 트랜지스터(Q1b)와 플레이트선(P1) 사이에 메모리 셀(12)내의 강유전체 소자(C1b)와, 메모리 셀(12)에 인접하는 별도의 메모리 셀(22)의 강유전체 소자(C1d)가 병렬로 접속된다. 또한, 메모리 셀(12)의 다른 한쪽 트랜지스터(Q2b)와 플레이트선(P1) 사이에 메모리 셀(12)내의 별도의 강유전체 소자(C2b)와, 메모리 셀(22)의 별도의 강유전체 소자(C2d)가 병렬로 접속된다.

메모리 셀(22)에 있어서, 트랜지스터(Q1d)와 강유전체 소자(C1d)와는 절연된다. 트랜지스터(Q2d)와 강유전체 소자(C2d)와는 절연된다. 또한, 메모리 셀(22)에 있어서, 워드선(W2)과 강유전체 소자(C1d) 및 강유전체 소자(C2d)와는 절연된다.

이러한 구성으로 함으로써, 메모리 셀(12)과 메모리 셀(22)의 2개의 셀로, 단독 메모리 셀의 경우의 2배인 강유전체 용량을 갖는 단일 메모리 셀과 동등해진다. 이 2개의 메모리 셀(12, 22)로 이루어진 메모리 셀에 대해서는, 2가닥의 워드선(W1, W2) 및 2가닥의 플레이트선(P1, P2) 중 메모리 셀(12)에 접속된 워드선(W1) 및 플레이트선(P1)이 유효하게 된다.

이상 설명한 바와 같이, 제6 실시예에 따르면, 다른 실시예와 같이, 제조 단계에서 기록된 암호 등의 데이터를 제조 종료후에도 계속해서 유지할 수 있다고 하는 효과를 갖는다.

또한, 강유전체 용량이 2배인 기억 영역에서의 셀 구조가 통상의 용량의 기억 영역에서의 셀 구조와 외관상 같기 때문에, 제삼자가 암호 등이 기록된 기억 영역을 조사하여, 부정하게 암호 등을 취득해 버리는 것을 막을 수 있다. 즉, 기밀성이 높아진다.

이상에 있어서 본 발명은 3행 이상의 메모리 셀 행 또는 3열 이상의 메모리 셀 열에 걸쳐 워드선이나 플레이트선, 또는 비트선 쌍을 단락하여도 좋다. 또한, 일부 메모리 셀에 있어서 강유전체 소자의 면적을 통상의 면적보다 크게 하는 구성으로 하여도 좋다. 강유전체 소자의 면적을 크게 하면 일부 메모리 셀의 강유전체 용량을 크게 할 수 있다. 따라서, 데이터 유지 특성이 향상되지만, 그 대신에 암호 등의 데이터가 기록된 기억 영역의 식별이 용이하게 되어 버린다.

#### 발명의 효과

본 발명에 따르면, 제조 단계에서 암호 등을 기록하기 위한 강유전체 기억 소자의 용량을 다른 강유전체 기억 소자의 용량보다 크게 했기 때문에, 제조중에 강유전체 소자가 열의 영향을 받거나 수소 등에 노출되더라도 암호 등의 기억 정보가 소실되어 버릴 정도로 소자의 특성이 열화하지는 않기 때문에, 제조 종료후에도 계속해서 기억 정보를 유지할 수 있다.

따라서, 제조 단계에 있어서, 열이나 수소 등의 외부적 요인을 철저히 배제할 필요가 없기 때문에, 제조 단계의 제약을 없앨 수 있다. 또한, 열이나 수소 등의 영향을 배제하기 위한 설비가 불필요하기 때문에, 제조 비용을 억제할 수 있어서, 저렴한 반도체 기억 장치를 얻을 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

잔류 분극에 의해 데이터를 유지하는 복수의 제1 강유전체 기억 소자 및 상기 제1 강유전체 기억 소자보다 용량이 큰 제2 강유전체 기억 소자를 구비한 메모리 셀 어레이와;

상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 행 방향으로 선택하기 위한 복수의 행 선택선과;

상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 열 방향으로 선택하기 위한 복수의 열 선택선을 구비하고,

상기 제2 강유전체 기억 소자는 복수의 상기 제1 강유전체 기억 소자에 의해 구성되는 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

##### 청구항 2.

제1항에 있어서, 상기 제2 강유전체 기억 소자를 구성하는 복수의 상기 제1 강유전체 기억 소자에 대응하는 복수의 행 선택선이 단락되는 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.



### 청구항 3.

제2항에 있어서, 단락될 복수의 행 선택선을 선택하기 위한 복수의 선택 회로를 더 구비한 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

### 청구항 4.

제3항에 있어서, 단락될 복수의 행 선택선을 선택하기 위한 프로그램을 기억한 기억 수단과,

상기 프로그램에 기초하여 단락 대상이 되는 복수의 행 선택선을 선택하기 위한 선택 신호를 생성하고 이 선택 신호를 상기 선택 회로에 공급하는 제어 수단을 더 구비한 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

### 청구항 5.

제1항에 있어서, 상기 제2 강유전체 기억 소자를 구성하는 복수의 상기 제1 강유전체 기억 소자에 대응하는 복수의 열 선택선이 단락되는 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

### 청구항 6.

제5항에 있어서, 단락될 복수의 열 선택선을 선택하기 위한 복수의 선택 회로를 더 구비한 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

### 청구항 7.

제6항에 있어서, 단락될 복수의 행 선택선을 선택하기 위한 프로그램을 기억하는 기억 수단과,

상기 프로그램에 기초하여, 단락 대상이 되는 복수의 행 선택선을 선택하기 위한 선택 신호를 생성하고 이 선택 신호를 상기 선택 회로에 공급하는 제어 수단을 더 구비한 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

### 청구항 8.

잔류 분극에 의해 데이터를 유지하는 복수의 제1 강유전체 기억 소자 및 상기 제1 강유전체 기억 소자보다 용량이 큰 제2 강유전체 기억 소자를 구비한 메모리 셀 어레이와;

상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 행 방향으로 선택하기 위한 복수의 행 선택선과;

상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 열 방향으로 선택하기 위한 복수의 열 선택선을 구비하고,

상기 제1 강유전체 기억 소자는 복수의 강유전체 커패시터를 가지며,

상기 제2 강유전체 기억 소자는 상기 제1 강유전체 기억 소자에 포함되는 복수의 상기 강유전체 커패시터를 병렬로 접속한 구성으로 되어 있는 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

## 청구항 9.

잔류 분극에 의해 데이터를 유지하는 복수의 제1 강유전체 기억 소자 및 상기 제1 강유전체 기억 소자보다 용량이 큰 제2 강유전체 기억 소자를 구비한 메모리 셀 어레이와;

상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 행 방향으로 선택하기 위한 복수의 행 선택선과;

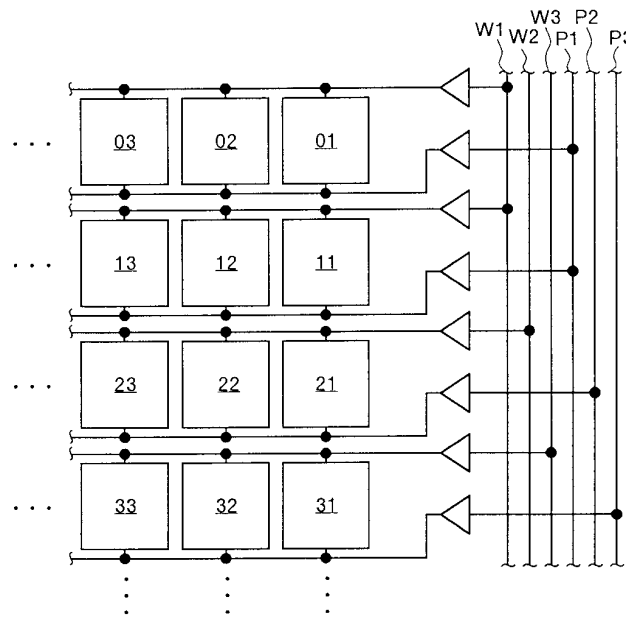
상기 메모리 셀 어레이에서 상기 제1 강유전체 기억 소자와 상기 제2 강유전체 기억 소자를 열 방향으로 선택하기 위한 복수의 열 선택선을 구비하고,

상기 제1 강유전체 기억 소자는 복수의 강유전체 커패시터를 가지며,

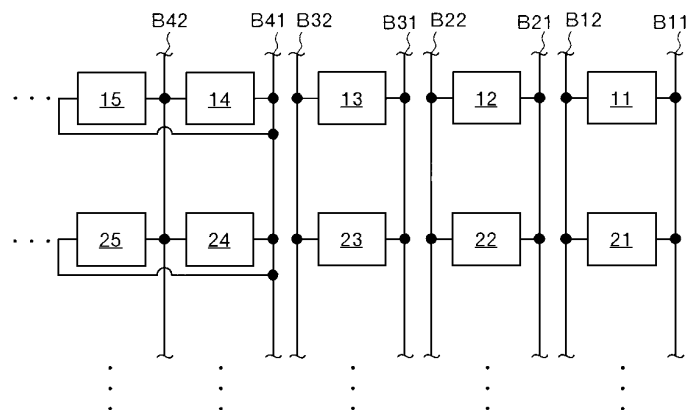
상기 제2 강유전체 기억 소자는 상기 제1 강유전체 기억 소자의 인접 기억 소자에 포함되는 복수의 상기 강유전체 커패시터를 병렬로 접속한 구성으로 되어 있는 것을 특징으로 하는 불휘발성 강유전체 반도체 기억 장치.

## 도면

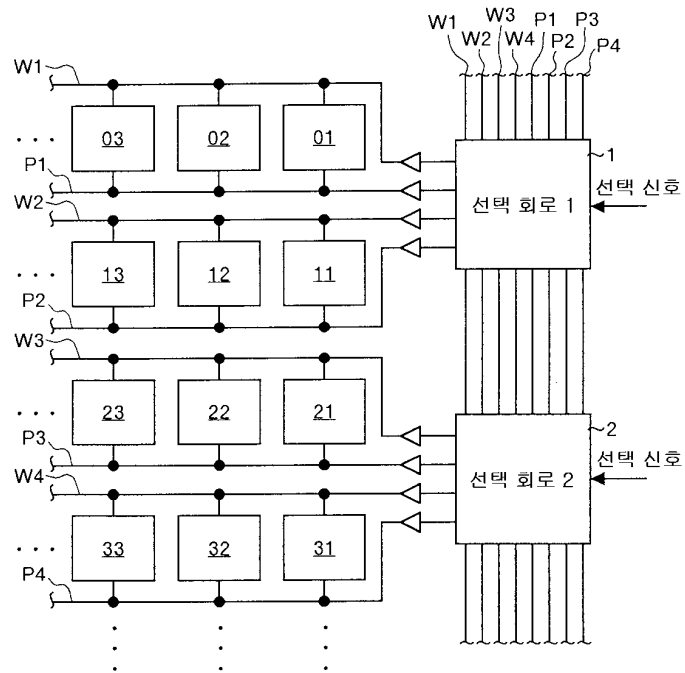
도면1



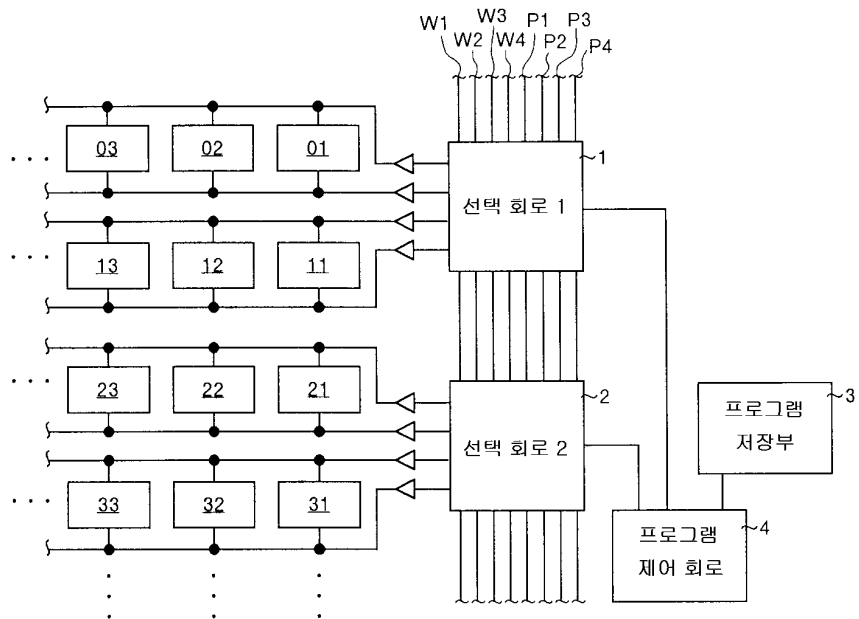
도면2



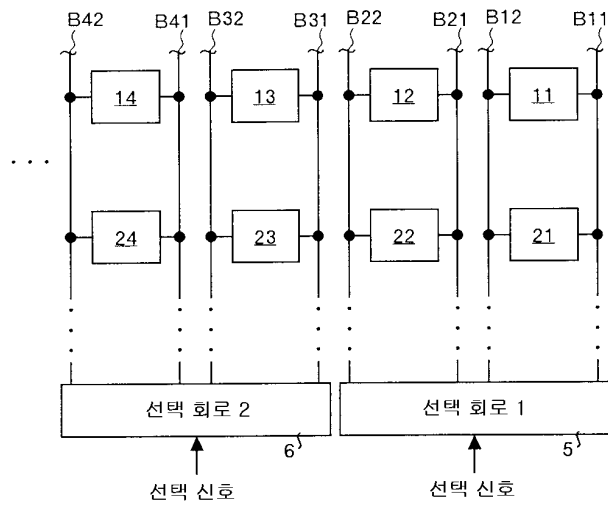
도면3



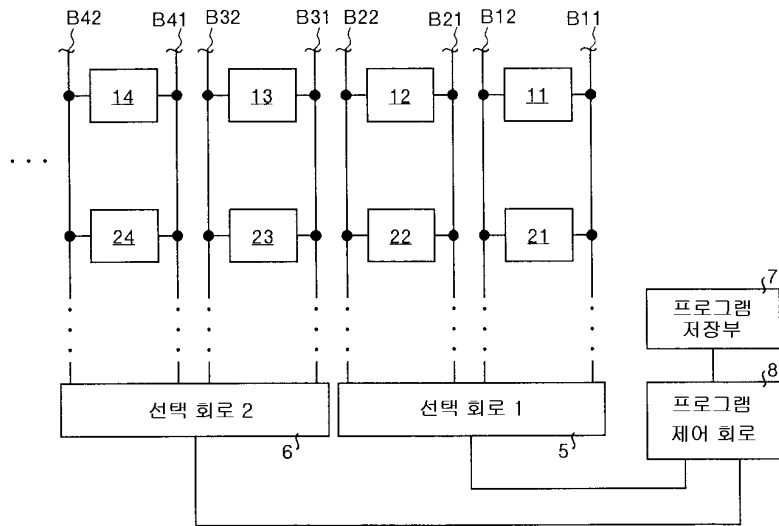
도면4



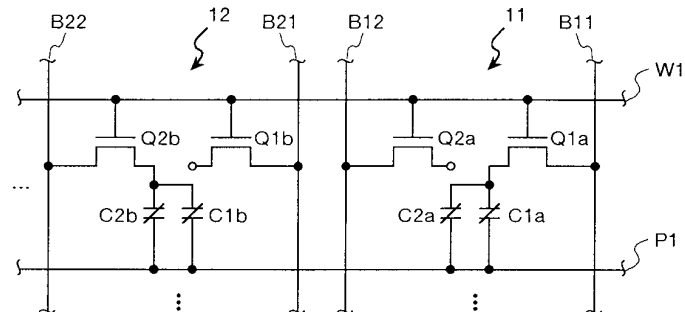
도면5



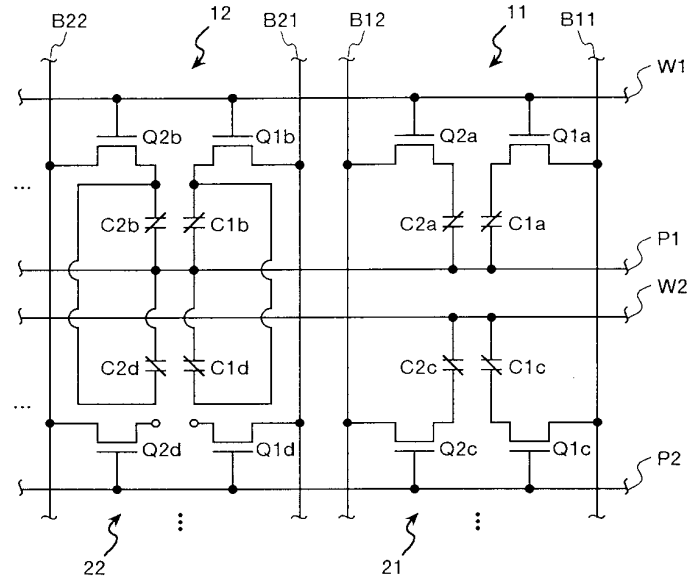
도면6



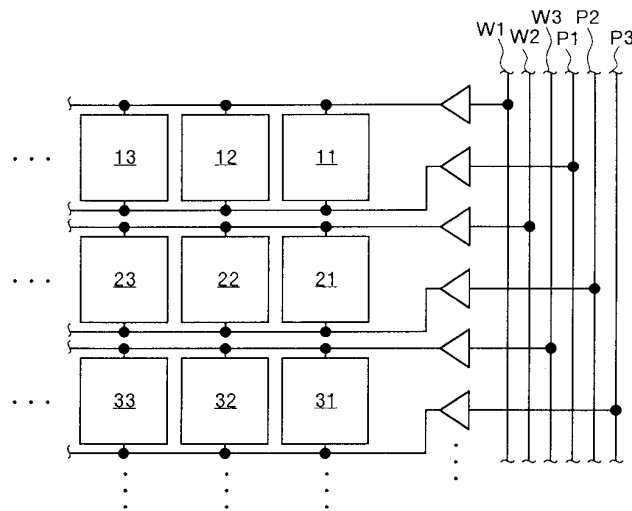
도면7



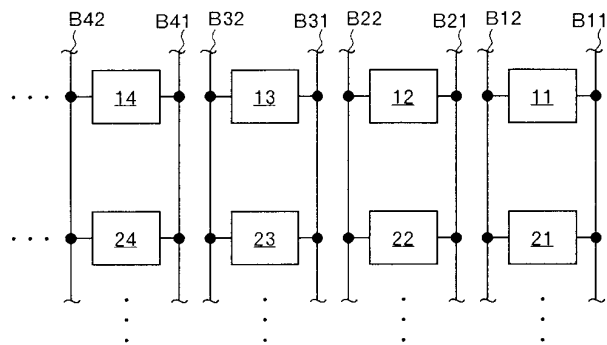
도면8



도면9



도면10



도면11

