



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월14일
(11) 등록번호 10-1233453
(24) 등록일자 2013년02월07일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01)
(21) 출원번호 10-2007-7002286
(22) 출원일자(국제) 2005년06월14일
 심사청구일자 2010년06월01일
(85) 번역문제출일자 2007년01월29일
(65) 공개번호 10-2007-0033010
(43) 공개일자 2007년03월23일
(86) 국제출원번호 PCT/US2005/021047
(87) 국제공개번호 WO 2006/011996
 국제공개일자 2006년02월02일
(30) 우선권주장
 10/883,282 2004년06월30일 미국(US)
(56) 선행기술조사문헌
 JP2002025977 A*
 JP08255786 A*
 JP2002319571 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 24 항

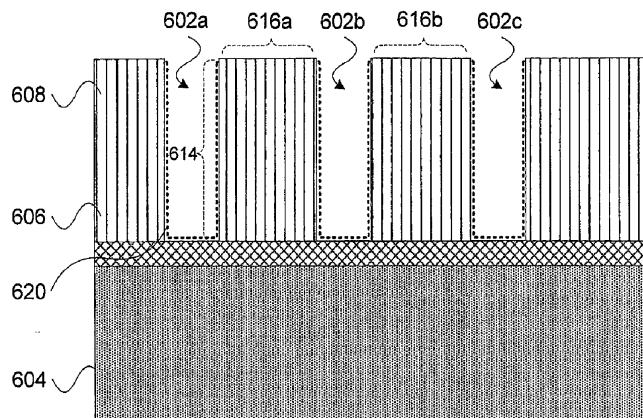
심사관 : 박귀만

(54) 발명의 명칭 **플라즈마 처리 시스템에서의 에칭 내성의 최적화를 위한 방법 및 장치**

(57) 요 약

플라즈마 처리 챔버를 포함하는 플라즈마 처리 시스템에 있어서, 기판 재료의 에칭 내성을 최적화하는 방법이 개시된다. 방법은 에천트 가스 플로우 혼합물에 대한 친화성을 갖는 프리코트 (pre-coat) 가스 혼합물을 플라즈마 처리 챔버로 유입시키는 단계; 프리코트 가스 혼합물을 유입하는 단계; 프리코트 가스 혼합물로부터 제 1 플라즈마를 발생시키는 단계; 기판 재료를 포함하는 기판을 도입하는 단계를 포함한다. 방법은, 에천트 가스 혼합물을 플라즈마 처리 챔버로 유입시키는 단계; 에천트 가스 혼합물로부터 제 2 플라즈마를 발생시키는 단계; 제 2 플라즈마를 이용하여 기판을 에칭하는 단계를 포함한다. 플라즈마 처리 챔버 내에서 제 1 플라즈마는 노출된 표면의 세트 상에 프리코트 잔류물을 생성하고, 기판 재료의 에칭 내성이 실질적으로 유지된다.

대 표 도 - 도6a



특허청구의 범위

청구항 1

플라즈마 처리 챔버를 포함하는 플라즈마 처리 시스템에서 기판을 프로세싱하는데 있어서 프로세싱 선택도를 개선하는 방법으로서,

상기 방법은,

프로세스 가스 플로우 혼합물에 대하여 친화성을 갖는 프리코트 (pre-coat) 가스 혼합물을 상기 플라즈마 처리 챔버로 유입시키는 단계;

상기 프리코트 가스 혼합물로부터 제 1 플라즈마를 발생 (striking) 시키는 단계;

상기 기판을 상기 플라즈마 처리 챔버로 도입하는 단계;

상기 프로세스 가스 플로우 혼합물을 상기 플라즈마 처리 챔버로 유입시키는 단계;

상기 프로세스 가스 플로우 혼합물로부터 제 2 플라즈마를 발생시키는 단계; 및

상기 제 2 플라즈마를 이용하여 상기 기판에 대해 에칭 및 증착 중 적어도 하나를 수행하는 단계를 포함하고,

상기 제 1 플라즈마는 상기 플라즈마 처리 챔버의 표면의 세트 상에 프리코트를 생성하고, 상기 프리코트는 상기 제 2 플라즈마 내의 라디칼을 끌어당기도록 구성된, 프로세싱 선택도 개선 방법.

청구항 2

제 1 항에 있어서,

상기 프리코트 가스 혼합물을 유입시키는 단계 이전에, 웨이퍼리스 (waferless) 챔버 세정 프로세스를 이용하여 상기 플라즈마 처리 챔버를 세정하는 단계를 더 포함하는, 프로세싱 선택도 개선 방법.

청구항 3

제 1 항에 있어서,

상기 프로세스 가스 플로우 혼합물은 예천트 종 (species) 을 더 포함하는, 프로세싱 선택도 개선 방법.

청구항 4

제 3 항에 있어서,

상기 프리코트는 상기 예천트 종과 화학적으로 반응하여 패시베이션 (passivation) 종을 생성하는, 프로세싱 선택도 개선 방법.

청구항 5

제 4 항에 있어서,

상기 패시베이션 종은 상기 기판의 적어도 일 부분을 코팅하는, 프로세싱 선택도 개선 방법.

청구항 6

제 1 항에 있어서,

상기 프로세싱 선택도는 포토레지스트를 예칭하는데 있어서 예칭 선택도를 나타내는, 프로세싱 선택도 개선 방법.

청구항 7

제 1 항에 있어서,

상기 프로세싱 선택도는 BARC 를 예칭하는데 있어서 예칭 선택도를 나타내는, 프로세싱 선택도 개선 방법.

청구항 8

제 1 항에 있어서,

상기 프로세싱 선택도는 무기 재료를 에칭하는데 있어서 에칭 선택도를 나타내는, 프로세싱 선택도 개선 방법.

청구항 9

제 1 항에 있어서,

상기 프로세싱 선택도는 실리콘을 에칭하는데 있어서 에칭 선택도를 나타내는, 프로세싱 선택도 개선 방법.

청구항 10

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 O_2 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 11

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 HBr 을 포함하는, 프로세싱 선택도 개선 방법.

청구항 12

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 Cl_2 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 13

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 He 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 14

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 N_2 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 15

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 Ar 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 16

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 CF_4 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 17

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 CH_2F_2 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 18

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 CHF_3 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 19

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 CH_xF_y 를 포함하고, x 및 y 는 정수인, 프로세싱 선택도 개선 방법.

청구항 20

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 SiCl_4 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 21

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 SF_6 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 22

제 1 항에 있어서,

상기 프리코트 가스 혼합물은 NF_3 를 포함하는, 프로세싱 선택도 개선 방법.

청구항 23

제 1 항에 있어서,

상기 기판은 반도체 웨이퍼인, 프로세싱 선택도 개선 방법.

청구항 24

제 1 항에 있어서,

상기 기판은 유리 패널인, 프로세싱 선택도 개선 방법.

청구항 25

삭제

명세서**기술 분야**

[0001]

본 발명은 일반적으로 기판 제조 기술에 관한 것으로, 특히 플라즈마 처리 시스템에서의 에칭 내성의 최적화 방법 및 장치에 관한 것이다.

배경 기술

[0002]

예를 들어 반도체 기판이나 평판 패널 디스플레이 제조에서 사용되는 유리 패널 등의 기판 처리에서 플라즈마가 종종 사용된다. 예를 들어, 기판 처리의 일부로서, 기판은 복수개의 다이들 또는 사각 영역들로 분할되고, 각각이 집적 회로가 된다. 기판은 그 후 재료들이 선택적으로 제거 (에칭) 되고 증착되는 일련의 단계에서 처리된다. 그 다음, 수 나노미터의 크기로 트랜지스터 게이트의 임계치수 (critical dimension ; CD) 를 제어하는 것이 가장 중요한데, 타겟 게이트의 길이로부터의 개별 나노미터 편차가 이들 디바이스들의 동작 속도에 직접적으로 영향을 미치기 때문이다.

[0003]

기판상에 게이트의 세트가 생성되는 예시적인 플라즈마 처리 프로세스에서, p 형 에피택셜 (epitaxial) 층은 일반적으로 화학기상증착법 (chemical vapor deposition ; CVD) 을 통하여 실리콘 기판 상에 증착된다. 그 다음 질화물 층이 에피층 (epi-layer) 위에 증착되고, 그 후 특정 패턴에 따라 마스킹되고 에칭되어 에피층상에 노출된 영역 (즉, 더 이상 질화물층으로 덮이지 않는 영역) 을 남긴다. 그 후 이러한 노출된 영역은 n-웰들을 형성하는 인과 같은 도편트를 수용하는 이온 주입 또는 확산 공정에 속하기 전에, 특정 패턴으로 다시

마스킹될 수도 있다.

[0004] 그 후, 경화 에멀젼의 영역들이 선택적으로 제거되어, 하부층의 구성요소들이 노출되도록 한다. 그 후 기판은 플라즈마 처리 챔버 내에서, 척 (chuck) 또는 페디스털 (pedestal)로 지정되는 단극성 또는 양극성의 전극을 포함하는 기판 지지 구조 상에 위치하게 된다. 그 후 적절한 에천트 소스가 챔버로 유입되고 스트라이킹되어 플라즈마를 형성함으로써 기판의 노출된 영역을 에칭한다.

[0005] 그 후 이산화 규소가 열 성장되어, n-웰을 회로의 다른 부분으로부터 격리시키는 필드 산화층을 형성한다. 이러한 공정은, n-웰 위에 게이트 산화층을 성장시키는 다른 마스킹/산화 사이클이 수행되어 p-채널 MOS 트랜지스터가 형성될 수도 있다. 이러한 게이트 산화층은 이를 트랜지스터들 각각의 게이트와 채널 사이를 격리시키는 역할을 하게 된다. 그 다음, 에피층의 다른 부분에서 문턱 전압값을 조절하기 위하여 또 다른 마스킹 및 확산/주입 사이클을 수행하여 n-채널 트랜지스터가 형성될 수도 있다.

[0006] 그 후 웨이퍼 상의 폴리실리콘층이 적층될 수도 있고, 불필요한 폴리실리콘 영역을 제거하는 마스킹/에칭 사이클이 수행되어 p-channel 트랜지스터의 게이트 산화물 위에 폴리실리콘 게이트가 정의된다. 동시에, 정확한 위치의 산화물을 에칭함으로써 n-웰들에 소스와 드레인의 드라이브인을 위한 개구들이 형성된다.

[0007] 마스크/주입 사이클의 또 다른 라운드가 그 후에 수행될 수도 있으며, 이번에는 봉소 도펀트를 n-웰들의 새로운 개구들로 주입하여, p 형 소스와 드레인을 형성한다. 이후 마스크/주입 사이클이 수행되어 p 형 에피층에 n-채널 트랜지스터의 n 형 소스와 드레인을 형성할 수도 있다.

[0008] 그러나, 서브 미크론의 비아 컨택 (contacts)과 트렌치가 고 종횡비를 가지는 현재의 플라즈마 처리 기술을 사용하여 기판상의 회로 고밀도에 대한 증가 요구를 만족시키기가 어려울 수도 있다. 특히, 상대적으로 깊은 게이트 에칭을 생성하는 것은 어려워지고 있으며, 게이트의 깊이가 리소그래픽 프로세스의 광 파장보다 짧은 경우에는 더욱 그러하다. 통상적으로 사용되는 방법에서는, 화학적으로 우세한 에칭 프로세스를 사용하여 나중에 포토레지스트 마스크를 절삭한다. 즉, 원하는 결과 (즉, 에칭전 CD) 와 비교할 때 피쳐의 CD 가 커진 마스크가 생성된다. 하부 기판의 트렌치는 종으로 (즉 기판에 수직으로) 에칭되므로, 포토레지스트 컬럼은 횡으로 (즉 기판에 수평으로) 에칭 또는 절삭되어 최종적으로 원하는 게이트 CD 를 생성한다.

[0009] 일반적으로, 포토레지스트는 리소그래픽 프로세스들 (즉, 콘트라스트, 해상도, 인-라인 거칠기 등) 과 통합 프로세스 (에칭 선택성, 화학적 안정성, 애쉬 (ash) 선택성 등) 가 동시에 최적화되어야 한다. 화학적으로 우세한 에칭과 같이 집적에 대한 문제에 영향받기 쉬운 포토레지스트들의 유형들은 종종 "소프트" 라고 불린다.

[0010] 소프트 포토레지스트로 CD 를 제어하는 것은 100 nm 이하의 리소그래픽 환경 내에서는 특히 어렵다. 즉, 포토레지스트는 포토레지스트 컬럼의 봉괴를 피할 정도로 충분히 얇아야 하고 동시에 에칭층의 원하는 에칭 선택도에 일치시킬 수 있을 정도로 충분히 두꺼워야 하기 때문이다. 그러나, 포토레지스트의 컬럼이 폭과 비교해서 불균형적으로 높은 경우 (즉 높이 대 폭의 비가 4 보다 큰 경우), 에칭 프로세스는 컬럼을 손상시킬 수도 있고, 그 결과 기판의 전기적 특성 및 기능적 특성을 변화시키고, 기판의 성능과 제조 수율에 직접적으로 영향을 미친다.

[0011] 예를 들어, 소프트 포토레지스트가 에칭될 때, 위아래로 굴곡이 지거나 웨이브와 같은 패턴이 생성될 수도 있는데, 이는 잠재적으로 줄무늬나, 잘못된 마이크로 로딩, 및 무작위적인 에칭 스텁을 야기한다. 줄무늬는 마스크 상에 추가적인 노출 영역을 생성하는 일반적인 피쳐의 형상 내의 불규칙성을 의미한다. 에천트는 의도하지 않은 기판 재료를 제거하기 때문에, 웨이퍼의 결과적인 전기적 특성 및 기능적 특성이 변할 수 있다. 예를 들어 일 영향으로서 컬럼 면의 거칠기가 증가할 수도 있다. 이와 유사하게, 포토레지스트 굴곡의 세트가 실질적으로 수렴되는 경우, 결과적인 마스크 패턴은 부분적으로나 전체적으로 의도하는 기판 재료의 제거를 막을 수 있다.

[0012] 기판의 가공품들이 컬럼 트렌치층에 잔류하면 잘못된 마이크로 로딩이 일어나서, 물리적으로 평坦하지 않은 저부면을 생성한다. 컬럼 입구가 에칭 프로세스 동안 에천트 가스로부터 효과적으로 차단되면, 무작위한 에칭 스텁이 일어난다. 컬럼이 불균형적으로 크거나 얇은 경우 (즉 높이 대 폭의 비가 4 보다 큰 경우)에서는, 포토레지스트 컬럼의 모든 조각이 갑작스럽게 제거되거나 벗겨질 수도 있다. 또한, 포토레지스트 컬럼은, 횡 에칭 레이트가 종 에칭 레이트와 다른 경우에 야기되는 불균일한 스트레스에 의하여 휘어지거나 구부러지거나 비틀어질 수도 있다.

[0013] 도 1 을 참조하면, 플라즈마 처리 시스템 구성의 개략도를 도시한다. 일반적으로, 적절한 세트의 가스가 가스 분배 시스템 (122) 으로부터 입구 (108) 를 통하여 챔버 (102) 로 유입된다. 그 다음 이 플라즈마 처리

가스들은, 정전형 척 (116) 위의 에지 링 (115)에 의해 놓여진, 반도체 기판이나 유리 패널과 같은 기판 (114)의 노출된 영역을 처리 (예를 들어, 에칭 또는 증착) 하기 위하여, 이온화되어 플라즈마 (110)를 형성할 수도 있다. 이외에도, 라이너 (117)는 기판 (114) 상의 플라즈마 (110)를 최적화하는데 도움을 줄 뿐만 아니라, 플라즈마와 플라즈마 처리 챔버 사이의 열적 장벽을 제공한다.

[0014] 가스 분배 시스템 (122)은 플라즈마 처리 가스들 (예를 들어, C₄F₈, C₄F₆, CHF₃, CH₂F₃, CF₄, HBr, CH₃F, C₂F₄, N₂, O₂, Ar, Xe, He, H₂, NH₃, SF₆, BC₁₃, Cl₂, WF₆ 등)을 포함하는 압축 가스 실린더 (124a-f)를 통상적으로 구비한다. 가스 실린더 (124a-f)는 국부적 배기 통풍을 제공하는 인클로저 (enclosure ; 128)에 의하여 더 보호될 수 있다. 유량 제어기들 (126a-f)은 통상적으로, 플라즈마 처리 시스템으로의 가스의 유량을 측정하고 조절하기 위하여 반도체 산업에서 통상적으로 사용되는 자체 완비 디바이스들 (트랜스듀서 (transducer), 조절 밸브, 제어 및 신호 처리 전자기기로 구성된 디바이스들)이다. 주입기 (109)는 챔버 (102)로 플라즈마 처리 가스 (124)를 에어졸로서 도입한다.

[0015] 유도 코일 (131)은 절연 원도우 (104)에 의해 플라즈마로부터 분리되어 있고, 일반적으로 플라즈마 처리 가스 내에서 시변 전류를 유도하여 플라즈마 (110)를 생성한다. 원도우는 플라즈마 (110)로부터 유도 코일을 보호하고, 발생된 RF 필드를 플라즈마 처리 챔버 내에 투과시킨다. 유도 코일 (131)은 리드들 (130a, 130b)에서 매칭 네트워크 (132)에 더 결합되고, 매칭 네트워크 (132)는 RF 생성기 (138)에 연결될 수도 있다. 매칭 네트워크 (132)는 RF 생성기 (138)의 임피던스에 매칭하도록 시도하는데, RF 생성기는 전형적으로 13.56 MHz, 50 ohms에서 동작하며, 플라즈마 (110)에 적용한다.

[0016] 일반적으로, 플라즈마가 생성되면, 열적 평형을 달성하기 위하여 임의의 유형의 냉각 시스템이 척에 연결된다. 냉각 시스템은 일반적으로 척 내부의 빈공간을 통해서 냉매를 펌핑하는 냉각기를 구비하고, 헬륨 가스가 척과 기판 사이에 펌핑된다. 또한, 발생된 열을 제거하는 것과 더불어, 헬륨 가스는 냉각 시스템이 열의 소실을 신속하게 제어하게 한다. 즉, 헬륨 압력의 증가는 결과적으로 열전달의 속도를 증가시킨다. 대부분의 플라즈마 처리 시스템들은 운영 소프트웨어 프로그램을 구비하는 정교한 컴퓨터에 의하여 제어된다. 통상적인 동작 환경에서는 제조 프로세스 파라미터들 (예를 들어, 전압, 가스 플로우 혼합, 가스 유속, 압력 등)이 일반적으로 특정 플라즈마 처리 시스템 및 특정 레시피로 구성된다.

[0017] 도 2a 및 2b를 참조하면, 게이트들의 세트가 플라즈마 처리로 제조된 적층막의 이상적인 단면도를 도시한다. 도 2a는 리소그래피 단계 전에 예시적인 반도체 IC의 층을 나타내는 적층막의 이상적인 단면도를 도시한다. 다음의 설명에서, 층들 사이의 공간적인 관계를 설명하기 위해서 여기에 사용될 수도 있는 "위" 및 "아래"의 용어들은 관련된 층들 사이의 직접적인 접촉을 나타낼 수도 있으나, 항상 그런 것은 아니다. 층들 위, 아래, 또는 그들 사이에서 다른 부가적인 층들이 존재할 수 있다는 점을 주목한다. 더욱이, 도시된 모든 층들이 반드시 존재해야 되는 것은 아니고 일부 또는 전부가 다른 층들로 대체될 수도 있다.

[0018] 적층막의 저부에는 폴리실리콘과 같은 반도체를 포함하는 층 (204)이 있다. 층 (204) 위로는 포토레지스트 마스크 층 (208)과, 리소그래피 처리된 BARC 층 (206)이 배치된다. 본 예에서는, 먼저 포토레지스트 마스크 패턴 (216)이 리소그래피로 생성되고, 그 다음 게이트 트렌치 (202a, 202b)의 세트를 생성하기 위하여 화학적으로 절삭된다.

[0019] 도 2b는 트렌치 (202a, 202b)를 더 확대함으로써 게이트의 세트를 생성하기 위하여 플라즈마 처리 시스템 내에서 층 (204)이 에칭된 후의 도 2a의 적층막의 단면도를 도시한다. 이외에, 포토레지스트 마스크 층은 하부 반도체 층 (204)과 마찬가지로, (210)의 양 만큼 에천트에 의하여 획으로 절삭된다.

[0020] 도 3a 내지 3c를 참조하면, 플라즈마 프로세스 동안 불균형하게 높은 소프트 포토레지스트 컬럼이 붕괴되어 있는 적층막의 이상적인 단면도를 도시한다. 에칭 프로세스 동안, 포토레지스트 재료는 일반적으로 획으로 (즉, 기판에 평행하게) 또는 종으로 (즉, 기판에 수직으로) 제거될 수도 있다. 그러나, 컬럼의 폭이 충분히 최소화되는 경우, 획방향과 종방향 에칭의 결합은 컬럼의 실질적으로 큰 부분을 제거할 수 있는 유효 대각선 에칭 벡터를 만들어내어, 그 후에 하부 기판을 손상시킨다.

[0021] 도 3a는 리소그래피 단계 전에, 예시적인 반도체 IC의 층들을 나타내는 적층막의 이상적인 단면도를 도시한다. 적층막의 저부에, 폴리실리콘과 같은 반도체를 포함하는 층 (304)이 도시된다. 층 (304) 위에는 포토레지스트 마스크 층 (308)과, 리소그래피를 통하여 처리된 BARC 층 (306)이 배치된다. 본 예에서, 포토레지스트 마스크 패턴은 게이트의 세트를 생성하는 트렌치 (302a, 302b, 302c)의 세트와 함께 생성된다.

[0022] 도 3b 는 포토레지스트 층 (308) 이 플라즈마 처리 시스템 내에서 에칭된 후의 도 3a 의 적층막의 단면도를 도시한다. 그러나, 도 2a 및 도 2b 의 컬럼 (216) 과는 다르게, 상대적으로 얇은 컬럼들 (316) 이 에칭 프로세스에 의하여 실질적으로 손상 (312) 되어 있다. 즉, 컬럼이 폭만 감소하는 것이 아니라, 그 높이도 심각하게 줄어들기 때문이다.

[0023] 도 3c 는 플라즈마 처리 시스템 내에서 층 (304) 이 에칭된 후, 기판 (304) 에 캐비티 (320) 가 생성되어 있는 도 3b 의 적층막의 단면도를 나타낸다.

[0024] 도 4a 내지 도 4c 를 참조하면, 불균형적인 높이를 갖는 소프트 포토레지스트 컬럼이 플라즈마 처리 중 비틀어진 적층막의 이상적인 단면도를 도시한다. 전술한 바와 같이, 포토레지스트 물질은 횡으로 (즉, 기판에 평행하게) 또는 종으로 (즉, 기판에 수직으로) 일반적으로 제거될 수 있다. 그러나, 만약에 컬럼 폭이 충분히 최소화되는 경우, 횡방향과 종방향 에칭의 결합은 컬럼에 그것을 비틀거나 구부리기에 충분한 스트레스를 생성할 수도 있다.

[0025] 도 4a 는 리소그래피 단계 전에, 예시적인 반도체 IC 의 층을 나타내는, 적층막의 이상적인 단면도를 도시한다. 적층막의 저부에는, 폴리실리콘과 같은 반도체를 포함하는 층 (404) 이 제시된다. 층 (404) 위에는 포토레지스트 마스크 층 (408) 과, 리소그래피를 통해서 처리되었던 BARC 층 (406) 이 배치된다. 본 예에서, 포토레지스트 마스크 패턴은 게이트의 세트를 생성하는 트렌치들의 세트 (402a, 402b, 402c) 와 함께 생성된다.

[0026] 도 4b 는, 포토레지스트 층 (408) 이 플라즈마 처리 시스템 내에서 에칭된 후의 도 4a 의 적층막의 단면도를 도시한다. 그러나, 도 2a, 도 2b 의 컬럼 (216) 과는 다르게, 상대적으로 얇은 컬럼들 (416) 이 에칭 프로세스에 의하여 실질적으로 비틀어져 있고, 그 후에 하부 기판 (404) 내에 비직선형 프로파일이 생성되어 있다.

[0027] 전술한 점들 때문에, 플라즈마 처리 시스템 내의 에칭 내성을 최적화하는 방법 및 장치에 대한 향상된 방법들이 요구된다.

발명의 상세한 설명

[0028] 일 실시형태에서, 본 발명은 플라즈마 처리 챔버를 포함하는 플라즈마 처리 시스템 내에서, 기판 재료의 에칭 내성을 최적화하는 방법과 관련되어 있다. 방법은 에천트 가스 플로우 혼합물에 대하여 친화성을 갖는 프리코트 (pre-coat) 가스 혼합물을 플라즈마 처리 챔버로 유입시키는 단계; 프리코트 가스 혼합물로부터 제 1 플라즈마를 발생 (striking) 시키는 단계; 기판 재료를 포함하는 기판을 도입하는 단계를 포함한다. 전술한 방법은, 에천트 가스 혼합물을 플라즈마 처리 챔버로 유입시키는 단계; 에천트 가스 혼합물로부터 제 2 플라즈마를 발생시키는 단계; 제 2 플라즈마를 이용하여 기판을 에칭하는 단계를 포함한다. 제 1 플라즈마는 플라즈마 처리 챔버 내의 노출된 표면의 세트 상에 프리코트 잔류물을 생성하고, 기판 재료의 에칭 내성이 실질적으로 유지된다.

[0029] 본 발명의 이러한 특징과 다른 특징들은 이하에서 도면과 함께 더욱 자세히 설명될 것이다.

실시예

[0038] 이하 첨부된 도면에 도시된 바와 같은 몇몇 바람직한 실시형태들을 참조하여 본 발명이 상세하게 설명된다. 다음의 설명에서, 본 발명에 대한 철저한 이해를 제공하기 위해서 다수의 구체적인 세부 사항들이 설명된다. 그러나, 본 발명은 이러한 구체적인 세부사항의 전부 또는 일부 없이도 당업자는 본 발명을 실시할 수 있음이 명백하다. 다른 예에서는, 본 발명을 불필요하게 불명료하게 하지 않게 위해 잘 알려진 단계 및/또는 구조는 상세하게 설명하지 않는다.

[0039] 앞에서 참조된 바와 같이, 상대적으로 깊은 게이트 에칭은 소프트 포토레지스트 (즉, 집적화 문제에 영향을 받기 쉬운 포토레지스트) 를 이용하여 얻어내기 어렵다. 특히, 포토레지스트 컬럼의 높이가 폭에 비해 불균형적이면, (즉, 높이 대 폭의 비가 4 이상이면) 에칭 프로세스는 컬럼과 게이트 기판을 손상시킬 수도 있다.

[0040] 예를 들어, 포토레지스트 컬럼에 대한 불균일한 스트레스는 그것이 휘거나, 구부러지거나, 또는 비틀어지게 할 수도 있다. 마찬가지로, 패셋 (facet) 또는 비직선형 프로파일이 컬럼 벽에만 생성될 수도 있으며, 그러한 것들은 하부 기판에 실질적인 결함을 야기하기 쉽다. 컬럼이 불균형적으로 높고 얕은 경우에는, 포토레지스트 컬럼의 모든 조각이 갑작스럽게 제거되거나 벗겨질 수도 있어, CD 프로파일과 기판을 더욱 더 손상시킨다. 비록 상대적인 CD 프로파일이 유지되더라도, 절대적인 CD 사이즈는 패시베이션 (passivation) 층을 부가함에 따라 증가할 수도 있기 때문에, 전통적인 패시베이션 기술은 일반적으로 비효율적이다.

- [0041] 이론에 구속됨을 원치 않으면서, 여기에서 발명자는 에천트 (포토레지스트 에천트와 같은)에 친화성 (또는 유인성)을 갖는 물질로 플라즈마 처리 챔버를 프리코팅하면, 에칭되는 물질의 완전성 뿐만 아니라 에천트의 선택성도 최적화될 수 있다고 생각한다.
- [0042] 일반적으로, 플라즈마 처리 단계의 각각의 세트 후에, 반응 챔버의 내부 표면에 부착된 미세 입자와 잔류 폴리머들을 제거하기 위하여 건식 세정, 웨이퍼리스 (waferless) 세정, 또는 예방 관리 공정이 수행된다. 비자명한 방법으로, 에천트가 친화성을 갖는 재료로 다음 기판을 삽입하기 전에 플라즈마 챔버를 프리코팅함으로써, 플라즈마 내에 있는 상당한 양의 에천트 라디칼 (radical) 이 감소될 수도 있어, 에칭 속도 (예를 들면, 포토레지스트의 완전성을 유지하기 위한 에칭 속도)를 최적화할 수 있다.
- [0043] 예를 들어, 많은 포토레지스트 에천트들은 산소를 포함한다. Cl_2 와 같이 산소와 친화성을 갖는 재료로 플라즈마 챔버를 프리코팅하면 포토레지스트 에칭에 이용될 수 있는 플라즈마 내의 상당한 양의 산소 라디칼을 감소시키게 된다. 일반적으로, 프리코트 재료의 양이 많을수록, 에칭 프로세스에 이용될 수 있는 산소 라디칼의 수는 감소한다. 더욱이, 조절 가능한 폴리머 패시베이션 층은 포토레지스트 에천트와 프리코트를 반응함으로써 생성되는데, 이는 포토레지스트의 완전성을 유지하기 위하여 에칭 프로세스를 최적화한다. 즉, 폴리머 패시베이션 층은 포토레지스트 마스크의 수직 부식과 수평 부식을 모두 막을 수도 있으며, 이것은 기판의 CD를 유지하는데 유용하다.
- [0044] 미국 특허 6,455,333 에서는, 단일 적층을 갖는 컨디셔닝 웨이퍼로 에칭 챔버를 컨디셔닝 (순화 (seasoning)) 함으로써 DUV (deep ultraviolet ; DUV) 레지스트 에칭 레이트를 안정화함으로써, 일정하고 안정적인 DUV 레지스트 에칭 레이트를 나타내는 방법이 제시되어 있다. 그러나, 비자명한 방법으로 포토레지스트 완전성을 유지하는 본 발명과 다르게, 이 방법은 에칭 레이트만을 안정화시킬 뿐이다. 이외에도, 이 방법은, 특히 본 발명에서 지시되지 않은 구성요소인, 챔버를 순화하기 위한 컨디셔닝 웨이퍼의 사용을 포함한다.
- [0045] 미국 특허 6,626,187 에서는, 에칭 반응기의 반응 챔버를 리컨디셔닝하는 방법이 제시되어 있다. 그러나, 비자명한 방법으로 포토레지스트 완전성을 유지하는 본 발명과 다르게, 이 방법은, 고분자량의 입자를 생성하기 위하여 질소 및 수소 가스를 기판과 반응시킴으로써 에칭 프로세스를 안정화시킬 뿐이다.
- [0046] 미국 특허 6,420,274 에서는, 챔버 표면상의 처리 분자, 분자 조각, 및 원자로 챔버 표면을 컨디셔닝하는 방법이 실시되어 있다. 그러나, 비자명한 방법으로 포토레지스트 완전성을 유지하는 본 발명과는 다르게, 이 방법은 반복적인 플라즈마 처리를 달성하기 위하여 챔버를 컨디셔닝할 뿐이다.
- [0047] 미국 특허 6,274,500 에서는, 플라즈마 에칭 챔버를 세정하고 순화하는 방법이 제시되어 있다. 그러나, 비자명한 방법으로 포토레지스트 완전성을 유지하는 본 발명과는 다르게, 이 방법은 반복적인 플라즈마 처리를 달성하기 위하여 플라즈마 챔버를 먼저 세정한 후 순화할 뿐이다. 또한, 본 발명에서 지시되지 않은 구성요소인, 챔버를 순화하기 위한 컨디셔닝 웨이퍼의 사용을 포함한다.
- [0048] 다른 종래 기술은 스페이서 에칭 적용을 위해 CH_xF_y 프리코트 방법을 사용하는 것을 개시한다. 그러나, 비자명한 방법으로 포토레지스트의 완전성을 유지하는 본 발명과는 다르게, 이러한 유형의 방법은 크롬과 같은 높은 수준의 금속 오염을 방지하기 위해 금속 분자를 밀봉한다.
- [0049] 도 5 를 참조하면, 본 발명의 한 실시형태에 따라서, 프리코트를 부가한 도 1 의 플라즈마 처리 시스템의 개략도를 도시한다. 이미 언급된 바와 같이, 적절한 가스의 세트가 가스 분배 시스템 (122) 으로부터 입구 (108) 를 통하여 챔버 (102) 로 유입된다. 이러한 플라즈마 처리 가스는 그 다음 반도체 기판이나 유리 패널과 같은 기판 (114) 의 노출 영역을 처리 (예를 들어, 에칭 또는 증착) 하기 위하여, 이온화되어 플라즈마 (110) 를 형성할 수도 있다. 그러나, 이 단계 전에, 프리코트 (117) (예를 들면, O_2 , HBr , Cl_2 , He , N_2 , Ar , CF_4 , CH_2F_2 , CHF_3 , SiCl_4 , SF_6 , NF_3 등) 가 첨가되어 포토레지스트 에천트 라디칼과 반응하여 그 결과 에칭 프로세스를 최적화한다.
- [0050] 도 6a 내지 6b 를 참조하면, 본 발명의 일 실시형태에 따라서, 프리코트가 절삭 처리 프로세스를 최적화한 적층막의 이상적인 단면도를 도시한다. 도 6a 는 리소그래피 단계 전에, 예시적인 반도체 IC 의 층을 나타내는, 적층막의 이상적인 단면도를 도시한다. 적층막의 저부에는, 폴리실리콘과 같은 반도체를 포함하는 층 (604) 이 제시되어 있다. 층 (604) 위에는 포토레지스트 마스크 층 (608) 과, 리소그래피를 통하여 처리된 BARC 층 (606) 이 배치된다. 그러나, 도 3a 내지 도 3c 와 도 4a 및 도 4b 와는 다르게, 패시베이션 층 (620) 은 포토레지스트 완전성을 유지하는 트렌치 (602) 내에 형성되어 트렌치 (602) 의 CD 가 유지되게 한다.

- [0051] 도 6b 는, 트렌치 (602a, 602b, 602c) 를 반도체 층 (604) 내로 더 확장함으로써 게이트의 세트를 생성하기 위해서 플라즈마 처리 시스템내에서 층 (604) 이 예칭된 후의 도 6a 의 적층막에 대한 단면도를 나타낸다.
- [0052] 절삭 프로세스 적용에 대한 일 실시형태에서, 플라즈마 처리 챔버는, O₂, HBr, Cl₂, He, N₂, CF₄, 및 Ar의 리스트로부터 선택된 하나 이상의 가스를 포함하는 혼합물로 코팅된다.
- [0053] BARC 예칭 프로세스 적용에 대한 다른 일 실시형태에서, 플라즈마 처리 챔버는, O₂, HBr, Cl₂, He, N₂, Ar, CF_x(CF₄), CH_xF_y (CH₂F₂, CHF₃ 등), SiCl₄, SF₆, 및 NF₃ 의 리스트로부터 선택된 하나 이상의 가스를 포함하는 혼합물로 코팅된다.
- [0054] 무기 재료 예칭 프로세스 적용에 대한 또 다른 실시형태에서, 플라즈마 처리 챔버는, O₂, HBr, Cl₂, He, N₂, Ar, CF_x(CF₄), CH_xF_y (CH₂F₂, CHF₃ 등), SF₆, 및 NF₃ 의 리스트로부터 선택된 하나 이상의 가스를 포함하는 혼합물로 코팅된다.
- [0055] 실리콘 예칭 (즉, 폴리, a-Si, 에피 등) 처리 적용에 대한 또 다른 실시형태에서, 플라즈마 처리 챔버는, O₂, HBr, Cl₂, He, N₂, Ar, CF_x(CF₄), CH_xF_y (CH₂F₂, CHF₃ 등), SiCl₄, SF₆, 및 NF₃ 의 리스트로부터 선택된 하나 이상의 가스를 포함하는 혼합물로 코팅된다.
- [0056] 2300 Versys™ 시리즈 플라즈마 처리 시스템 (예를 들어 2300 Versys™, 2300 Versys Star™, 2300 Versys Kiyo™ 등) 을 사용하는 다른 실시형태에서는, 약 5 내지 약 100 mT의 챔버 압력, 약 350 내지 약 1400 W의 TCP 파워, 약 0 내지 약 20 W의 바이어스 파워, 약 50 내지 약 250 sccm의 CH₂F₂ 유량, 약 5 내지 약 150 sccm 의 CF₄의 유량, 약 20° 내지 약 60° 의 온도, 및 약 5 내지 약 30 초의 시간에서 프리코트가 포토레지스트 예칭 레이트를 최적화하기에 충분하다.
- [0057] 2300 Versys™ 시리즈 플라즈마 처리 시스템을 사용하는 다른 실시형태에서는, 약 30 내지 약 80 mT의 챔버 압력, 약 600 내지 약 1200 W의 TCP 파워, 약 0 내지 약 10 W의 바이어스 파워, 약 50 내지 약 150 sccm의 CH₂F₂의 유량, 약 10 내지 약 80 sccm 의 CF₄의 유량, 약 30° 내지 약 50° 의 온도, 약 5 초 내지 약 15 초의 시간에서 프리코트가 포토레지스트 예칭 레이트를 최적화하기에 충분하다.
- [0058] 2300 Versys Star™ 플라즈마 처리 시스템을 사용하는 다른 실시형태에서는, 약 50 내지 약 70 mT의 챔버 압력, 약 900 내지 약 1100 W의 TCP 파워, 약 0 내지 약 5 W의 바이어스 파워, 약 75 내지 약 105 sccm의 CH₂F₂의 유량, 약 20 내지 약 40 sccm의 CF₄의 유량, 약 30° 내지 약 50° 온도, 약 5 초 내지 약 15 초의 시간에서 프리코트가 포토레지스트 예칭 레이트를 최적화하기에 충분하다.
- [0059] 다른 실시형태에서는, 프리코트 처리는, 예칭을 위해 기판이 도입되기 전에 챔버가 코팅되는 프리에칭 플라즈마 처리 챔버 컨디셔닝 단계로서 사용될 수 있다.
- [0060] 다른 실시형태에서는, 기판이 예칭을 위해 플라즈마 처리 챔버 내에 놓여질 수 있고, 그 다음 전술한 CD (예를 들어, 선폭 등) 를 타겟 사이즈로 축소하기 위해 절삭 프로세스가 사용될 수 있고, 기판이 제거될 수 있고, 프리코트 단계가 실행된 후 기판을 재삽입하여 전체 적층의 예칭을 완성한다.
- [0061] 다른 실시형태에서는, 두 개의 플라즈마 처리 챔버가 예칭 시퀀스를 완성하기 위하여 사용될 수 있다. 제 1 챔버에서는, CD (예를 들어, 선폭 등) 가 타겟 사이즈로 절삭된다. 이후, 제 2 챔버에서, 잔여 적층 예칭을 위한 기판의 삽입 전에 프리코트가 적용될 수도 있다.
- [0062] 도 7 을 참조하면, 본 발명의 일 실시형태에 따라서, 프리코트가 부가되어 있는 플라즈마 처리 시스템 내에서 기판을 예칭하는 개략적인 프로세스를 나타낸다. 처음에, 단계 702 에서, O₂, HBr, Cl₂, He, N₂, Ar, CF_x(CF₄), CH_xF_y (CH₂F₂, CHF₃ 등), SiCl₄, SF₆, 및 NF₃ 중 하나 이상을 포함하는 프리코트 혼합물을 플라즈마 처리 시스템의 플라즈마 챔버로 유입시킨다. 다음으로, 단계 704 에서, 프리코트 혼합물로부터 플라즈마를 발생시킨다. 다음으로, 단계 706 에서, 기판재료 (예를 들어, 포토레지스트, BARC 등) 를 포함하는 기판을 플라즈마 반응기에 도입시킨다. 다음으로, 단계 708 에서, 예친트 혼합물이 플라즈마 처리 시스템의 플라즈마 반응기 내로 유입된다. 단계 710 에서, 플라즈마가 예친트 혼합물로부터 발생된다. 단계 712에서는, 플

라즈마를 이용하여 기판이 에칭된다. 그리고 마지막으로 단계 714에서, 기판이 제거된다.

[0063] 본 발명은 몇몇 바람직한 실시형태에 의하여 설명되었지만, 본 발명의 범위 내에 속하는 변형물, 치환물, 균등물이 있다. 본 발명이 램 리서치 플라즈마 처리 시스템 (예를 들어, ExelanTM, ExelanTM HP, ExelanTM HPT, 2300TM, VersysTM Star 등) 과 연관되어 설명되었지만, 다른 플라즈마 처리 시스템이 사용될 수도 있다. 본 발명은 다양한 직경 (예를 들어, 200 mm, 300 mm 등) 의 기판과 함께 사용될 수도 있다. 또한, 산소가 아닌 다른 가스들을 포함하는 포토레지스트 플라즈마 에체트가 사용될 수도 있다. 게다가, 다른 유형의 기판 재료의 에칭은 본 발명과 함께 최적화될 수 있다. 본 발명의 방법을 구현할 수 있는 다른 많은 변형 방법이 있다는 것을 주목해야 한다.

산업상 이용 가능성

[0064] 본 발명의 장점은 플라즈마 처리 시스템 내에서 에칭 내성의 최적화를 포함한다. 부가적인 장점은, 에칭 프로세스 동안 산소 기재의 에체트에 노출되어 생기는 포토레지스트 손상의 최소화, 트렌치 및 비아 파세팅 및 펜싱 (fencing) 의 최소화, 프리코트의 에칭 파라미터로의 사용, 및 기판-대-기판 반복성의 실질적인 유지를 포함한다.

[0065] 예시적인 실시형태와 최상의 방식을 개시하였으나, 이하의 청구항에 의해 정의된 발명의 사상과 요지를 벗어나지 않으면서 변형 및 변화가 개시된 실시형태에 적용될 수도 있다.

도면의 간단한 설명

[0030] 본 발명은 첨부된 도면의 그림에 의하여 범위를 제한할 목적이 아닌, 예시를 위한 목적으로 설명되며, 동일한 참조번호는 동일한 구성요소를 지시한다.

[0031] 도 1은 플라즈마 처리 시스템 구성의 개략도를 도시한다.

[0032] 도 2a 및 도 2b는 예시적인 반도체 IC의 층을 나타내는, 적층막의 이상적인 단면도의 세트를 도시한다.

[0033] 도 3a 내지 도 3c는 포토레지스트 컬럼이 봉괴되어 있는, 예시적인 반도체 IC의 층을 나타내는 적층막의 이상적인 단면도 세트를 도시한다.

[0034] 도 4a 내지 도 4b는 포토레지스트 컬럼이 비틀어져 있는, 예시적인 반도체 IC의 층을 나타내는 적층막 스택의 이상적인 단면도 세트를 도시한다.

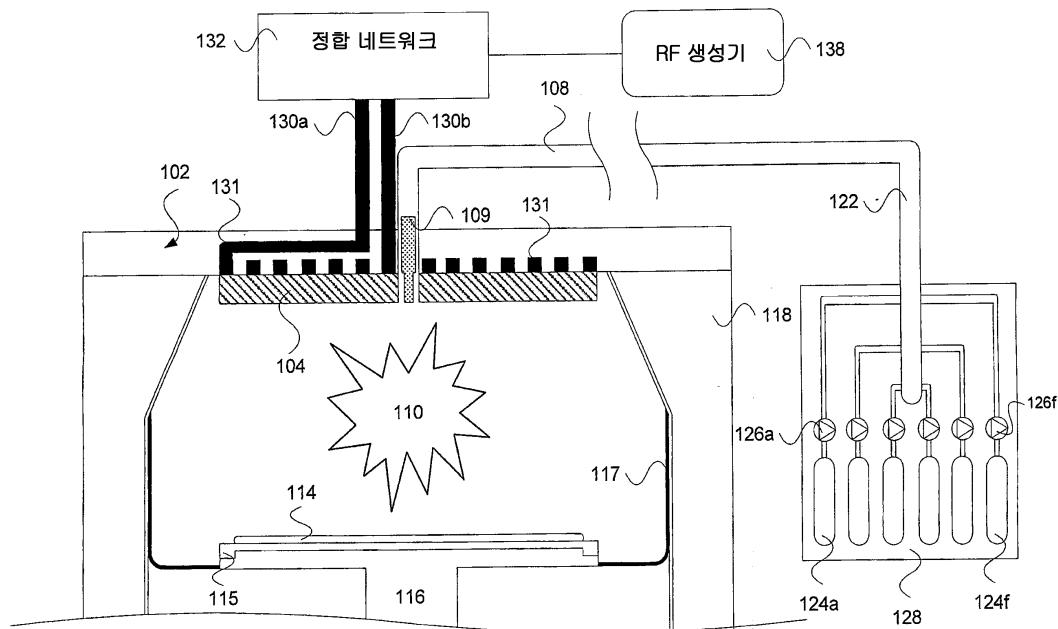
[0035] 도 5는 본 발명의 일 실시형태에 따라서 프리코트가 부과된 플라즈마 처리 시스템의 개략도를 도시한다.

[0036] 도 6a 및 도 6b는 본 발명의 일 실시형태에 따라서 프리코트가 절삭 처리를 최적화하는 적층막의 이상적인 단면도를 도시한다.

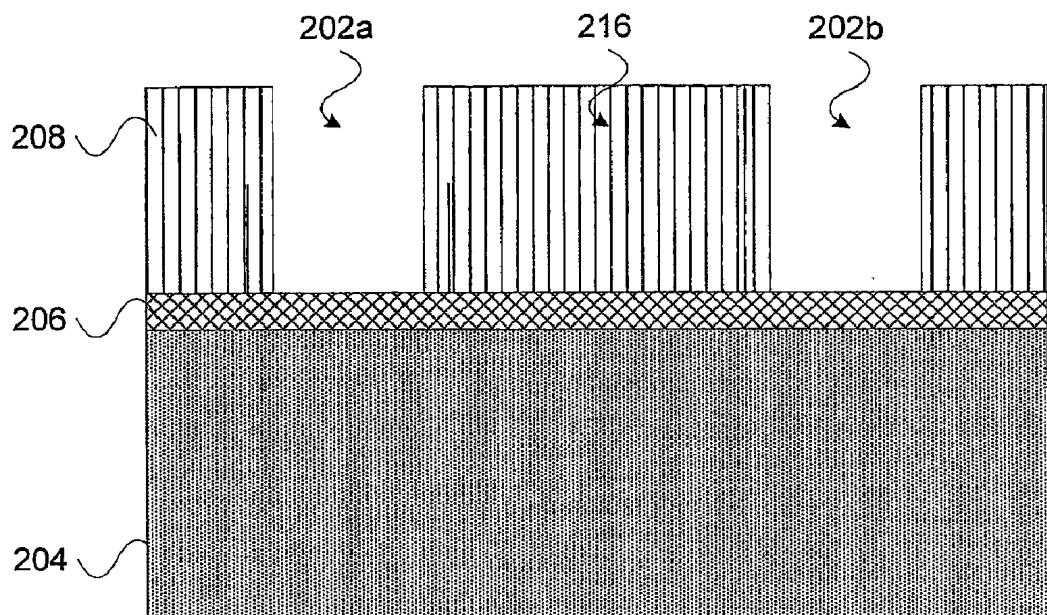
[0037] 도 7은, 본 발명의 일 실시형태에 따라서, 프리코트가 첨가된 플라즈마 처리 시스템 내에서 기판을 에칭하는 개략적인 과정을 도시한다.

도면

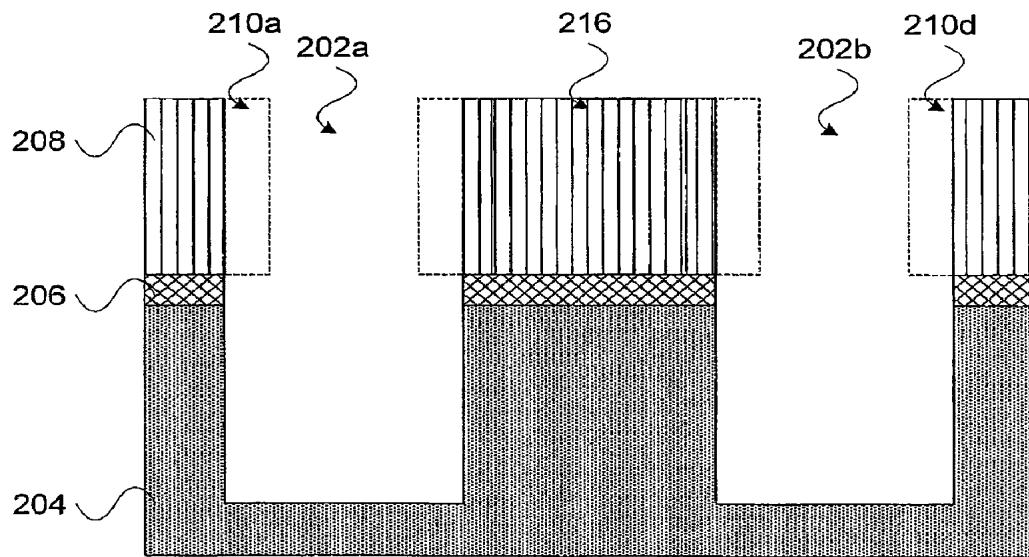
도면1



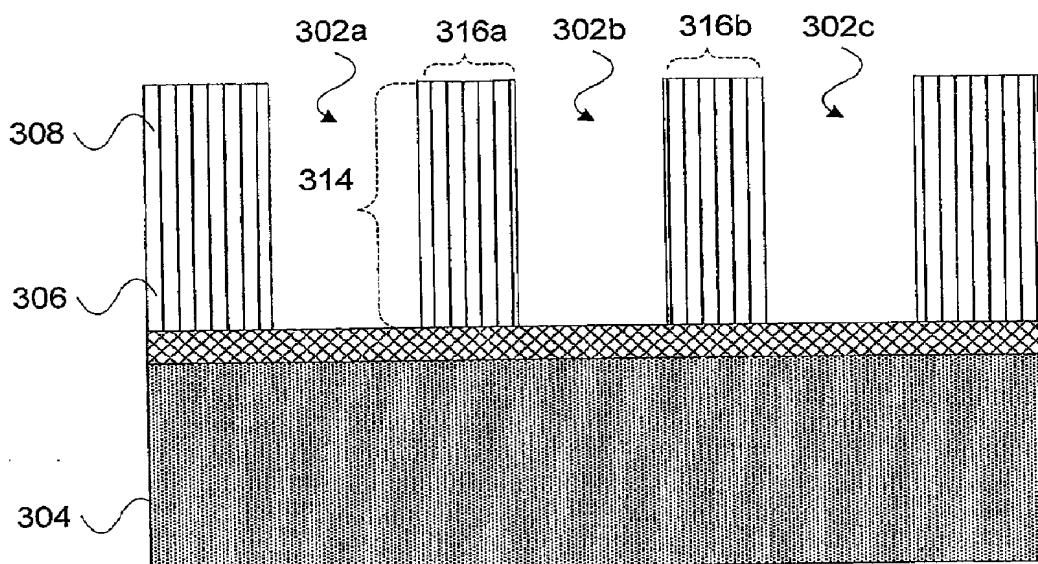
도면2a



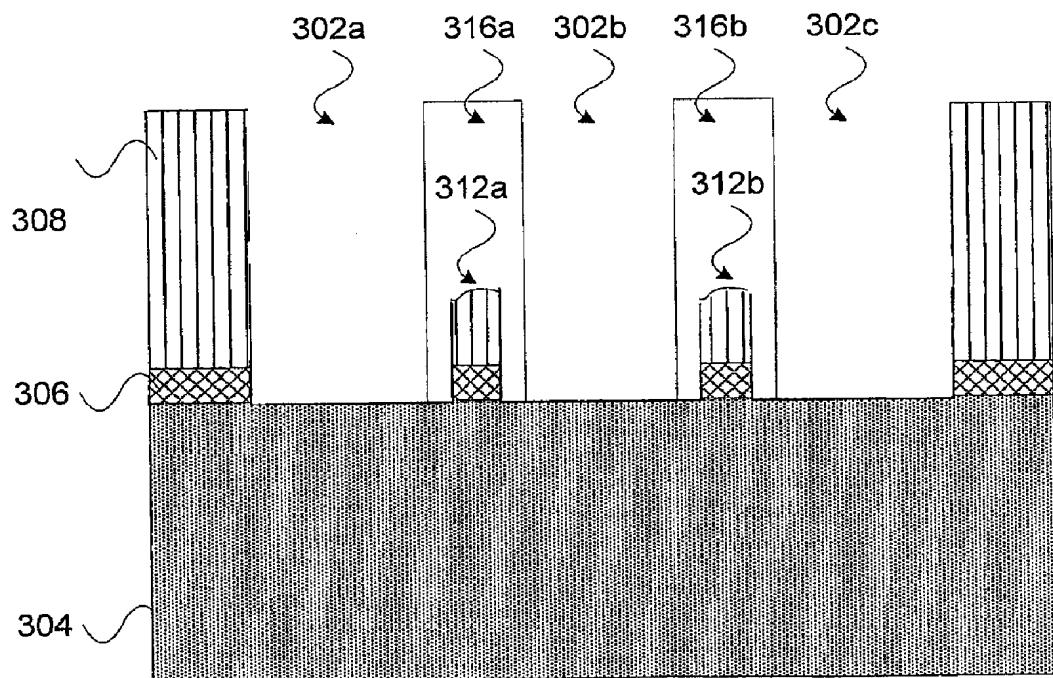
도면2b



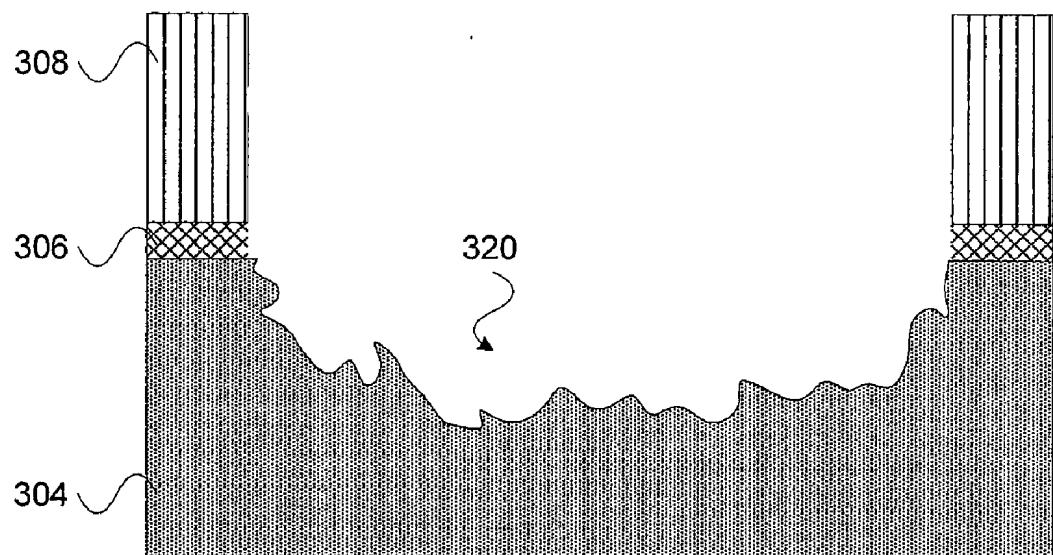
도면3a



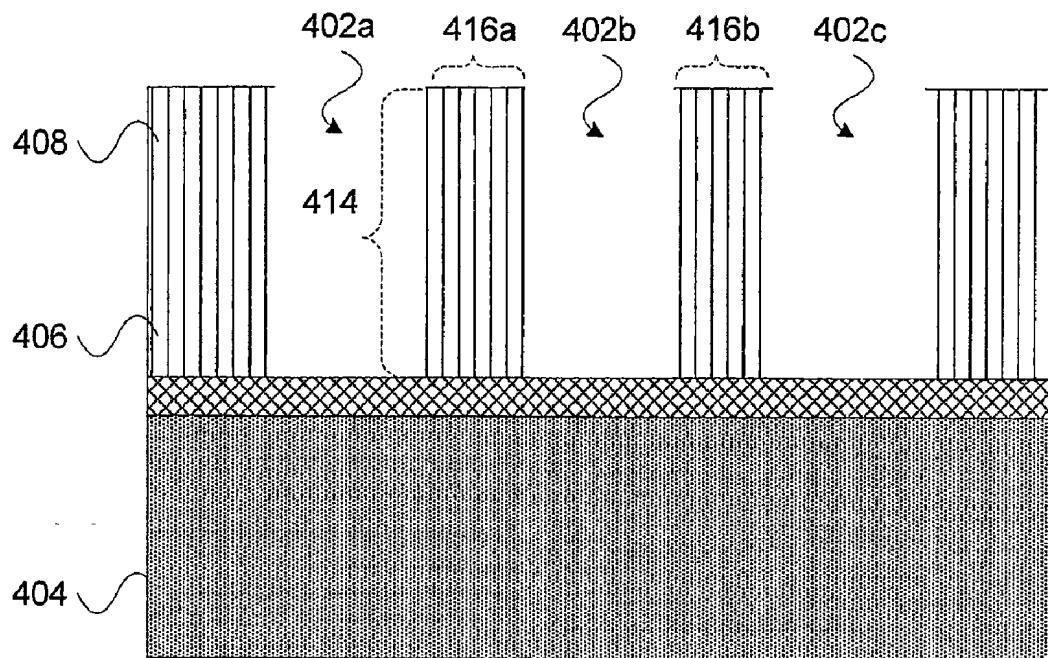
도면3b



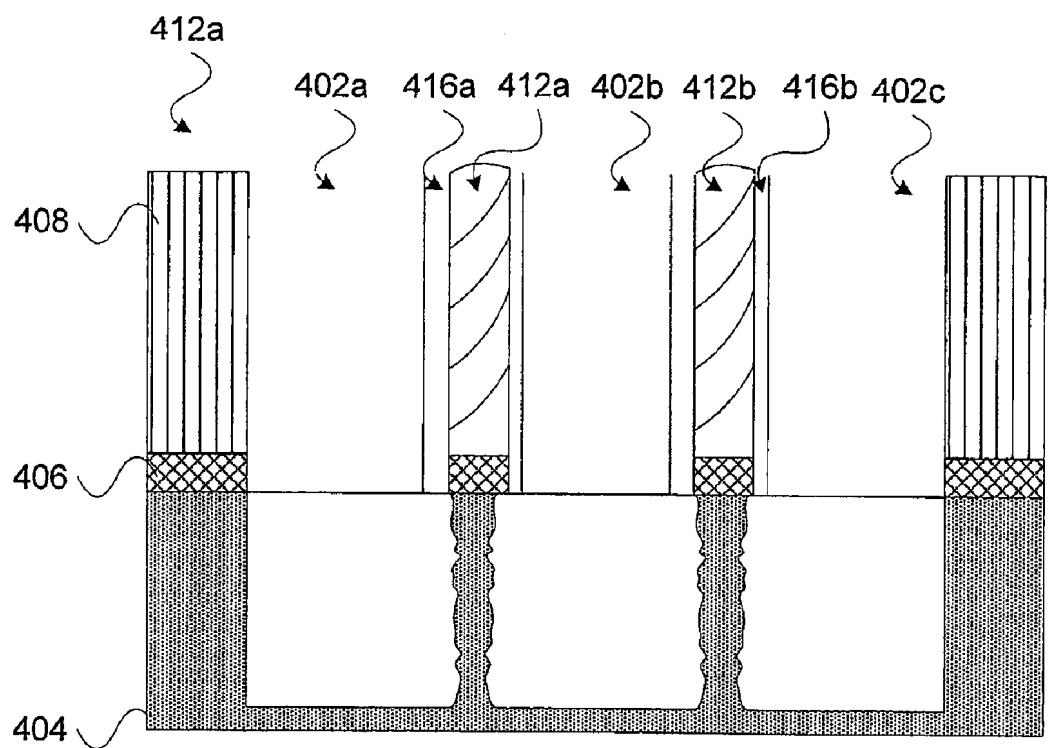
도면3c



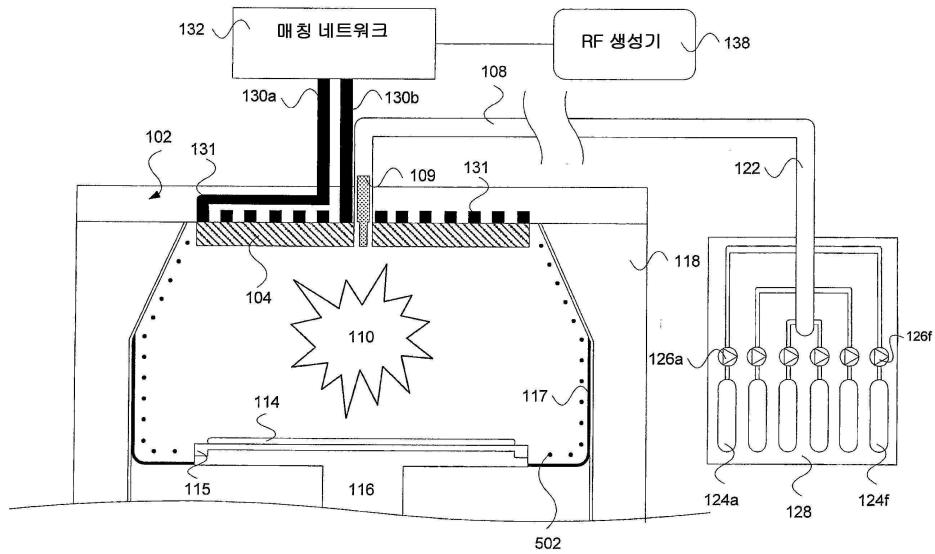
도면4a



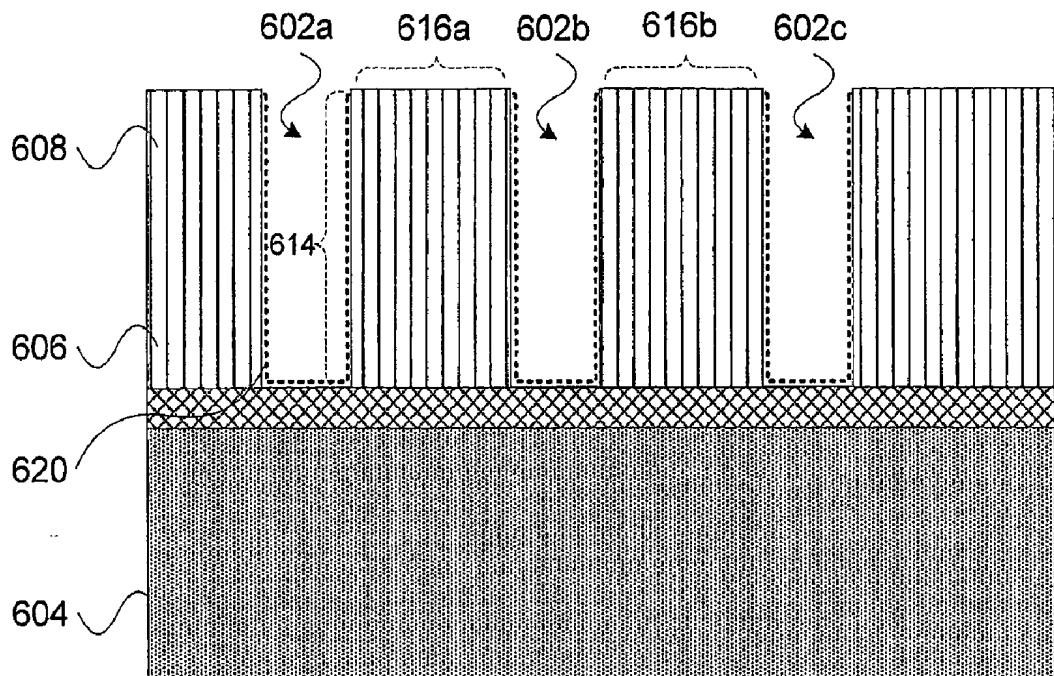
도면4b



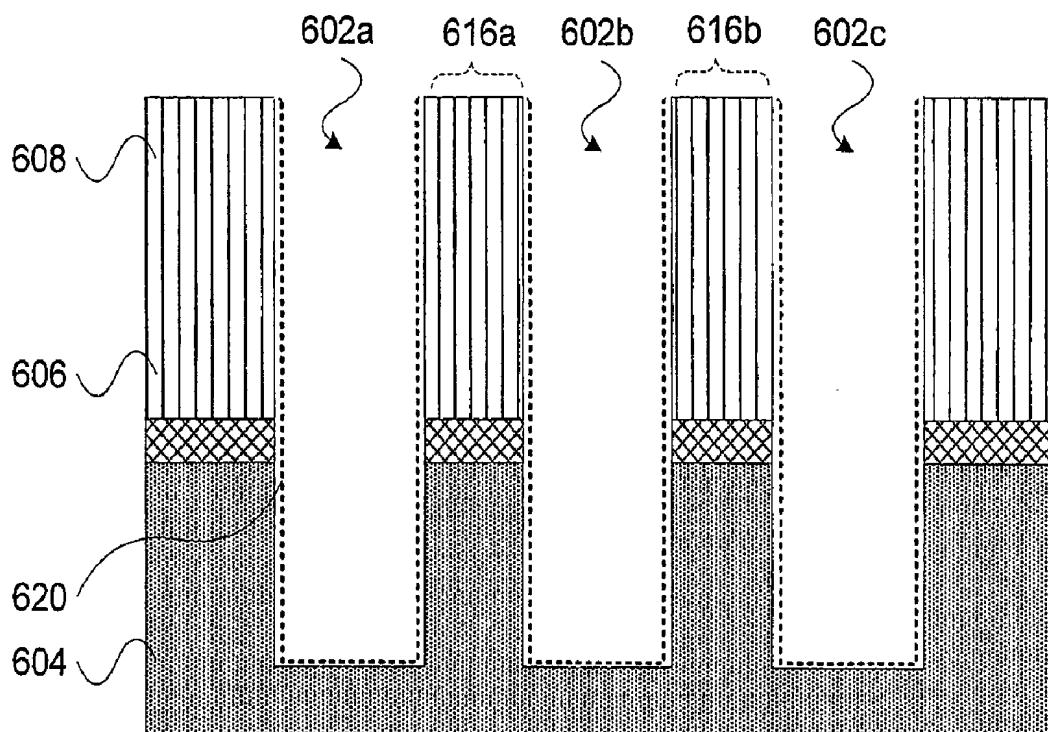
도면5



도면6a



도면6b



도면7

