

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)



(10) 国際公開番号
WO 2014/174672 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2013/062423
- (22) 国際出願日: 2013 年 4 月 26 日(26.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (73) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北 1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)

[JP/JP]; 〒1020073 東京都千代田区九段北 1-1
5-2 九段坂パークビル4F S emicon
Consulting株式会社内 Tokyo
(JP).

(74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内3丁目3番1号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).

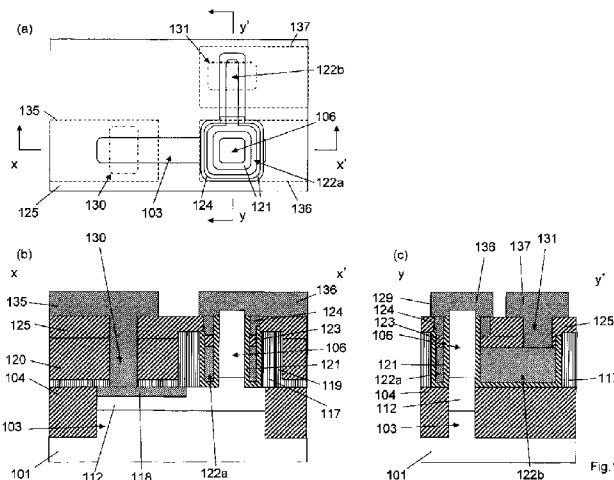
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE PRODUCTION METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び半導体装置



(57) Abstract: The present invention addresses the problem of providing an SGT production method which is a gate-last process and an SGT having a structure causing the upper part of a pillar-shaped semiconductor layer to function as an n-type semiconductor layer or a p-type semiconductor layer based on the work function difference between a metal and a semiconductor. The semiconductor device production method comprises: forming a first insulation film at the periphery of a fin-shaped semiconductor layer and forming a pillar-shaped semiconductor layer on top of the fin-shaped semiconductor layer; fabricating a second insulation film, a polysilicon gate electrode and a polysilicon gate wiring, with the polysilicon gate electrode enveloping the second insulation film; forming a diffusion layer in the upper part of the fin-shaped semiconductor layer and the lower part of the pillar-shaped silicon layer; forming a metal and semiconductor compound in the upper part of the diffusion layer on top of the fin-shaped semiconductor layer; depositing an interlayer insulation film, exposing the polysilicon gate electrode and the polysilicon gate wiring, etching the polysilicon gate electrode and the polysilicon gate wiring, then, depositing a first metal and forming a metal gate electrode and a metal gate wiring; and forming a side wall comprising a third metal on the lateral wall of the upper part of the pillar-shaped semiconductor layer. The side wall comprising the third metal and the upper surface of the pillar-shaped semiconductor layer are connected.

(57) 要約:

[続葉有]

WO 2014/174672 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

ゲートラストプロセスであるSGTの製造方法と、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTとを提供することを課題とする。フィン状半導体層の周囲に第一の絶縁膜を形成し、前記フィン状半導体層の上部に柱状半導体層を形成し、第2の絶縁膜とポリシリコンゲート電極とポリシリコンゲート配線を作成し、ポリシリコンゲート電極は前記第2の絶縁膜を覆い、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成し、前記フィン状半導体層上部の前記拡散層上部に金属と半導体の化合物を形成し、層間絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を露出し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線をエッチング後、第1の金属を堆積し、金属ゲート電極と金属ゲート配線とを形成し、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成し、前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とすることにより上記課題を解決する。

明 細 書

発明の名称：半導体装置の製造方法及び半導体装置

背景技術

[0001] この発明は半導体装置の製造方法及び半導体装置に関するものである。

半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。MOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。この様な問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが柱状半導体層を取り囲む構造のS u r r o u n d i n g G a t e T r a n s i s t o r (S G T) が提案された（例えば、特許文献1、特許文献2、特許文献3）。

[0002] ゲート電極にポリシリコンではなくメタルを用いることにより、空乏化を抑制できかつ、ゲート電極を低抵抗化できる。しかし、メタルゲートを形成した後工程は常にメタルゲートによるメタル汚染を考慮した製造工程にする必要がある。

[0003] また、従来のMOSトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献1)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためS G Tにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。S G Tでは、柱状シリコン層の上部がゲートより高い位置にあるため、メタルゲートラストプロセスを用いるための工夫が必要である。

[0004] メタルゲートラストプロセスでは、ポリシリコンゲートを形成後、イオン

注入により拡散層を形成している。SGTでは、柱状シリコン層上部がポリシリコンゲートに覆われるため工夫が必要である。

[0005] シリコン柱が細くなると、シリコンの密度は 5×10^{22} 個/ cm^3 であるから、シリコン柱内に不純物を存在させることが難しくなってくる。

[0006] 従来のSGTでは、チャネル濃度を 10^{17}cm^{-3} 以下と低不純物濃度とし、ゲート材料の仕事関数を変えることによってしきい値電圧を決定することが提案されている（例えば、特許文献4を参照）。

[0007] 平面型MOSトランジスタにおいて、LDD領域のサイドウォールが低濃度層と同一の導電性を有する多結晶シリコンにより形成され、LDD領域の表面キャリアがその仕事関数差によって誘起され、酸化膜サイドウォールLDD型MOSトランジスタに比してLDD領域のインピーダンスが低減できることが示されている（例えば、特許文献5を参照）。その多結晶シリコンサイドウォールは電氣的にゲート電極と絶縁されていることが示されている。また図中には多結晶シリコンサイドウォールとソース・ドレインとは層間絶縁膜により絶縁していることが示されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平2-71556号公報

特許文献2：特開平2-188966号公報

特許文献3：特開平3-145761号公報

特許文献4：特開2004-356314号公報

特許文献5：特開平11-297984号公報

非特許文献

[0009] 非特許文献1：IEDM2007 K. Mistry et.al, pp 247-250

非特許文献2：IEDM2010 CC. Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

[0010] そこで、本発明は、ゲートラストプロセスであるSGTの製造方法と、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTとを提供することを目的とする。

課題を解決するための手段

[0011] 本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第一の絶縁膜を形成し、前記フィン状半導体層の上部に柱状半導体層を形成する第1工程と、前記第1工程の後、第2の絶縁膜とポリシリコンゲート電極とポリシリコンゲート配線を作成する第3工程と、ここで、前記第2の絶縁膜は前記柱状半導体層の周囲と上部を覆い、ポリシリコンゲート電極は前記第2の絶縁膜を覆うものであり、前記第2工程の後、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第3の工程と、前記第3工程の後、前記フィン状半導体層上部の前記拡散層上部に金属と半導体の化合物を形成する第4工程と、前記第4工程の後、層間絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を露出し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線をエッチング後、第1の金属を堆積し、金属ゲート電極と金属ゲート配線とを形成する第5工程と、前記第5工程の後、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成する第6工程と、を有し、前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする。

[0012] また、前記第1工程は、半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去することにより、前記フィン状半導体層と前記第2のレジストと

が直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成することを特徴とする。

[0013] また、前記第2工程は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層の上部に形成された柱状半導体層と、を有する構造に、第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去することを特徴とする。

[0014] また、前記第4工程は、第2の窒化膜を堆積し、前記第2の窒化膜をエッチングし、サイドウォール状に残存し、第2の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成することを特徴とする。

[0015] また、前記第5工程は、第3の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第2の窒化膜と前記第3の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第2の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第1の金属を埋めこみ、前記第1の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成することを特徴とする。

[0016] また、前記第6工程は、前記柱状半導体層の上部を露出し、前記第3の金属を堆積し、前記第3の金属をエッチングし、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成することを特徴とする。

[0017] また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体

層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された柱状半導体層と、前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された拡散層と、前記フィン状半導体層の上部の拡散層の上部に形成された金属と半導体の化合物と、前記柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属ゲート電極と、前記金属ゲート電極に接続された金属ゲート配線と、前記柱状半導体層上部側壁に形成された第3の金属からなるサイドウォールと、を有し、前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする。

[0018] また、前記柱状半導体層の幅は、前記フィン状半導体層の短い方の幅と同じであることを特徴とする。

[0019] また、前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする。

[0020] また、前記半導体層は、シリコン層であることを特徴とする。

[0021] また、前記拡散層がn型拡散層であって、前記第3の金属の仕事関数は、 4.0 eV から 4.2 eV の間であることを特徴とする。

[0022] また、前記拡散層がp型拡散層であって、前記第3の金属の仕事関数は、 5.0 eV から 5.2 eV の間であることを特徴とする。

[0023] また、前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする。

発明の効果

[0024] 本発明によれば、ゲートラストプロセスであるSGTの製造方法と、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTとを提供することができる。

[0025] メタルゲートラストプロセスをSGTに適用しようとする、柱状半導体層上部がポリシリコンゲートに覆われるため、柱状半導体層上部に拡散層を形成することが難しい。従って、ポリシリコンゲート形成前に柱状半導体層

上部に拡散層を形成することとなる。一方、本発明では、柱状半導体層上部に拡散層を形成せず、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させることができる。従って、柱状半導体層上部に拡散層を形成する工程を削減することができる。

図面の簡単な説明

[0026] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図3] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図4] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図5] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図6] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図7] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図8] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

の断面図である。

[図9] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図10] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図11] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図32] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図33] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図34] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図35] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図36] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線

での断面図である。

[図37] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図38] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図39] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図40] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

発明を実施するための形態

[0027] 以下に、本発明の実施形態に係る SGT の構造を形成するための製造工程を、図2～図40を参照して説明する。

[0028] まず、半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成する第1工程を示す。本実施例では、半導体基板の材料としてシリコンを用いたが、シリコン以外の半導体材料を使用することもできる。

[0029] 図2に示すように、シリコン基板101上にフィン状シリコン層を形成するための第1のレジスト102を形成する。

- [0030] 図3に示すように、シリコン基板101をエッチングし、フィン状シリコン層103を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、マスクとしては、酸化膜や窒化膜といったハードマスクを用いてもよい。
- [0031] 図4に示すように、第1のレジスト102を除去する。
- [0032] 図5に示すように、フィン状シリコン層103の周囲に第1の絶縁膜104を堆積する。第1の絶縁膜としては、高密度プラズマによる酸化膜や低圧化学気相堆積による酸化膜を用いてもよい。
- [0033] 図6に示すように、第1の絶縁膜104をエッチバックし、フィン状シリコン層103の上部を露出する。
- [0034] 図7に示すように、フィン状シリコン層103に直交するように第2のレジスト105を形成する。フィン状シリコン層103とレジスト105とが直交する部分が柱状シリコン層となる部分である。ライン状のレジストを用いることができるため、パターン後にレジストが倒れる可能性が低く、安定したプロセスとなる。
- [0035] 図8に示すように、フィン状シリコン層103をエッチングする。フィン状シリコン層103と第2のレジスト105とが直交する部分が柱状シリコン層106となる。従って、柱状シリコン層106の幅は、フィン状シリコン層の幅と同じとなる。フィン状シリコン層103の上部に柱状シリコン層106が形成され、フィン状シリコン層103の周囲には第1の絶縁膜104が形成された構造となる。
- [0036] 図9に示すように、第2のレジスト105を除去する。
- [0037] 以上により、半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去

することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成する第1工程が示された。

[0038] 次に、第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去する第2工程を示す。

[0039] 図10に示すように、第2の絶縁膜113を形成し、ポリシリコン114を堆積し、平坦化する。平坦化後のポリシリコンの上面は、柱状シリコン層106上部の第2の絶縁膜113より高い位置とする。これにより、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲート電極及びポリシリコンゲート配線を露出したとき、化学機械研磨により柱状シリコン層上部が露出しないようになる。第2の絶縁膜としては、堆積による酸化膜もしくは熱酸化膜が好ましい。また、第1の窒化膜115を堆積する。この第1の窒化膜115は、シリサイドをフィン状シリコン層上部に形成するとき、ポリシリコンゲート電極及びポリシリコンゲート配線上部にシリサイドが形成されることを阻害する膜である。

[0040] 図11に示すように、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジスト116を形成する。フィン状シリコン層103に対してゲート配線となる部分が直交することが望ましい。ゲート配線と基板間の寄生容量が低減するためである。

[0041] 図12に示すように、第1の窒化膜115をエッチングする。

[0042] 図13に示すように、ポリシリコン114をエッチングし、ポリシリコンゲート電極114a及びポリシリコンゲート配線114bを形成する。

- [0043] 図 1 4 に示すように、第 2 の絶縁膜 1 1 3 をエッチングする。
- [0044] 図 1 5 に示すように、第 3 のレジスト 1 1 6 を除去する。
- [0045] 以上により、第 2 の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第 2 の絶縁膜より高い位置になるように平坦化し、第 1 の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第 3 のレジストを形成し、前記第 1 の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第 2 の絶縁膜をエッチングし、第 3 のレジストを除去する第 2 工程が示された。
- [0046] 次に、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第 3 の工程を示す。
- [0047] 図 1 6 に示すように、nMOS であれば砒素やリン、pMOS であればボロンや BF₂ といった不純物を注入し、熱処理を行うことで、フィン状シリコン層 1 0 3 上部と柱状シリコン層 1 0 6 下部に拡散層 1 1 2 を形成する。このとき、柱状シリコン層 1 0 6 上部はポリシリコンゲート電極により覆われているため、拡散層は形成されない。
- [0048] 以上により、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第 3 工程が示された。
- [0049] 次に、第 2 の窒化膜を堆積し、前記第 2 の窒化膜をエッチングし、サイドウォール状に残存し、第 2 の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成する第 4 工程を示す。
- [0050] 図 1 7 に示すように、第 2 の窒化膜 1 1 7 を堆積する。
- [0051] 図 1 8 に示すように、第 2 の窒化膜 1 1 7 をエッチングし、サイドウォール状に残存させる。
- [0052] 図 1 9 に示すように、ニッケル、コバルトといった第 2 の金属を堆積し、金属と半導体の化合物すなわちシリサイド 1 1 8 をフィン状シリコン層 1 0 3 の上部の拡散層 1 1 2 の上部に形成する。このとき、ポリシリコンゲート

電極 1 1 4 a 及びポリシリコンゲート配線 1 1 4 b は、第 2 の窒化膜 1 1 7、第 1 の窒化膜 1 1 5 に覆われ、柱状シリコン層 1 0 6 上部は、第 2 の絶縁膜 1 1 3 とポリシリコンゲート電極 1 1 4 a 及びポリシリコンゲート配線 1 1 4 b に覆われているので、シリサイドが形成されない。

[0053] 以上により、第 2 の窒化膜を堆積し、前記第 2 の窒化膜をエッチングし、サイドウォール状に残存し、第 2 の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成する第 4 工程が示された。

[0054] 次に、第 3 の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第 2 の窒化膜と前記第 3 の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第 2 の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第 1 の金属を埋めこみ、前記第 1 の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成する第 5 工程を示す。

[0055] 図 2 0 に示すように、シリサイド 1 1 8 を保護するために、第 3 の窒化膜 1 1 9 を堆積する。

[0056] 図 2 1 に示すように、層間絶縁膜 1 2 0 を堆積し、化学機械研磨により平坦化する。

[0057] 図 2 2 に示すように、層間絶縁膜 1 2 0 をエッチバックし、ポリシリコンゲート電極 1 1 4 a 及びポリシリコンゲート配線 1 1 4 b を覆う第 2 の窒化膜 1 1 5 と第 3 の窒化膜 1 1 9 を露出する。

[0058] 図 2 3 に示すように、露出した第 2 の窒化膜 1 1 5 と第 3 の窒化膜 1 1 9 を除去し、ポリシリコンゲート電極 1 1 4 a 及びポリシリコンゲート配線 1 1 4 b を露出する。第 2 の窒化膜 1 1 5 と第 3 の窒化膜 1 1 9 の除去に使用するエッチングは、等方性エッチングもしくはウエットエッチングが望ましい。

[0059] 図 2 4 に示すように、露出したポリシリコンゲート電極 1 1 4 a 及びポリ

シリコンゲート配線 1 1 4 b を除去する。このときのエッチングも、等方性エッチングもしくはウエットエッチングが望ましい。

[0060] 図 2 5 に示すように、第 2 の絶縁膜 1 1 3 を除去する。

[0061] 図 2 6 に示すように、ゲート絶縁膜 1 2 1 と第 1 の金属 1 2 2 を堆積する。ポリシリコンゲート電極 1 1 4 a 及びポリシリコンゲート配線 1 1 4 b があつた部分に第 1 の金属 1 2 2 を埋めこむ。この埋め込みには、原子層堆積を用いることが好ましい。ゲート絶縁膜 1 2 1 としては、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に一般的に用いられるものを使用することができる。第 1 の金属 1 2 2 は、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。このとき、前記第 1 の金属 1 1 2 の仕事関数は 4.2 eV から 5.0 eV の間であると、エンハンスメント型として動作することができる。

[0062] 図 2 7 に示すように、第 1 の金属 1 2 2 をエッチングし、柱状シリコン層 1 0 6 上部のゲート絶縁膜 1 2 1 を露出する。これにより、金属ゲート電極 1 2 2 a、金属ゲート配線 1 2 2 b が形成される。

[0063] 以上により、第 3 の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第 2 の窒化膜と前記第 3 の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第 2 の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があつた部分に第 1 の金属を埋めこみ、前記第 1 の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成する第 5 工程が示された。

[0064] 次に、前記柱状半導体層の上部を露出し、前記第 3 の金属を堆積し、前記第 3 の金属をエッチングし、前記柱状半導体層上部側壁に、第 3 の金属からなるサイドウォールを形成する第 6 工程を示す。

[0065] 図 2 8 に示すように、酸化膜 1 2 3 を堆積する。

[0066] 図 2 9 に示すように、酸化膜 1 2 3 をエッチバックし金属ゲート電極 1 2

2 a 上面に残存させる。このときのエッチングは、等方性エッチングが好ましい。このとき、前記柱状シリコン層 1 0 6 の上部が露出する。

[0067] 図 3 0 に示すように、第 3 の金属 1 2 4 を堆積する。

[0068] 前記第 3 の金属 1 2 4 の仕事関数が 4. 0 e V から 4. 2 e V の間であるとき、n 型シリコンの仕事関数 4. 0 5 e V の近傍であるため、柱状シリコン層 1 0 6 上部は、n 型シリコンとして機能する。このときの第 3 の金属 1 2 4 としては、例えば、タンタルとチタンの化合物 (T a T i) や窒化タンタル (T a N) が好ましい。

[0069] 前記第 3 の金属 1 2 4 の仕事関数が 5. 0 e V から 5. 2 e V の間であるとき、p 型シリコンの仕事関数 5. 1 5 e V の近傍であるため、柱状シリコン層 1 0 6 上部は、p 型シリコンとして機能する。このときの第 3 の金属 1 2 4 としては、例えば、ルテニウム (R u) や窒化チタン (T i N) が好ましい。

[0070] 図 3 1 に示すように、第 3 の金属 1 2 4 をエッチングし、柱状シリコン層 1 0 6 上部側壁に、第 3 の金属 1 2 4 からなるサイドウォールを形成する。ゲート絶縁膜 1 2 1 が柱状シリコン層 1 0 6 側壁に残っている場合には、柱状シリコン層 1 0 6 上部側壁に、絶縁膜 1 2 1 を介して第 3 の金属 1 2 4 からなるサイドウォールが形成されることとなる。

[0071] 以上により、前記柱状半導体層の上部を露出し、前記第 3 の金属を堆積し、前記第 3 の金属をエッチングし、前記柱状半導体層上部側壁に、第 3 の金属からなるサイドウォールを形成する第 6 工程が示された。

[0072] 次に、コンタクト及び金属配線を形成する工程を示す。

[0073] 図 3 2 に示すように、層間絶縁膜 1 2 5 を堆積し、平坦化し、エッチバックし、柱状シリコン層 1 0 6 上面及び第 3 の金属 1 2 4 からなるサイドウォールの上面を露出する。

[0074] 図 3 3 に示すように、金属ゲート配線 1 2 2 b 上、フィン状シリコン層 1 0 3 上にコンタクト孔を形成するための第 4 のレジスト 1 2 6 を形成する。

[0075] 図 3 4 に示すように、層間絶縁膜 1 2 0、1 2 5 と酸化膜 1 2 3 をエッチ

ングし、コンタクト孔 1 2 7、1 2 8 を形成する。

[0076] 図 3 5 に示すように、第 4 のレジスト 1 2 6 を除去する。

[0077] 図 3 6 に示すように、第 3 の窒化膜 1 1 9 をエッチングし、シリサイド 1 1 8 を露出する。

[0078] 図 3 7 に示すように、金属 1 2 9 を堆積する。これにより、コンタクト 1 3 0、1 3 1 が形成される。このとき、第 3 の金属 1 2 4 からなるサイドウォールと前記柱状シリコン層 1 0 6 上面は接続される。従って、柱状シリコン層 1 0 6 上部と、第 3 の金属 1 2 4 からなるサイドウォールには同電位が印加される。柱状シリコン層 1 0 6 上部は、第 3 の金属 1 2 4 とシリコンとの仕事関数差によってキャリアが誘起されることとなる。

[0079] 図 3 8 に示すように、金属配線を形成するための第 5 のレジスト 1 3 2、1 3 3、1 3 4 を形成する。

[0080] 図 3 9 に示すように、金属 1 2 9 をエッチングし、金属配線 1 3 5、1 3 6、1 3 7 を形成する。

[0081] 図 4 0 に示すように、第 5 のレジスト 1 3 2、1 3 3、1 3 4 を除去する。

[0082] 以上により、コンタクト及び金属配線を形成する工程が示された。

[0083] 上記製造方法の結果を図 1 に示す。

[0084] シリコン基板 1 0 1 上に形成されたフィン状シリコン層 1 0 3 と、前記フィン状シリコン層 1 0 3 の周囲に形成された第 1 の絶縁膜 1 0 4 と、前記フィン状シリコン層 1 0 3 上に形成された柱状シリコン層 1 0 6 と、前記フィン状シリコン層 1 0 3 の上部と前記柱状シリコン層 1 0 6 の下部に形成された拡散層 1 1 2 と、前記フィン状シリコン層 1 0 3 の上部の拡散層 1 1 2 の上部に形成された金属と半導体の化合物 1 1 8 と、前記柱状シリコン層 1 0 6 の周囲に形成されたゲート絶縁膜 1 2 1 と、前記ゲート絶縁膜 1 2 1 の周囲に形成された金属ゲート電極 1 2 2 a と、前記金属ゲート電極 1 1 2 a に接続された金属ゲート配線 1 2 2 b と、前記柱状シリコン層 1 0 6 上部側壁に形成された第 3 の金属 1 2 4 からなるサイドウォールと、を有し、前記第

3の金属124からなるサイドウォールと前記柱状シリコン層106上面は接続されていることを特徴とする。

[0085] 柱状シリコン層106上部に拡散層を形成せず、柱状シリコン層106上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させることができる。従って、柱状シリコン層106上部に拡散層を形成する工程を削減することができる。

[0086] また、柱状シリコン層上部に拡散層を形成しないので、シリコン柱が細くなると、シリコンの密度は 5×10^{22} 個/cm³であるから、シリコン柱内に不純物を存在させることが難しくなってくる問題を回避することができる。

[0087] 以上により、本発明の実施形態に係るSGTの構造を形成するための製造工程及び構造が示された。

[0088] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

符号の説明

- [0089] 101. シリコン基板
102. 第1のレジスト
103. フィン状シリコン層
104. 第1の絶縁膜
105. 第2のレジスト
106. 柱状シリコン層
112. 拡散層
113. 第2の絶縁膜
114. ポリシリコン
114a. ポリシリコンゲート電極
114b. ポリシリコンゲート配線
115. 第1の窒化膜

- 1 1 6. 第3のレジスト
- 1 1 7. 第2の窒化膜
- 1 1 8. シリサイド
- 1 1 9. 第3の窒化膜
- 1 2 0. 層間絶縁膜
- 1 2 1. ゲート絶縁膜
- 1 2 2. 第1の金属
- 1 2 2 a. 金属ゲート電極
- 1 2 2 b. 金属ゲート配線
- 1 2 3. 酸化膜
- 1 2 4. 第3の金属
- 1 2 5. 層間絶縁膜
- 1 2 6. 第4のレジスト
- 1 2 7. コンタクト孔
- 1 2 8. コンタクト孔
- 1 2 9. 金属
- 1 3 0. コンタクト
- 1 3 1. コンタクト
- 1 3 2. 第5のレジスト
- 1 3 3. 第5のレジスト
- 1 3 4. 第5のレジスト
- 1 3 5. 金属配線
- 1 3 6. 金属配線
- 1 3 7. 金属配線

請求の範囲

- [請求項1] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成し、前記フィン状半導体層の上部に柱状半導体層を形成する第1工程と、
- 前記第1工程の後に、第2の絶縁膜とポリシリコンゲート電極とポリシリコンゲート配線を作成する第3工程と、ここで、前記第2の絶縁膜は前記柱状半導体層の周囲と上部を覆い、ポリシリコンゲート電極は前記第2の絶縁膜を覆うものであり、
- 前記第2工程の後に、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第3工程と、
- 前記第3工程の後に、前記フィン状半導体層上部の前記拡散層上部に金属と半導体の化合物を形成する第4工程と、
- 前記第4工程の後に、層間絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を露出し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線をエッチング後、第1の金属を堆積し、金属ゲート電極と金属ゲート配線とを形成する第5工程と、
- 前記第5工程の後に、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成する第6工程と、を有し、
- 前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする半導体装置の製造方法。
- [請求項2] 前記拡散層がn型拡散層であって、前記第3の金属の仕事関数は、
4.0 eVから4.2 eVの間であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記拡散層がp型拡散層であって、前記第3の金属の仕事関数は、
5.0 eVから5.2 eVの間であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記第1工程は、

半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、

前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成する、

ことを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置の製造方法。

[請求項5]

前記第2工程は、

半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層の上部に形成された柱状半導体層と、を有する構造に対し、

第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去する、

ことを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置の製造方法。

[請求項6]

前記第4工程は、

第2の窒化膜を堆積し、前記第2の窒化膜をエッチングし、サイドウォール状に残存し、第2の金属を堆積し、金属と半導体の化合物を

フィン状半導体層の上部の拡散層の上部に形成する、

ことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置の製造方法。

[請求項7]

前記第 5 工程は、

第 3 の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第 2 の窒化膜と前記第 3 の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第 2 の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第 1 の金属を埋めこみ、前記第 1 の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成する、

ことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

[請求項8]

前記第 6 工程は、

前記柱状半導体層の上部を露出し、前記第 3 の金属を堆積し、前記第 3 の金属をエッチングし、前記柱状半導体層上部側壁に、第 3 の金属からなるサイドウォールを形成することを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置の製造方法。

[請求項9]

半導体基板上に形成されたフィン状半導体層と、

前記フィン状半導体層の周囲に形成された第 1 の絶縁膜と、

前記フィン状半導体層上に形成された柱状半導体層と、

前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された拡散層と、

前記フィン状半導体層の上部の拡散層の上部に形成された金属と半導体の化合物と、

前記柱状半導体層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属ゲート電極と、

前記金属ゲート電極に接続された金属ゲート配線と、
前記柱状半導体層上部側壁に形成された第3の金属からなるサイドウォールと、を有し、
前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする半導体装置。

[請求項10] 前記柱状半導体層の幅は、前記フィン状半導体層の短い方の幅と同じであることを特徴とする請求項9に記載の半導体装置。

[請求項11] 前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする請求項9又は10に記載の半導体装置。

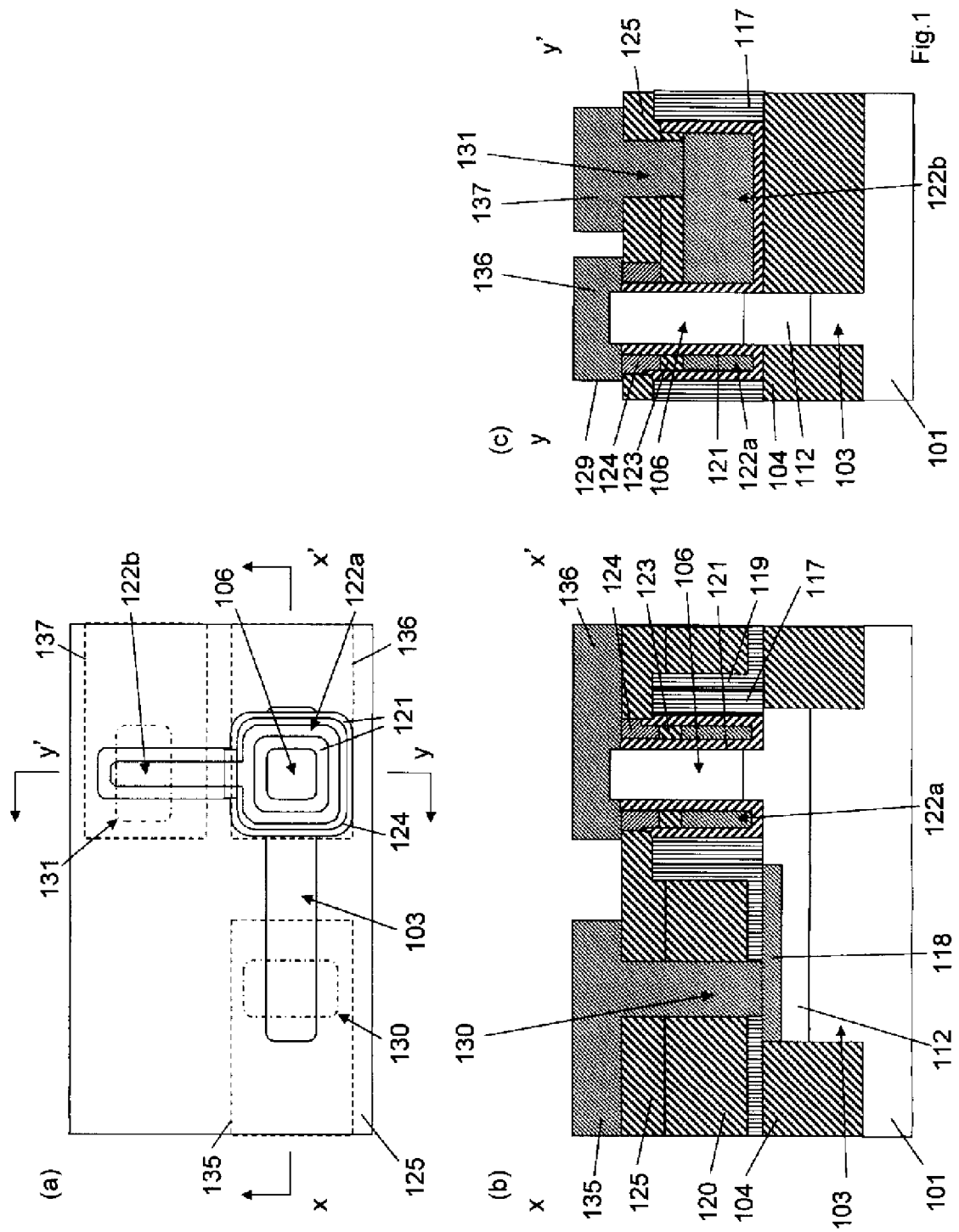
[請求項12] 前記半導体層は、シリコン層であることを特徴とする請求項9乃至11のいずれか一項に記載の半導体装置。

[請求項13] 前記拡散層がn型拡散層であって、前記第3の金属の仕事関数は、 4.0 eV から 4.2 eV の間であることを特徴とする請求項9乃至12のいずれか一項に記載の半導体装置。

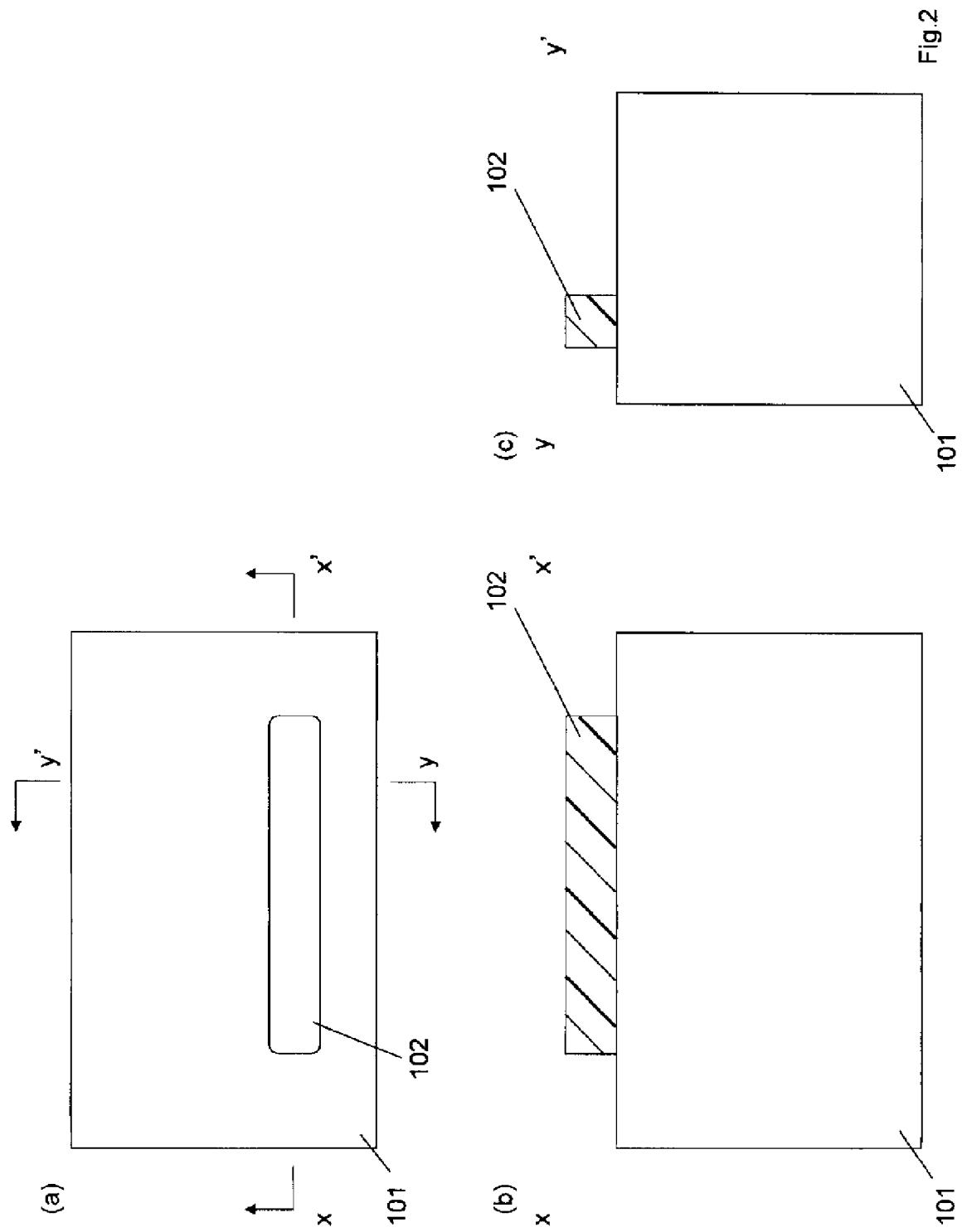
[請求項14] 前記拡散層がp型拡散層であって、前記第3の金属の仕事関数は、 5.0 eV から 5.2 eV の間であることを特徴とする請求項9乃至12のいずれか一項に記載の半導体装置。

[請求項15] 前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする請求項9乃至14のいずれか一項に記載の半導体装置。

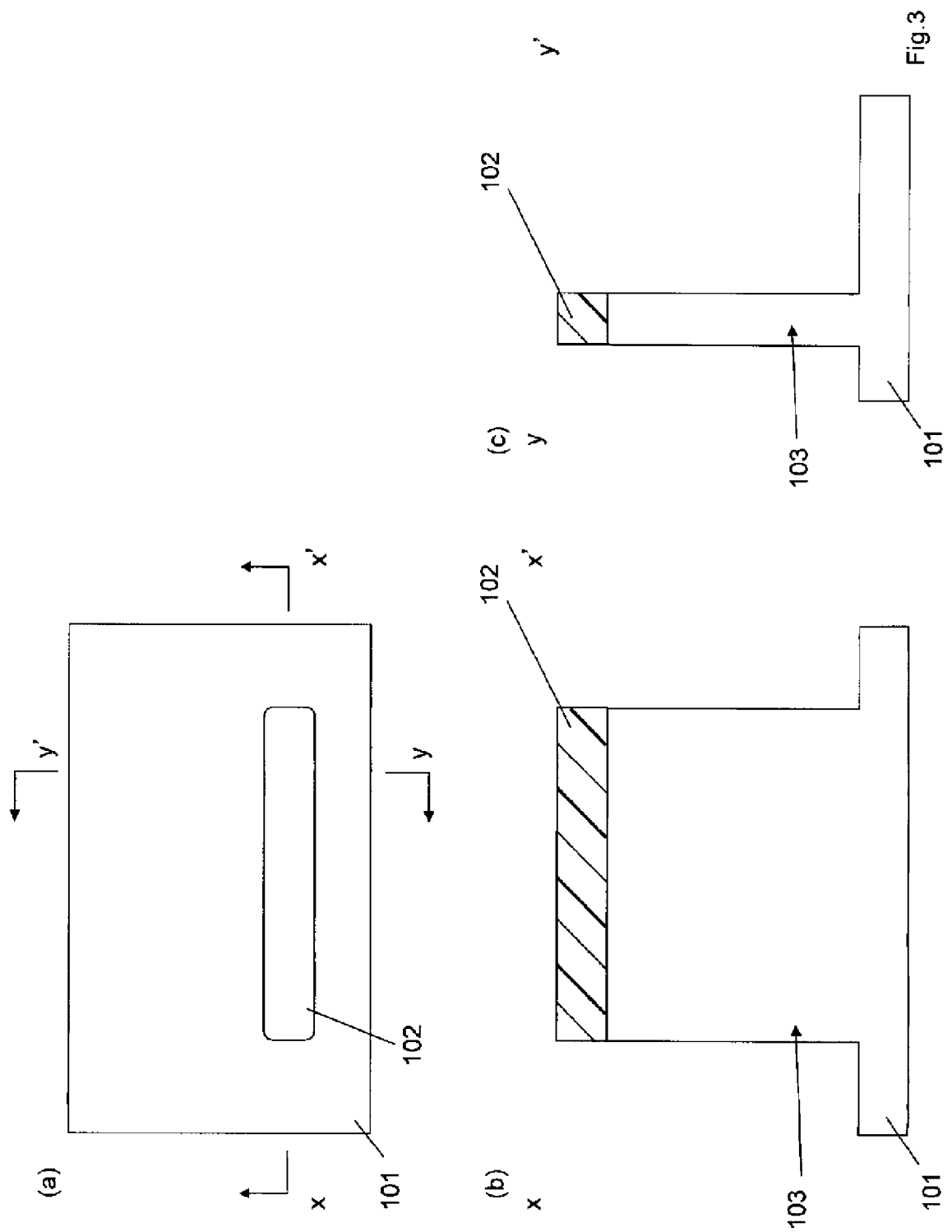
[図1]



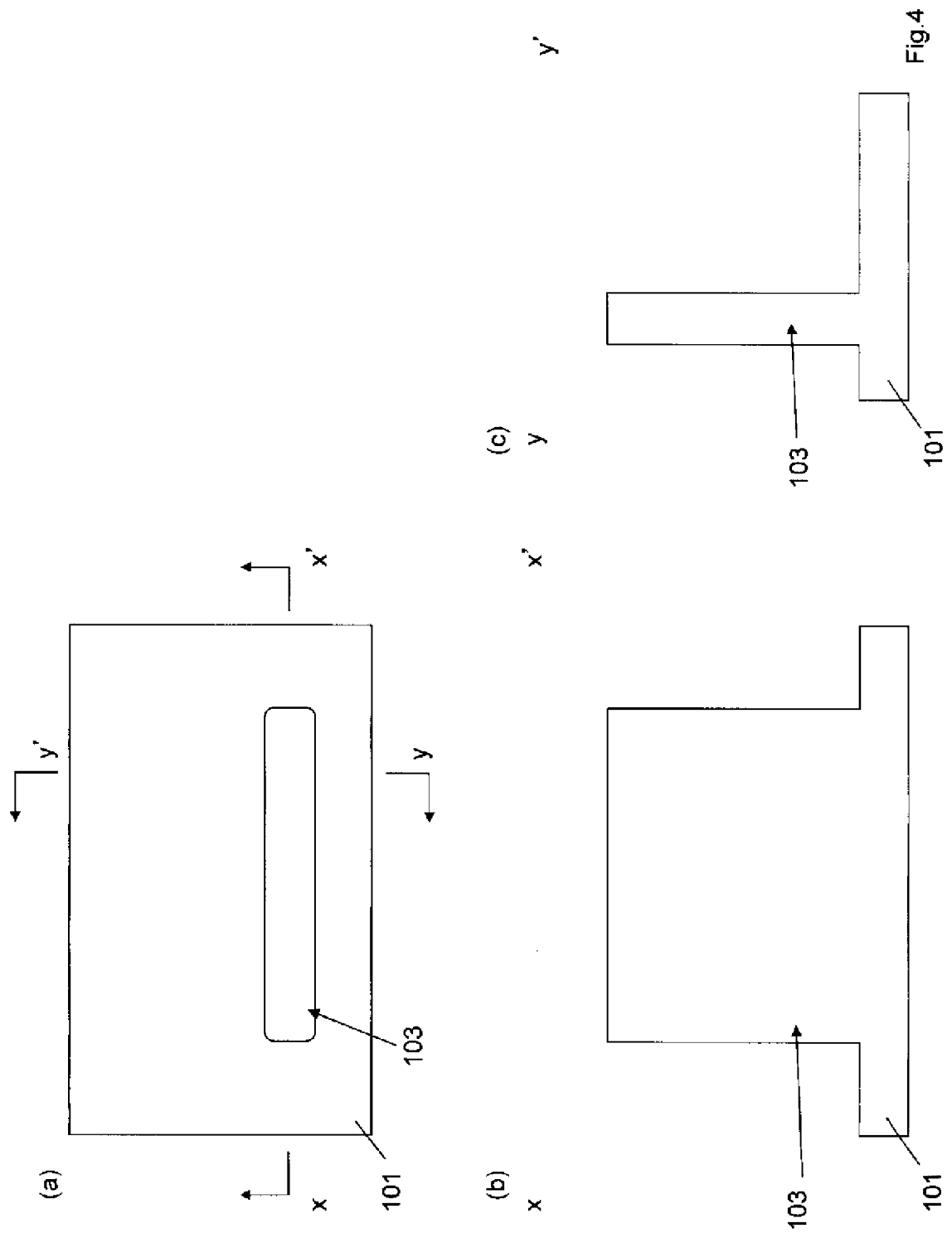
[図2]



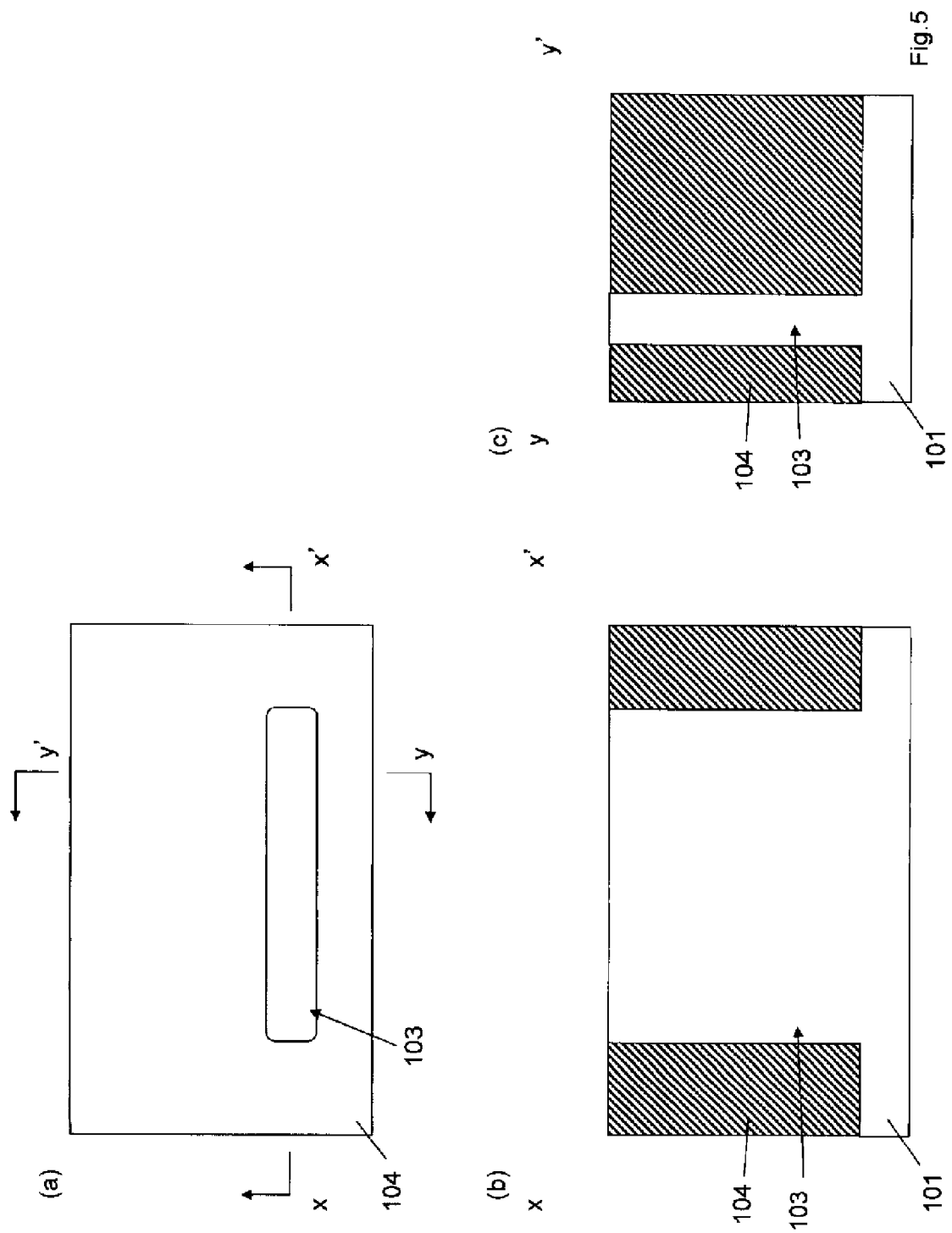
[図3]



[図4]



[図5]



[図6]

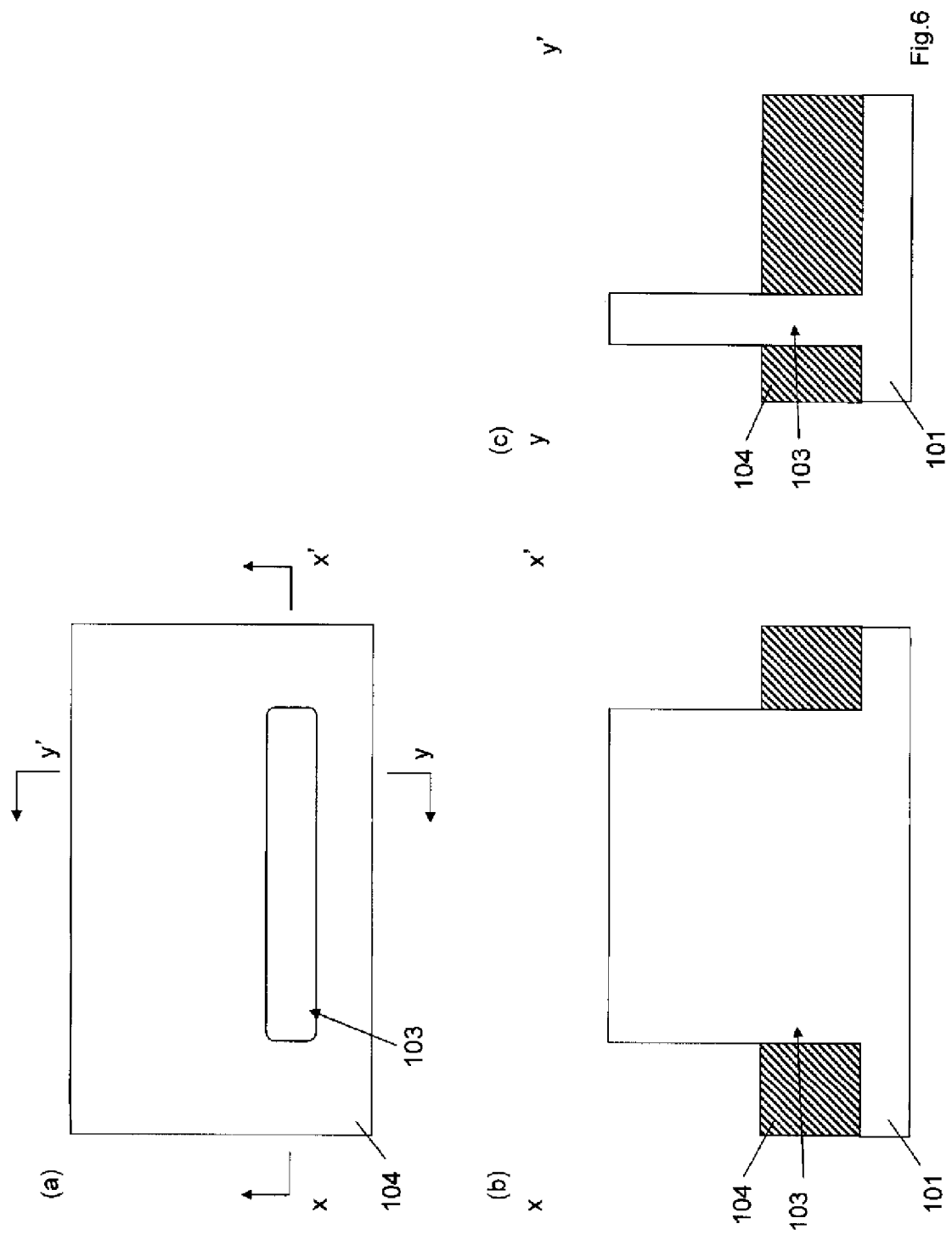


Fig.6

[図8]

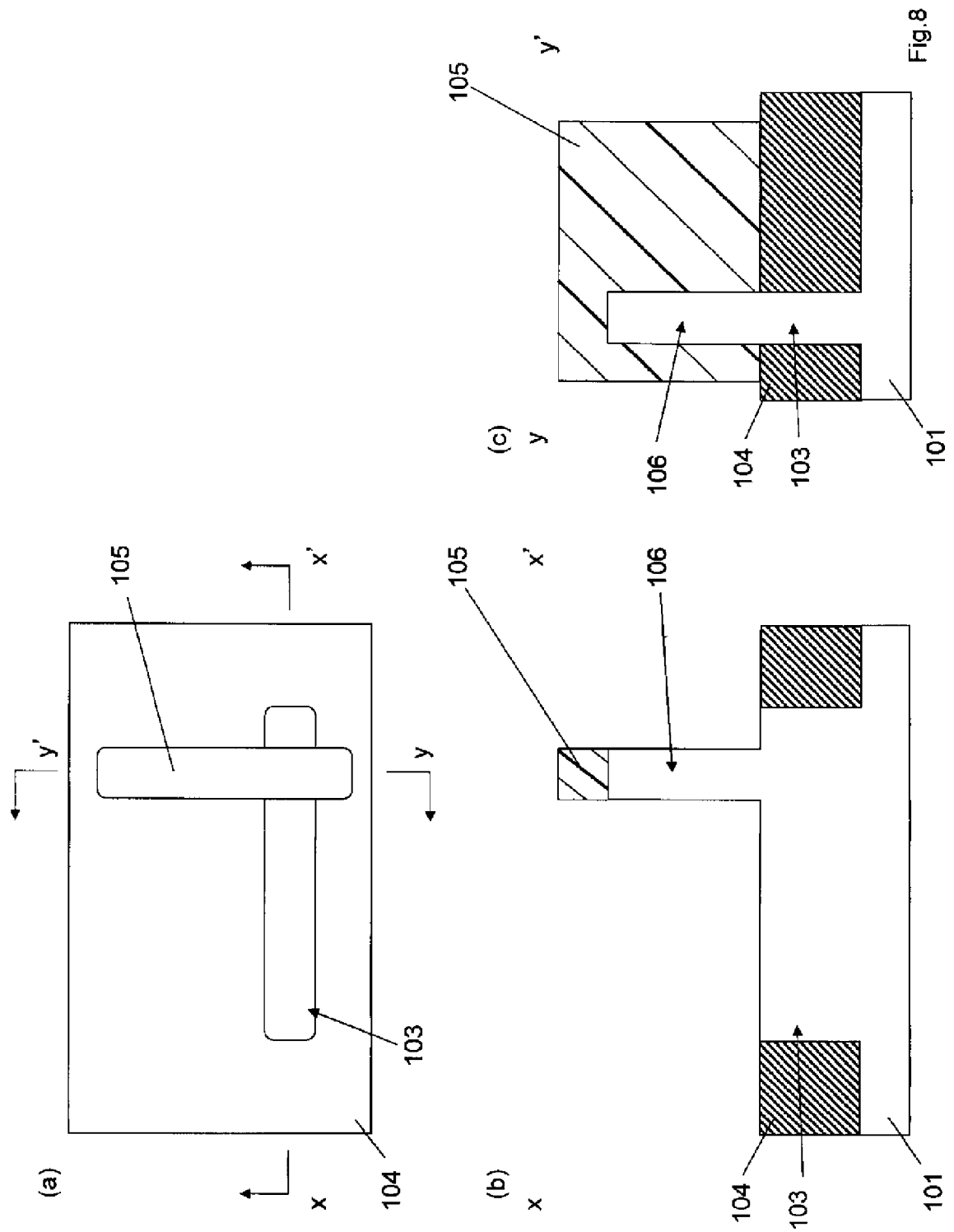
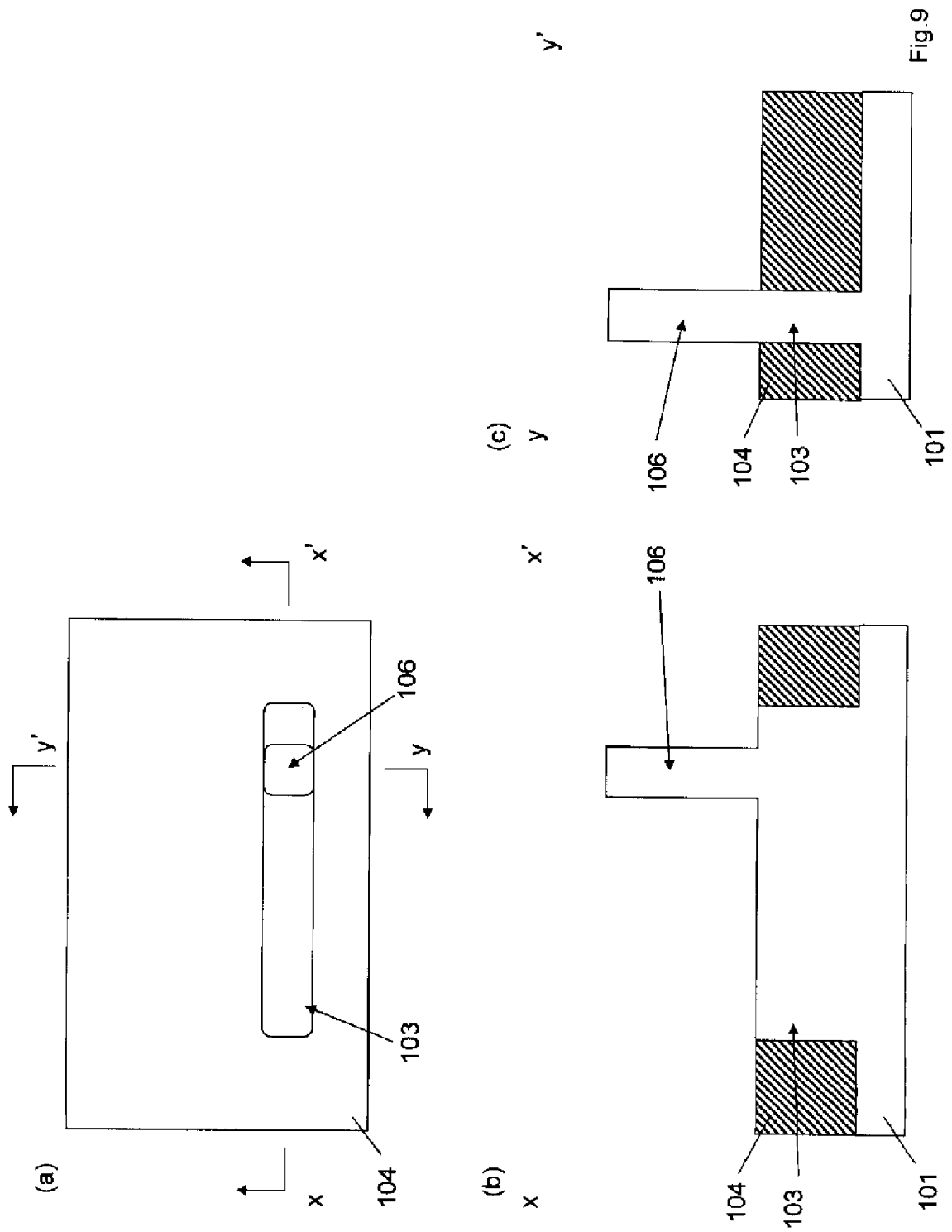


Fig.8

[図9]



[図10]

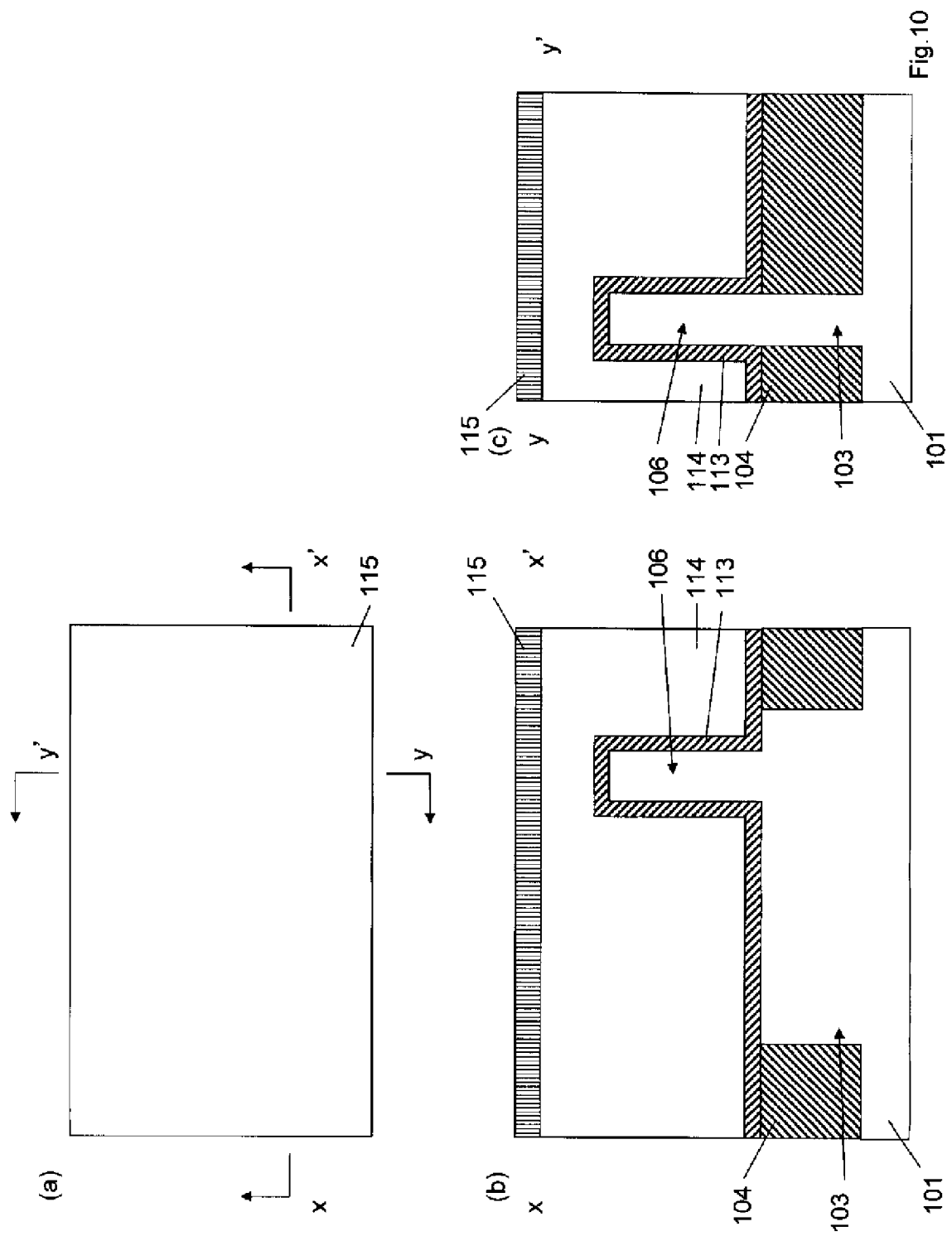
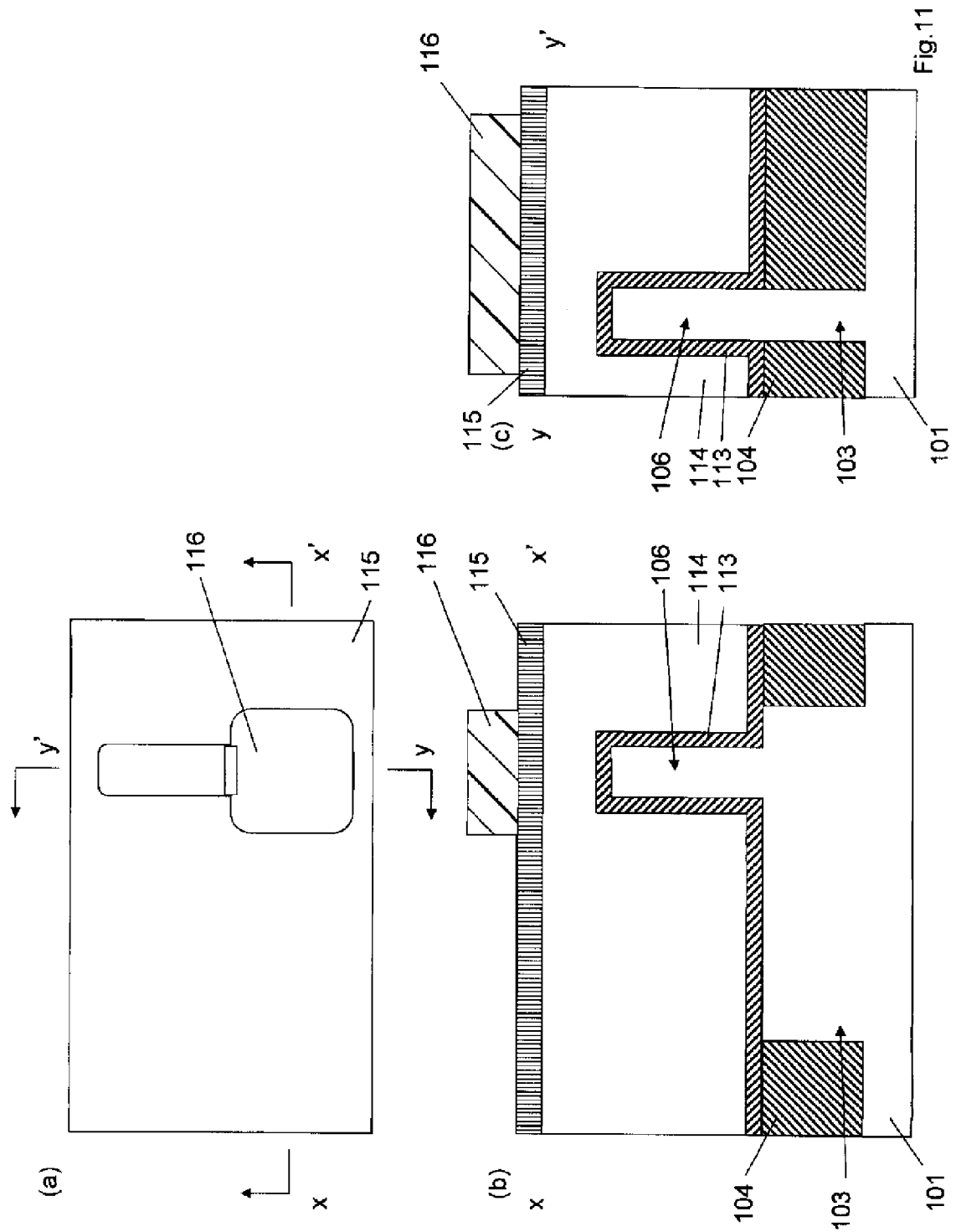


Fig.10

[図11]



[図12]

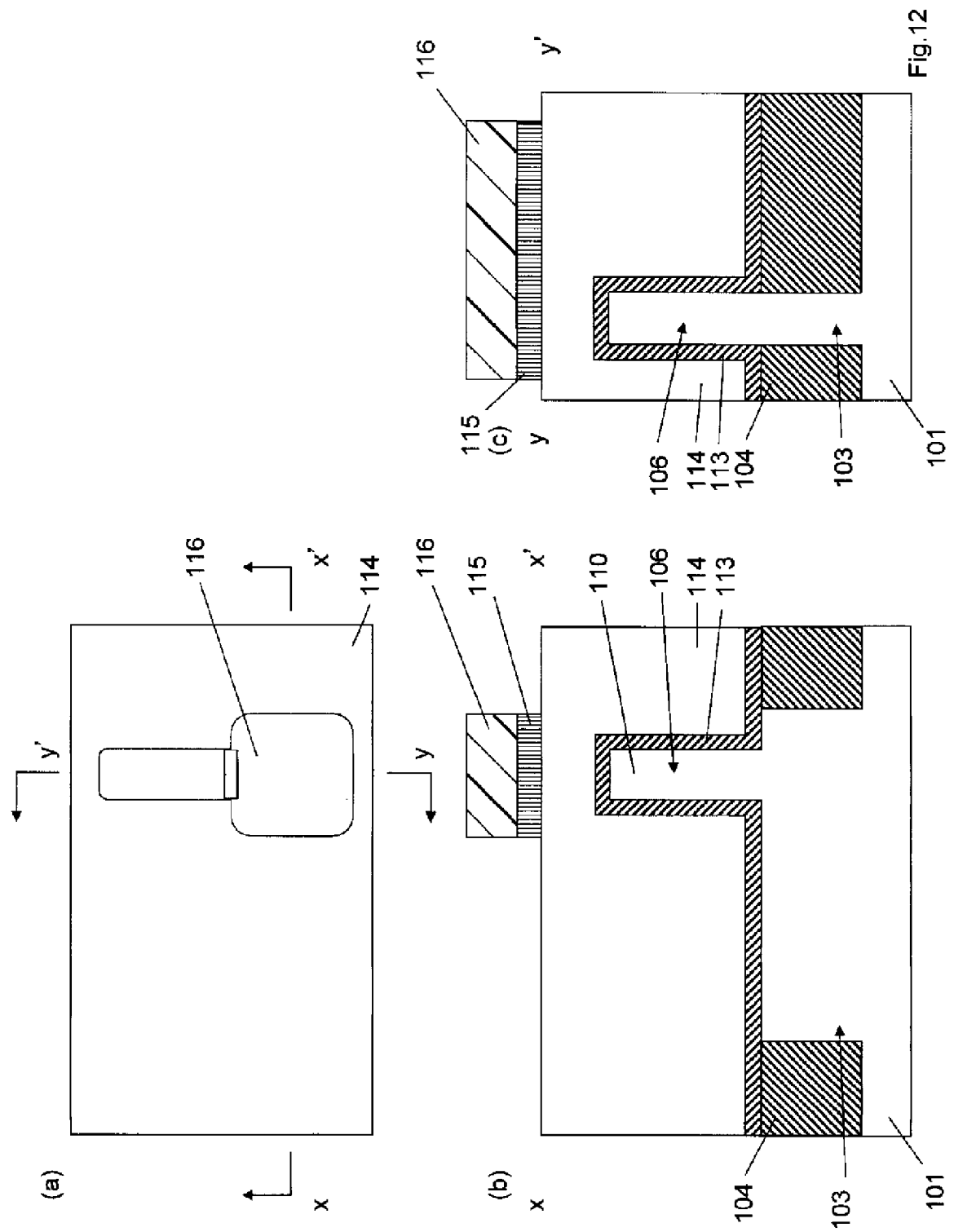
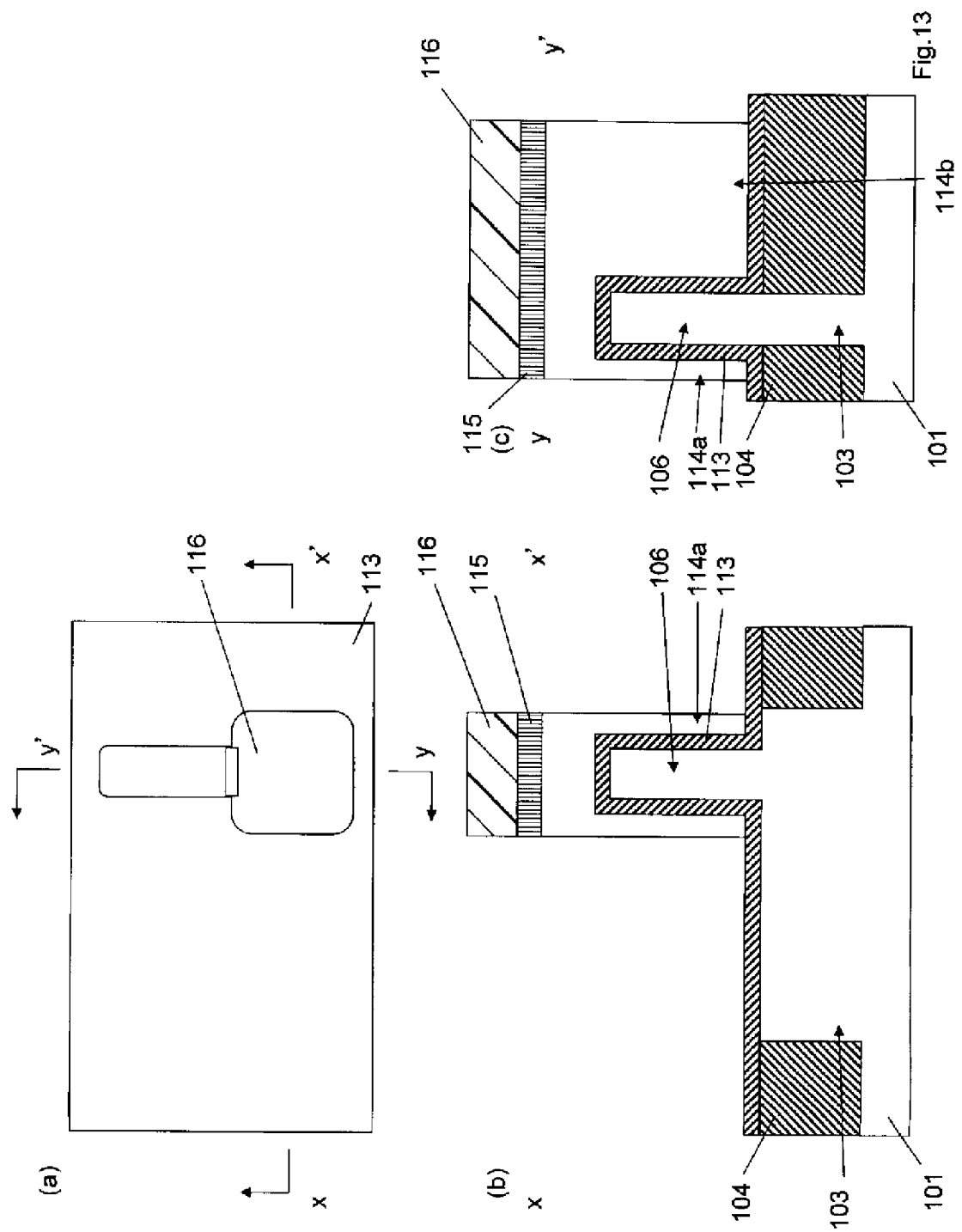
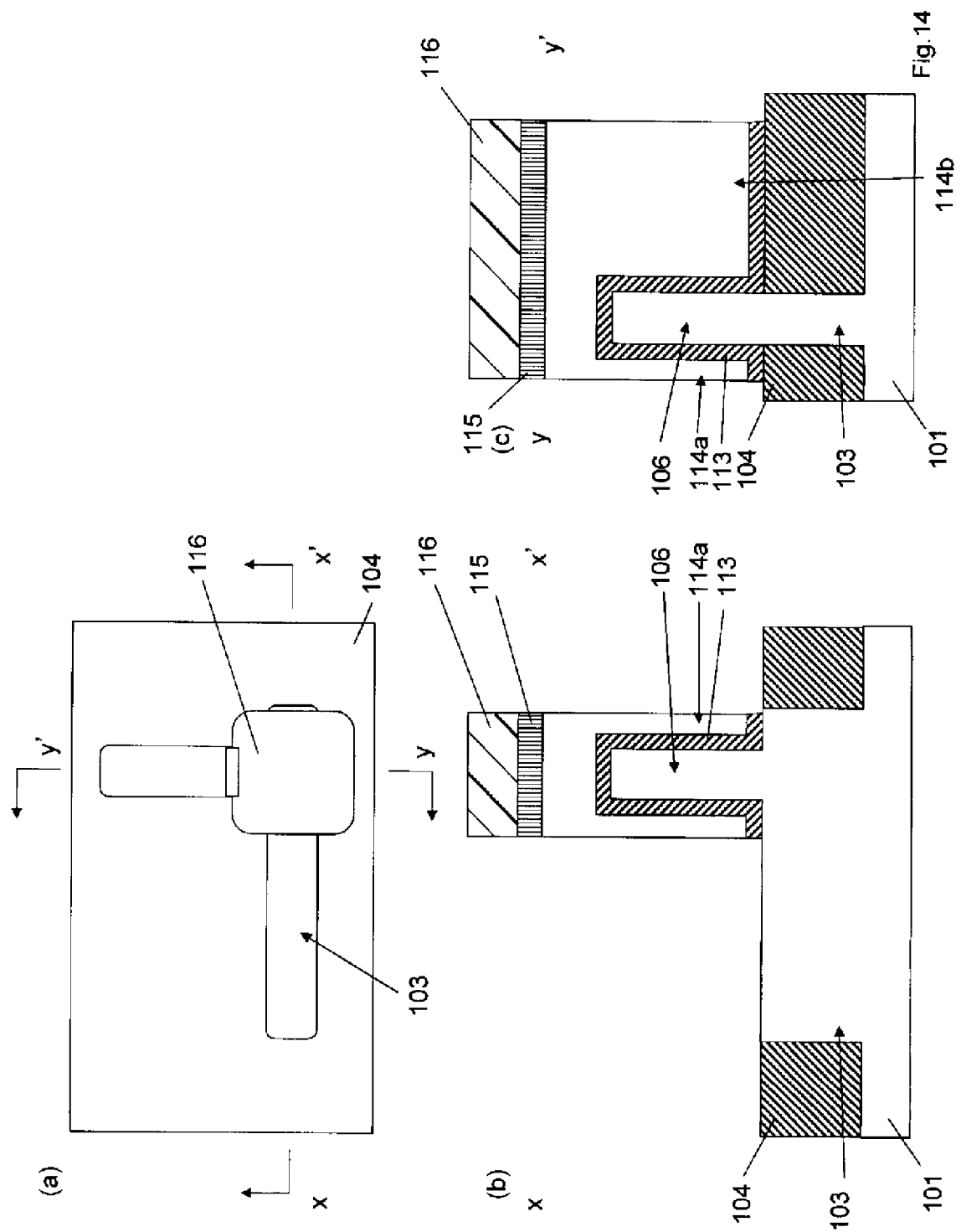


Fig. 12

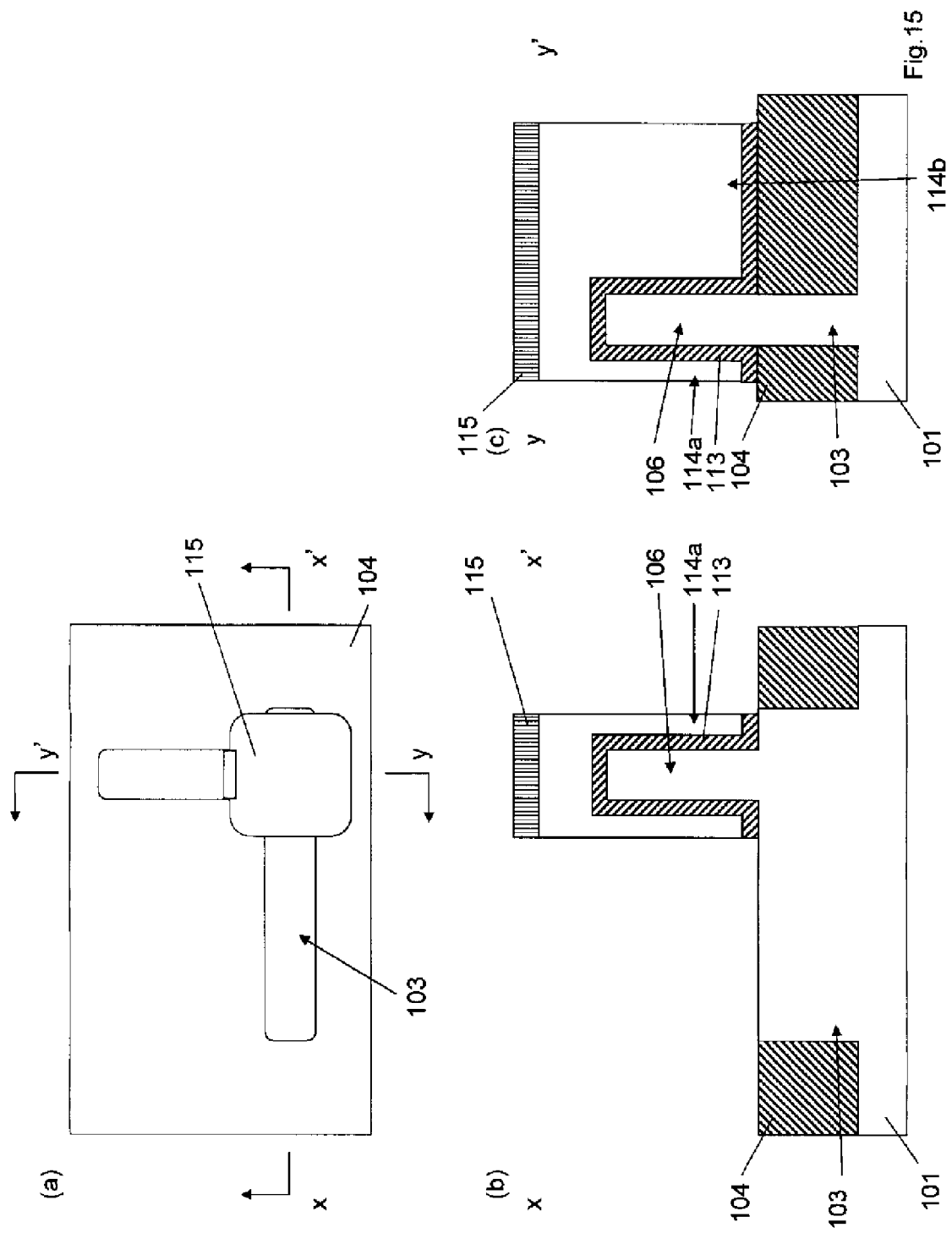
[図13]



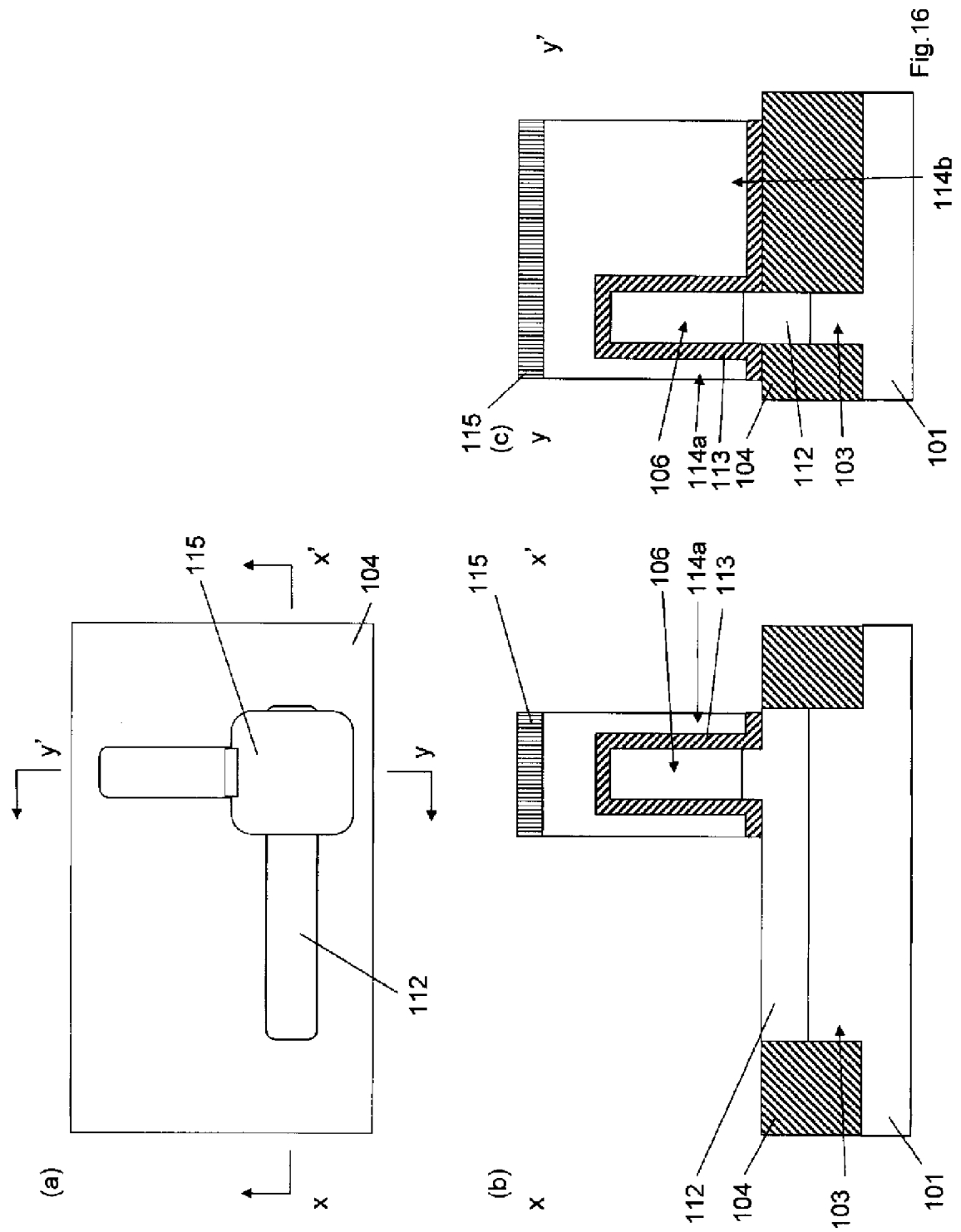
[図14]



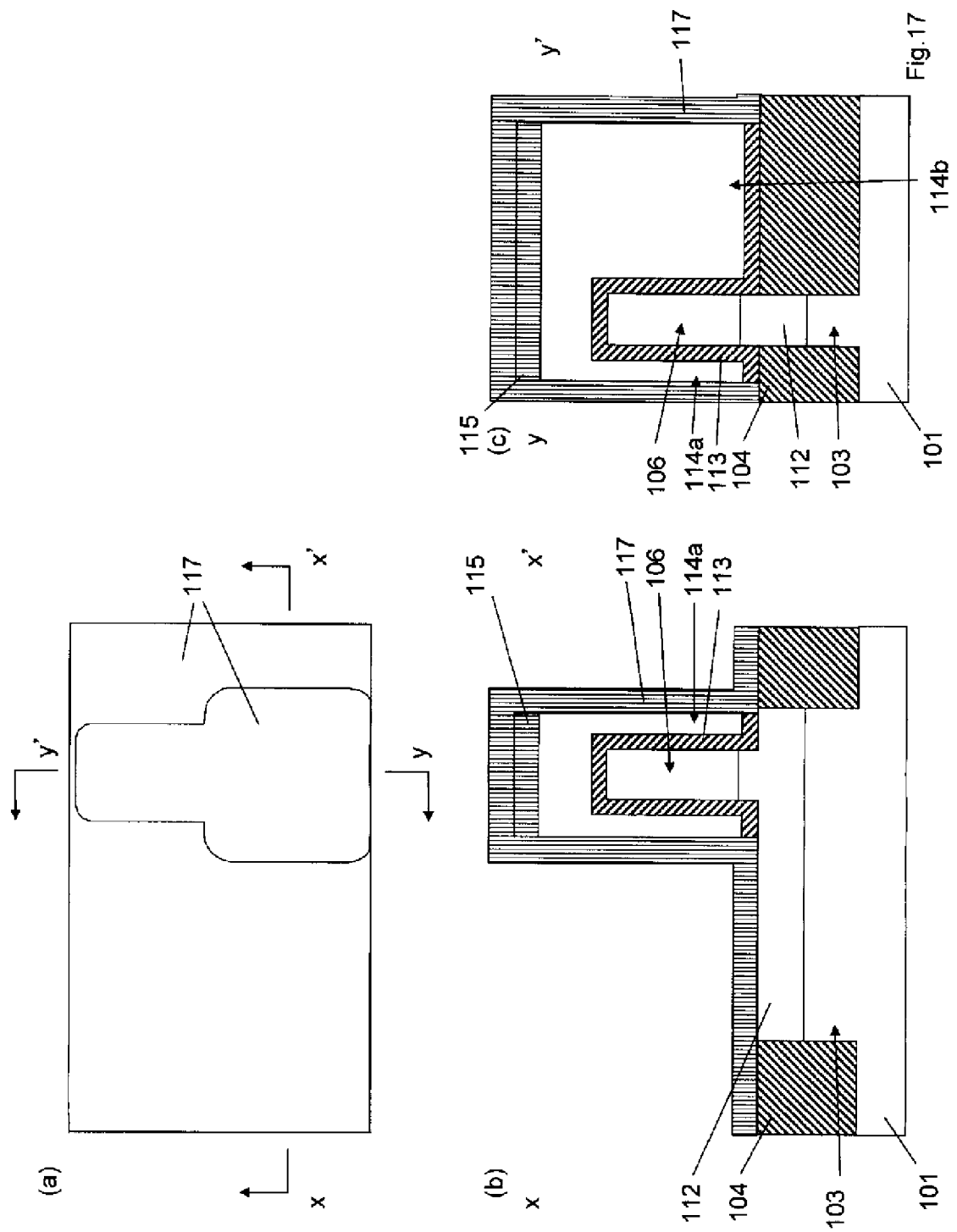
[図15]



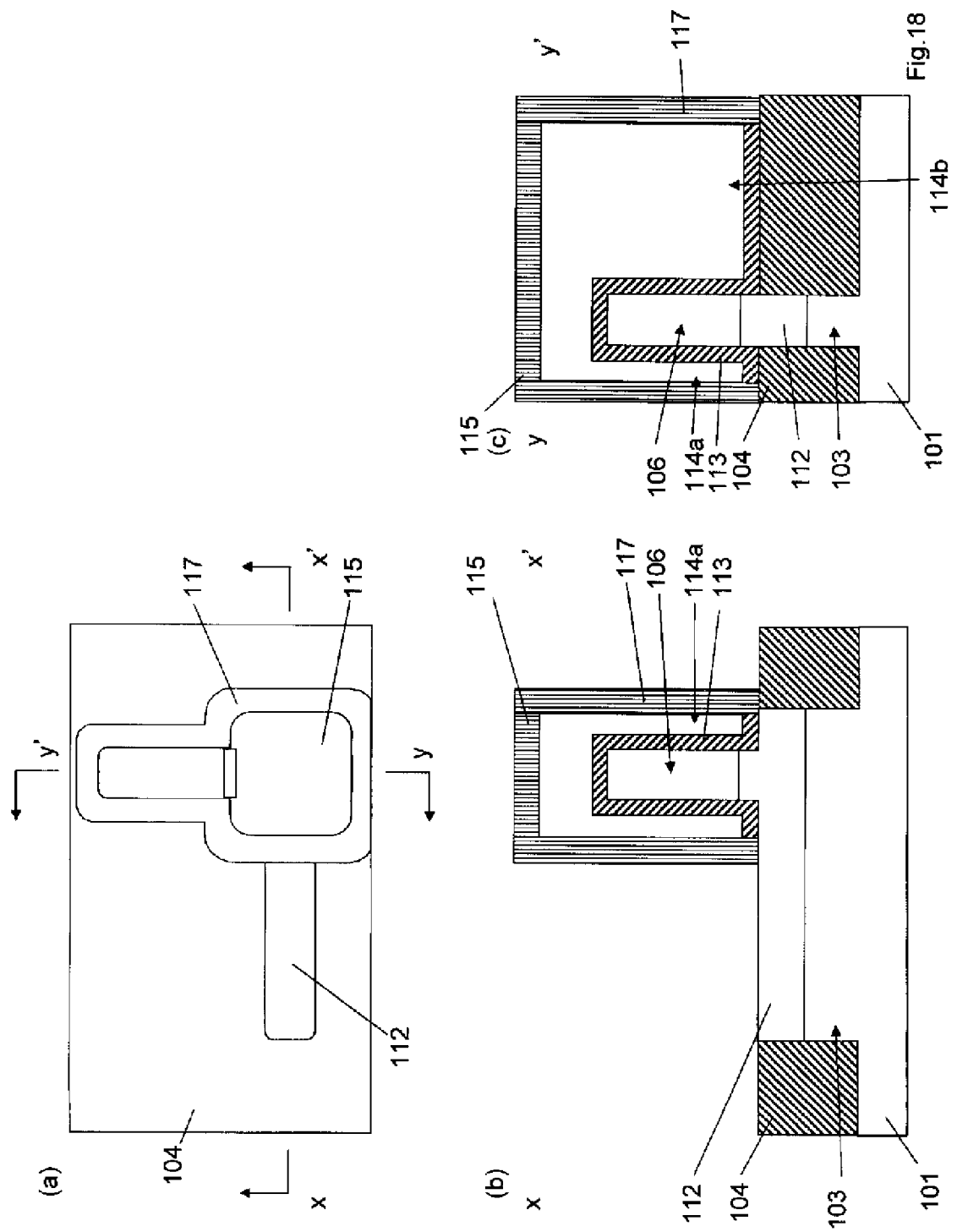
[図16]



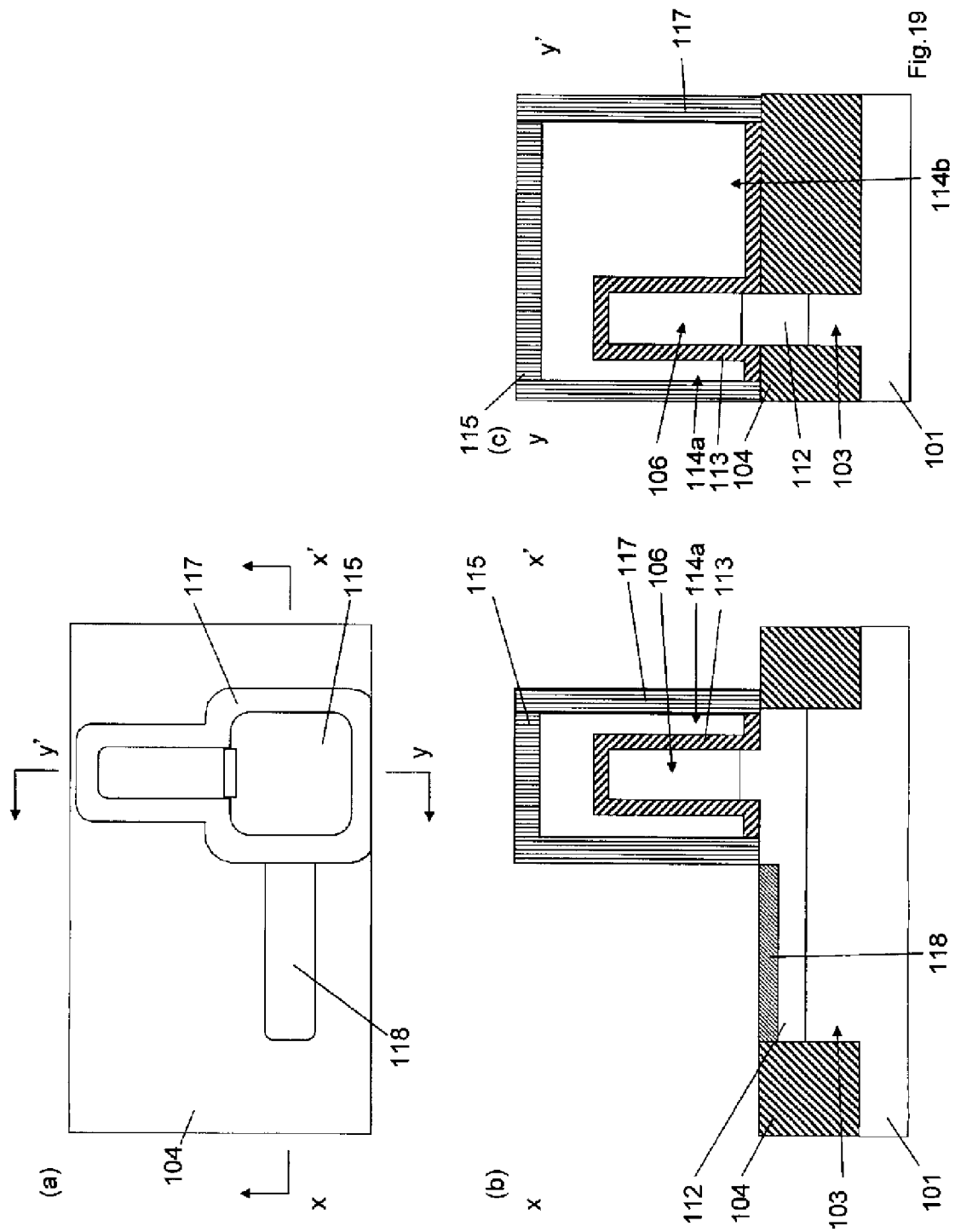
[図17]



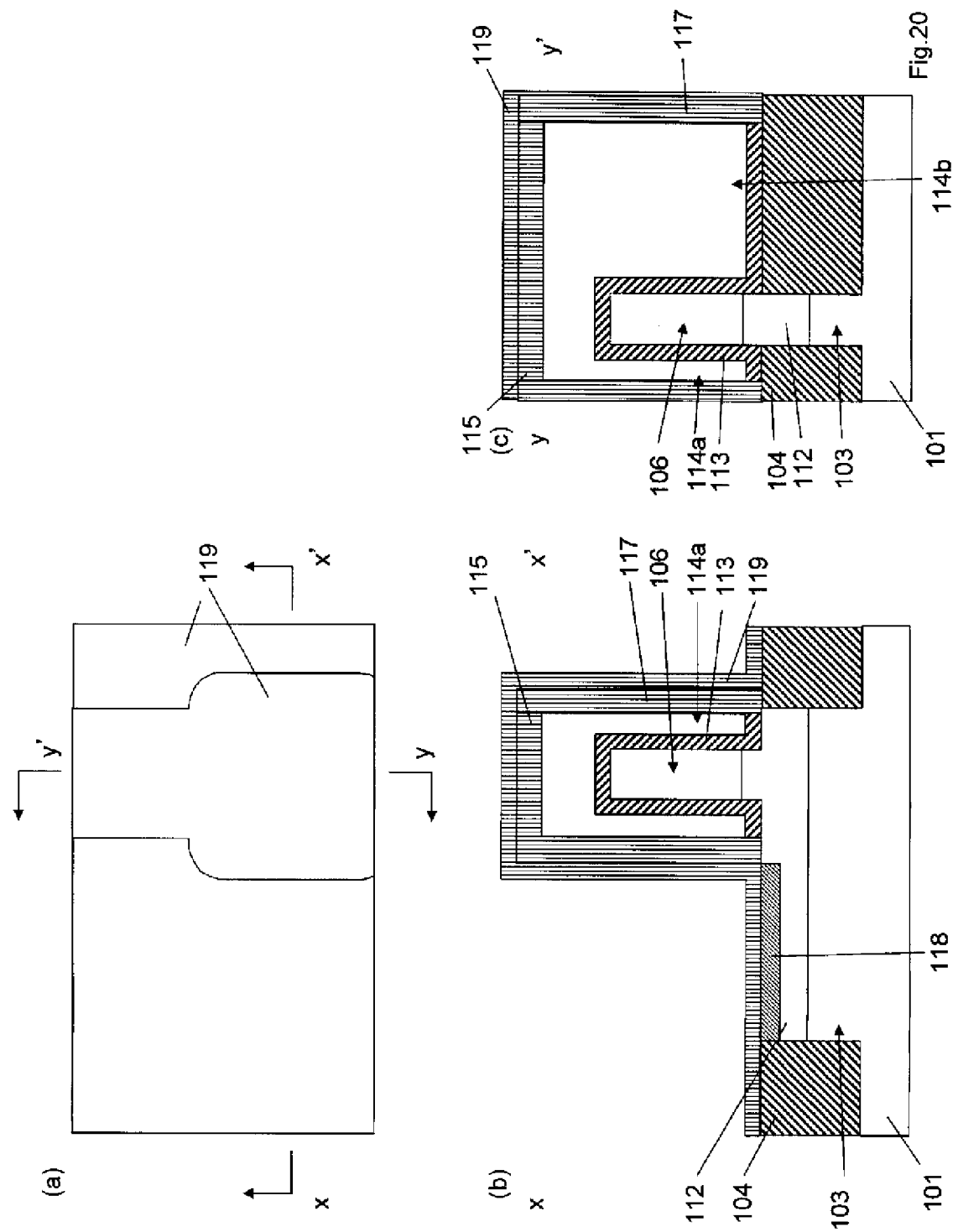
[図18]



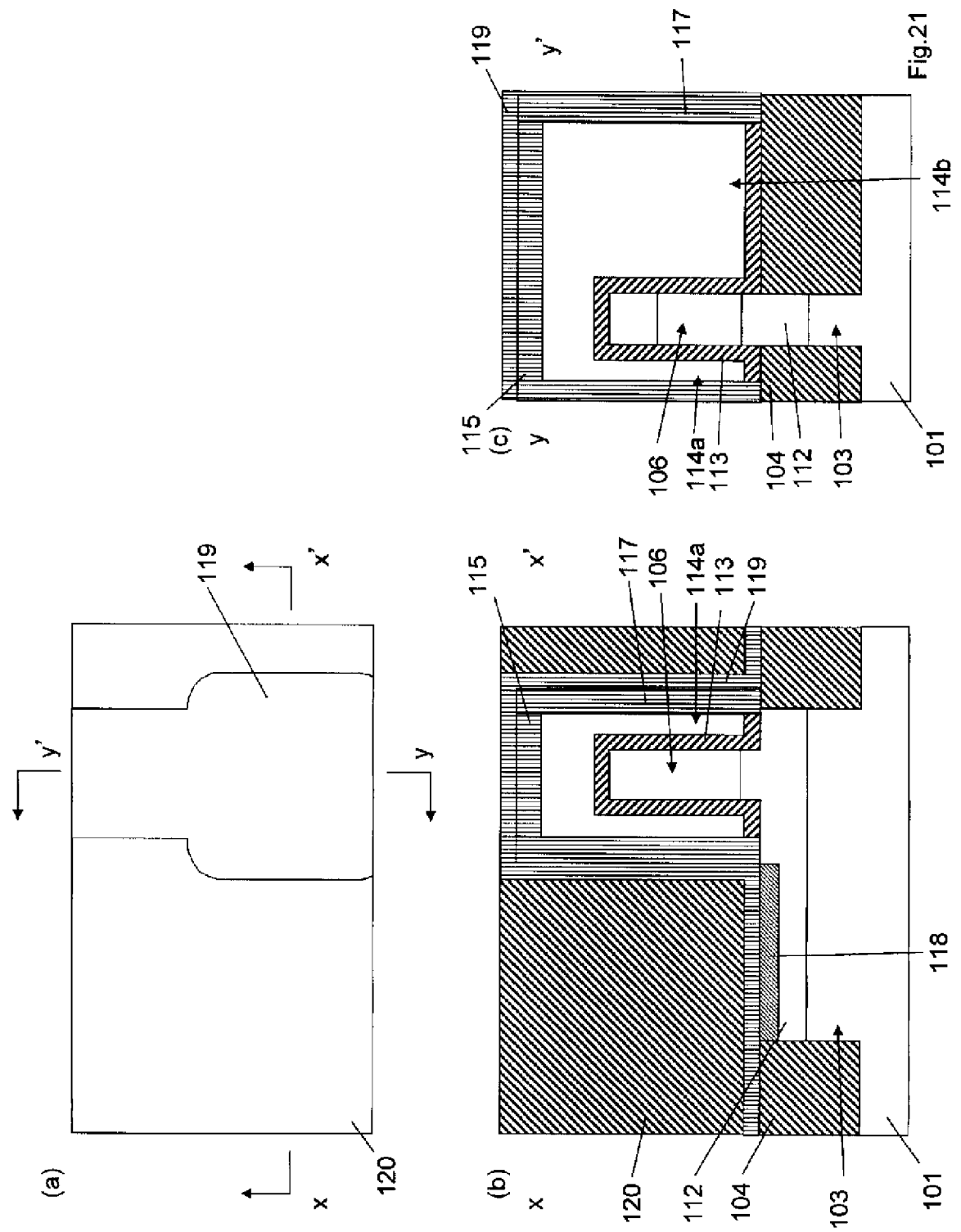
[図19]



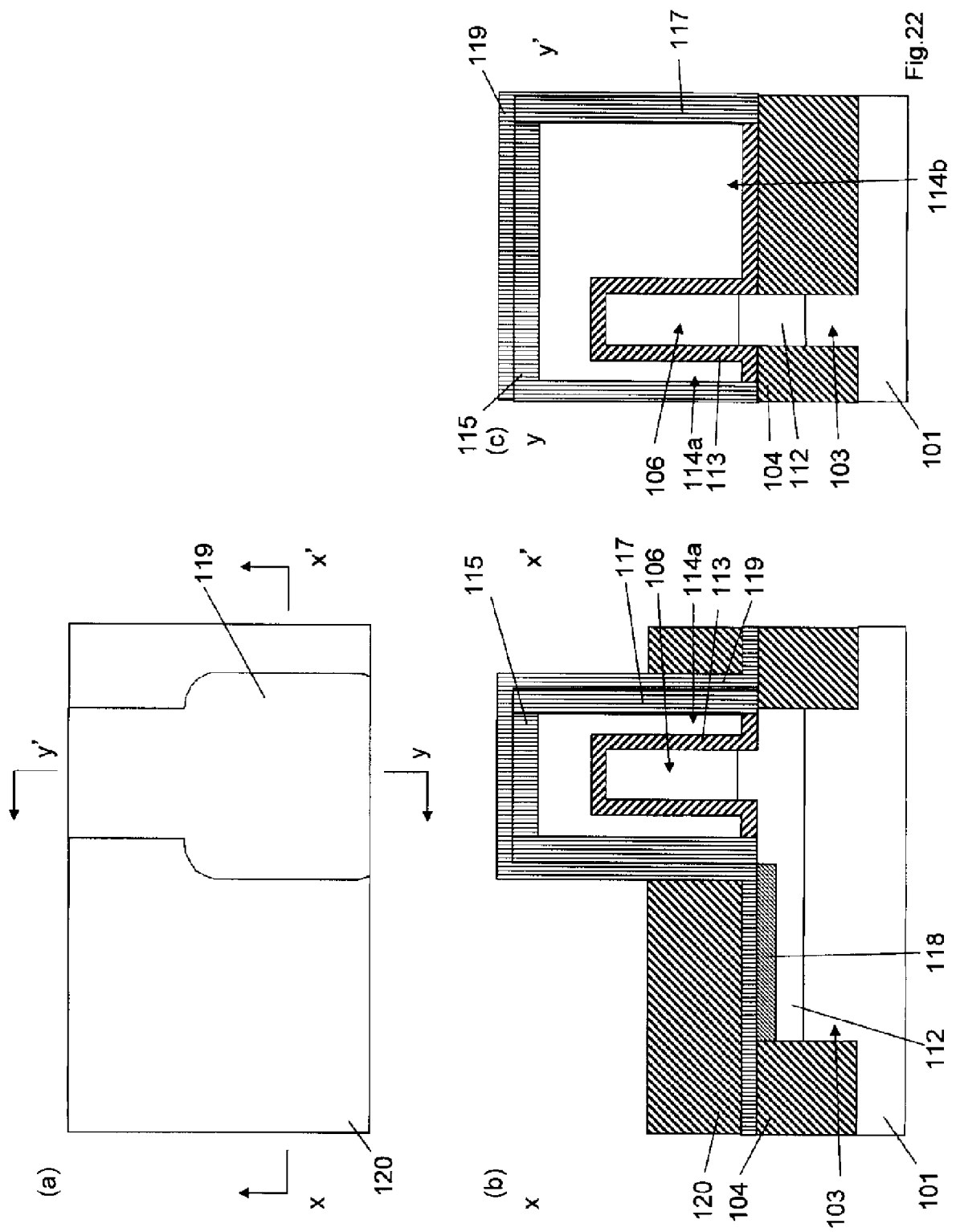
[図20]



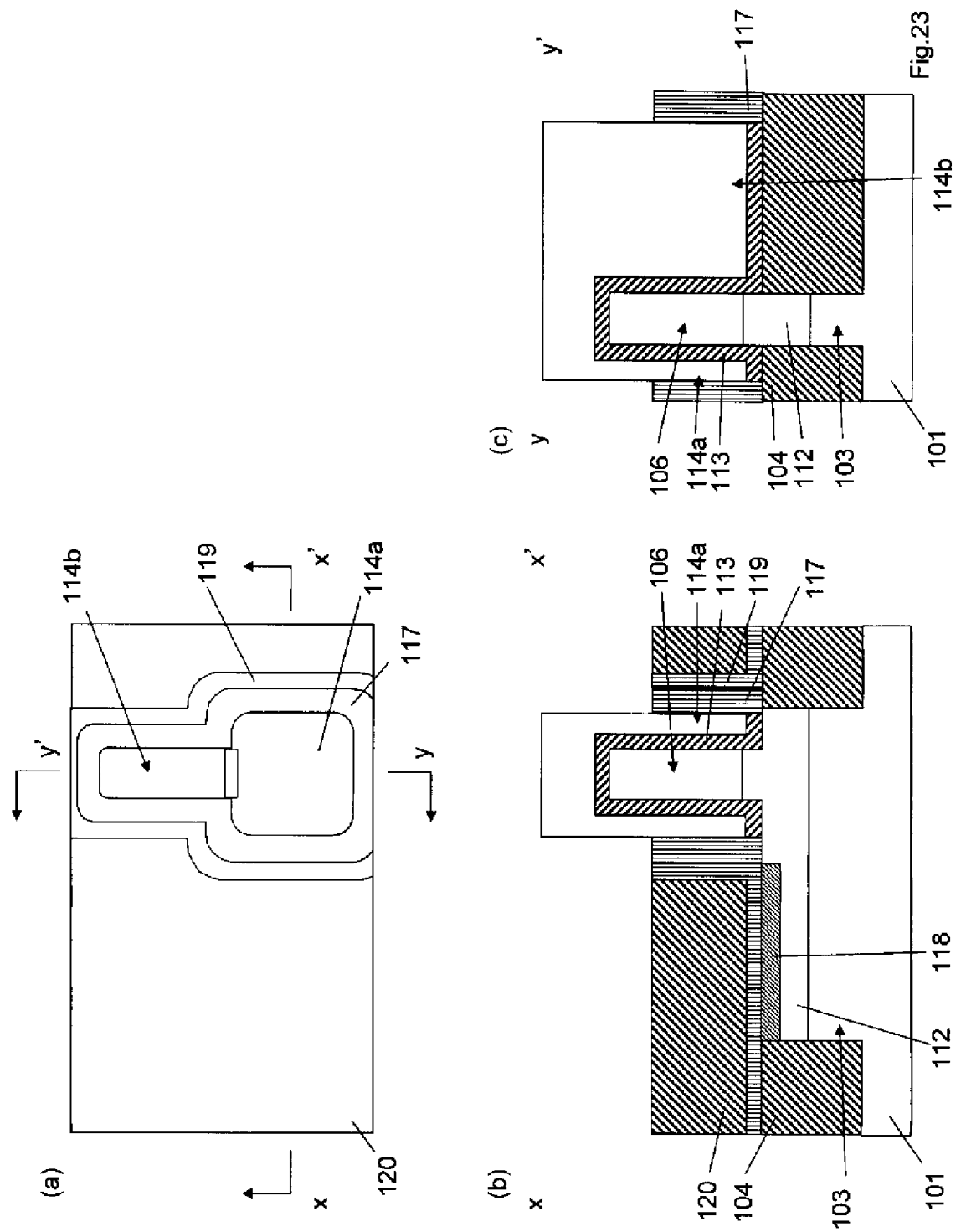
[図21]



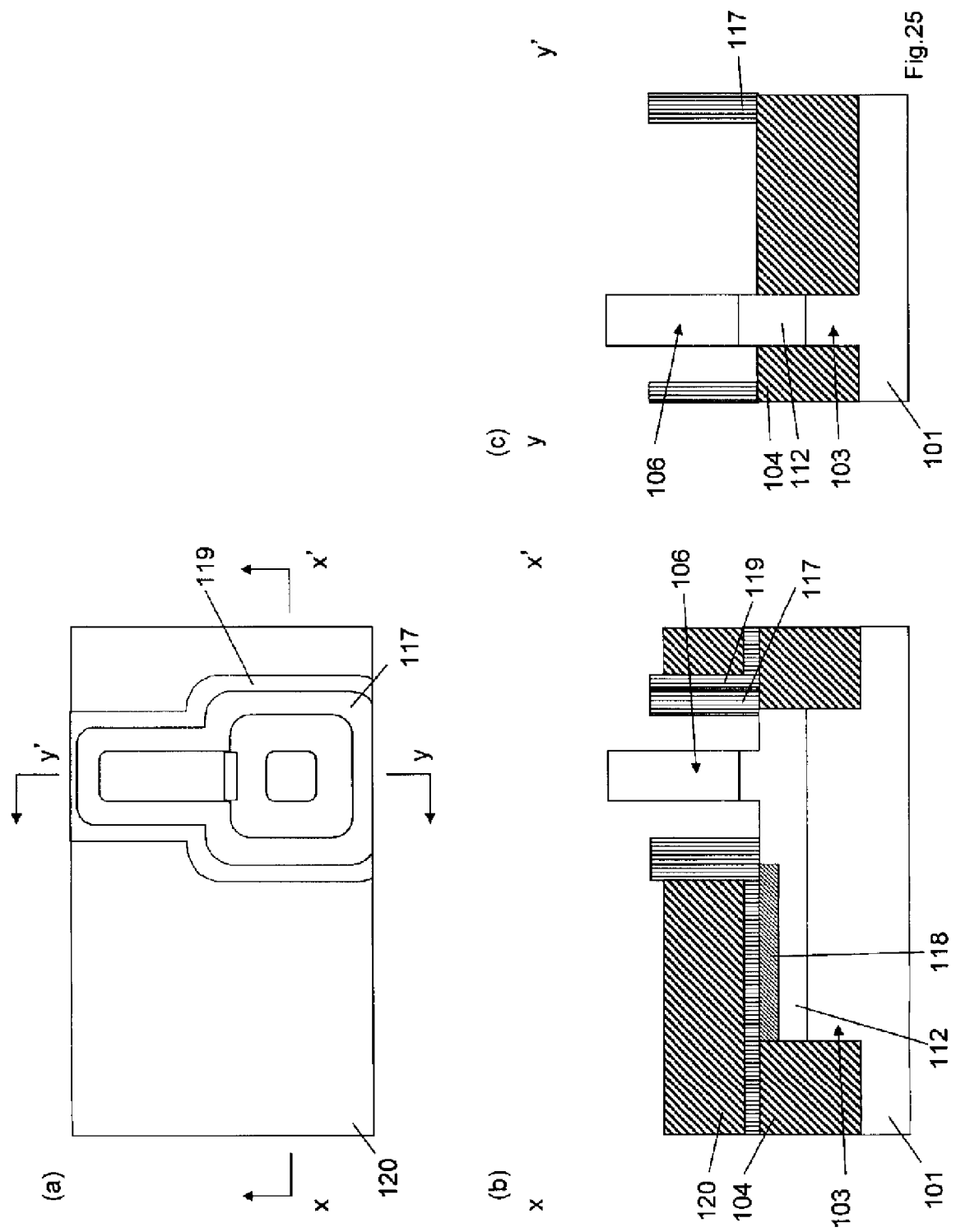
[図22]



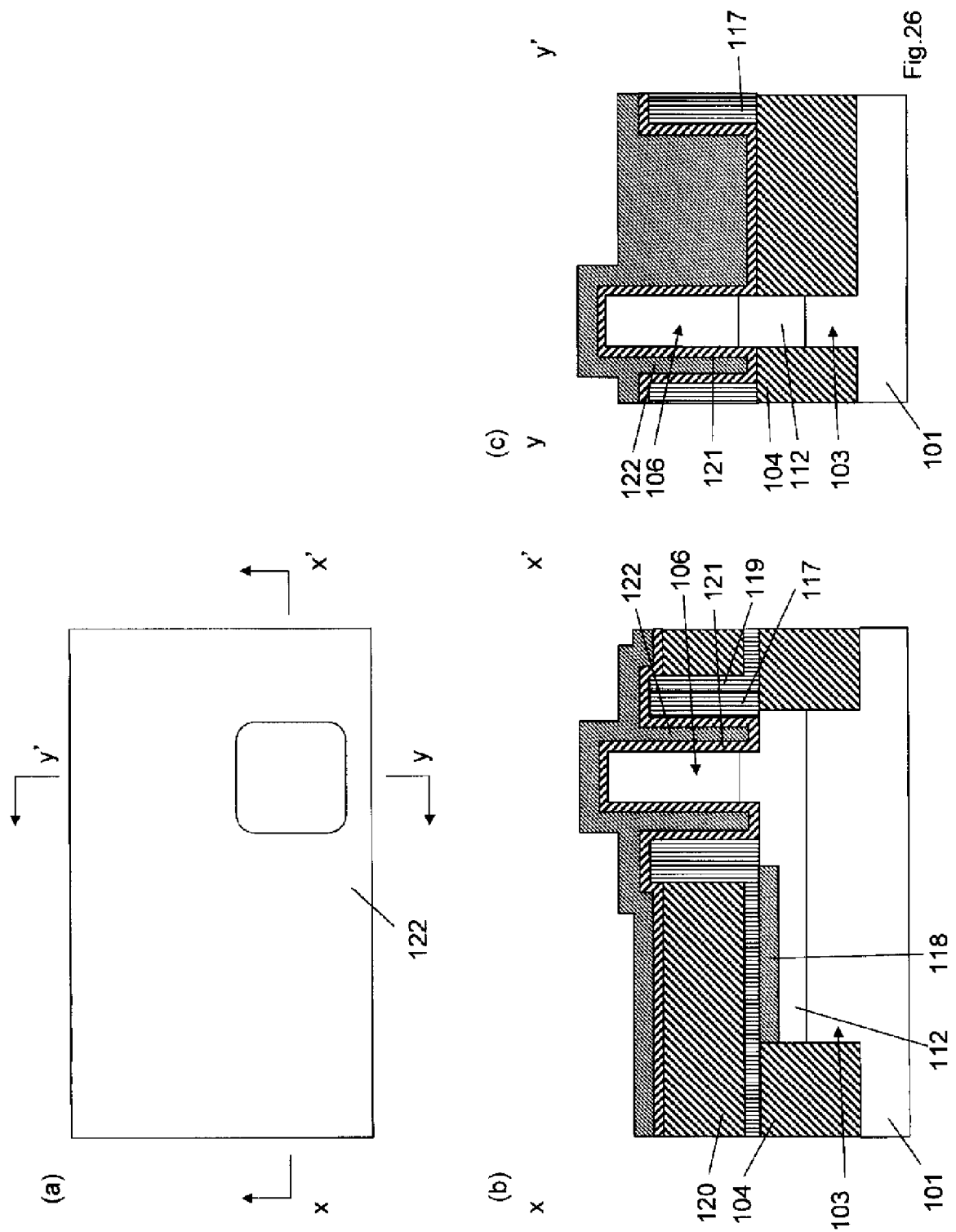
[図23]



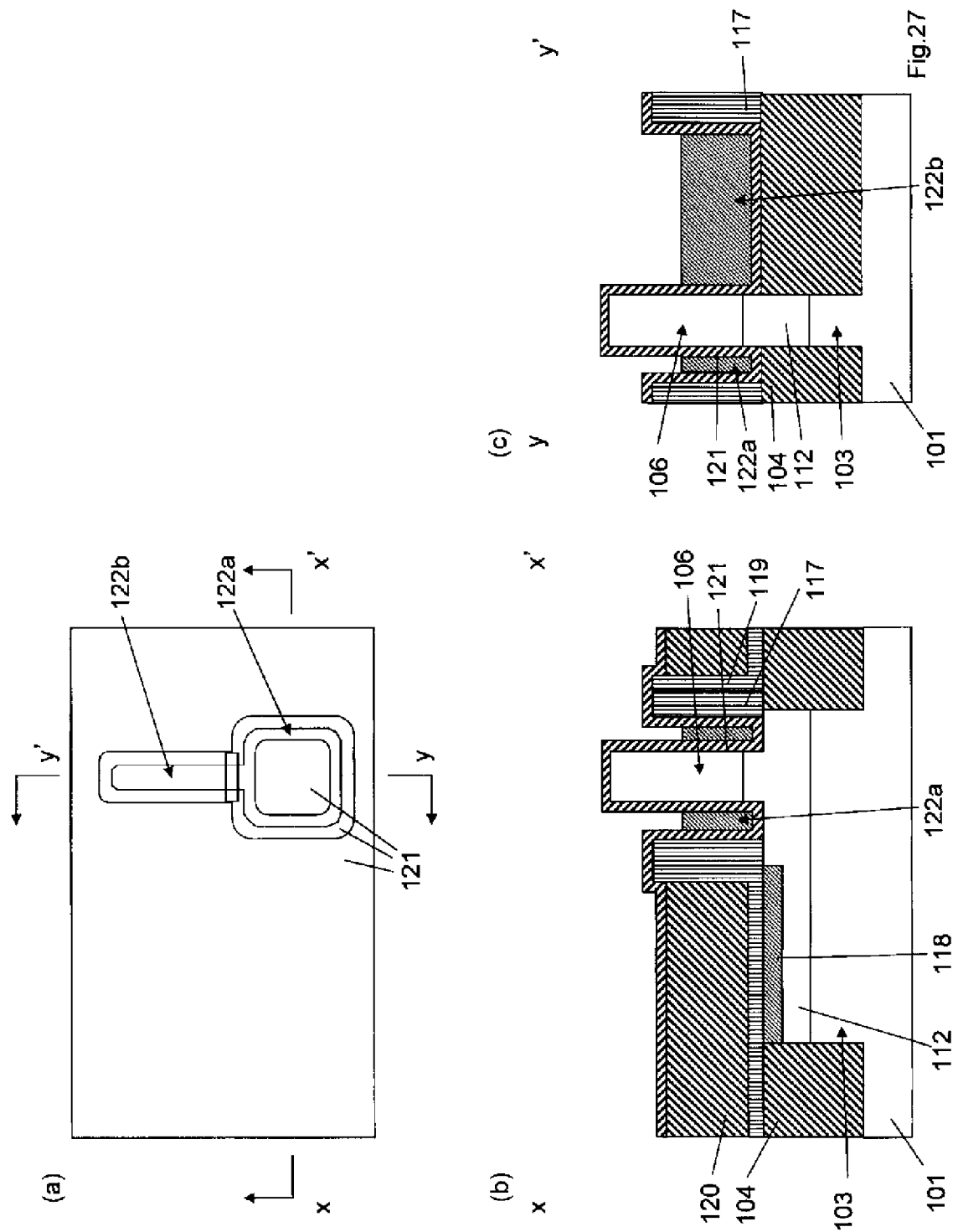
[図25]



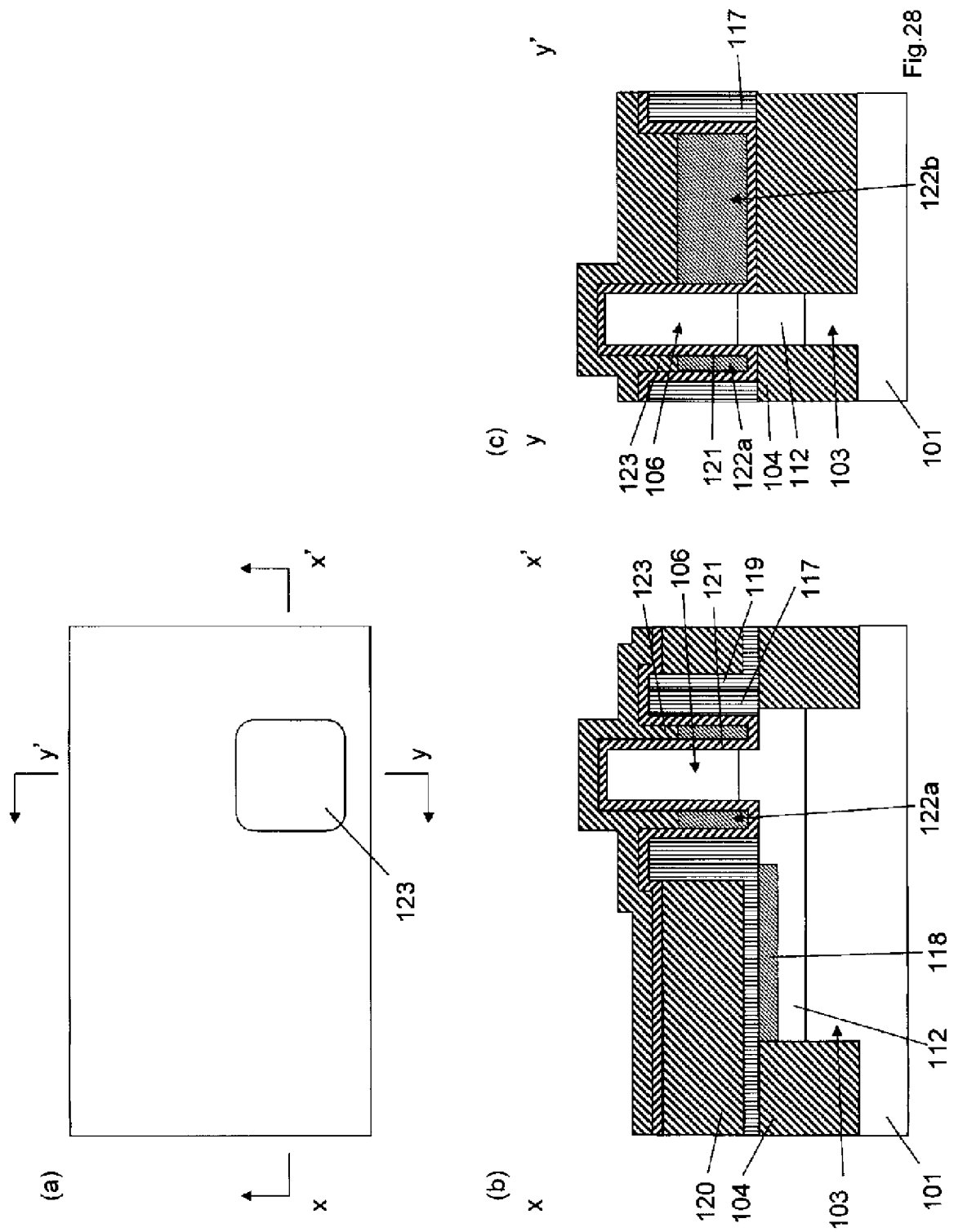
[図26]



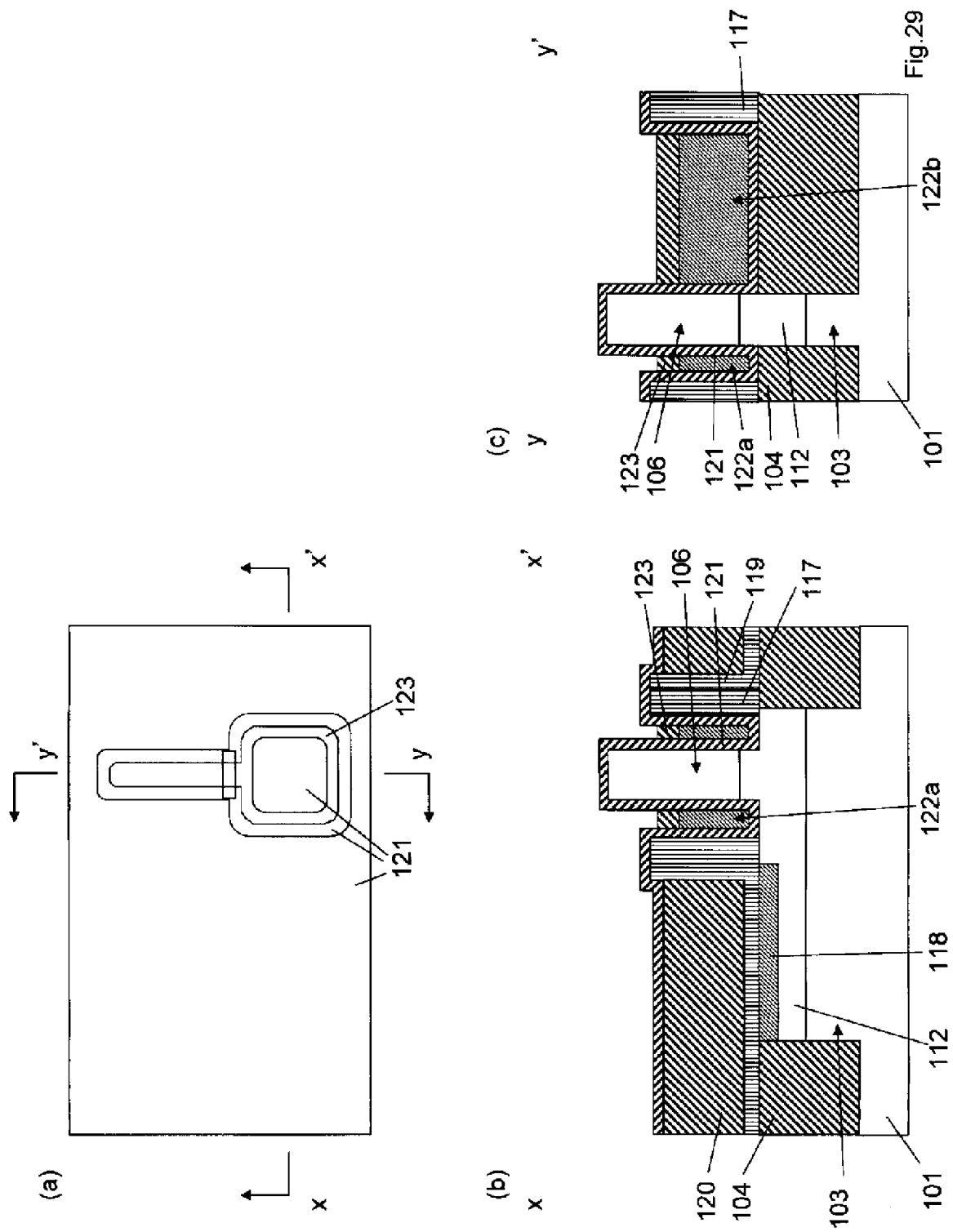
[図27]



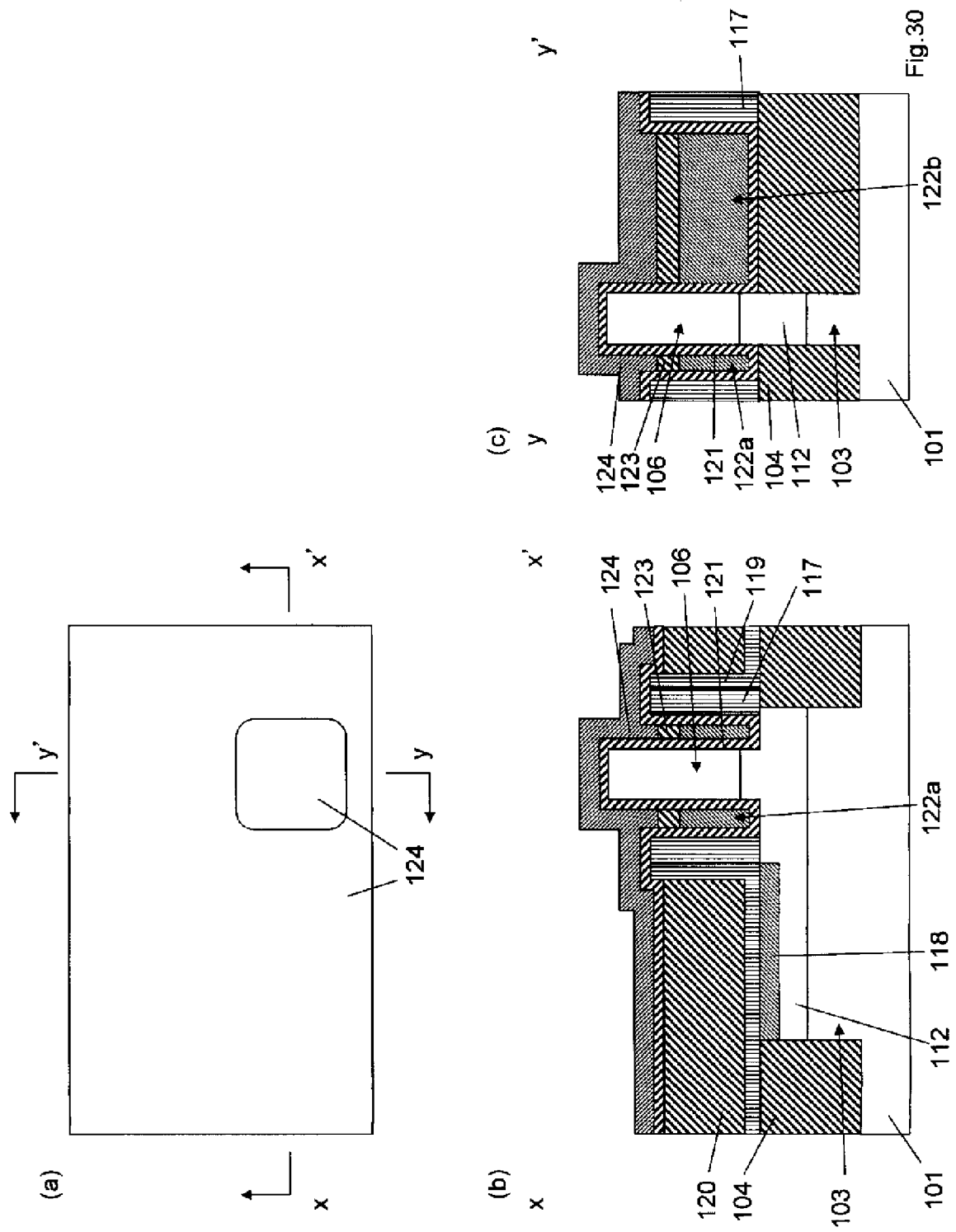
[図28]



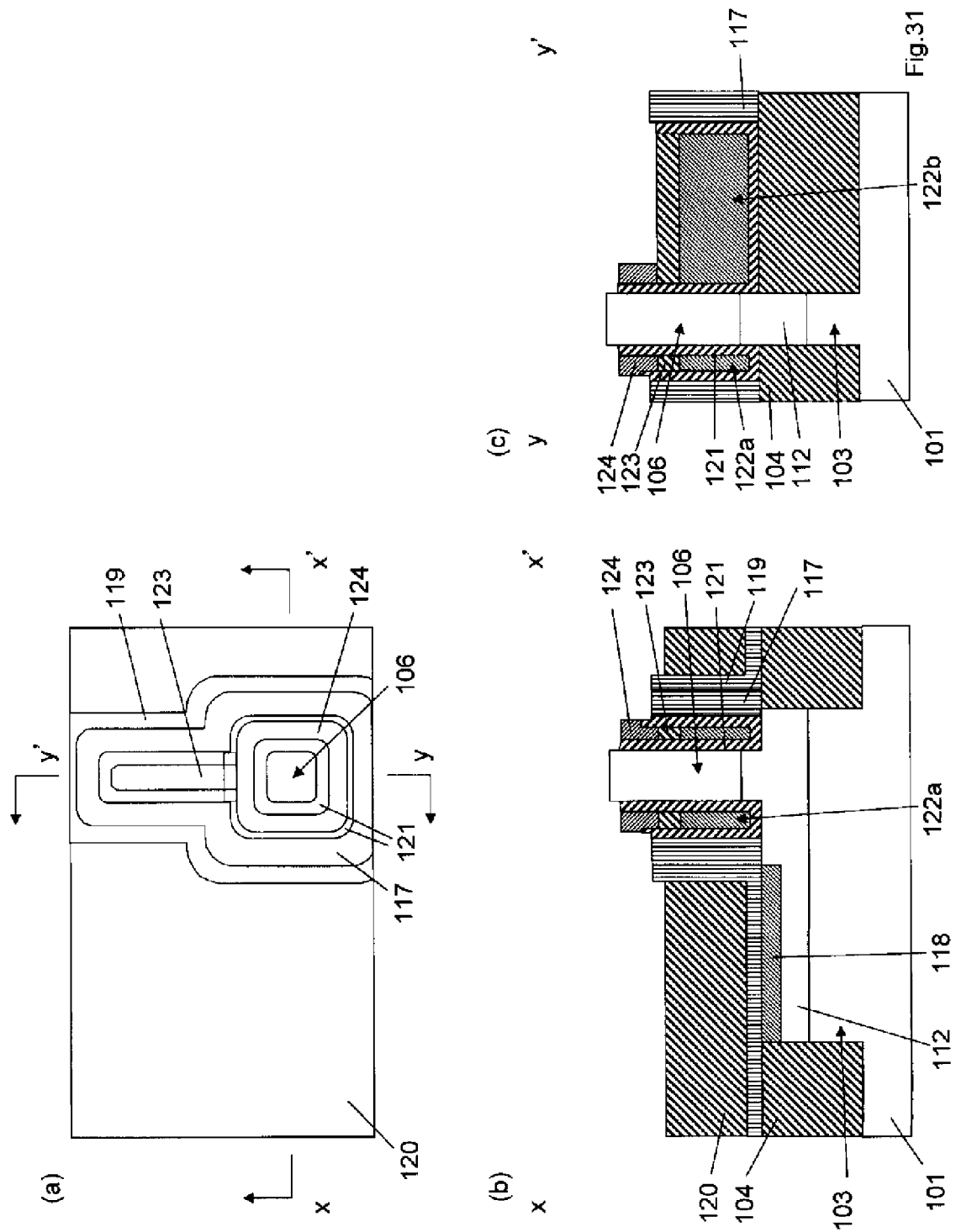
[図29]



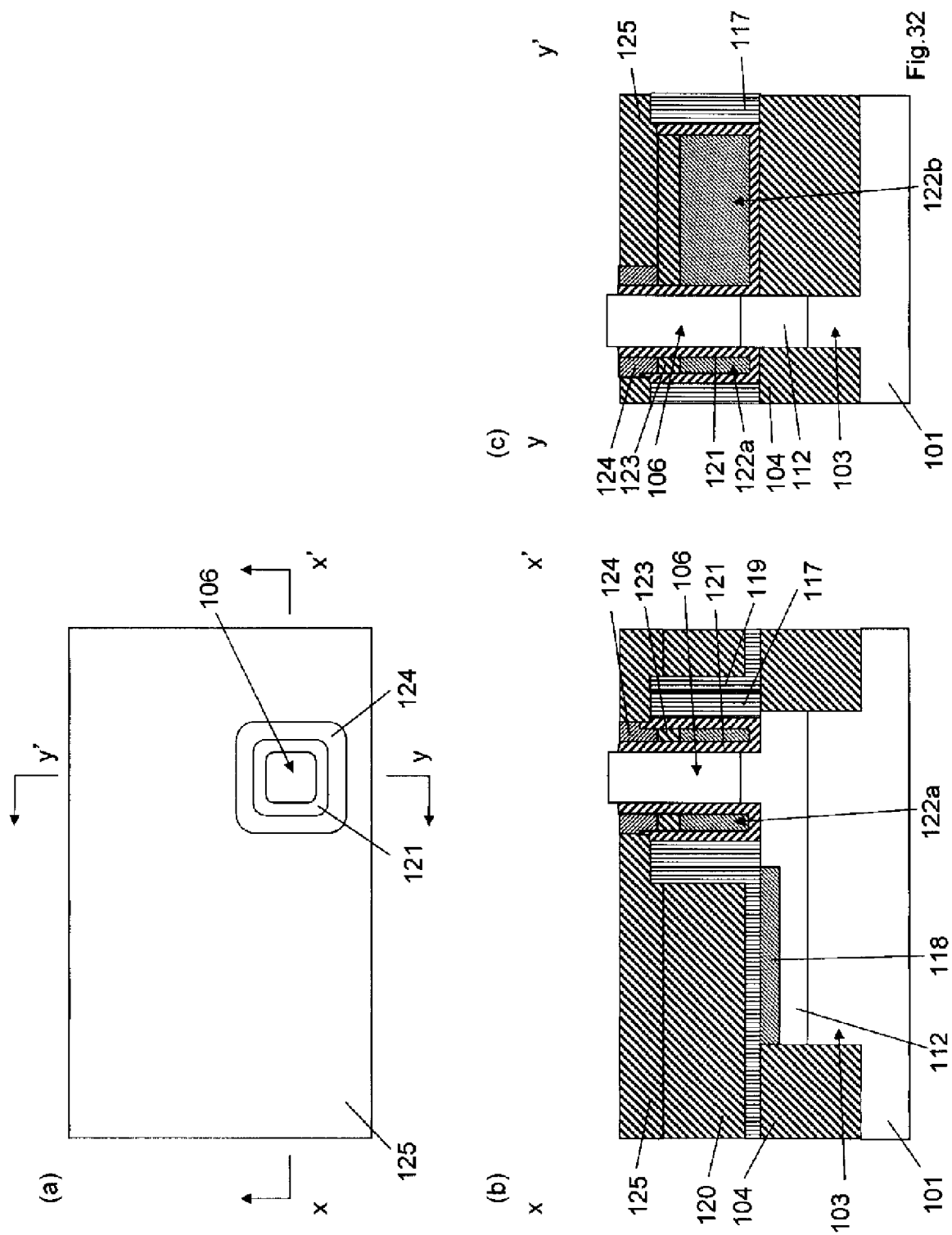
[図30]



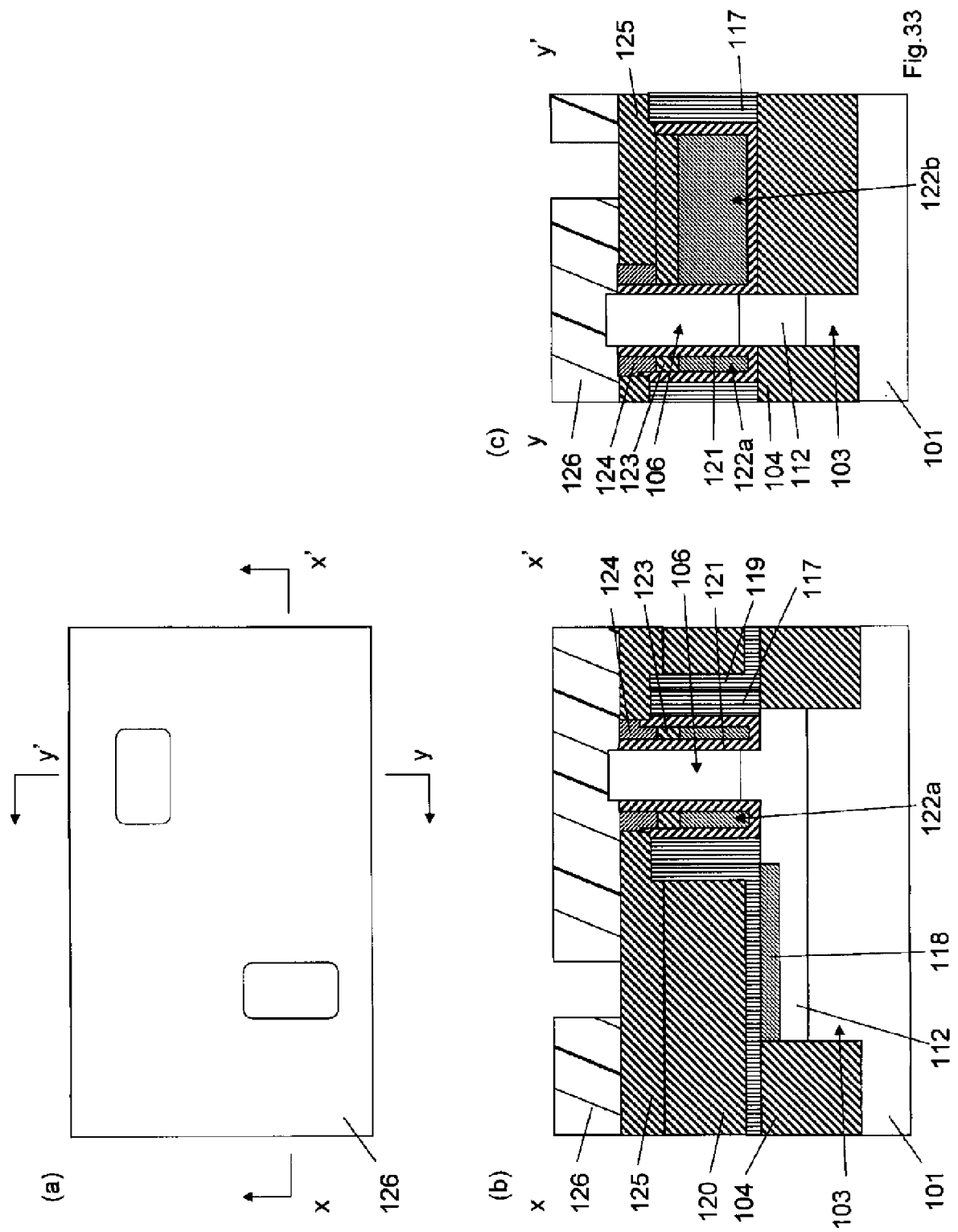
[図31]



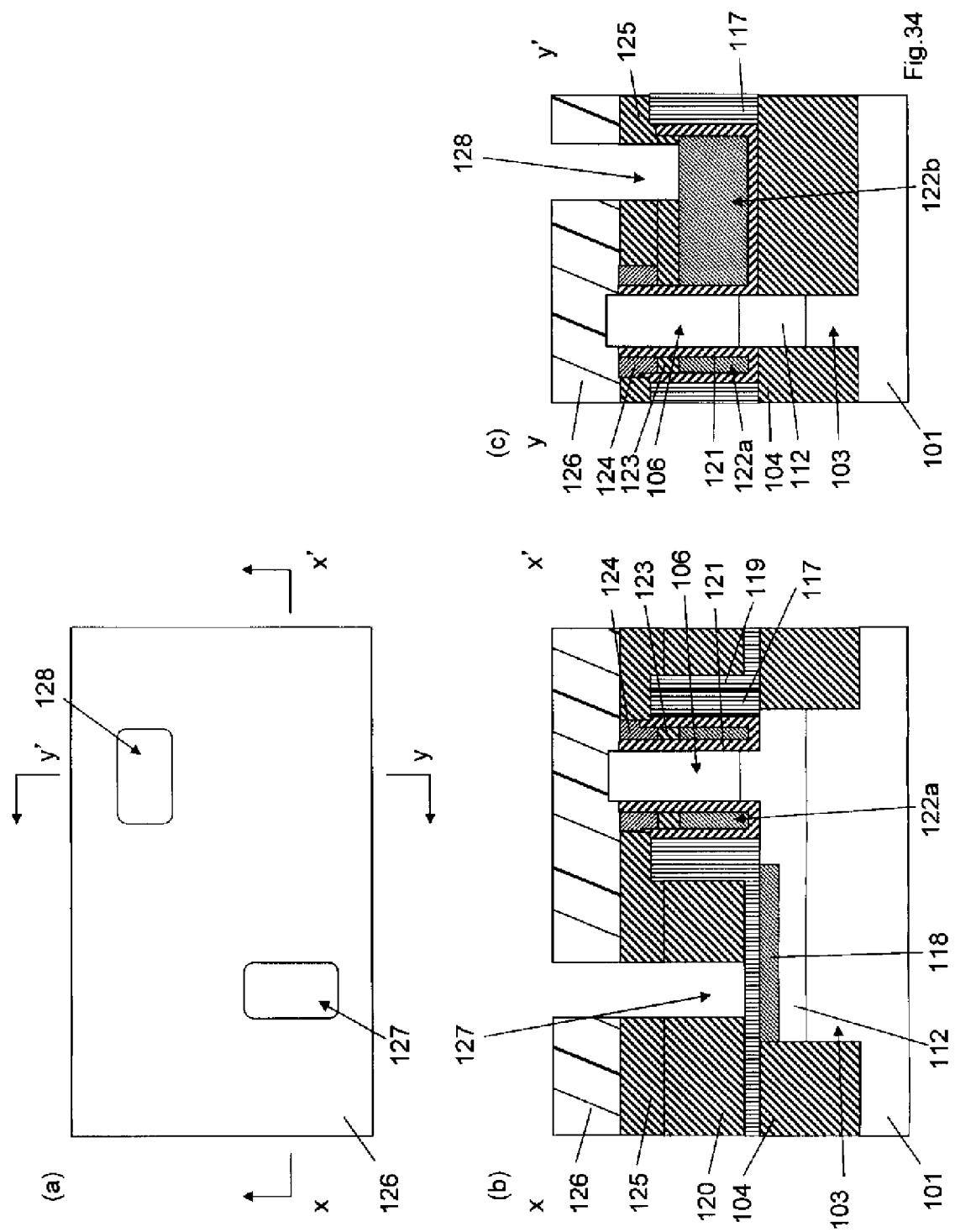
[図32]



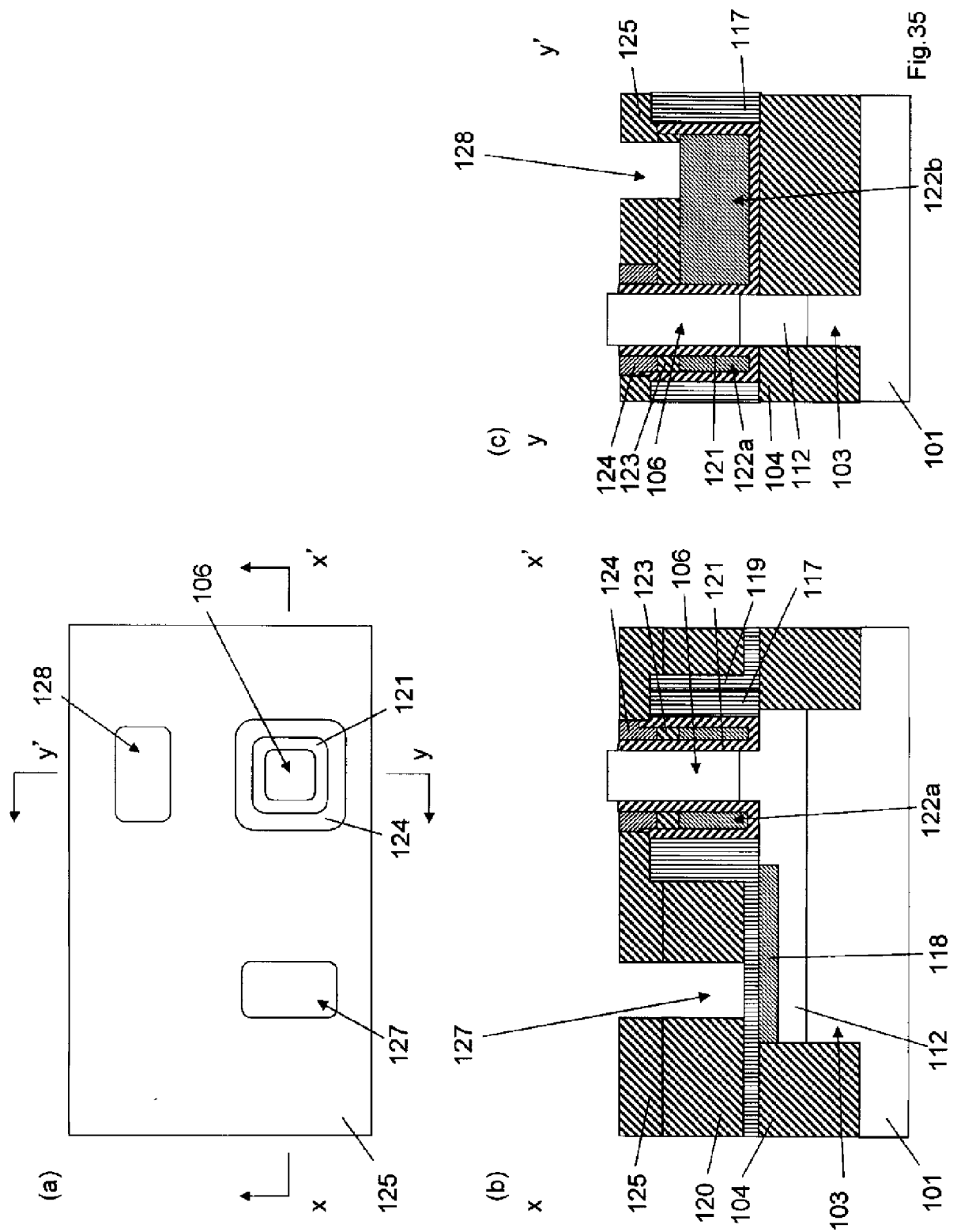
[図33]



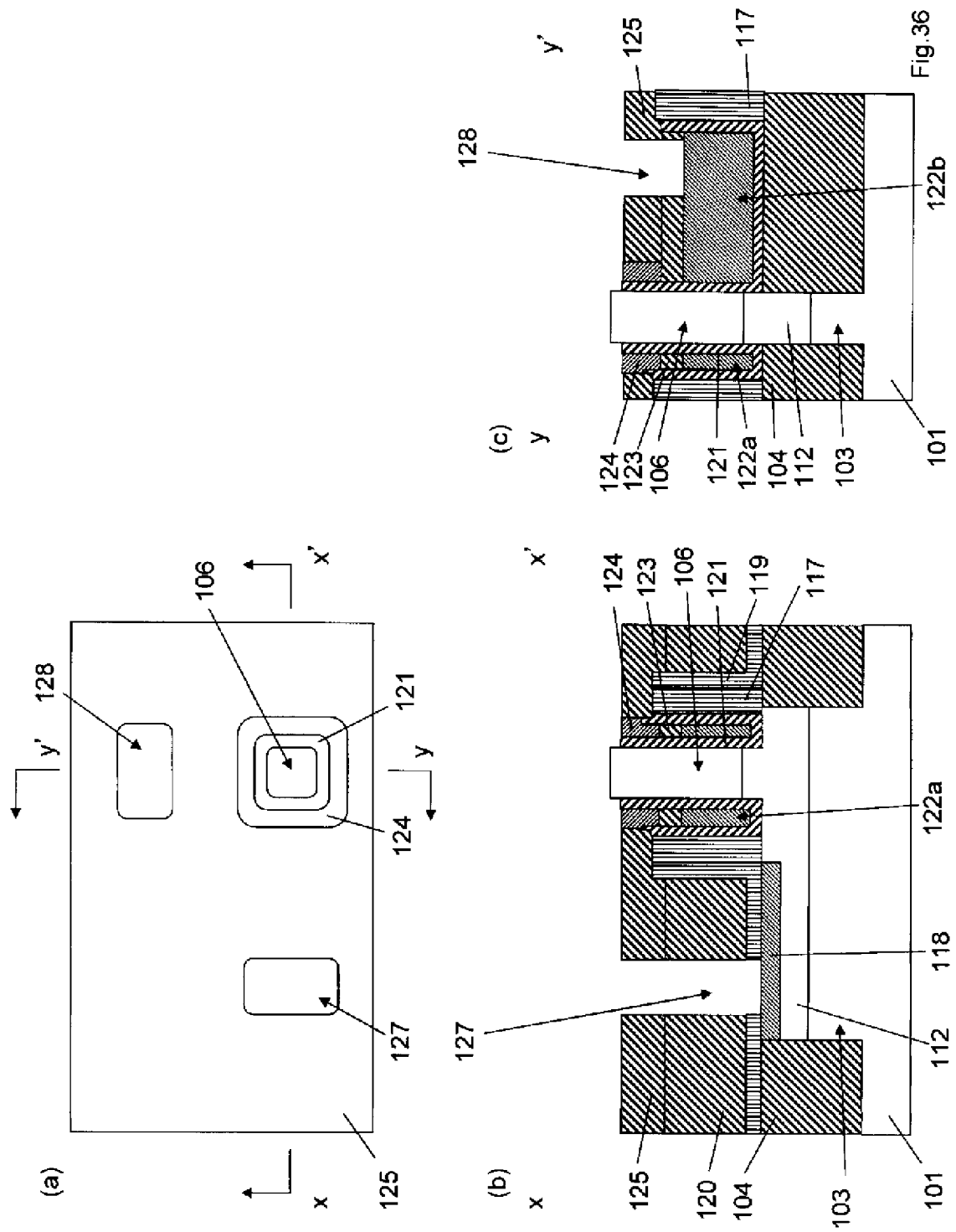
[図34]



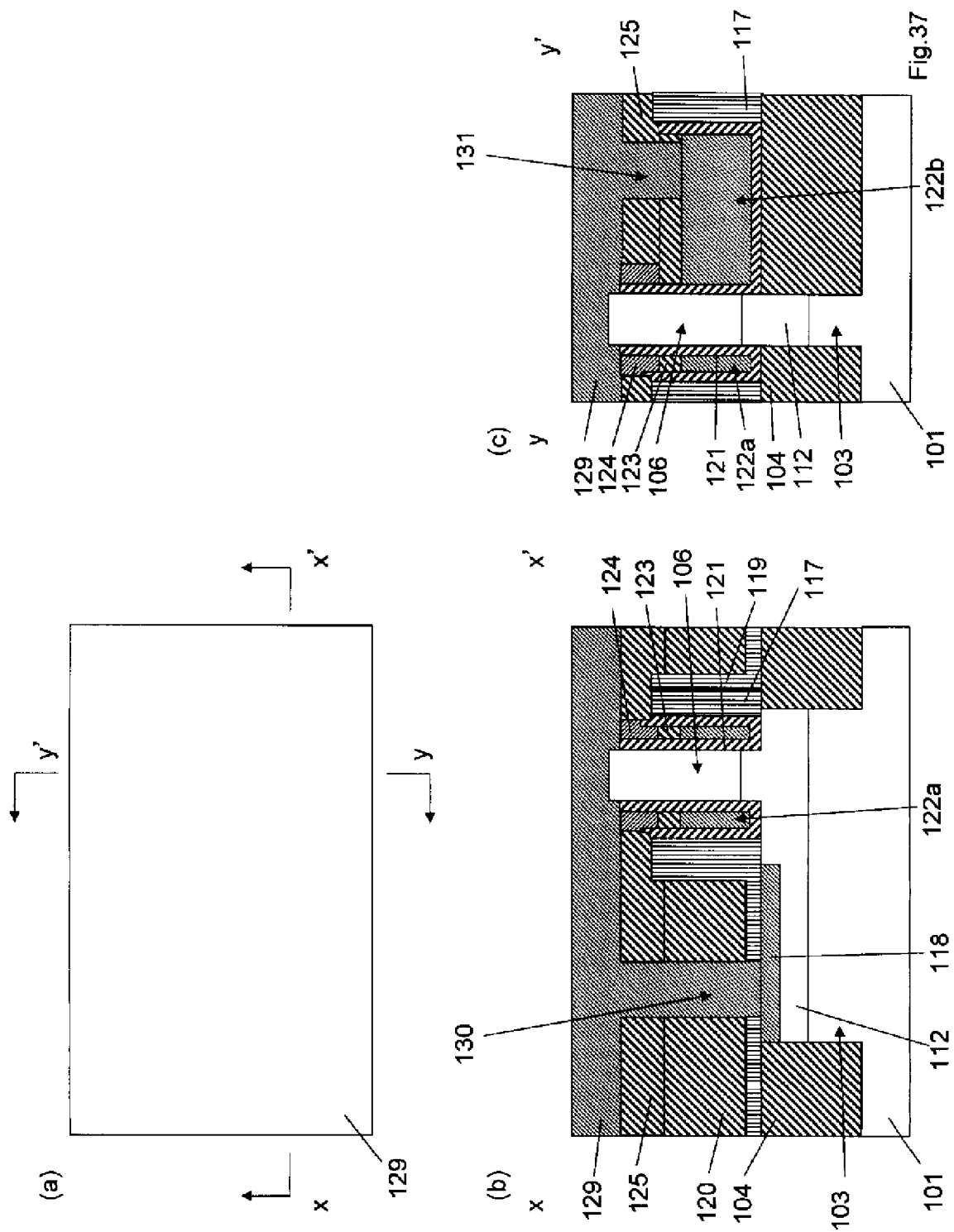
[図35]



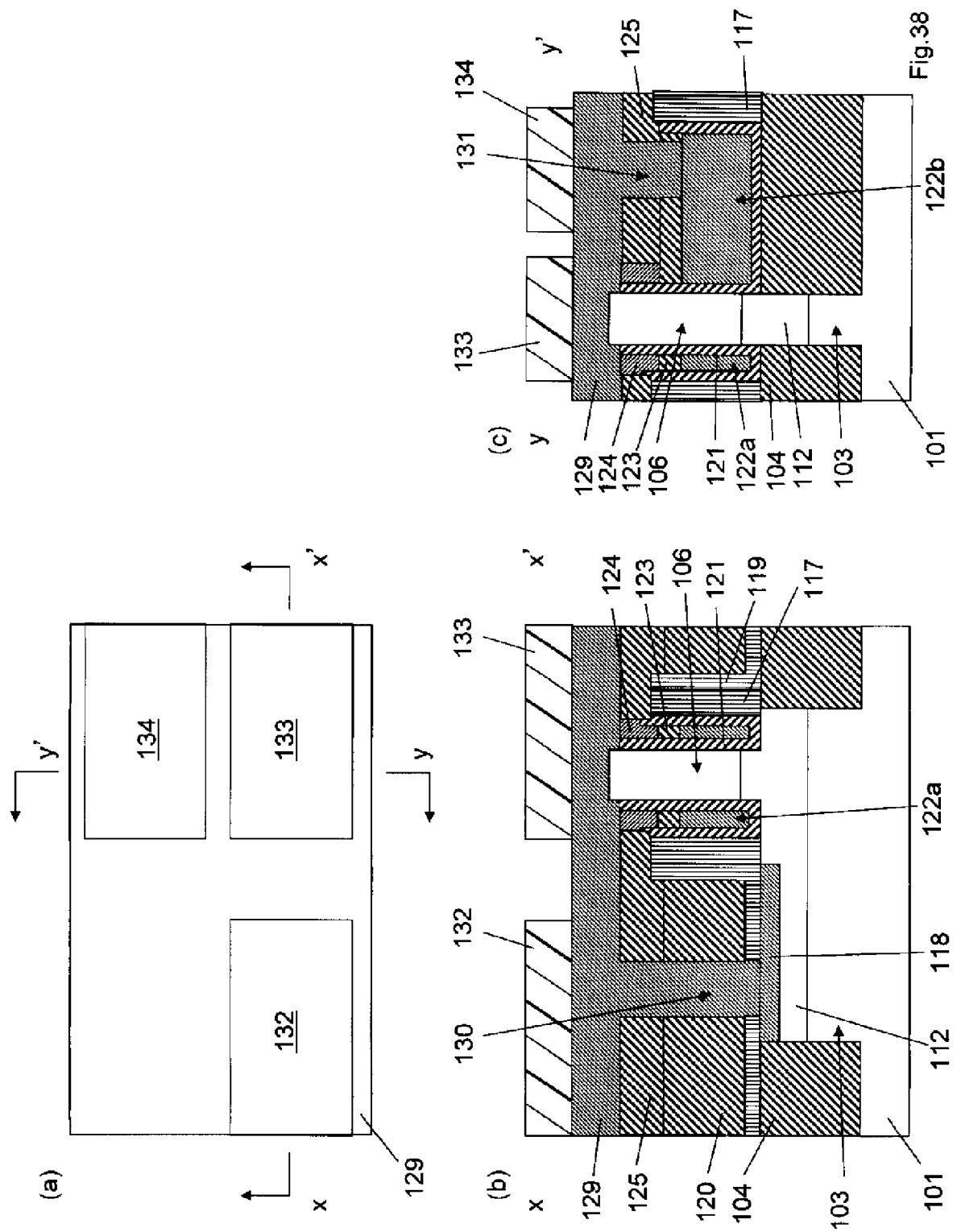
[図36]



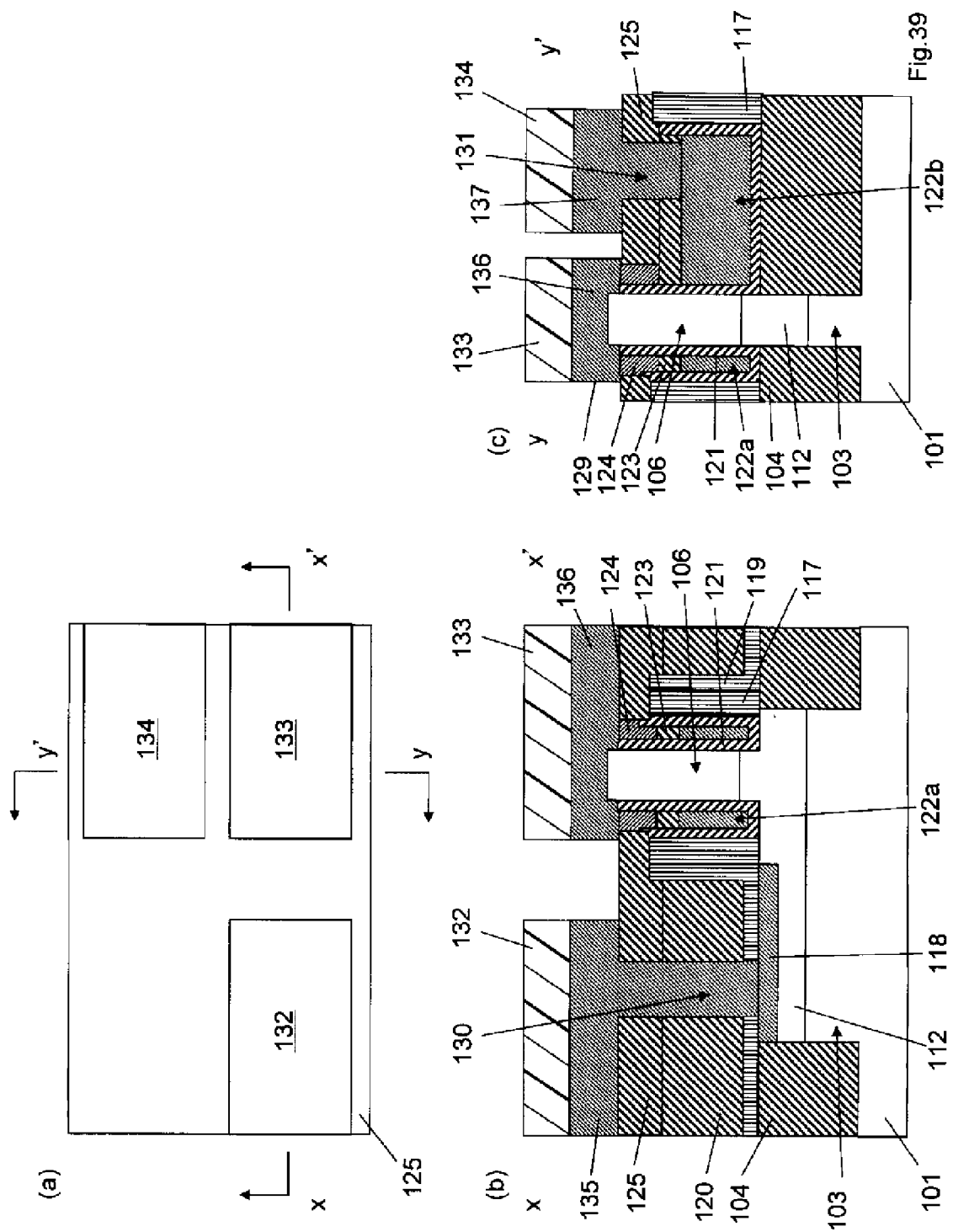
[図37]



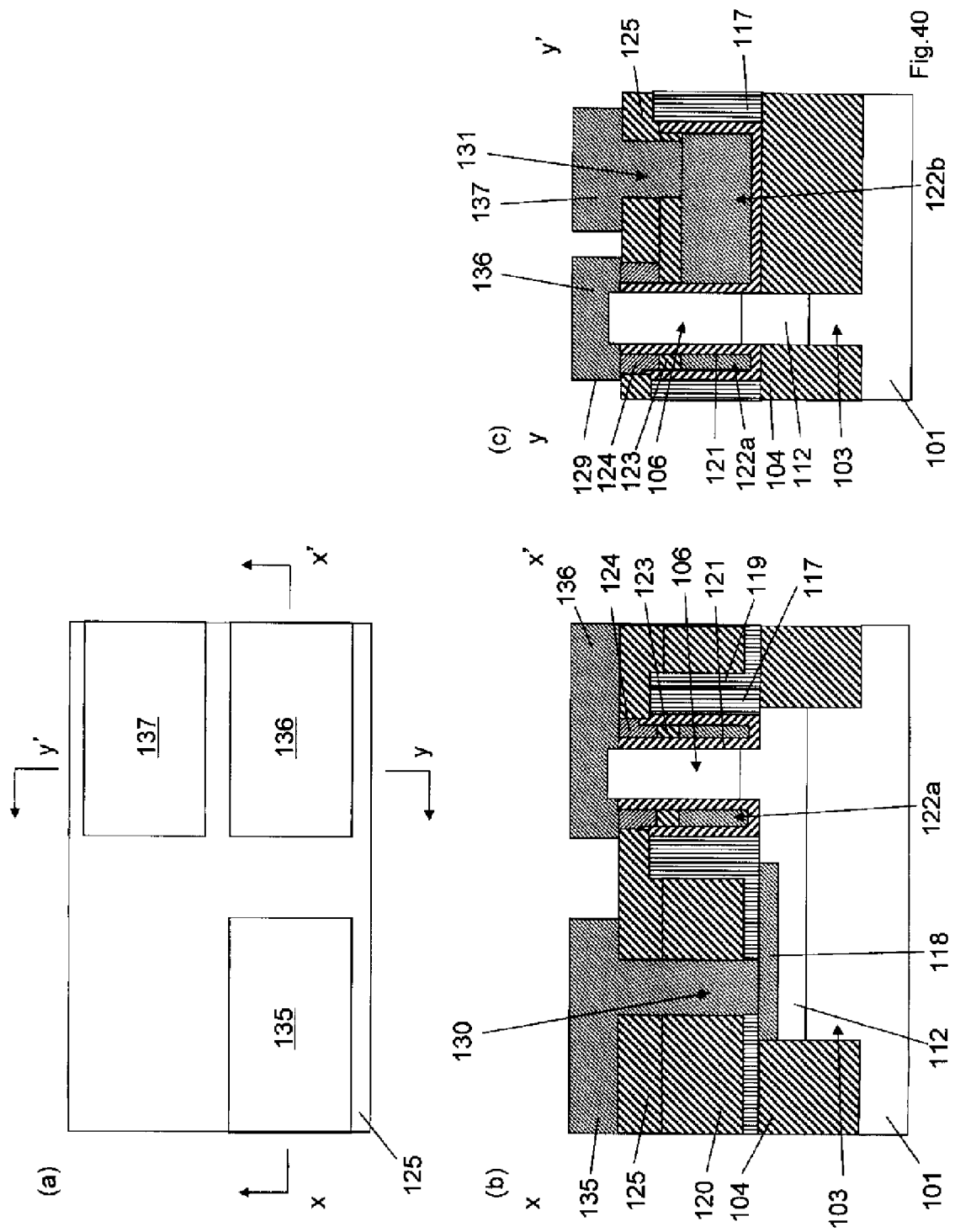
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062423

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-251678 A (Unisantis Electronics Japan Ltd.), 04 November 2010 (04.11.2010), paragraphs [0056] to [0062]; fig. 41, 42 & US 2010/0264484 A1 & US 2012/0049252 A1 & EP 2244298 A2 & CN 101866857 A	1-15
A	WO 2009/110050 A1 (Unisantis Electronics Japan Ltd.), 11 September 2009 (11.09.2009), paragraphs [0011] to [0030]; fig. 1 to 42 & US 2010/0210079 A1 & EP 2244301 A1 & KR 10-2010-0120206 A & CN 101946330 A	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 July, 2013 (09.07.13)

Date of mailing of the international search report
23 July, 2013 (23.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062423

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-179132 A (Mitsubishi Electric Corp.), 27 June 2003 (27.06.2003), paragraphs [0063] to [0072]; fig. 11 to 18 & US 2003/0107133 A1 & DE 010236682 A & KR 10-2003-0047693 A & CN 1426106 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336 (2006.01)i, H01L21/8234 (2006.01)i, H01L27/088 (2006.01)i, H01L29/78 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/8234, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-251678 A (日本ユニサンティスエレクトロニクス株式会社) 2010.11.04, 第0056段落-第0062段落、第41図、第42 図 & US 2010/0264484 A1 & US 2012/0049252 A1 & EP 2244298 A2 & CN 101866857 A	1-15
A	WO 2009/110050 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.09.11, 第0011段落-第0030段落、第1図-第42図 & US 2010/0210079 A1 & EP 2244301 A1 & KR 10-2010-0120206 A & CN 101946330 A	1-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 7 . 2 0 1 3

国際調査報告の発送日

2 3 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 弘亘

5 0

3 2 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-179132 A (三菱電機株式会社) 2003. 06. 27, 第 0 0 6 3 段落—第 0 0 7 2 段落、第 1 1 図—第 1 8 図 & US 2003/0107133 A1 & DE 010236682 A & KR 10-2003-0047693 A & CN 1426106 A	1-15