

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月17日(17.12.2020)



(10) 国際公開番号

WO 2020/250334 A1

(51) 国際特許分類:

GIIC 7/22 (2006.01) GIIC 16/32 (2006.01)
G06F 12/00 (2006.01) H03K 19/0175 (2006.01)

(21) 国際出願番号: PCT/JP2019/023240

(22) 国際出願日: 2019年6月12日(12.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 沖ノ井 理典(OKINOI, Masanori); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 小川 幸生(OGAWA, Sachio);

〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 東井 亮(AZUMAI, Ryo); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 濱崎 機一(HAMASAKI, Kiichi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

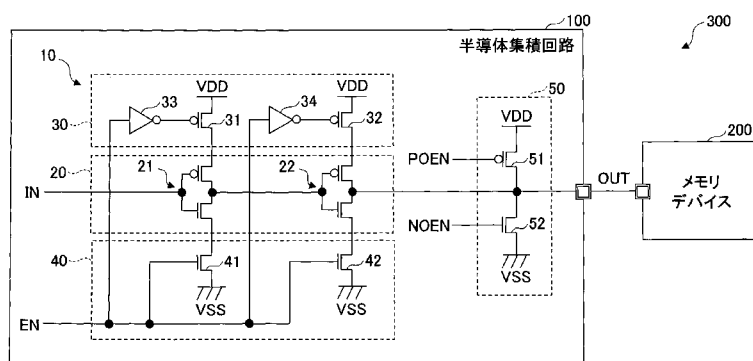
(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路

[図1]



100... SEMICONDUCTOR INTEGRATED CIRCUIT
200... MEMORY DEVICE

(57) Abstract: A semiconductor integrated circuit has: an output buffer that outputs a memory control signal to an external terminal; a power source control unit that controls the supply of power source voltage to the output buffer; a pull-up control unit that controls the pull-up of the external terminal; and a control signal generation unit. The control signal generation unit: during an output period for outputting the memory control signal to the external terminal, generates a power source control signal that causes power source voltage to be supplied to the output buffer by the power source control unit, and a pull-up control signal that stops pull-up by the pull-up control unit; and, during an idle period in which the memory control signal is not outputted to the external terminal, generates a power source control signal that stops the supply of the power source voltage to the output buffer by the power source control unit, and a pull-up control signal that pulls up the external terminal. This makes it possible to prevent the output terminal from being in a high-impedance state when the output terminal is set to a prescribed voltage in accordance with the output signal outputted from the output terminal.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 半導体集積回路は、メモリ制御信号を外部端子に出力する出力バッファと、出力バッファへの電源電圧の供給を制御する電源制御部と、外部端子のプルアップを制御するプルアップ制御部と、制御信号生成部とを有する。制御信号生成部は、メモリ制御信号を外部端子に出力する出力期間に、電源制御部により電源電圧を出力バッファに供給させる電源制御信号と、プルアップ制御部によりプルアップを停止させるプルアップ制御信号とを生成し、メモリ制御信号を外部端子に出力しないアイドル期間に、電源制御部により出力バッファへの電源電圧の供給を停止する電源制御信号と、外部端子をプルアップするプルアップ制御信号とを生成する。これにより、出力端子から出力する出力信号に応じて出力端子を所定の電圧に設定する場合、出力端子がハイインピーダンス状態になることを防止することができる。

明 細 書

発明の名称：半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路に関する。

背景技術

[0002] 半導体集積回路を構成するトランジスタ等の素子の微細化により、トランジスタの導通状態を続けた場合にトランジスタの特性が低下していく劣化現象が問題になってきている。例えば、半導体集積回路の出力端子を駆動するトランジスタの特性が劣化し、出力端子に出力する信号のデューティ比が変わると、信号の出力先のデバイスにおける信号の受信マージンが低下してしまう。受信マージンの低下は、動作周波数が高くなるほど顕著になる。

[0003] トランジスタの特性の劣化は、出力端子を常時プルアップするプルアップ用トランジスタでも発生する。このため、プルアップ用トランジスタを、並列に接続した複数のトランジスタにより構成し、トランジスタの導通タイミングを相互にずらすことで、トランジスタの特性の劣化を分散させる手法が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-74746号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、プルアップ用トランジスタを常時導通させずに、出力端子から出力する出力信号に応じて導通状態と非導通状態とを切り替える場合、出力端子がハイインピーダンス状態になると、ノイズ等の影響を受けて誤った出力信号が生成されるおそれがある。

[0006] 本発明は、上記の点に鑑みてなされたもので、出力端子から出力する出力信号に応じて出力端子を所定の電圧に設定する場合、出力端子がハイインピ

ーダンス状態になることを防止することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様では、半導体集積回路は、外部端子に接続したメモリデバイスに供給するメモリ制御信号を前記外部端子に出力する出力バッファと、電源制御信号に基づいて電源線から前記出力バッファへの電源電圧の供給を制御する電源制御部と、プルアップ制御信号に基づいて前記外部端子のプルアップを制御するプルアップ制御部と、前記メモリ制御信号を前記外部端子に出力する出力期間に、前記電源制御部により前記電源電圧を前記出力バッファに供給する前記電源制御信号と、前記プルアップ制御部により前記外部端子のプルアップを停止させる前記プルアップ制御信号とを生成し、前記メモリ制御信号を前記外部端子に出力しないアイドル期間に、前記電源制御部により前記出力バッファへの前記電源電圧の供給を停止させる前記電源制御信号と、前記プルアップ制御部により前記外部端子をプルアップさせる前記プルアップ制御信号とを生成する制御信号生成部と、を有する。

発明の効果

[0008] 開示の技術によれば、出力端子から出力する出力信号に応じて出力端子を所定の電圧に設定する場合、出力端子がハイインピーダンス状態になることを防止することができる。

図面の簡単な説明

[0009] [図1]第1の実施形態の半導体集積回路の構成を示す図である。

[図2]図1のイネーブル信号を生成する制御信号生成部を示す図である。

[図3]図2の制御信号生成部を動作させる信号のタイミングを示す図である。

[図4]図1に示した出力部を動作させる信号の論理を示す図である。

[図5]図1に示した出力部を動作させる信号のタイミングを示す図である。

[図6]図1の半導体集積回路が、相補の出力信号をメモリデバイスに出力する場合の構成を示す図である。

[図7]図6に示した出力部を動作させる信号の論理を示す図である。

[図8]図6に示した出力部を動作させる信号のタイミングを示す図である。

[図9]第2の実施形態の半導体集積回路におけるイネーブル信号を生成する制御信号生成部を示す図である。

[図10]図9の制御信号生成部を動作させる信号のタイミングを示す図である。

[図11]第2の実施形態において、図1に示した出力部を動作させる信号の論理を示す図である。

[図12]第2の実施形態の出力部を動作させる信号のタイミングを示す図である。

[図13]第3の実施形態の半導体集積回路の構成を示す図である。

[図14]図13に示した出力部およびプルアップ／プルダウン部を動作させる信号の論理を示す図である。

[図15]図13に示した出力部およびプルアップ／プルダウン部を動作させる信号のタイミングを示す図である。

[図16]図13のプルアップ／プルダウン部の構成の例を示す図である。

[図17]図13のプルアップ／プルダウン部の構成の別の例を示す図である。

[図18]第4の実施形態の半導体集積回路の構成を示す図である。

[図19]第1仕様と第2仕様での出力部を動作させる信号のタイミングを示す図である。

発明を実施するための形態

[0010] 以下、図面を用いて実施形態を説明する。信号と信号を伝達する信号線とは、同じ符号で示し、電源と電源線とは同じ符号で示す。チップの外部端子は、二重の矩形で示す。

[0011] (第1の実施形態)

図1は、第1の実施形態の半導体集積回路100の構成を示す。システム300は、半導体集積回路100をメモリデバイス200とともに搭載する。例えば、半導体集積回路100は、SoC (System on a Chip) であり、メモリデバイス200は、NAND型フラッシュメモリである。システム300は、半導体集積回路100およびメモリデバイス200をシステム基板

に搭載し、システム基板上の配線により相互に接続する。なお、半導体集積回路 100 は、CPU (Central Processing Unit) でもよく、メモリデバイス 200 は、NAND 型フラッシュメモリ以外でもよい。

[0012] 図 1 では、半導体集積回路 100 のうち、メモリデバイス 200 に出力信号 OUT を出力する出力部 10 のみを示している。出力部 10 は、出力バッファ 20、出力バッファ 20 に接続したハイインピーダンス制御部 30、40 およびプルアップ／プルダウン部 50 を有している。ハイインピーダンス制御部 30 は、電源制御部の一例である。

[0013] 例えば、出力信号 OUT は、リードイネーブル信号 (REN) である。半導体集積回路 100 は、リードイネーブル信号を、メモリデバイス 200 からデータをリードするリードサイクルにおいて、ハイレベルとロウレベルとが交互にメモリデバイス 200 に出力する。メモリデバイス 200 は、リードイネーブル信号の立ち上がりエッジと立ち下がりエッジとのそれぞれにตอบสนองして、リードデータを半導体集積回路 100 に出力する。すなわち、メモリデバイス 200 は、DDR (Double Data Rate) で動作する。

[0014] この場合、メモリデバイス 200 は、メモリデバイス 200 内で生成するデータストロブ信号の立ち下がりエッジと立ち上がりエッジとに同期してリードデータを出力する。なお、出力信号 OUT は、リードイネーブル信号以外の制御信号でもよい。出力信号 OUT は、メモリ制御信号の一例である。

[0015] 出力バッファ 20 は、出力信号 OUT の元の信号である信号 IN を出力端子 OUT に伝達するための直列に接続した 2 つの CMOS (Complementary Metal Oxide Semiconductor) インバータ 21、22 を有している。CMOS インバータ 21、22 の p チャネル MOS トランジスタのソースは、ハイインピーダンス制御部 30 を介して電源線 VDD に接続している。CMOS インバータ 21、22 の n チャネル MOS トランジスタのソースは、ハイインピーダンス制御部 40 を介して接地線 VSS (電源線の一種) に接続している。

- [0016] なお、ゲートに丸印が付いたトランジスタがpチャネルMOSトランジスタであり、ゲートに丸印が付いていないトランジスタがnチャネルMOSトランジスタである。以下の説明では、pチャネルMOSトランジスタを、単にpMOSとも称し、nチャネルMOSトランジスタを、単にnMOSとも称する。
- [0017] ハイインピーダンス制御部30は、電源線VDDとCMOSインバータ21、22のpMOSのソースとの間にそれぞれ接続したpMOS31、32を有している。pMOS31、32のゲートは、インバータ33、34をそれぞれ介してイネーブル信号ENの反転論理を受ける。イネーブル信号ENは、電源制御信号の一例である。pMOS31、32は、イネーブル信号ENに基づいてオンまたはオフする電源スイッチの一例である。
- [0018] ハイインピーダンス制御部40は、CMOSインバータ21、22のnMOSのソースと接地線VSSとの間にそれぞれ接続したnMOS41、42を有している。nMOS41、42のゲートは、イネーブル信号ENを受ける。
- [0019] 出力部10は、イネーブル信号ENがハイレベルの期間に信号INを出力端子OUTに伝達し、イネーブル信号ENがロウレベルの期間に信号INの出力端子OUTへの伝達を停止する。例えば、ハイレベルは、電源電圧VDDであり、ロウレベルは、接地電圧VSSである。
- [0020] プルアップ／プルダウン部50は、電源線VDDと出力端子OUTとの間を接続するpMOS51と、出力端子OUTと接地線VSSとの間を接続するnMOS52とを有している。pMOS51は、イネーブル信号POENがロウレベルの期間に導通し、出力端子OUTを電源線VDDに接続する。プルアップ／プルダウン部50は、プルアップ制御部の一例であり、イネーブル信号POENは、プルアップ制御信号の一例である。pMOS51は、オン時に抵抗素子として機能するプルアップスイッチの一例である。
- [0021] nMOS52は、イネーブル信号NOENがハイレベルの期間に導通し、出力端子OUTを接地線VSSに接続する。ここで、導通とは、トランジス

タのソースとドレインとを電氣的に接続することを意味し、トランジスタをオンすることを意味する。非導通とは、トランジスタのソースとドレインとを電氣的に遮断することを意味し、トランジスタをオフすることを意味する。

[0022] なお、リードイネーブル信号は、相補の信号でもよい。この場合、図1に示す出力部10とは別に、半導体集積回路100は、負論理のリードイネーブル信号をメモリデバイス200に出力する出力部を有する。例えば、相補のリードイネーブル信号を出力する出力部10の回路構成は、互いに同じである。メモリデバイス200に出力する相補の信号を制御する例は、図6に示す。

[0023] 図2は、図1のイネーブル信号EN、POENを生成する制御信号生成部60を示す。制御信号生成部60は、半導体集積回路100に搭載する。制御信号生成部60は、ラッチ回路62、オア回路64およびアンド回路66を有する。ラッチ回路62は、遅延部の一例である。

[0024] ラッチ回路62は、後述する図5の出力期間にハイレベルに設定し、アイドル期間にロウレベルに設定する制御信号CONTをデータ入力端子Dで受け、クロック信号CLKをクロック端子CKで受け、出力端子Qから遅延制御信号CONTDを出力する。制御信号CONTは、タイミング信号の一例であり、遅延制御信号CONTDは、遅延タイミング信号の一例である。

[0025] 例えば、クロック信号CLKは、半導体集積回路100の内部回路を動作させる同期クロックであるが、同期クロックの周波数を分周させたものを使用してもよく、他のクロック信号を使用してもよい。オア回路64は、制御信号CONTと遅延制御信号CONTDとを受け、イネーブル信号ENを出力する。アンド回路66は、制御信号CONTと遅延制御信号CONTDとを受け、イネーブル信号POENを出力する。

[0026] なお、ラッチ回路62の代わりに抵抗素子および容量素子を用いた遅延回路を使用してもよい。しかしながら、ラッチ回路62を使用することで、クロックサイクル時間だけ遅延する遅延制御信号CONTDを生成することが

できる。これに対して、抵抗素子および容量素子を用いた遅延回路により、クロックサイクル時間を生成する場合、半導体集積回路１００の製造プロセスの変動等により遅延時間が変動するおそれがある。換言すれば、ラッチ回路６２を使用することで、製造プロセスの変動の影響を受けることなく、遅延時間を設定することができる。

[0027] 図３は、図２の制御信号生成部６０を動作させる信号のタイミングを示す。図３に示したラッチ回路６２は、クロック信号ＣＬＫに同期して制御信号ＣＯＮＴをラッチし、ラッチした制御信号ＣＯＮＴを１クロックサイクル遅延させた遅延制御信号ＣＯＮＴＤを出力する。オア回路６４は、制御信号ＣＯＮＴと遅延制御信号ＣＯＮＴＤの論理和をとる。そして、オア回路６４は、制御信号ＣＯＮＴの立ち上がりエッジに対応する立ち上がりエッジと、遅延制御信号ＣＯＮＴＤの立ち下がりエッジに対応する立ち下がりエッジとを有するイネーブル信号ＥＮを生成する。

[0028] アンド回路６６は、制御信号ＣＯＮＴと遅延制御信号ＣＯＮＴＤの論理積をとる。そして、アンド回路６６は、遅延制御信号ＣＯＮＴＤの立ち上がりエッジに対応する立ち上がりエッジと、制御信号ＣＯＮＴの立ち下がりエッジに対応する立ち下がりエッジとを有するイネーブル信号ＰＯＥＮを生成する。

[0029] 制御信号生成部６０により、イネーブル信号ＥＮのハイレベル期間にハイレベル期間を含むイネーブル信号ＰＯＥＮを生成することができる。すなわち、オア回路６４とアンド回路６６とを用いることで、簡易な回路で、所定の包含関係を有するイネーブル信号ＥＮ、ＰＯＥＮを生成することができる。また、制御信号生成部６０により、１つの制御信号ＣＯＮＴに基づいてタイミングの異なるイネーブル信号ＥＮ、ＰＯＥＮを生成することができる。

[0030] 図４は、図１に示した出力部１０を動作させる信号の論理（真理値表）を示す。真理値表において、“入力”は、出力部１０への入力信号を示し、“出力”は、出力部１０からの出力信号を示す。

[0031] 出力期間は、リードサイクルにおいて、出力信号ＯＵＴ（リードイネーブ

ル信号)をメモリデバイス200に出力する期間である。アイドル期間は、リードサイクルにおいて、例えば、出力信号OUTの出力期間の前後に設ける期間である。遷移期間は、リードサイクルにおいて、アイドル期間から出力期間へ遷移する期間、および出力期間からアイドル期間に遷移する期間である。

[0032] アイドル期間では、イネーブル信号EN、POEN、NOENをロウレベルLに設定し、信号INをハイレベルHまたはロウレベルLに設定する。ロウレベルLのイネーブル信号ENにより、ハイインピーダンス制御部30のpMOS31、32およびハイインピーダンス制御部40のnMOS41、42は、いずれも非導通状態になる。このため、出力バッファ20は、電源線VDDおよび接地線VSSから遮断される。

[0033] ロウレベルLのイネーブル信号POENにより、プルアップ／プルダウン部50のpMOS51が導通状態になり、出力端子OUTをハイレベルHに設定する。すなわち、出力バッファ20を電源線VDDから遮断する場合にも、出力端子OUTがハイインピーダンス状態になることなく、プルアップ／プルダウン部50は出力端子OUTをハイレベルHに設定する。したがって、例えば、出力信号線OUTをシステム基板上でプルアップしない場合にも、出力端子OUTがハイインピーダンス状態になることを防止することができる。

[0034] 出力端子OUTがハイインピーダンス状態にならないため、例えば、出力信号線OUTに隣接する信号線の電圧変化により誤った出力信号OUTを生成することを防止でき、メモリデバイス200が誤動作することを防止できる。なお、ロウレベルLのイネーブル信号NOENにより、プルアップ／プルダウン部50のnMOS52は非導通状態になる。

[0035] 遷移期間では、イネーブル信号ENをハイレベルHに設定し、イネーブル信号POEN、NOENをロウレベルLに設定し、信号INをハイレベルHに設定する。ハイレベルHのイネーブル信号ENにより、ハイインピーダンス制御部30のpMOS31、32およびハイインピーダンス制御部40の

nMOS 41、42は、いずれも導通状態になる。

[0036] これにより、CMOSインバータ21はロウレベルを出力し、CMOSインバータ22はハイレベルHを出力する。一方、ロウレベルLのイネーブル信号POENにより、プルアップ／プルダウン部50のpMOSの導通状態を維持する。信号INおよびイネーブル信号ENのハイレベル期間と、イネーブル信号POENのロウレベル期間が重複する遷移期間を設けることで、出力端子OUTがハイインピーダンス状態になることを防止することができる。ロウレベルのイネーブル信号NOENによる出力部10の動作は、アイドル期間の動作と同じである。

[0037] 出力期間は、メモリデバイス200に出力信号OUT(例えば、リードイネーブル信号)を出力する期間である。出力期間では、イネーブル信号EN、POENをハイレベルHに設定し、イネーブル信号NOENをロウレベルLに設定する。信号INを、メモリデバイス200に供給する出力信号OUTの論理に応じてハイレベルHまたはロウレベルLに設定する。出力期間における出力部10の動作は、信号INの論理に応じて出力端子OUTの論理が変化することを除き、遷移期間の動作と同様である。

[0038] ハイレベルHのイネーブル信号POENにより、プルアップ／プルダウン部50のpMOS51は非導通状態になる。しかしながら、ハイレベルHのイネーブル信号ENにより、出力端子OUTは、信号INと同じ論理になるため、出力端子OUTがハイインピーダンス状態になることを防止することができる。ロウレベルのイネーブル信号NOENによる出力部10の動作は、アイドル期間の動作と同じである。

[0039] 図5は、図1に示した出力部10を動作させる信号のタイミングを示す。アイドル期間および遷移期間の各信号IN、EN、POEN、NOEN、OUTの波形(論理レベル)は、図4に示した真理値表と同じである。信号INのアイドル期間に斜線で示す矩形は、ハイレベルHまたはロウレベルLであることを示す。

[0040] イネーブル信号EN、POENがハイレベルになる出力期間では、信号I

Nと同じ論理の出力信号OUTを生成する。例えば、信号INを、半導体集積回路100内で使用するクロック信号に同期して生成し、信号INはクロック信号の周波数と同じ周波数を有する。出力信号OUTをフラッシュメモリに供給するときに生成するリードイネーブル信号の場合、フラッシュメモリは、リードイネーブル信号の各遷移エッジに応答して、各遷移エッジから所定時間後に図示しないデータ信号を順次出力する。なお、半導体集積回路100は、図5の波形の前に、メモリデバイス200にリード動作を実行させるリードコマンドをメモリデバイス200に出力する。

[0041] 例えば、メモリデバイス200へ出力するリードイネーブル信号である出力信号OUTは、出力期間以外では、ハイレベルを維持する。半導体集積回路100およびメモリデバイス200に電源を投入している期間において、通常、アイドル期間は、出力期間に比べて大幅に長い。

[0042] この実施形態では、アイドル期間では、出力信号OUTのハイレベルは、プルアップ／プルダウン部50のpMOS51を導通にすることで生成し、出力バッファ20のCMOSインバータ22のpMOSを非導通状態に維持する。このため、アイドル期間において、CMOSインバータ22のpMOSがBT（Bias, Temperature）劣化することを防止することができる。CMOSインバータ22のpMOSは、出力信号OUTの立ち上がりエッジを生成する。このため、BT劣化が発生し、出力信号OUTの立ち上がり波形が鈍ると、出力期間での出力信号OUTのデューティ比がメモリデバイス200の電氣的仕様を満足しなくなるおそれがある。

[0043] なお、アイドル期間に導通状態を維持するプルアップ／プルダウン部50のpMOS51は、半導体集積回路100の長期間の使用により、BT劣化が発生するおそれがある。しかしながら、pMOS51にBT劣化が発生しても、図5においてイネーブル信号POENの立ち下がりエッジタイミングでは、出力信号OUTをハイレベルに維持しているため、メモリデバイス200のアクセスに影響しない。

[0044] 換言すれば、この実施形態では、メモリデバイス200にリードアクセス

しないアイドル期間において、メモリデバイス200に供給する出力信号OUTを生成するCMOSインバータ22のpMOSをBT劣化させる代わりにpMOS51をBT劣化させる。これにより、出力期間に生成する出力信号OUTのデューティ比がずれることを防止することができる。

[0045] なお、出力部10がハイインピーダンス制御部30、40を持たない場合、アイドル期間に出力端子OUTをハイレベルに維持するため、例えば、CMOSインバータ22のpMOSを導通状態に維持する。この場合、半導体集積回路100の長期間の使用により、CMOSインバータ22のpMOSにBT劣化が発生し、出力期間に生成する出力信号OUTのデューティ比がずれるおそれがある。

[0046] 図6は、図1の半導体集積回路100が、相補の出力信号OUT、／OUTをメモリデバイス200に出力する場合の構成を示す。例えば、出力信号OUTは、正論理（True）のリードイネーブル信号であり、出力信号／OUTは、負論理（Complementary）のリードイネーブル信号である。出力信号／OUTは、相補メモリ制御信号の一例であり、出力端子／OUTは、相補外部端子の一例である。

[0047] 出力信号／OUTを生成する出力部12（20、30、40、50）の回路構成は、出力部10（20、30、40、50）の回路構成と同じである。また、出力部12は、出力部10と同じイネーブル信号ENを受けて動作する。但し、出力部12の出力バッファ20は、信号INと反対の論理を有する負論理の信号／INを受け、負論理の出力信号／OUTを出力する。出力部12の出力バッファ20は、相補出力バッファの一例であり、出力部12のハイインピーダンス制御部40は、相補電源制御部の一例である。接地線VSSは、相補電源線の一例であり、接地電圧VSSは、相補電源電圧の一例である。

[0048] 出力部12のプルアップ／プルダウン部50は、pMOS51でイネーブル信号POEN2を受け、nMOS52でイネーブル信号NOEN2を受ける。出力部12のプルアップ／プルダウン部50において、nMOS52は

、負論理の信号／IN用の出力端子／OUTをロウレベルにプルダウンするために設ける。出力部12のプルアップ／プルダウン部50のnMOS52は、プルダウン制御部の一例であり、イネーブル信号NOEN2は、プルダウン制御信号の一例である。

[0049] 相補の出力信号OUT、／OUTをメモリデバイス200に出力する場合、出力信号OUT用の出力部10および出力信号／OUT用の出力部12は、互いに同じ回路に設計し、配線層以外は同じレイアウトデータを使用してもよい。同様に、出力信号OUT用のプルアップ／プルダウン部50および出力信号／OUT用のプルアップ／プルダウン部50は、互いに同じ回路とし、配線層以外は同じレイアウトデータを使用してもよい。これにより、設計効率を向上することができる。

[0050] 図7は、図6に示した出力部10、12を動作させる信号の論理（真理値表）を示す。図4と同様の状態については、詳細な説明を省略する。例えば、イネーブル信号ENおよび出力部10を動作させる信号の論理は、図2と同じであり、出力部10の動作は、図4と同じである。

[0051] 出力信号／OUTを出力する出力部12において、アイドル期間では、イネーブル信号POEN2、NOEN2をハイレベルHに設定し、信号／INをロウレベルLまたはハイレベルHに設定し、信号／INを信号INの論理と逆の論理に設定する。出力部12は、出力部10と同じイネーブル信号ENを受ける。このため、アイドル期間の出力部12は、出力部10と同様に、pMOS31、32およびnMOS41、42がいずれも非導通状態になり、出力バッファ20を電源線VDDおよび接地線VSSから遮断する。

[0052] アイドル期間では、ハイレベルHのイネーブル信号NOEN2により、出力部12のプルアップ／プルダウン部50のnMOS52が導通状態になることで、出力端子／OUTをロウレベルLに設定する。これにより、例えば、出力信号線／OUTがシステム基板上でプルダウンしない場合にも、出力信号線／OUTが高インピーダンス状態なることを防止することができ、メモリデバイス200が誤動作することを防止することができる。ハイレベ

ルHのイネーブル信号POEN2により、出力部12のプルアップ／プルダウン部50のpMOS51は非導通状態になる。

[0053] 遷移期間では、イネーブル信号POEN2、NOEN2をハイレベルHに設定し、信号／INをロウレベルLに設定する。ハイレベルHのイネーブル信号ENにより、出力部12において、ハイインピーダンス制御部30のpMOS31、32およびハイインピーダンス制御部40のnMOS41、42は、いずれも導通状態になる。ハイレベルHのイネーブル信号POEN2により、出力部12のプルアップ／プルダウン部50のpMOS51は非導通状態になる。

[0054] これにより、ロウレベルLの信号／INに基づいて、出力部12の出力バッファ20が出力するハイレベルHと、ハイレベルHのイネーブル信号NOEN2により導通状態を維持するnMOS52とにより、出力端子／OUTのロウレベルLを維持する。信号／INのロウレベル期間およびイネーブル信号ENのハイレベル期間と、イネーブル信号NOEN2のハイレベル期間とが重複する遷移期間を設けることで、出力端子／OUTがハイインピーダンス状態になることを防止することができる。

[0055] 出力期間では、イネーブル信号POEN2をハイレベルHに設定し、イネーブル信号NOEN2をロウレベルLに設定する。また、メモリデバイス200に供給する出力信号／OUTの論理に応じて、信号／INをロウレベルLまたはハイレベルHに設定する。ハイレベルHのイネーブル信号POEN2により、出力部12のプルアップ／プルダウン部50のpMOS51は非導通状態になる。出力期間の出力部12の動作は、信号／INの論理に応じて出力端子／OUTの論理が変化することを除き、遷移期間の動作と同様である。

[0056] ロウレベルLのイネーブル信号NOEN2により、出力部12のプルアップ／プルダウン部50のnMOS52は非導通状態になる。しかしながら、ハイレベルHのイネーブル信号ENにより、出力端子／OUTは、信号／INと同じ論理になるため、出力端子／OUTがハイインピーダンス状態にな

ることを防止することができる。なお、イネーブル信号NOEN2は、イネーブル信号POENの論理を反転させた信号であり、図2のアンド回路66の出力の論理をインバータにより反転させることで生成する。

[0057] 図8は、図6に示した出力部10、12を動作させる信号のタイミングを示す。図5と同様の動作については、詳細な説明は省略する。イネーブル信号POEN、NOENの波形は、図5と同じであるため、図示を省略する。出力部10、12は、図7に示した真理値表にしたがって動作し、出力期間に相補の出力信号OUT、／OUT（リードネーブル信号）をメモリデバイス200に出力する。

[0058] 例えば、メモリデバイス200への負論理のリードイネーブル信号である出力信号／OUTは、出力期間以外では、ロウレベルに固定する。アイドル期間では、出力部12の出力バッファ20の出力はハイインピーダンス状態であり、出力信号／OUTのロウレベルは、出力部12のプルアップ／プルダウン部50のnMOS52を導通することで生成する。

[0059] なお、nMOSは、pMOSに比べてBT劣化が発生しにくいいため、出力部12にハイインピーダンス制御部30、40を設けず、出力バッファ20を電源線VDDおよび接地線VSSに直接接続してもよい。この場合、出力部12のプルアップ／プルダウン部50は不要になる。

[0060] そして、アイドル期間中、ロウレベルの信号／INに応じて出力バッファ20の最終段のnMOSを導通状態に維持し、出力端子／OUTをロウレベルに維持する。しかしながら、出力部10、12の回路構成が異なる場合、出力期間において、出力信号OUT、／OUTの位相が揃わないおそれがある。このため、この実施形態では、図6に示したように、出力部10、12を共通の回路とし、出力信号OUT、／OUTの位相を揃えている。換言すれば、図6に示した回路構成により、設計効率を向上することができるとともに、出力信号OUT、／OUTの位相を揃えることができ、メモリデバイス200の動作マージンを向上することができる。

[0061] 以上、第1の実施形態では、アイドル期間から出力期間への遷移時、およ

び出力期間からアイドル期間への遷移時に、出力端子OUTがハイインピーダンス状態になることを防止することができる。すなわち、出力端子OUTから出力する出力信号OUTに応じて出力端子OUTのプルアップ状態を切り替える場合に、出力端子OUTがハイインピーダンス状態になることを防止することができる。

[0062] 例えば、信号INおよびイネーブル信号ENのハイレベル期間と、イネーブル信号POENのロウレベル期間が重複する遷移期間を設けることで、出力端子OUTがハイインピーダンス状態になることを防止することができる。これにより、ノイズの影響を受けて出力信号線OUTが誤ったレベルに変化することを防止することができ、メモリデバイス200の誤動作を防止することができる。

[0063] 制御信号生成部60により1つの制御信号CONTに基づいてタイミングの異なるイネーブル信号EN、POENを生成することができる。また、オア回路64とアンド回路66とを含む簡易な制御信号生成部60により、所定の包含関係を有するイネーブル信号EN、POENを生成することができる。そして、信号INおよびイネーブル信号ENのハイレベル期間と、イネーブル信号POENのロウレベル期間が重複する遷移期間を設けることで、出力端子OUTがハイインピーダンス状態になることを防止することができる。

[0064] アイドル期間において、プルアップ専用のpMOS51により出力信号OUTをハイレベルに固定するため、出力期間に出力信号OUTを出力する出力バッファ20のpMOSのBT劣化を防止することができる。換言すれば、出力バッファ20のpMOSの代わりに、出力期間の動作に影響しないpMOS51をBT劣化させることで、メモリデバイス200への出力信号OUTの出力タイミングおよび位相が、正常値からずれることを防止することができる。これにより、メモリデバイス200の動作マージンが低下することを防止できる。

[0065] 以上の効果は、出力信号OUTだけでなく、出力信号／OUTについても

得ることができる。さらに、ラッチ回路62を使用することで、クロックサイクル時間だけ遅延する遅延制御信号CONT Dを生成することができ、製造プロセスの変動の影響を受けることなく、遅延時間を設定することができる。

[0066] (第2の実施形態)

図9は、第2の実施形態の半導体集積回路100Aにおけるイネーブル信号EN、POENを生成する制御信号生成部60Aを示す。この実施形態の半導体集積回路100Aの構成は、制御信号生成部60Aが、図2に示した制御信号生成部60と異なることを除き、図1または図6に示した半導体集積回路100の構成と同様である。制御信号生成部60Aは、図2のアンド回路66を持たず、オア回路64からイネーブル信号EN、POENを出力する。なお、本実施形態を図6の半導体集積回路100に適用する場合、イネーブル信号NOEN2を、図9のオア回路64の出力の論理をインバータにより反転させることで生成する。

[0067] 図10は、図9の制御信号生成部60Aを動作させる信号のタイミングを示す。図3と同じ波形については、詳細な説明は省略する。この実施形態では、イネーブル信号EN、POENは、互いに同じ波形であり、制御信号CONTの立ち上がりエッジに対応する立ち上がりエッジと、遅延制御信号CONT Dの立ち下がりエッジに対応する立ち下がりエッジとを有する。

[0068] 図11は、第2の実施形態において、図1に示した出力部10を動作させる信号の論理（真理値表）を示す。図11は、図4の真理値表から遷移期間を除いたものと同じである。すなわち、半導体集積回路100Aの出力部10は、遷移期間なしに出力信号OUTを生成する。

[0069] 図12は、第2の実施形態の出力部10を動作させる信号のタイミングを示す。図5と同様の波形については、詳細な説明を省略する。この実施形態では、遷移期間が存在しないため、イネーブル信号ENのハイレベル期間が出力期間になる。なお、メモリデバイス200に対するアクセス効率を低下させないため、イネーブル信号ENのハイレベル期間を、図5に示したイネ

ーブル信号 P O E N のハイレベル期間と等しく設定する。このため、例えば、図 10 の制御信号 C O N T のハイレベル期間は、図 2 の制御信号 C O N T のハイレベル期間より 2 クロックサイクルだけ短くなる。

[0070] 遷移期間を省略する場合、出力期間の開始時において、イネーブル信号 E N の立ち上がりタイミングが、イネーブル信号 P O E N の立ち上がりタイミングに対して遅れると、出力端子 O U T がハイインピーダンス状態になる。また、出力期間の終了時において、イネーブル信号 P O E N の立ち下がりタイミングが、イネーブル信号 E N の立ち下がりタイミングに対して遅れると、出力端子 O U T がハイインピーダンス状態になる。

[0071] しかしながら、図 10 に示したように、イネーブル信号 E N、P O E N は、オア回路 64 から出力する互いに同じ信号である。このため、イネーブル信号 E N、P O E N の立ち上がりエッジタイミングは互いに等しく、イネーブル信号 E N、P O E N の立ち下がりエッジのタイミングは互いに等しい。したがって、遷移期間を省略した場合にも、アイドル期間と出力期間の切り替わりタイミングで出力端子 O U T がハイインピーダンス状態になることを防止することができ、メモリデバイス 200 の誤動作を防止することができる。

[0072] さらに、遷移期間を省略することで、実質的なアイドル期間を短縮できる。この結果、図 5 に比べて、メモリデバイス 200 のアクセス効率を向上することができる。なお、図 6 に示した相補の出力信号 O U T、／O U T をメモリデバイス 200 に供給する場合にも、遷移期間を省略することができる。イネーブル信号 E N、N O E N 2 のタイミング差は、図 10 のオア回路 64 の出力に接続するインバータ 1 段分である。このため、アイドル期間と出力期間の切り替わりタイミングで出力端子 O U T、／O U T がハイインピーダンス状態になることを防止することができる。

[0073] 以上、第 2 の実施形態においても、第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、オア回路 64 の出力信号をイネーブル信号 E N、P O E N とするため、遷移期間を省略した場合にも、アイド

ル期間と出力期間の切り替わりタイミングで出力端子OUTがハイインピーダンス状態になることを防止することができる。この結果、メモリデバイス200の誤動作を防止することができる。

[0074] (第3の実施形態)

図13は、第3の実施形態の半導体集積回路100Bの構成を示す。図1に示した半導体集積回路100と同様の要素については、同じ符号を付し、詳細な説明は省略する。

[0075] 半導体集積回路100Bは、図1の出力端子OUTの代わりに入出力端子IOを有し、入出力端子IOにプルアップ／プルダウン部70を接続していることを除き、図1に示した半導体集積回路100と同様の構成を有する。すなわち、システム300は、半導体集積回路100Bをメモリデバイス200とともに搭載する。

[0076] 例えば、入出力端子IOに入出力する信号IOは、データストロブ信号(DQS)である。半導体集積回路100Bは、メモリデバイス200にデータをライトするライトサイクルにおいて、データストロブ信号を、図示しないライトデータ(DQ)とともにメモリデバイス200に出力する。すなわち、出力部10は、ライトサイクルにおいて動作し、信号INをデータストロブ信号として入出力端子IOを介してメモリデバイス200に出力する。

[0077] 例えば、半導体集積回路100Bは、ライトサイクルにおけるデータストロブ信号を、データストロブ信号の立ち上がりエッジまたは立ち下がりエッジがライトデータの中央に現れるように生成する。例えば、データストロブ信号の位相をライトデータの位相に対して調整する回路は、信号INの位相を調整する。メモリデバイス200がDDRで動作する場合、半導体集積回路100Bは、ライトサイクルにおいてデータストロブ信号の立ち上がりエッジと立ち下がりエッジのそれぞれに対応してメモリデバイス200にライトデータを出力する。

[0078] また、メモリデバイス200からデータをリードするリードサイクルにお

いて、メモリデバイス200は、データストロブ信号をリードデータ（DQ）とともに出力する。リードサイクルにおいて、メモリデバイス200は、図示しないデータ入出力端子を介して半導体集積回路100Bにリードデータを出力する。例えば、リードサイクルにおけるデータストロブ信号の遷移エッジのタイミングは、リードデータの遷移エッジのタイミングと同じである。図13では、リードサイクルにおいて、入出力端子10で受けたデータストロブ信号をリードデータの受信回路に伝達する信号線を符号”Y”で示し、以下では、信号Yとも称する。信号線Yは入出力端子10に直接接続するため、信号Yの論理は、信号10の論理と同じである。

[0079] 図13では、半導体集積回路100Bのうち、入出力端子10を介してメモリデバイス200に信号10（出力信号）を出力する出力部10（20、30、40、50）と、プルアップ／プルダウン部70のみを示している。このため、ライトデータ（DQ）をメモリデバイス200に出力する回路と、メモリデバイス200が出力するリードデータ（DQ）を受信する回路と、データ端子（DQ）等の記載は省略している。

[0080] プルアップ／プルダウン部70は、電源線VDDと入出力端子10との間に接続したpMOS71と、入出力端子10と接地線VSSとの間に接続したnMOS72とを有している。pMOS71は、イネーブル信号PIENがロウレベルの期間に導通（オン）し、入出力端子10を電源線VDDに接続する。nMOS72は、イネーブル信号NIENがハイレベルの期間に導通（オン）し、出力端子OUTを接地線VSSに接続する。

[0081] pMOS71は、オン時に抵抗素子として機能する入力プルアップスイッチの一例であり、nMOS72は、オン時に抵抗素子として機能する入力プルダウンスイッチの一例である。例えば、pMOS71およびnMOS72の導通時の抵抗値は、1キロオーム程度（例えば、数百オームから数千オーム）である。pMOS51およびnMOS52の導通時の抵抗値は、100キロオーム程度（例えば、50キロオームから200キロオーム）である。

- [0082] 図14は、図13に示した出力部10およびプルアップ／プルダウン部70を動作させる信号の論理（真理値表）を示す。図14において、出力アイドル期間は、図4に示したアイドル期間を示す。出力アイドル期間、遷移期間および出力期間におけるイネーブル信号EN、POEN、NOENおよび信号INの論理は、図4と同じである。出力アイドル期間、遷移期間および出力期間における信号IO（出力信号）の論理は、図4の出力信号OUTの論理と同じである。なお、出力アイドル期間、遷移期間および出力期間は、ライトサイクルにおいてデータストロブ信号をメモリデバイス200に出力するために設けている。
- [0083] 入力期間は、リードサイクルにおいて、メモリデバイス200からリードデータ信号およびデータストロブ信号を入力する期間である。入力アイドル期間は、リードサイクルにおいて、入力期間の前に設ける期間である。なお、入力アイドル期間は、入力期間の前後に設けてもよい。入力期間および入力アイドル期間では、イネーブル信号EN、NOENをロウレベルLに設定し、イネーブル信号POENをハイレベルHに設定し、信号INをハイレベルHまたはロウレベルLに設定する。入出力端子IOと信号線Yとは物理的に接続しているため、互いに同じ論理になる。
- [0084] イネーブル信号PIENを、出力アイドル期間、遷移期間、出力期間および入力アイドル期間にハイレベルHに設定し、入力期間にロウレベルLに設定する。このため、プルアップ／プルダウン部70のpMOS71は、入力期間に導通状態になり、入力期間以外に非導通状態になる。
- [0085] イネーブル信号NIENを、出力アイドル期間、遷移期間および出力期間にロウレベルLに設定し、入力アイドル期間および入力期間にハイレベルHに設定する。このため、プルアップ／プルダウン部70のnMOS72は、入力アイドル期間および入力期間に導通状態になり、入力アイドル期間および入力期間以外に非導通状態になる。
- [0086] 入力アイドル期間では、nMOS72のみ導通状態になるため、入出力端子IOおよびノードYは、ロウレベルLになる。入力期間では、pMOS7

1 および nMOS 72 の両方が導通状態になるため、入出力端子 10 およびノード Y のハイレベル H は、電源電圧 VDD より低い値になり、入出力端子 10 およびノード Y のロウレベル L は、接地電圧 VSS より高い値になる。これにより、入出力端子 10 およびノード Y に伝送する信号の振幅を小さくすることができ、信号を高速に伝送することが可能になる。

[0087] 図 15 は、図 13 に示した出力部 10 およびプルアップ／プルダウン部 70 を動作させる信号のタイミングを示す。出力アイドル期間は、図 5 のアイドル期間に対応する。出力アイドル期間、遷移期間、出力期間および遷移期間は、メモリデバイス 200 にデータをライトするライトサイクルの一部を示す。入力アイドル期間および入力期間は、メモリデバイス 200 からデータをリードするリードサイクルの一部を示す。すなわち、図 15 は、ライトサイクルに続いてリードサイクルを実施する例を示す。

[0088] 出力アイドル期間、遷移期間および出力期間における信号 1N およびイネーブル信号 EN、POEN、NOEN の波形は、図 5 と同じである。また、出力アイドル期間、遷移期間および出力期間における信号 10 および信号 Y の波形は、図 5 の出力信号 OUT の波形と同じである。出力アイドル期間、遷移期間および出力期間では、イネーブル信号 PIEN をハイレベルに設定し、イネーブル信号 N1EN をロウレベルに設定するため、プルアップ／プルダウン部 70 によるプルアップ動作およびプルダウン動作は停止する。そして、半導体集積回路 100B は、信号 1N を出力信号として入出力端子 10 からメモリデバイス 200 に出力する。

[0089] 入力アイドル期間および入力期間において、イネーブル信号 EN をロウレベルに設定するため、出力部 10 は、信号 1N の出力動作を停止する。また、入力アイドル期間および入力期間において、イネーブル信号 POEN をハイレベルに設定し、イネーブル信号 NOEN をロウレベルに設定するため、プルアップ／プルダウン部 50 によるプルアップ動作およびプルダウン動作は停止する。

[0090] 入力アイドル期間において、イネーブル信号 N1EN をハイレベルに設定

するため、 $nMOS72$ が導通し、入出力端子 IO およびノード Y は、ロウレベルになる。そして、入力期間において、メモリデバイス 200 が入出力端子 IO に出力する信号（例えば、データストロブ信号）の論理に応じて入出力端子 IO およびノード Y の論理が変化する。この際、イネーブル信号 $PIEN$ のロウレベルとイネーブル信号 $NIEN$ のハイレベルにより、 $pMOS71$ および $nMOS72$ が導通しているため、信号振幅を小さくすることができる。なお、入力期間において、イネーブル信号 $PIEN$ をハイレベルに設定し、イネーブル信号 $NIEN$ をロウレベルに設定することで、プルアップ／プルダウン部 70 によるプルアップ動作およびプルダウン動作を停止してもよい。この場合、信号振幅は、電源電圧 VDD と接地電圧 VSS の差になる。

[0091] なお、半導体集積回路 $100B$ は、図2に示した制御信号生成部 60 の代わりに制御信号生成部 $60A$ を有してもよい。この場合、図14および図15から遷移期間が省略される。

[0092] 図16は、図13のプルアップ／プルダウン部 50 、 70 の構成の例を示す。例えば、プルアップ／プルダウン部 50 、 70 の形成領域 80 に、電源線 VDD と入出力端子 IO との間に並列に接続した互いに同じ構成の $n+1$ 個以上のプルアップ用の $pMOS71$ を配置する。また、形成領域 80 に、入出力端子 IO と接地線 VSS との間に並列に接続した互いに同じ構成の $n+1$ 個以上のプルダウン用の $nMOS72$ とを配置する。

[0093] そして、プルアップ／プルダウン部 70 のプルアップ時（オン時）の抵抗値に応じて、プルアップ抵抗として使用する n 個の $pMOS71$ （ 711 、 712 、... $71n$ ）を選択する。また、プルアップ／プルダウン部 70 のプルダウン時（オン時）の抵抗値に応じて、プルダウン抵抗として使用する n 個の $nMOS72$ （ 721 、 722 、... $72n$ ）を選択する。なお、プルアップ抵抗として使用する $pMOS71$ の数は、プルダウン抵抗として使用する $nMOS72$ の数と相違してもよい。

[0094] さらに、プルアップ／プルダウン部 50 の $pMOS51$ を、プルアップ／

プルダウン部 70 に使用しない pMOS 71 を利用して設ける。プルアップ／プルダウン部 50 の nMOS 52 を、プルアップ／プルダウン部 70 に使用しない nMOS 72 を利用して設ける。ここで、プルアップ／プルダウン部 50 の pMOS 51 の数は、プルアップ／プルダウン部 70 の pMOS 71 の数より少ない。また、プルアップ／プルダウン部 50 の nMOS 52 の数は、プルアップ／プルダウン部 70 の nMOS 72 の数より少ない。

[0095] これにより、レイアウトが共通で互いに同じ構造のトランジスタを利用して、プルアップ／プルダウン部 50、70 を設けることができる。例えば、プルアップ／プルダウン部 70 の抵抗値は、プルアップ／プルダウン部 50 の抵抗値に比べて低いため、複数個のトランジスタを並列に接続して使用する場合がある。また、抵抗値の調整用にトランジスタ数を、余裕を持って形成する場合がある。この場合、余っているトランジスタをプルアップ／プルダウン部 50 に利用することができる。

[0096] 図 17 は、図 13 のプルアップ／プルダウン部 50、70 の構成の別の例を示す。図 17 では、プルアップ／プルダウン部 50 の pMOS 51 を、m 個の pMOS 51 (511、512、... 51m) を、電源線 VDD と入出力端子 IO との間に直列に接続することで設ける。プルアップ／プルダウン部 50 の nMOS 52 を、m 個の nMOS 52 (521、522、... 52m) を、入出力端子 IO と接地線 VSS との間に直列に接続することで設ける。

[0097] 図 17 においても、プルアップ／プルダウン部 50 の pMOS 51 および nMOS 52 を、プルアップ／プルダウン部 70 に使用しない pMOS 71 および nMOS 72 を利用して設けることができる。これにより、プルアップ／プルダウン部 50、70 の抵抗値の差が大きい場合にも、レイアウトが共通で互いに同じ構造のトランジスタを利用して、プルアップ／プルダウン部 50、70 を設けることができる。なお、プルアップ／プルダウン部 50 のプルアップ抵抗およびプルダウン抵抗は、例えば、トランジスタと拡散抵抗とを直列に接続することで設けてもよい。

[0098] 以上、第 3 の実施形態においても、第 1 および第 2 の実施形態と同様の効

果を得ることができる。さらに、この実施形態では、入出力端子 I O においても、アイドル期間から出力期間への遷移時、および出力期間からアイドル期間への遷移時に、入出力端子 I O がハイインピーダンス状態になることを防止することができる。また、信号の出力期間（出力アイドル期間）から信号の入力期間（入力アイドル期間）に切り替わる場合にも、入出力端子 I O がハイインピーダンス状態になることを防止することができる。また、レイアウトが共通のトランジスタを利用して、プルアップ／プルダウン部 5 0、7 0 を設けることができる。

[0099] （第 4 の実施形態）

図 1 8 は、第 4 の実施形態の半導体集積回路 1 0 0 C の構成を示す。図 1 に示した半導体集積回路 1 0 0 と同様の要素については、同じ符号を付し、詳細な説明は省略する。

[0100] 半導体集積回路 1 0 0 C は、出力部 1 0 の構成が図 1 に示した出力部 1 0 と相違している。出力部 1 0 は、図 1 に示した出力部 1 0 の構成に加えて出力バッファ 2 5 およびハイインピーダンス制御部 3 5、4 5 を有している。

[0101] 出力バッファ 2 5 は、CMOS インバータ 2 6 を有し、CMOS インバータ 2 6 は、出力バッファ 2 0 の CMOS インバータ 2 1 が出力する信号を受け、出力端子 O U T に信号を出力する。すなわち、出力バッファ 2 5 は、出力バッファ 2 0 と同様に、信号 I N を出力端子 O U T に出力する機能を有している。

[0102] ハイインピーダンス制御部 3 5 は、電源線 V D D と CMOS インバータ 2 6 の p M O S のソースとの間に接続した p M O S 3 6 とインバータ 3 7 とを有している。p M O S 3 6 のゲートは、インバータ 3 7 を介してイネーブル信号 E N 2 の反転論理を受ける。イネーブル信号 E N 2 は、電源制御信号の一例である。

[0103] ハイインピーダンス制御部 4 5 は、CMOS インバータ 2 6 の n M O S のソースと接地線 V S S との間に接続した n M O S 4 6 を有している。n M O S 4 6 のゲートは、イネーブル信号 E N 2 を受ける。このように、出力部 1

0は、信号INを出力信号OUTとして出力端子OUTに出力する複数の出力バッファ20、25と、出力バッファ20、25にそれぞれ対応する複数のハイインピーダンス制御部30、40、35、45とを有している。

[0104] この実施形態では、出力端子OUTに接続する負荷に応じて、出力信号OUTの出力に使用する出力バッファ20、25の数を変更する。すなわち、半導体集積回路100Cから出力する出力信号OUTの駆動能力の仕様に依拠して、出力信号OUTの出力に使用する出力バッファ20、25の数を変更する。また、プルアップ／プルダウン部50は、複数の出力バッファ20、25に共通に設ける。

[0105] 例えば、駆動能力が第1仕様の場合、出力期間（図5）において出力バッファ20のみを使用し、駆動能力が第1仕様より高い第2仕様の場合、出力期間において出力バッファ20、25の両方を使用する。なお、半導体集積回路100Cは、複数の出力バッファ25、複数のハイインピーダンス制御部35および複数のハイインピーダンス制御部45を有してもよい。

[0106] 図19は、第1仕様と第2仕様での出力部10を動作させる信号のタイミングを示す。図5と同様の動作については、詳細な説明は省略する。例えば、駆動能力が相対的に低い第1仕様では、遷移期間および出力期間にイネーブル信号EN1のみをハイレベルに設定する。駆動能力が相対的に高い第2仕様では、遷移期間および出力期間にイネーブル信号EN1、EN2の両方をハイレベルに設定する。イネーブル信号EN1、EN2以外の信号のタイミングは、第1仕様および第2仕様で互いに同じである。

[0107] なお、図12と同様に、遷移期間を省略してもよい。また、図6に示したように、相補の信号のそれぞれを複数の出力バッファから出力してもよい。さらに、図13に示したように、入出力端子IOに出力する信号を、複数の出力バッファから出力してもよい。

[0108] 以上、第4の実施形態においても、第1から第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、複数の出力バッファ20、25が設ける場合にも、複数の出力バッファ20、25に共通のプルアップ

プ／プルダウン部50により、アイドル期間に出力端子のプルアップ制御を行うことができる。

[0109] なお、第1および第2の実施形態では、リードイネーブル信号等の出力信号用の出力端子OUTを制御する例を示し、第3の実施形態では、データストロープ信号等の入出力信号用の入出力端子IOを制御する例を示した。しかしながら、例えば、リードイネーブル信号を出力する図1に示した回路と、データストロープ信号を入出力する図13に示した回路とが、NANDフラッシュメモリ等のメモリデバイス200のアクセスを制御する半導体集積回路に設けてもよい。この際、図6と同様に、図13に示した回路を、相補の入出力信号（例えば、データストロープ信号）を入出力する回路としてもよい。この場合、図6の出力端子OUT、／OUTを入出力端子IO、／IOに変更し、入出力端子IO、／IOのそれぞれに、図13のプルアップ／プルダウン部70を接続する。

[0110] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明を限定するものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

- [0111] 10 出力部
20 出力バッファ
21、22 CMOSインバータ
25 出力バッファ
26 CMOSインバータ
30 ハイインピーダンス制御部
31、32 pMOS
35 ハイインピーダンス制御部
36 pMOS
40 ハイインピーダンス制御部

4 1、4 2 n M O S

4 5 ハイインピーダンス制御部

4 6 n M O S

5 0 プルアップ／プルダウン部

5 1 p M O S

5 2 n M O S

6 0、6 0 A 制御信号生成部

7 0 プルアップ／プルダウン部

7 1 p M O S

7 2 n M O S

1 0 0、1 0 0 A、1 0 0 B、1 0 0 C 半導体集積回路

2 0 0 メモリデバイス

3 0 0 システム

E N、E N 1、E N 2 イネーブル信号

I N、／I N 信号

N I E N、N O E N、N O E N 2 イネーブル信号

O U T、／O U T 出力信号

P I E N、P O E N、P O E N 2 イネーブル信号

Y 信号

請求の範囲

- [請求項1] 外部端子に接続したメモリデバイスに供給するメモリ制御信号を前記外部端子に出力する出力バッファと、
- 電源制御信号に基づいて電源線から前記出力バッファへの電源電圧の供給を制御する電源制御部と、
- プルアップ制御信号に基づいて前記外部端子のプルアップを制御するプルアップ制御部と、
- 前記メモリ制御信号を前記外部端子に出力する出力期間に、前記電源制御部により前記電源電圧を前記出力バッファに供給する前記電源制御信号と、前記プルアップ制御部により前記外部端子のプルアップを停止させる前記プルアップ制御信号とを生成し、前記メモリ制御信号を前記外部端子に出力しないアイドル期間に、前記電源制御部により前記出力バッファへの前記電源電圧の供給を停止させる前記電源制御信号と、前記プルアップ制御部により前記外部端子をプルアップさせる前記プルアップ制御信号とを生成する制御信号生成部と、を有する半導体集積回路。
- [請求項2] 前記制御信号生成部は、前記出力期間に対応して生成するタイミング信号に基づいて、前記出力期間と前記アイドル期間において、前記電源制御信号と前記プルアップ制御信号とを生成する請求項1に記載の半導体集積回路。
- [請求項3] 外部端子に接続するメモリデバイスに供給するメモリ制御信号を前記外部端子に出力する出力バッファと、
- 電源電圧を供給する電源線と前記出力バッファのpチャネルMOSトランジスタのソースとの間に接続し、電源制御信号に基づいてオンまたはオフする電源スイッチを含む電源制御部と、
- 前記電源線と前記外部端子との間に接続し、プルアップ制御信号に基づいてオンまたはオフし、オン時に抵抗素子として機能するプルアップスイッチを含むプルアップ制御部と、

前記外部端子に出力する出力期間に対応して生成するタイミング信号に基づいて、前記出力期間と前記メモリ制御信号を前記外部端子に出力しないアイドル期間において、前記電源制御信号と前記プルアップ制御信号とを生成する制御信号生成部と、を有する半導体集積回路。

[請求項4] 前記出力期間に対応して生成するタイミング信号を遅延させて遅延タイミング信号を生成する遅延部を有し、

前記制御信号生成部は、前記タイミング信号と前記遅延タイミング信号とに基づいて、前記出力期間および前記アイドル期間に、前記電源制御部に出力する前記電源制御信号と、前記プルアップ制御部に出力する前記プルアップ制御信号とを生成する請求項1ないし請求項3のいずれか1項に記載の半導体集積回路。

[請求項5] 前記制御信号生成部は、前記出力期間に、前記タイミング信号と前記遅延タイミング信号との論理和を前記電源制御信号として出力するオア回路と、前記出力期間に、前記タイミング信号と前記遅延タイミング信号との論理積を前記プルアップ制御信号として出力するアンド回路と、を有する請求項4に記載の半導体集積回路。

[請求項6] 前記遅延部は、クロック信号に同期して前記タイミング信号をラッチし、ラッチした前記タイミング信号を前記遅延タイミング信号として出力するラッチ回路を有する、請求項4または請求項5に記載の半導体集積回路。

[請求項7] 前記外部端子は、前記出力期間に前記メモリデバイスに前記メモリ制御信号を出力し、入力期間に前記メモリ制御信号を入力する入出力端子であり、

前記半導体集積回路は、さらに、

前記電源線と前記外部端子との間に接続し、オン時に抵抗素子として機能し、前記外部端子をプルアップする入力プルアップスイッチと、接地線と前記外部端子との間に接続し、オン時に抵抗素子として機

能し、前記外部端子をプルダウンする入力プルダウンスイッチとを有する、請求項 1 ないし請求項 6 のいずれか 1 項に記載の半導体集積回路。

[請求項 8] 前記入力プルアップスイッチおよび前記入力プルダウンスイッチは、前記出力期間にオフし、前記入力期間にオンする、請求項 7 に記載の半導体集積回路。

[請求項 9] 前記プルアップ制御部のプルアップ時の抵抗値は、前記入力プルアップスイッチのプルアップ時の抵抗値より高い、請求項 7 または請求項 8 に記載の半導体集積回路。

[請求項 10] 前記電源線と前記外部端子との間に並列に接続する互いに同じ構成の複数のプルアップ用の p チャネル MOS トランジスタを有し、
前記入力プルアップスイッチは、オン時の抵抗値に応じて選択する所定数の前記プルアップ用の p チャネル MOS トランジスタを有し、
前記プルアップ制御部は、前記入力プルアップスイッチに使用しない前記所定数より少ない前記プルアップ用の p チャネル MOS トランジスタを有する、請求項 9 に記載の半導体集積回路。

[請求項 11] 前記メモリ制御信号を前記外部端子に出力する複数の前記出力バッファと、
複数の前記出力バッファのそれぞれに対応する複数の前記電源制御部と、を有し、
前記制御信号生成部は、複数の前記出力バッファのうち、前記メモリ制御信号の出力に使用する出力バッファに対応する前記電源制御部に前記電源制御信号を出力し、
前記プルアップ制御部は、複数の前記出力バッファに共通に設ける、請求項 1 ないし請求項 10 のいずれか 1 項に記載の半導体集積回路。

[請求項 12] 前記半導体集積回路は、さらに、
前記メモリ制御信号の論理と逆の論理を有する相補メモリ制御信号

を相補外部端子に出力する相補出力バッファと、

前記電源制御信号に基づいて相補電源線から前記相補出力バッファへの相補電源電圧の供給を制御する相補電源制御部と、

プルダウン制御信号に基づいて前記相補外部端子のプルダウンを制御するプルダウン制御部と、を有し、

前記制御信号生成部は、

前記メモリ制御信号および前記相補メモリ制御信号を前記外部端子および前記相補外部端子にそれぞれ出力する前記出力期間に、前記電源電圧を前記出力バッファに供給するとともに、前記相補電源電圧を前記相補出力バッファに供給する前記電源制御信号を前記電源制御部および前記相補電源制御部に出力し、前記外部端子のプルアップを停止する前記プルアップ制御信号を前記プルアップ制御部に出力し、前記相補外部端子のプルダウンを停止する前記プルダウン制御信号を前記プルダウン制御部に出力し、

前記メモリ制御信号および前記相補メモリ制御信号を前記外部端子および前記相補外部端子にそれぞれ出力しない前記アイドル期間に、前記出力バッファおよび前記相補出力バッファへの前記電源電圧の供給を停止する前記電源制御信号を前記電源制御部および前記相補電源制御部に出力し、前記外部端子をプルアップする前記プルアップ制御信号を前記プルアップ制御部に出力し、前記相補外部端子をプルダウンする前記プルダウン制御信号を前記プルダウン制御部に出力する、請求項1ないし請求項3のいずれか1項に記載の半導体集積回路。

[請求項13]

前記電源制御部および前記相補電源制御部は、互いに同じ回路構成であり、

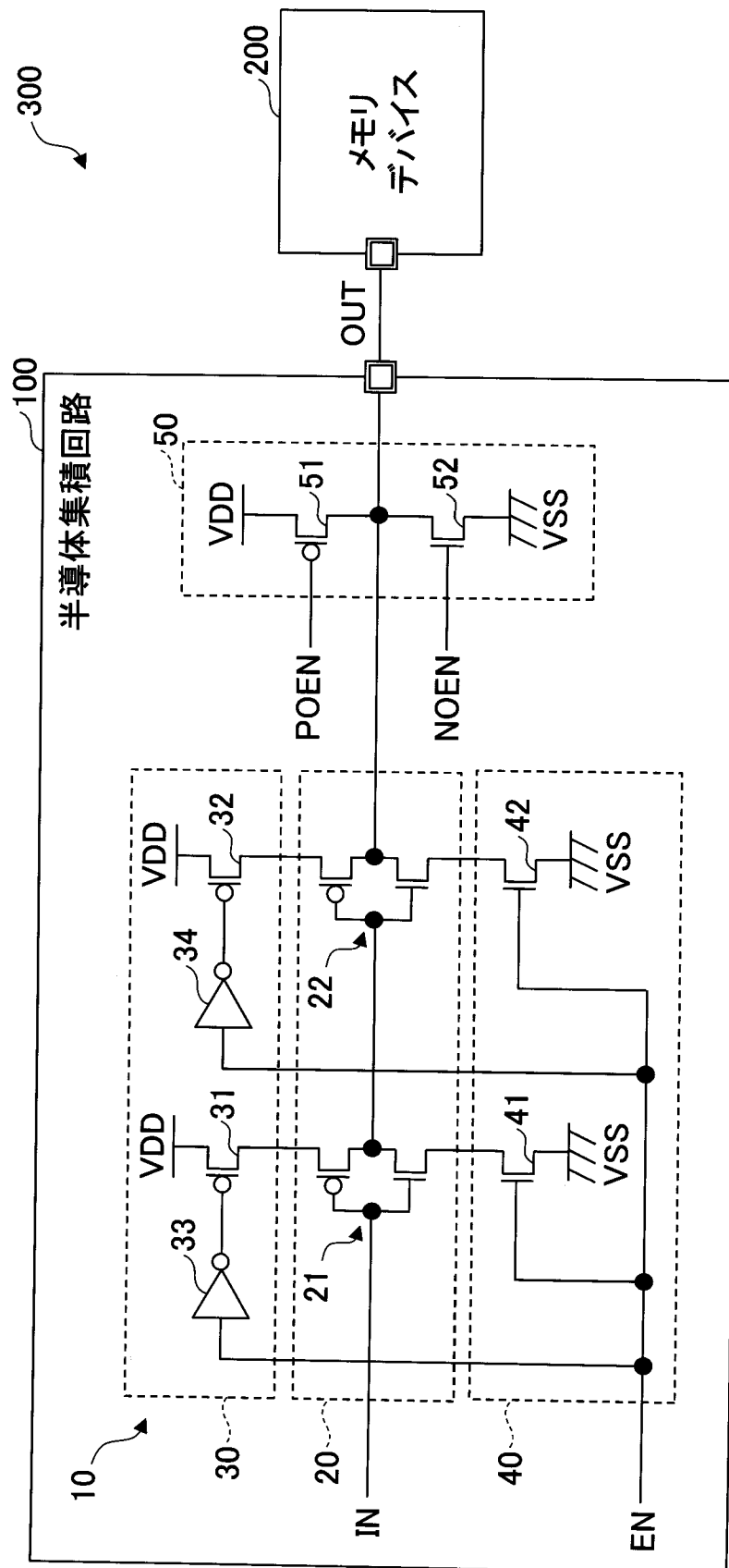
前記出力バッファおよび前記相補出力バッファは、互いに同じ回路構成であり、

前記プルアップ制御部と前記プルダウン制御部とは、互いに同じ回路構成である、請求項12に記載の半導体集積回路。

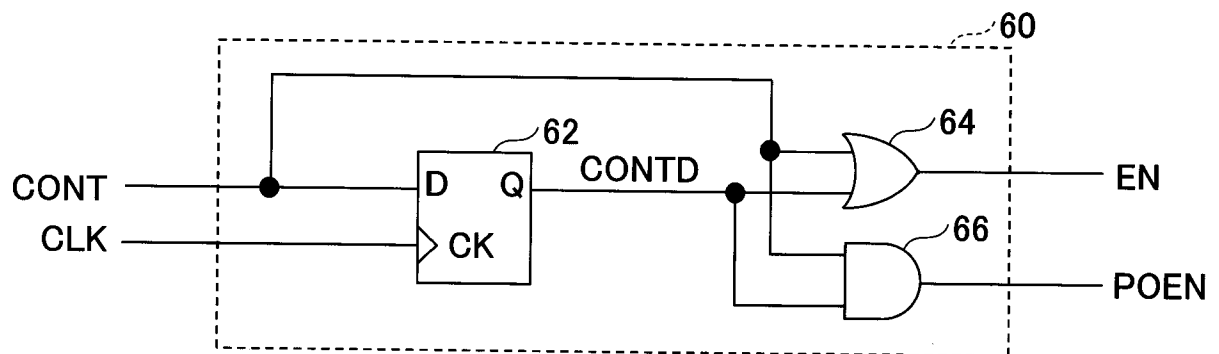
[請求項14] 前記メモリデバイスは、NAND型フラッシュメモリであり、前記メモリ制御信号は、リードイネーブル信号である、請求項1ないし請求項13のいずれか1項に記載の半導体集積回路。

[請求項15] 前記メモリデバイスは、NAND型フラッシュメモリであり、前記メモリ制御信号は、データストローク信号である、請求項7ないし請求項10のいずれか1項に記載の半導体集積回路。

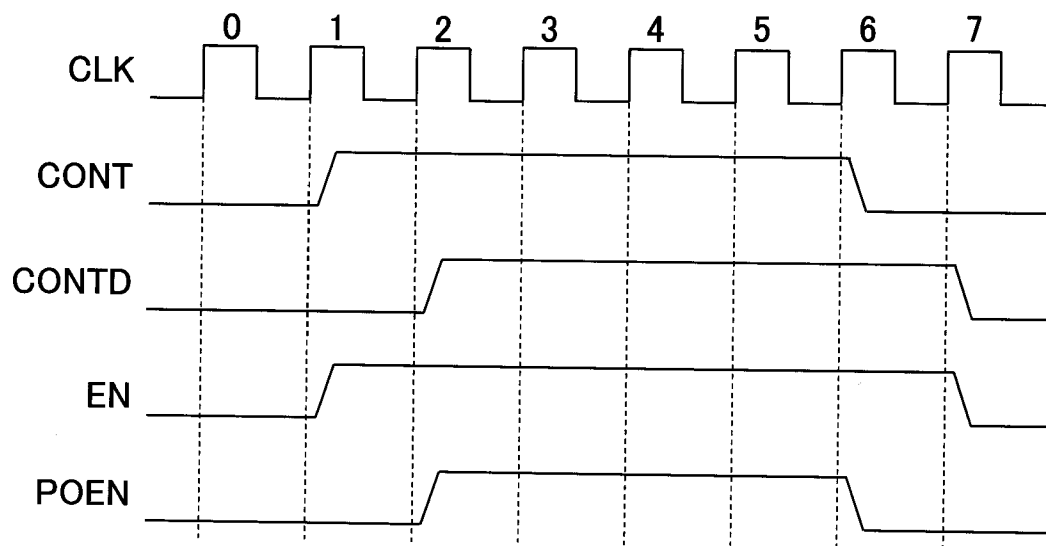
[図1]



[図2]



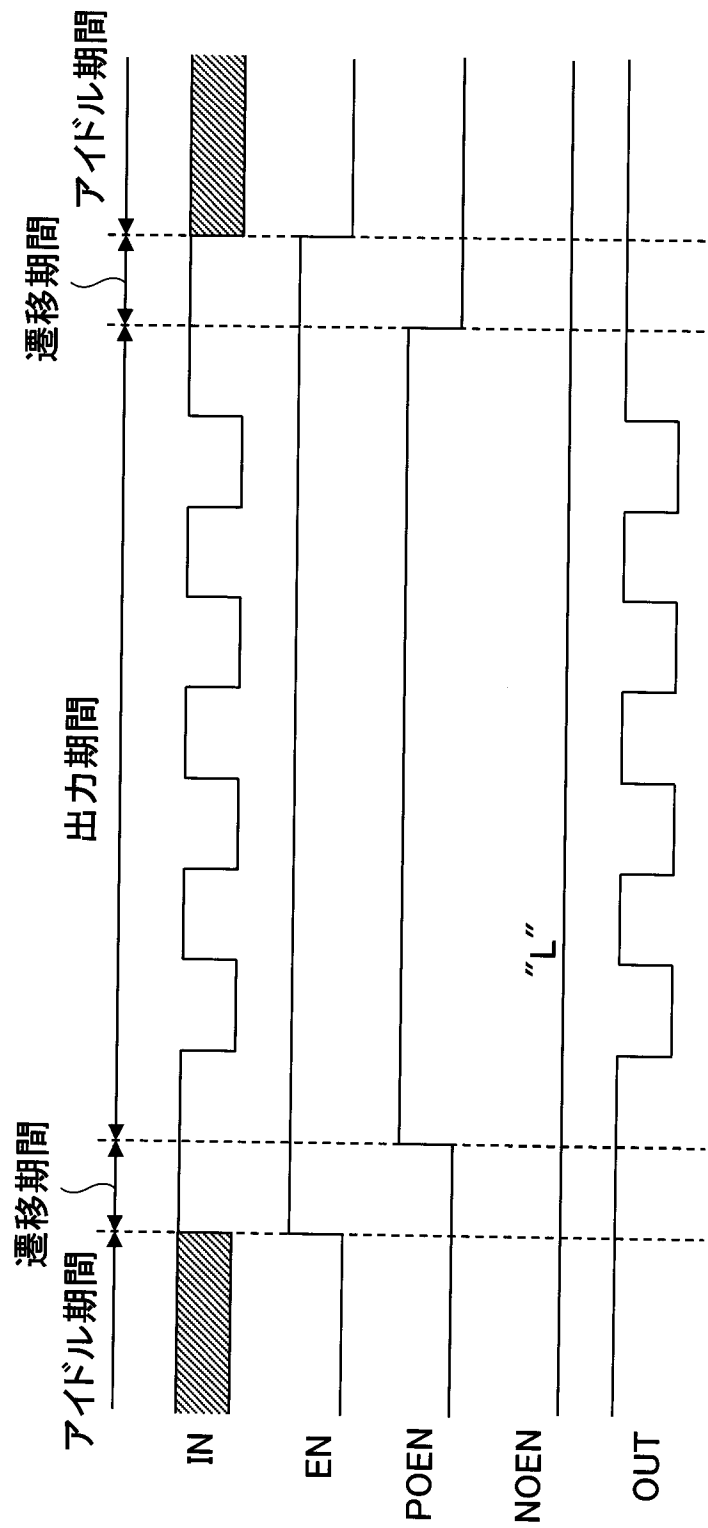
[図3]



[図4]

	入力				出力
	EN	POEN	NOEN	IN	OUT
アイドル期間	L	L	L	H/L	H
遷移期間	H	L	L	H	H
出力期間	H	H	L	H/L	H/L

[図5]

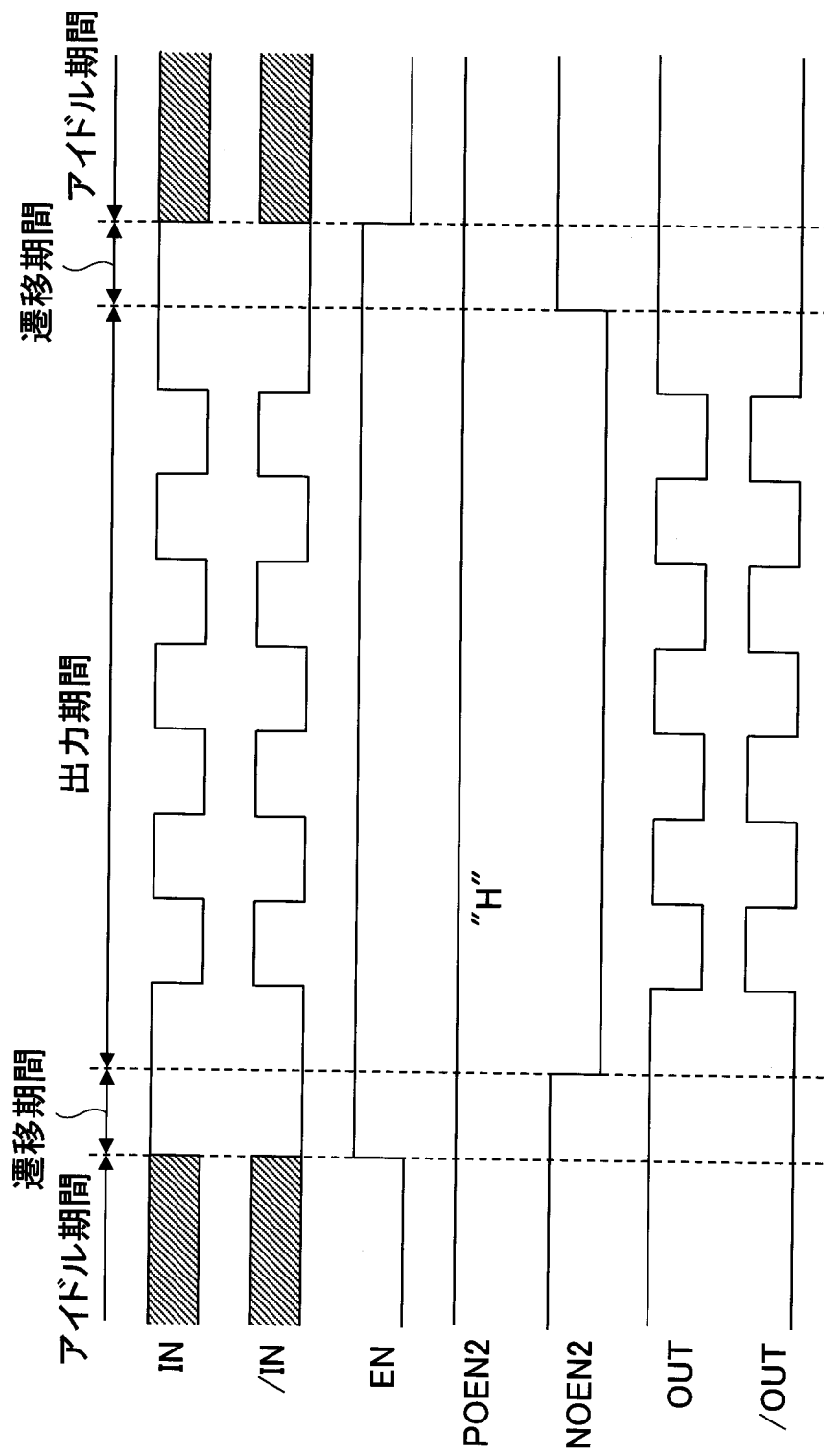


[illegible]

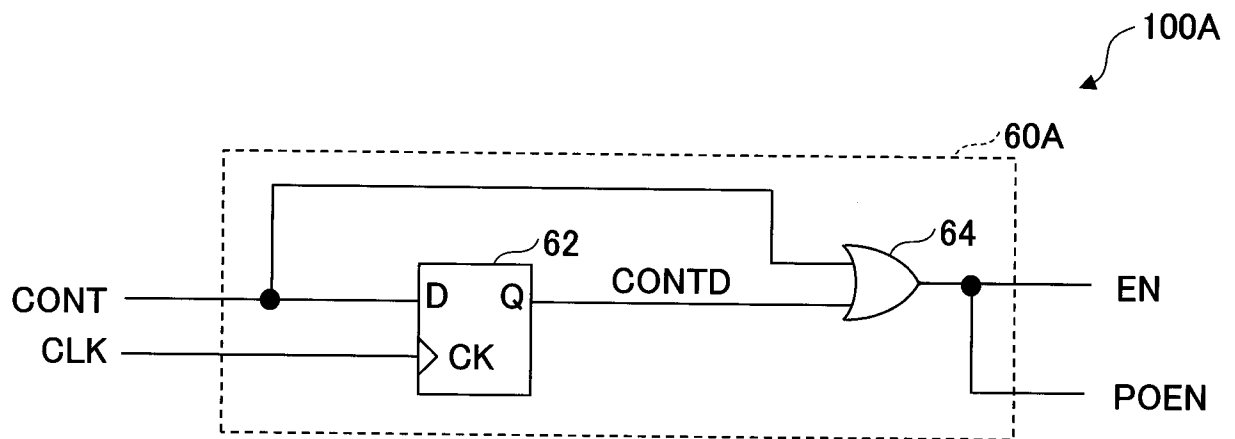
[図7]

	入力	出力部10				出力部12			
		入力			出力	入力			出力
	EN	POEN	NOEN	IN	OUT	POEN2	NOEN2	/IN	/OUT
アイドル期間	L	L	L	H/L	H	H	H	L/H	L
遷移期間	H	L	L	H	H	H	H	L	L
出力期間	H	H	L	H/L	H/L	H	L	L/H	L/H

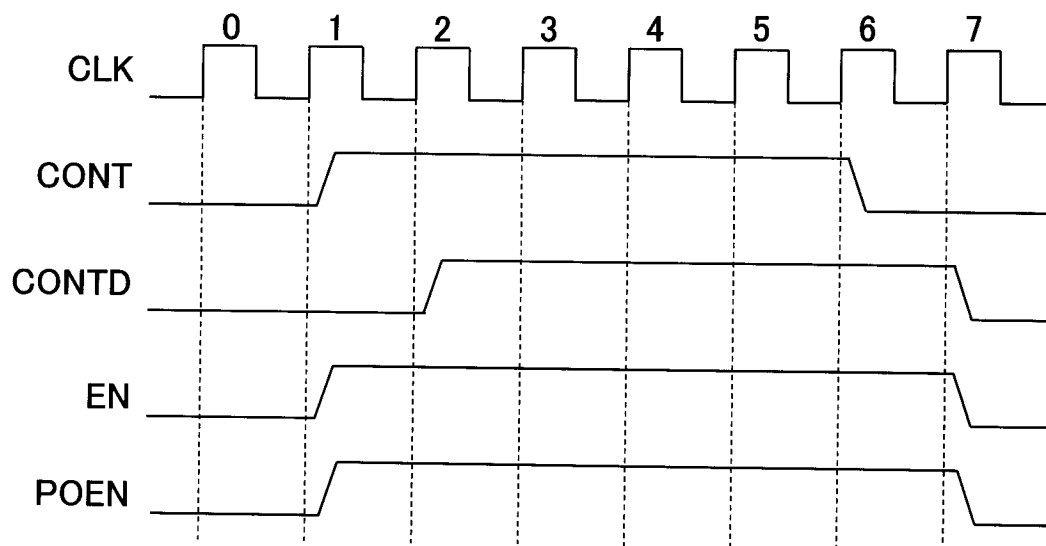
[図8]



[図9]



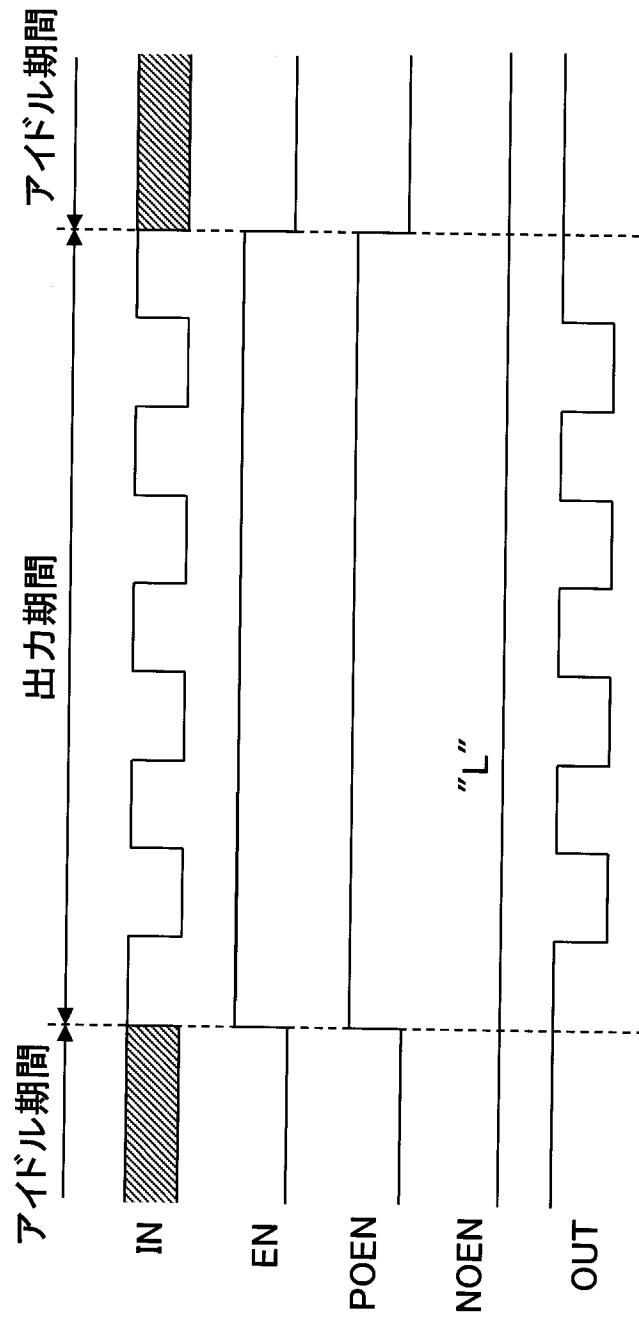
[図10]



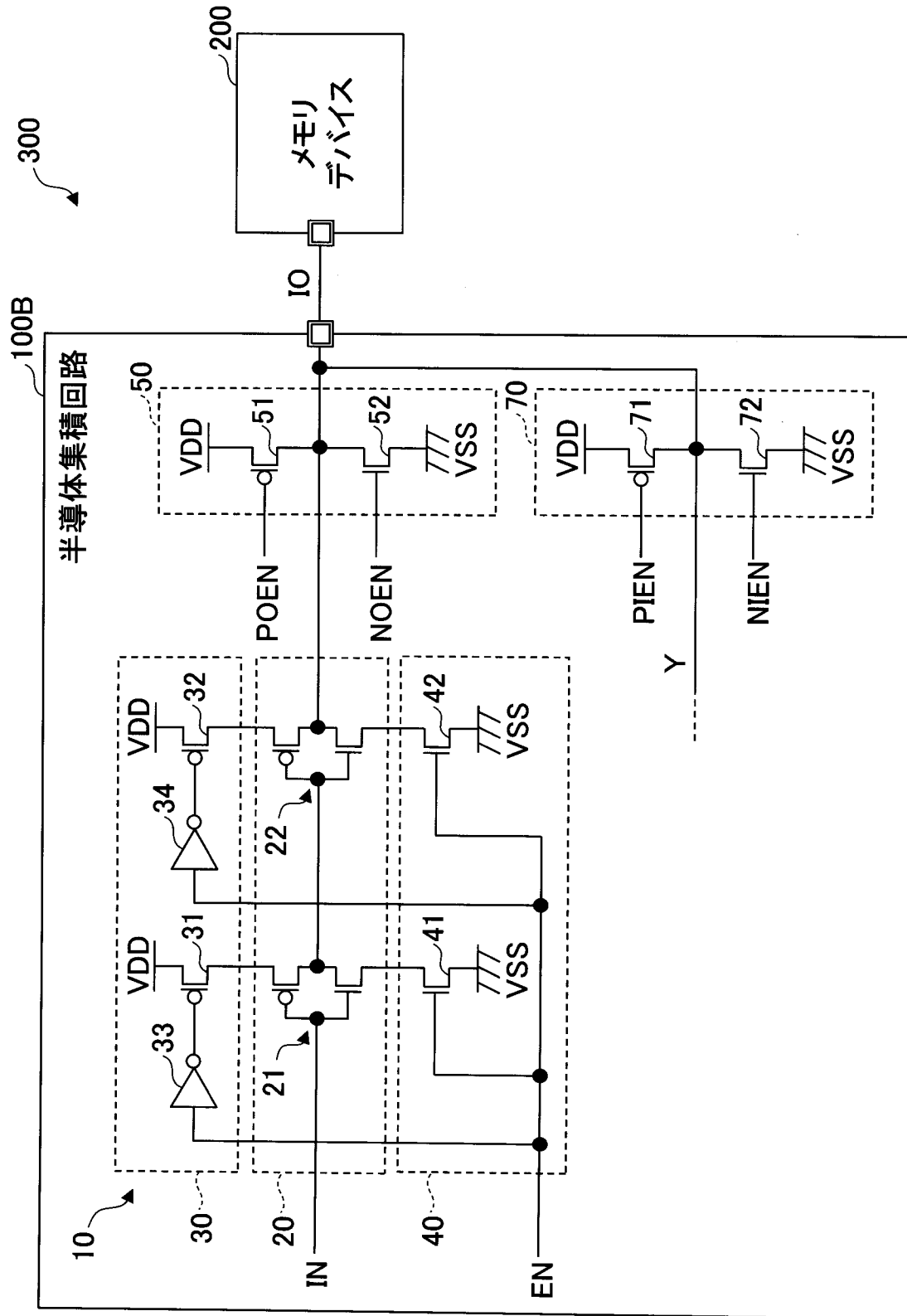
[図11]

	入力				出力
	EN	POEN	NOEN	IN	OUT
アイドル期間	L	L	L	H/L	H
出力期間	H	H	L	H/L	H/L

[図12]



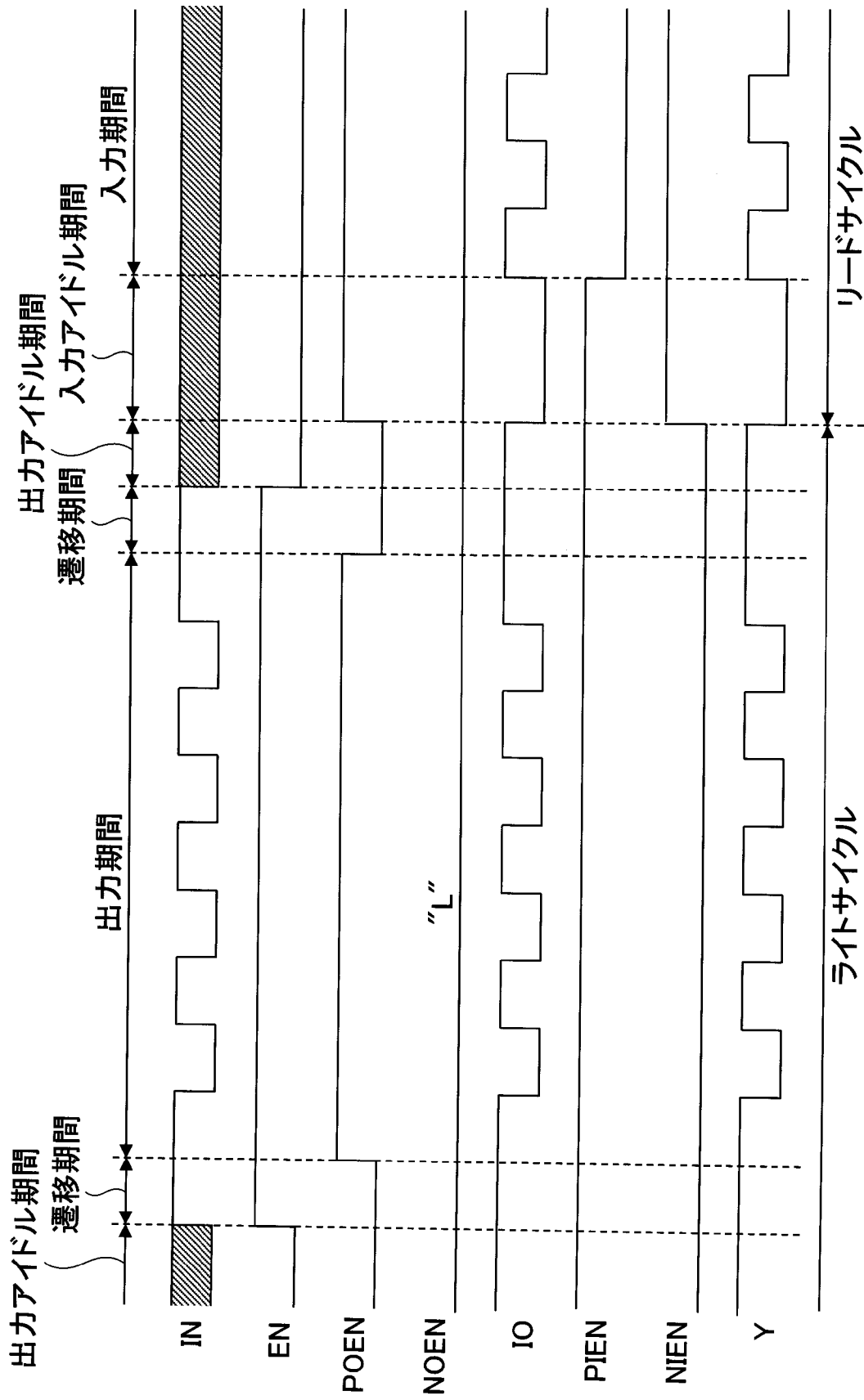
[図13]



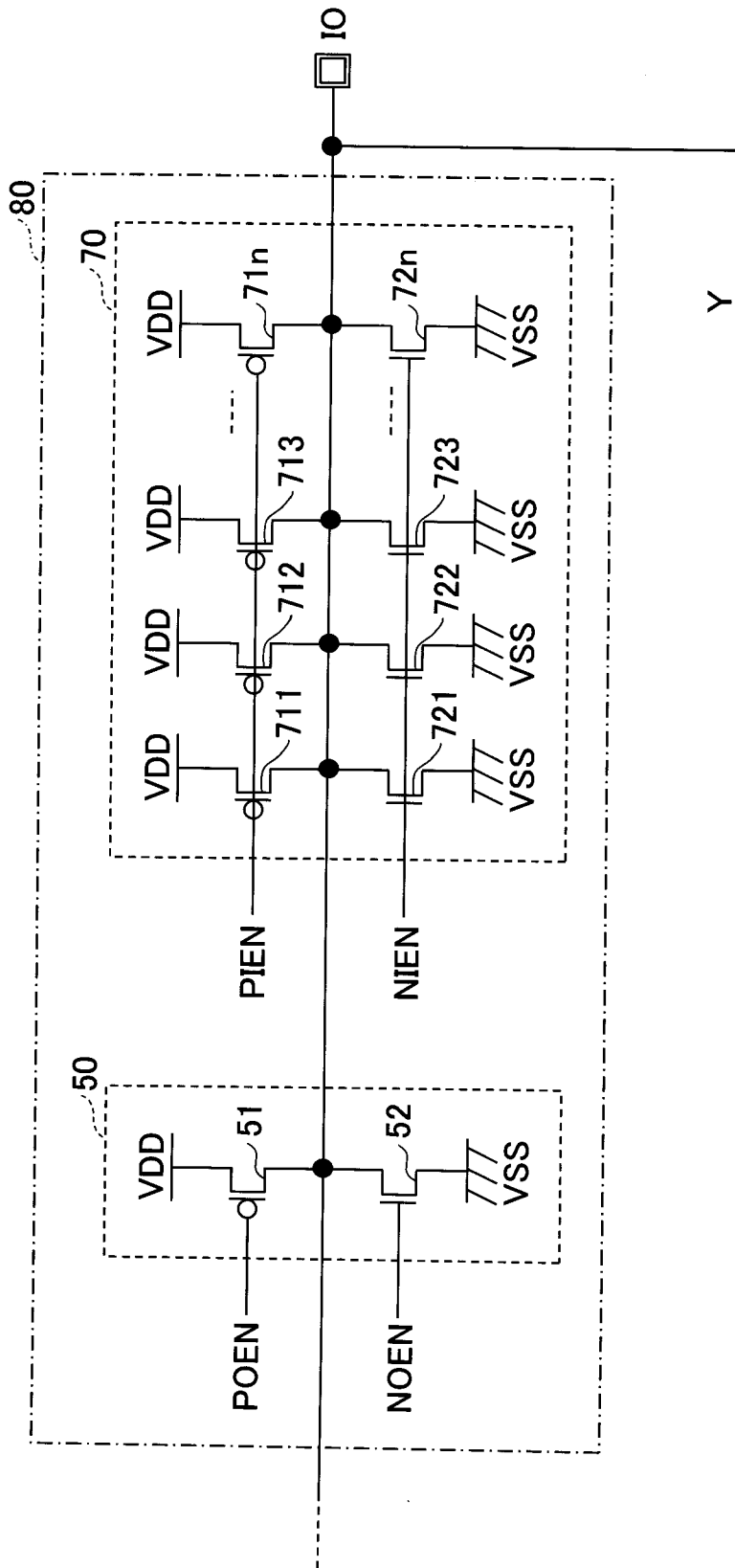
[図14]

	入力						入出力	出力
	EN	POEN	NOEN	PIEN	NIEN	IN	IO	Y
出力アイドル期間	L	L	L	H	L	H/L	H	H
遷移期間	H	L	L	H	L	H	H	H
出力期間	H	H	L	H	L	H/L	H/L	H/L
入力アイドル期間	L	H	L	H	H	H/L	L	L
入力期間	L	H	L	L	H	H/L	H/L	H/L

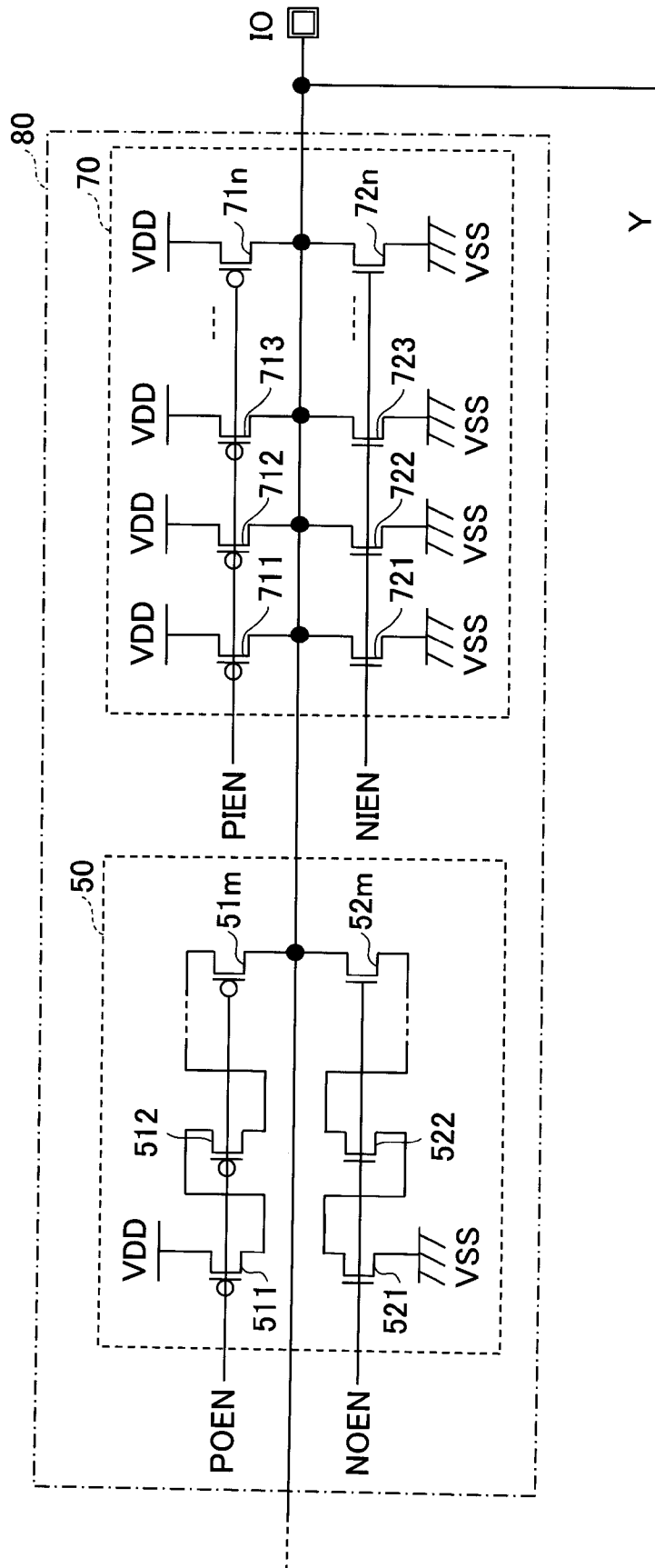
[図15]



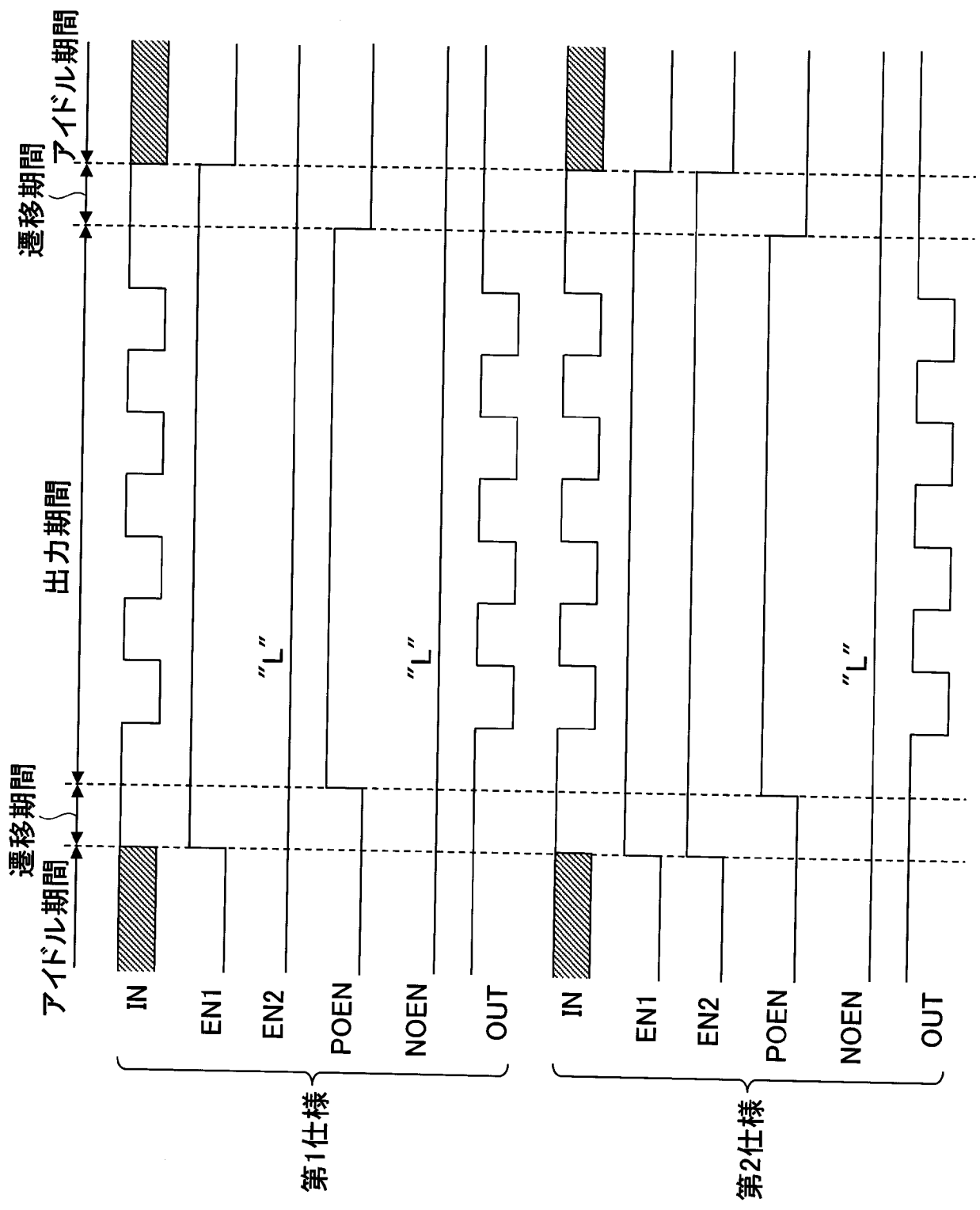
[図16]



[図17]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023240

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C7/22 (2006.01) i, G06F12/00 (2006.01) i, G11C16/32 (2006.01) i, H03K19/0175 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C7/22, G06F12/00, G11C16/32, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-279273 A (OKI ELECTRIC IND CO., LTD.) 12 October 2006, paragraphs [0013]-[0015], [0018]-[0026], [0031]-[0034], fig. 1, 3 & US 2006/0214684 A1, paragraphs [0016]-[0018], [0026]-[0036], [0044]-[0047], fig. 1, 3A, 3B & CN 1841929 A & KR 10-2006-0103809 A	1-4, 7, 11-15 5-6, 8-10
Y A	JP 2015-11730 A (MICRON TECHNOLOGY INC.) 19 January 2015, paragraphs [0022], [0052], [0053], [0058], [0059], fig. 1, 8, 10 (Family: none)	1-4, 7, 11-15 5-6, 8-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09.09.2019

Date of mailing of the international search report
17.09.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-50070 A (NEC NIIGATA, LTD.) 20 February 1998, abstract, paragraphs [0006], [0007], fig. 1 (Family: none)	1-4, 7, 11-15 5-6, 8-10
Y	JP 10-320089 A (NEC CORPORATION) 04 December 1998, fig. 25 & US 6087870 A, fig. 25 & FR 2763443 A1	2-4, 7, 11-15
Y	JP 2012-230621 A (SONY CORPORATION) 22 November 2012, paragraphs [0046], [0048], fig. 8 & US 2012/0278539 A1, paragraphs [0108], [0112], fig. 8 & CN 102760107 A	7, 11, 14, 15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C7/22(2006.01)i, G06F12/00(2006.01)i, G11C16/32(2006.01)i, H03K19/0175(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C7/22, G06F12/00, G11C16/32, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-279273 A（沖電気工業株式会社）2006.10.12, 段落[0013]－[0015], [0018]－[0026], [0031]－[0034], 図1, 図3 & US 2006/0214684 A1, 段落[0016]－[0018], [0026]－[0036], [0044]－[0047], 図1, 図3A-3B & CN 1841929 A & KR 10-2006-0103809 A	1-4, 7, 11-15 5-6, 8-10
Y A	JP 2015-11730 A（マイクロン テクノロジー, インク）2015.01.19, 段落[0022], 段落[0052]－[0053], 段落[0058]－[0059], 図1, 図8, 図10（ファミリーなし）	1-4, 7, 11-15 5-6, 8-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

酒井 恭信

5 N

9190

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 10-50070 A (新潟日本電気株式会社) 1998. 02. 20, 要約, 段落 [0006]－[0007], 図 1 (ファミリーなし)	1-4, 7, 11-15 5-6, 8-10
Y	JP 10-320089 A (日本電気株式会社) 1998. 12. 04, 図 25 & US 6087870 A, 図 25 & FR 2763443 A1	2-4, 7, 11-15
Y	JP 2012-230621 A (ソニー株式会社) 2012. 11. 22, 段落[0046], 段落[0048], 図 8 & US 2012/0278539 A1, 段落[0108], 段落[0112], 図 8 & CN 102760107 A	7, 11, 14, 15