(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년07월27일
(11) 등록번호 10-1539416
(24) 등록일자 2015년07월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/8234 (2006.01) *H01L 21/8238* (2006.01)
(21) 출원번호 10-2011-7018048
(22) 출원일자(국제) 2009년12월29일
심사청구일자 2014년12월24일
(85) 번역문제출일자 2011년08월01일
(65) 공개번호 10-2012-0067973
(43) 공개일자 2012년06월26일
(86) 국제출원번호 PCT/EP2009/009307
(87) 국제공개번호 WO 2010/076018
국제공개일자 2010년07월08일
(30) 우선권주장
10 2008 063 402.6 2008년12월31일 독일(DE)
12/637,112 2009년12월14일 미국(US)
(56) 선행기술조사문헌
JP2003347425 A
JP2004336056 A
JP2006332687 A
JP2007088400 A

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 피.오.박스 3453 원 에이엠디 플레이스
에이엠디 팹 36 리미티드 라이어빌리티 컴퍼니 & 코. 카게
독일 01109 드레스덴 윌쉬도르퍼 란드스트라쎄 101
(72) 발명자
크론홀츠 스테판
독일 01129 드레스덴 웨인베르그스트라쎄 18
오트 안드레아스
독일 01099 드레스덴 티엑크스트라쎄 19
(74) 대리인
박장원

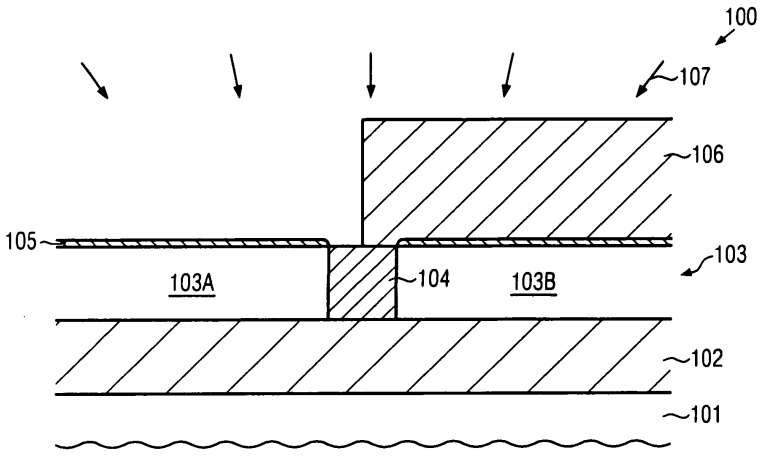
전체 청구항 수 : 총 25 항 심사관 : 박성호

(54) 발명의 명칭 **증착 비균일성을 감소시킴으로써 채널 반도체 합금을 포함하는 트랜지스터에서의 임계 전압 변화의 감소**

(57) 요 약

실리콘/게르마늄 합금과 같은 임계치 조정 반도체 물질이, 증진된 증착 균일성을 기반으로 하여, 일 타입의 트랜지스터들에 대해 선택적으로 제공될 수 있다. 이러한 목적으로, 반도체 합금이, 임의의 트랜지스터들의 활성 영역들에 증착될 수 있고, 이후, 제어가능성이 높은 패터닝 방식을 기반으로 하여 패터닝될 수 있다. 결과적으로, 임계치 가변성이 감소될 수 있다.

대 표 도 - 도1a



명 세 서

청구범위

청구항 1

반도체 디바이스를 제조하기 위한 방법으로서,

제 1 실리콘 함유 결정성 반도체 영역(silicon containing crystalline semiconductor region) 및 제 2 실리콘 함유 결정성 반도체 영역 상에 실리콘 함유 반도체 합금층을 형성하는 단계와;

상기 제 2 실리콘 함유 결정성 반도체 영역으로부터 상기 실리콘 함유 반도체 합금층을 선택적으로 제거하는 단계와;

상기 실리콘 함유 반도체 합금층 상에 제 1 트랜지스터의 제 1 게이트 전극 구조를 형성하는 단계와, 여기서 상기 제 1 게이트 전극 구조는 하이-k 유전체 게이트 절연층(high-k dielectric gate insulation layer)을 포함함과 아울러 상기 하이-k 유전체 게이트 절연층 상에 형성되는 금속 함유 게이트 전극 물질을 포함하고;

상기 제 2 실리콘 함유 결정성 반도체 영역 위에 제 2 트랜지스터의 제 2 게이트 전극 구조를 형성하는 단계와, 여기서 상기 제 2 게이트 전극 구조는 하이-k 유전체 게이트 절연층을 포함함과 아울러 상기 제 2 게이트 전극 구조의 상기 하이-k 유전체 게이트 절연층 상에 형성되는 금속 함유 게이트 전극 물질을 포함하고; 그리고

상기 제 1 실리콘 함유 결정성 반도체 영역 및 상기 제 2 실리콘 함유 결정성 반도체 영역 내에 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 소스 및 드레인 영역들을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 2

제1항에 있어서,

상기 실리콘 함유 반도체 합금층을 제거하는 단계는, 상기 제 1 실리콘 함유 결정성 반도체 영역 위에 하드마스크 층(hard mask layer)을 선택적으로 형성하는 것과, 그리고 상기 하드마스크 층을 기반으로 하여 에칭 공정을 수행하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 3

제2항에 있어서,

상기 에칭 공정을 수행하는 것은, 습식 화학적 에칭 레시피(wet chemical etch recipe)를 적용하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 4

제3항에 있어서,

상기 에칭 공정을 수행하는 것은, 테트라 메틸 암모니아 하이드록사이드(Tetra Methyl Ammonia Hydroxide, TMAH)를 기반으로 하여 습식 화학적 에칭 레시피를 적용하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 5

제2항에 있어서,

상기 하드마스크 층을 제거하기 위해 추가적인 에칭 공정을 수행하는 것을 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 6

제1항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성하는 단계는, 상기 제 1 실리콘 함유 결정성 반도체 영역과 상기 제 2 실리콘 함유 결정성 반도체 영역을 측면으로 분리하는 격리 구조(isolation structure) 상의 물질 증착을 억제하기 위해 선택적 에피택셜 성장 공정을 수행하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 7

제1항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성하기 전에, 격리 구조를 형성하는 단계를 더 포함하고, 여기서, 상기 격리 구조는 상기 제 1 실리콘 함유 결정성 반도체 영역과 상기 제 2 실리콘 함유 결정성 반도체 영역을 측면으로 분리하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 8

제1항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성한 후에, 격리 구조를 형성하는 단계를 더 포함하고, 여기서, 상기 격리 구조는 상기 제 1 실리콘 함유 결정성 반도체 영역과 상기 제 2 실리콘 함유 결정성 반도체 영역을 측면으로 분리하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 9

제1항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성한 후에, 상기 제 1 실리콘 함유 결정성 반도체 영역에 제 1 도펀트 종을 도입함과 아울러 상기 제 2 실리콘 함유 결정성 반도체 영역에 제 2 도펀트 종을 도입하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 10

제9항에 있어서,

상기 제 1 도펀트 종 및 상기 제 2 도펀트 종을 도입하기 전에, 상기 실리콘 함유 반도체 합금층 위에 마스크층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 11

제10항에 있어서,

상기 제 1 도펀트 종을 도입하기 위해 사용된 주입 마스크를 통해 상기 마스크 층을 에칭함으로써 상기 제 2 실리콘 함유 결정성 반도체 영역 위로부터 상기 마스크 층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 12

제11항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성하기 전에, 상기 제 1 실리콘 함유 결정성 반도체 영역과 상기 제 2 실리콘 함유 결정성 반도체 영역 사이에 측면으로 격리 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 13

제11항에 있어서,

상기 실리콘 함유 반도체 합금층을 형성한 후에, 상기 제 1 실리콘 함유 결정성 반도체 영역과 상기 제 2 실리콘 함유 결정성 반도체 영역 사이에 측면으로 격리 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 14

제1항에 있어서,

상기 반도체 합금은 실리콘/게르마늄 합금을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 15

반도체 디바이스를 제조하기 위한 방법으로서,

제 1 실리콘 함유 반도체 영역 및 제 2 실리콘 함유 반도체 영역 상에 임계치 조정 반도체 물질(threshold adjusting semiconductor material)을 형성하는 단계와;

상기 제 1 실리콘 함유 반도체 영역을 덮는 주입 마스크를 사용하여 상기 제 2 실리콘 함유 반도체 영역에 도펀트 종을 도입하는 단계와;

상기 주입 마스크를 통해 상기 임계치 조정 반도체 물질을 에칭함으로써 상기 제 2 실리콘 함유 반도체 영역으로부터 상기 임계치 조정 반도체 물질을 선택적으로 제거하는 단계와;

상기 임계치 조정 반도체 물질 상에 제 1 트랜지스터의 제 1 게이트 전극 구조를 형성함과 아울러 상기 제 2 실리콘 함유 반도체 영역 상에 제 2 트랜지스터의 제 2 게이트 전극 구조를 형성하는 단계와, 여기서 상기 제 1 게이트 전극 구조 및 상기 제 2 게이트 전극 구조는 하이-k 유전체 물질을 포함함과 아울러 상기 하이-k 유전체 물질 상에 형성되는 금속 함유 전극 물질을 포함하고; 그리고

상기 제 1 실리콘 함유 결정성 반도체 영역 및 상기 제 2 실리콘 함유 결정성 반도체 영역 내에 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 소스 및 드레인 영역들을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 16

제15항에 있어서,

상기 제 2 실리콘 함유 반도체 영역으로부터 상기 임계치 조정 반도체 물질을 선택적으로 제거하는 단계는, 마스크 층을 형성하는 것과, 상기 주입 마스크를 사용하여 상기 마스크 층을 패터닝하는 것과, 그리고 상기 패터닝된 마스크 층을 에칭 마스크로 사용하여 상기 임계치 조정 반도체 물질을 에칭하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 17

제16항에 있어서,

상기 임계치 조정 반도체 물질을 에칭하는 것은 습식 화학적 에칭 공정을 수행하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 18

제17항에 있어서,

상기 습식 화학적 에칭 공정은 테트라 메틸 암모니아 하이드록사이드(TMAH)를 기반으로 하여 수행되는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 19

제15항에 있어서,

상기 임계치 조정 반도체 물질을 형성하기 전에, 상기 제 1 실리콘 함유 반도체 영역과 상기 제 2 실리콘 함유 반도체 영역 사이에 측면으로 격리 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 20

제15항에 있어서,

상기 임계치 조정 반도체 물질을 형성한 후에, 상기 제 1 실리콘 함유 반도체 영역과 상기 제 2 실리콘 함유 반도체 영역 사이에 측면으로 격리 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 21

제15항에 있어서,

상기 임계치 조정 반도체 물질은 실리콘/게르마늄 합금을 포함하는 것을 특징으로 하는 반도체 디바이스를 제조하기 위한 방법.

청구항 22

제 1 디바이스 영역 및 제 2 디바이스 영역을 포함하는 반도체 디바이스로서,

상기 제 1 디바이스 영역은, 100 nm 이하의 피치(pitch)를 정의하는 복수의 고밀도로 패킹된 제 1 P-채널 트랜지스터들을 포함하고, 상기 제 1 P-채널 트랜지스터들 각각은 제 1 실리콘 함유 반도체 영역 내에 그리고 위에 형성됨과 아울러 상기 제 1 P-채널 트랜지스터들 각각의 채널 영역에 임계치 조정 반도체 합금의 제1의 층을 포함하고, 상기 제 1 P-채널 트랜지스터들 각각의 소스 및 드레인 영역들은 상기 제 1 실리콘 함유 반도체 영역 내에 형성되며,

상기 제 2 디바이스 영역은, 100 nm보다 큰 피치를 정의하는 복수의 제 2 P-채널 트랜지스터들을 포함하고, 상기 제 2 P-채널 트랜지스터들 각각은 제 2 실리콘 함유 반도체 영역 내에 그리고 위에 형성됨과 아울러 상기 제 2 P-채널 트랜지스터들 각각의 채널 영역에 상기 임계치 조정 반도체 합금의 제2의 층을 포함하며, 상기 임계치 조정 반도체 합금의 상기 제1의 층의 물질 조성과 층 두께 중 적어도 하나의 제 1 균일도(degree of uniformity)는 ±2퍼센트보다 작거나 혹은 ±2퍼센트와 동일하고, 그리고 상기 임계치 조정 반도체 합금의 상기 제2의 층의 물질 조성과 층 두께 중 적어도 하나의 제 2 균일도는 ±2퍼센트보다 작거나 혹은 ±2퍼센트와 동일하며, 상기 제 2 P-채널 트랜지스터들 각각의 소스 및 드레인 영역들은 상기 제 2 실리콘 함유 반도체 영역 내에 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 23

제22항에 있어서,

상기 제 1 P-채널 트랜지스터들 및 상기 제 2 P-채널 트랜지스터들의 상기 게이트 전극 구조들은, 임계치 조정 반도체 물질의 상기 제1의 층 및 상기 제2의 층 위에 각각 형성되는 하이-k 유전체 물질을 포함함과 아울러 상기 하이-k 유전체 물질 상에 형성되는 금속 함유 전극 물질을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 24

제22항에 있어서,

임계치 조정 반도체 물질의 상기 층의 목표 두께는 10 nm 이하인 것을 특징으로 하는 반도체 디바이스.

청구항 25

제24항에 있어서,

상기 임계치 조정 반도체 물질은 20 원자 퍼센트 이상의 게르마늄 농도를 갖는 실리콘/게르마늄 합금을 포함하는 것을 특징으로 하는 반도체 디바이스.

발명의 설명

기 술 분 야

[0001] 일반적으로, 본 개시내용은, 실리콘 다이옥사이드(silicon dioxide) 및 실리콘 나이트라이드(silicon nitride)와 같은 게이트 유전체들과 비교하여 유전율이 증가된 하이-k 게이트 유전체(high-k gate dielectric) 및 금속 함유 전극으로 구성된 고용량의 게이트 구조를 포함하는 진보된 트랜지스터 소자들이 포함된 정교한 집적 회로에 관한 것이다.

배 경 기 술

[0002] CPU, 저장 디바이스, ASIC(Application Specific Integrated Circuit) 등과 같은 진보된 집적 회로의 제조에 있어, 특정 회로 레이아웃에 따라, 소정의 칩 영역 상에 형성될 다수의 회로 소자들이 필요하고, 여기서 전계 효과 트랜지스터는 집적 회로의 성능을 실질적으로 결정하는 하나의 중요한 회로 소자 타입을 나타낸다. 일반적으로, 다수의 공정 기술이 최근 실시되는바, 이 경우 전계 효과 트랜지스터를 포함하는 많은 유형의 복합 회로에 있어, MOS 기술은 동작 속도 및/또는 전력 소비 및/또는 비용 효율 면에서의 그 월등한 특성으로 인해 현재 가장 유망한 방법들 중 하나이다. 예를 들어, MOS 기술을 사용하여 복합 집적 회로를 제조하는 동안 수백 만개의 트랜지스터, 예를 들어, n-채널 트랜지스터 및/또는 p-채널 트랜지스터가 결정 반도체 층(crystalline semiconductor layer)을 포함하는 기판 상에 형성된다. 전계 효과 트랜지스터는 전형적으로, n-채널 트랜지스터가 고려되는지 또는 p-채널 트랜지스터가 고려되는지 여부에 상관없이, 소위 pn 접합을 포함하는데, 이러한 pn 접합은 고농도로 도핑된 영역들(소스 및 드레인 영역들로 언급됨)과 고농도로 도핑된 영역에 인접하여 배치되는 저농도로 도핑된 혹은 비도핑된 영역(예를 들어, 채널 영역과 같은 것)과의 계면에 의해 형성된다. 전계 효과 트랜지스터에서, 채널 영역의 전도성, 즉, 전도성 채널의 전류 구동 능력은 게이트 전극에 의해 제어되는바, 이 게이트 전극은 채널 영역에 인접하여 형성되며 얇은 절연층에 의해 채널 영역으로부터 분리되어 있다. 게이트 전극으로의 적절한 제어 전압의 인가로 인한 전도성 채널 형성시 채널 영역의 전도성은 도펀트 농도 및 전하 캐리어의 이동도에 따라 달라지며, 아울러 트랜지스터 폭 방향으로 채널 영역의 소정의 연장부에 있어 소스 영역과 드레인 영역 사이의 거리(이것은 또한 채널 길이로 언급되기도 함)에 따라 달라진다. 따라서, 게이트 전극에 제어 전압의 인가시 절연층 아래에 전도성 채널을 빠르게 생성하는 능력과 함께, 채널 영역의 전도성은 MOS 트랜지스터의 성능에 상당한 영향을 미친다. 따라서, 채널 생성 속도(이것은 게이트 전극의 전도성에 의존함) 및 채널 저항이 트랜지스터 특성을 실질적으로 결정하기 때문에, 채널 길이의 스케일링(scailing)(및 이것과 관련된, 채널 저항의 감소 및 게이트 저항의 감소)은 집적 회로의 동작 속도를 증가시키기 위한 중요 설계 기준이다.

[0003] 현재, 대부분의 집적 회로들은 실리콘을 기반으로 하여 제조되는데, 그 이유는 실리콘의 (실질적으로) 비제한적 이용가용성, 실리콘과 관련 물질 및 공정의 잘 알려진 특성 그리고 지난 50년 동안 수집된 경험이 있기 때문이다. 따라서, 실리콘은 대량 생산을 위해 설계된 회로 세대에 있어 가까운 장래에도 선택될 수 있는 물질로 남을 확률이 높다. 반도체 디바이스의 제조에서 실리콘이 중요한 한 가지 이유는 실리콘/실리콘 다이옥사이드 계면의 특성이 월등하다는 것인데, 이 실리콘/실리콘 다이옥사이드 계면은 서로 다른 영역들을 서로로부터 신뢰가능하게 전기적으로 절연시킬 수 있다. 실리콘/실리콘 다이옥사이드 계면은, 고온에서 안정적이고 따라서, 예를 들어, 계면의 전기적 특성을 희생시킴 없이 도펀트를 활성화시킴과 아울러 결정 손상을 치유하기 위한 어닐링 사이클을 위해 필요한 바와 같이, 후속의 고온 공정의 수행을 가능하게 한다.

[0004] 앞서 제시된 이유로, 실리콘 다이옥사이드가 전계 효과 트랜지스터에서, 게이트 전극(이것은 종종 폴리실리콘 혹은 다른 금속 함유 물질로 구성됨)을 실리콘 채널 영역으로부터 분리시키는 게이트 절연층으로서 바람직하게 사용된다. 전계 효과 트랜지스터 디바이스 성능을 계속 개선시킴에 있어, 스위칭 속도와 전류 구동 능력을 개선하기 위해, 채널 영역의 길이는 꾸준히 감소되어 왔다. 트랜지스터 성능이 게이트 전극에 공급되는 전압에 의해 제어되기 때문에(이 전압은 채널 영역 표면을 충분히 높은 전하 밀도로 반전시켜 소정의 공급 전압에 대해 그 필요한 구동 전류를 제공함), 게이트 전극과, 채널 영역과 그리고 이들 사이에 배치된 실리콘 다이옥사이드로 형성되는 커패시터에 의해 제공되는 어느 정도의 용량성 커플링이 유지돼야 한다. 채널 길이를 감소시키기 위해서는 트랜지스터 동작 동안의 소위 단채널 동작을 피하기 위해 용량성 커플링이 증가될 필요가 있음이 밝혀졌다. 단채널 동작으로 인해, 누설 전류가 증가할 수 있고, 임계 전압의 채널 길이에 대한 의존성이 커질 수 있다. 상대적으로 낮은 공급 전압과 이에 따른 감소된 임계 전압을 갖는 크게 스케일링된 트랜지스터 디바이스들에서, 누설 전류는 기하급수적으로 증가할 수 있고 아울러 게이트 전극 대 채널 영역의 용량성 커플링이 또한 증진될 필요가 있다. 따라서, 실리콘 다이옥사이드층의 두께는, 게이트와 채널 영역 간의 필요한 커패시턴스를 제공하기 위해, 이에 상응하여 감소돼야 한다. 예를 들어, 대략 0.08 ㎛의 채널 길이는 대략 1.2 nm 만큼 얇은 실리콘 다이옥사이드로 만들어진 게이트 유전체를 요구할 수 있다. 극히 짧은 채널을 갖는 고속 트랜지스터 소자들의 일반적 사용이 고속 애플리케이션에 한정될 수 있고, 반면 보다 긴 채널을 갖는 트랜지스터 소자들이 저장 트랜지스터 소자와 같은 덜 중요한 애플리케이션용으로 사용될 수 있지만, 극히 얇은 실리콘 다이옥사이드 게이트 절연층을 관통하는 전하 캐리어들의 다이렉트 터널링에 의해 일어나는 상대적으로 높은 누설 전류는, 옥사이드 두께가 1-2 nm 범위의 값에 이르게 할 수 있는바, 이러한 값은 성능 구동 회로에 대한 요건과 호환가능하지 않는 값이다.

[0005] 따라서, 게이트 절연층들(특히 극히 얇은 실리콘 다이옥사이드 게이트 층)을 위한 물질로서, 실리콘 다이옥사이드를 교체하는 것 혹은 적어도 그 일부를 교체하는 것이 고려되어 왔다. 가능한 대안적 절연체로는 매우 큰 유전율을 나타내는 물질이 있고, 이에 따라 대응하여 형성되는 게이트 절연층의 물리적으로 큰 두께는, 이러한 큰 두께에도 불구하고 극히 얇은 실리콘 다이옥사이드에 의해 획득될 수 있는 용량성 커플링을 제공하게 된다. 일반적으로, 실리콘 다이옥사이드와의 특정 용량성 커플링 달성을 위해 요구되는 두께는 커패시턴스 등가 두께(Capacitance Equivalent Thickness, CET)로 불린다. 따라서, 언뜻 보면, 단순히 실리콘 다이옥사이드를 하이-k 물질로 교체하는 것이 1 nm 이하 범위의 커패시턴스 등가 두께를 획득하는 직접적인 방법인 것처럼 보인다.

[0006] 따라서, 실리콘 다이옥사이드를 유전율이 높은 물질, 예를 들어 k 값이 대략 25인 탄탈륨 옥사이드(tantalum oxide)(Ta_2O_5), k 값이 대략 150인 스트론튬 티타늄 옥사이드(strontium titanium oxide)($SrTiO_3$), 하프늄 옥사이드(hafnium oxide)(HfO_2), HfSiO, 지르코늄 옥사이드(zirconium oxide)(ZrO_2) 등과 같은 것으로 교체하는 것이 제안되어 왔다.

[0007] 추가적으로 하이-k 유전체를 기반으로 하는 정교한 게이트 아키텍처로 발전하는 경우, 트랜지스터 성능은 또한, 게이트 전극에 대해 적절한 전도성 물질을 제공하여 일반적으로 사용되는 폴리실리콘 물질을 교체함으로써 증가될 수 있는데, 이것은 폴리실리콘의 경우 게이트 유전체에 대한 계면 부근에서 전하 캐리어 공핍이 일어날 수 있고, 이로 인해 채널 영역과 게이트 전극 간의 유효 커패시턴스가 감소하기 때문이다. 따라서, 게이트 스택이 제안되어 왔는바, 여기서 하이-k 유전체 물질은, 실리콘 다이옥사이드 층과 비교하여 덜 임계적 두께에서도 증진된 커패시턴스를 제공함과 아울러 추가적으로 누설 전류를 수용가능한 레벨에서 유지시킨다. 한편, 티타늄 나이트라이드(titanium nitride), 알루미늄 옥사이드(aluminum oxide) 등과 같은 비-폴리실리콘 물질(non-polysilicon material)을 포함하는 금속이 형성되어 하이-k 유전체 물질에 직접적으로 연결될 수 있으며, 이로 인해 공핍 구역의 존재를 실질적으로 피할 수 있다. 높은 구동 전류를 획득하기 위해서는, 전형적으로 트랜지스터의 임계 전압(이것은 채널 영역에서 전도성 채널이 형성되는 전압을 나타냄)이 낮아야 하기 때문에, 일반적으로 각각의 채널의 제어를 위해서는 적어도 pn 접합의 부근에서 정교한 측면 도펀트 프로파일 및 도펀트 그래디언트가 요구된다. 따라서, 일반적으로 소위 할로 영역이 이온 주입에 의해 형성되어 도펀트 종을 도입하게 되는바, 그 전도도 타입은 잔존 채널 및 반도체 영역의 전도성 타입에 대응하고, 이에 따라 각각의 연장부 그리고 깊은 드레인 및 소스 영역들의 형성 이후, 결과적인 pn 접합 도펀트 그래디언트가 "강화(reinforce)"되게 된다. 이러한 방식으로, 트랜지스터의 임계 전압은 채널의 제어도를 크게 결정하는데, 여기서 감소된 게이트 길이에 대해 임계 전압의 큰 변화가 관측될 수 있다. 따라서, 적절한 할로 주입 영역을 제공함으로써 채널의 제어도가 증진될 수 있고, 이로 인해 또한, 임계 전압의 변동(이것은 또한 임계 전압 롤 오프(threshold roll off)로 언급되기도 함)이 감소하고, 또한 게이트 길이에서의 변화에 따른 트랜지스터 성능에서의 변화가 크게 감소한다. 트랜지스터의 임계 전압은 게이트 유전체 물질과 접촉하고 있는 게이트 물질의 일함수(work fuction)에 의해 크게 영향을 받기 때문에, 고려중인 트랜지스터의 전도도 타입에 관한 유효 일함수의 적절한 조정이 보장돼야 한다.

[0008] 예를 들어, 티타늄 나이트라이드, 알루미늄 옥사이드 등과 같은 적절한 금속 함유 게이트 전극 물질이 종종 사용될 수 있는데, 여기서 대응하는 일함수가 n-채널 트랜지스터와 같은 일 타입의 트랜지스터에 대해 적절하도록 조정될 수 있고, 반면 p-채널 트랜지스터는 다른 일함수를 요구할 수 있으며, 이에 따라 금속 함유 전극 물질이 서로 다르게 처리되어 원하는 임계 전압이 획득될 수 있도록 한다. 이 경우, 서로 다른 트랜지스터 타입의 요건을 따르도록 서로 다른 게이트 전극 물질을 제공하기 위해, 복합적이고 정교한 제조 방식이 필요할 수 있다. 이러한 이유로, 트랜지스터 디바이스의 임계 전압을 적절히 조정하는 것이 또한 제안되어 왔는바, 이것은 트랜지스터 디바이스의 채널 영역과 하이-k 유전체 물질 간의 계면에 특정적으로 설계된 반도체 물질을 제공하여, 상기 특정적으로 설계된 반도체 물질의 밴드 갭(band gap)을 금속 함유 게이트 전극 물질의 일함수까지 적절히 "조정"함으로써 수행되며, 그럼으로써 고려중인 트랜지스터의 원하는 낮은 임계 전압이 획득될 수 있다. 전형적으로, 대응하는 특정적으로 설계된 반도체 물질, 예를 들어 실리콘/게르마늄 등과 같은 것이, 에피택셜 성장 기술에 의해 제공될 수 있는바, 이 기술이 또한 추가적인 복합 공정 단계를 나타낼 수 있고, 그러나 이것은 서로 다른 금속 함유 게이트 전극 물질을 제공하는 것과 비교하여 전체 공정 복잡도를 감소시킬 수 있으며, 혹은 적절한 트랜지스터 특성의 획득에 있어 증가된 유연도를 제공할 수 있다.

[0009] 그러나, 도 1a 내지 도 1d를 참조하여 더 상세히 설명되는 바와 같이, 임계치 조정 반도체 합금을 제공하기 위한 제조 시퀀스는 반도체 다이 또는 기판 전체에 걸쳐 임계치 가변성에 크게 영향을 미칠 수 있음이 밝혀졌다.

[0010] 도 1a는 기판(101)을 포함하는 반도체 디바이스(100)의 단면도를 도식적으로 나타낸 것으로, 기판(101) 위에는

실리콘 함유 반도체 물질(103)이 형성되고, 실리콘 함유 반도체 물질(103)은 그 안에 혹은 그 위에 트랜지스터 소자들을 형성하기 위한 적절한 두께를 갖는다. 제시된 예에서, 예를 들어, 실리콘 다이옥사이드 형태인 매립 절연층(102)이 기판(101)과 실리콘 함유 반도에 층(103) 사이에 배치된다. 더욱이, 얕은 트렌치 격리(Shallow Trench Isolation, STI)와 같은 격리 구조(104)가 반도체 층(103)에 형성되어 제 1 결정 "활성(active)" 영역(103A)과 제 2 활성 영역(103B)을 정의한다. 이러한 경우, 활성 영역은 반도체 물질로서 이해해야 하는바, 이 활성 영역에는 적절한 도펀트 프로파일이 생성되어 하나 이상의 트랜지스터 소자들에 대한 pn-접합을 형성하게 된다. 제시된 예에서, 제 1 활성 영역(103A)은 p-채널 트랜지스터에 대응할 수 있고, 반면 제 2 활성 영역(103B)은 n-채널 트랜지스터에 대응할 수 있다. 더욱이, 예를 들어 실리콘 다이옥사이드 물질 등의 형태인 마스크 층(105)이 적어도 제 1 활성 영역(103A) 및 제 2 활성 영역(103B)을 덮도록 형성될 수 있고, 반면 격리 구조(104)는 마스크 층(105)을 형성하기 위한 공정에 따라, 노출될 수 있다. 추가적으로, 레지스트 마스크 형태인 에칭 마스크(106)가 제공되는바, 이 에칭 마스크(106)는 제 2 활성 영역(103B)은 덮고 제 1 활성 영역(103A)은 노출시킨다.

[0011] 도 1a에 도시된 바와 같은 반도체 디바이스(100)는 전형적으로 다음의 공정 기술을 기반으로 하여 형성될 수 있다. 먼저, 잘 확립된 리소그래피, 에칭, 증착, 평탄화 및 어닐링 기술을 기반으로 하여 격리 구조(104)가 형성되고, 여기서 예를 들어 트렌치가 리소그래피 공정을 기반으로 하여 반도체 층(103)에 형성되는바, 트렌치는 후속적으로 실리콘 다이옥사이드, 실리콘 나이트라이드 등과 같은 적절한 절연 물질로 충전되게 된다. 과다 물질을 제거하고 표면 토폴로지를 평탄화한 후에, 그 안에 그리고 그 위에 형성될 트랜지스터들의 타입에 대응하는 활성 영역들(103A, 103B)에 기본적 도펀트 농도를 생성하기 위해 대응하는 도펀트 종을 도입하도록, 적절한 마스크 방식을 이용하는 활성 주입 시퀀스를 수행함으로써 후속 공정이 전형적으로 계속된다. 도펀트 종을 활성화하고 주입으로 인한 손상을 재결정화한 후에, 예를 들어 산화 공정 등을 기반으로 하여 마스크 층(105)을 형성함으로써 후속 공정이 계속될 수 있다. 그 다음에, 에칭 공정(107) 동안 제거될 마스크 층(105)의 일부가 노출되도록 하기 위해, 리소그래피 기술을 사용하여 레지스트 마스크(106)가 형성되는바, 여기서 에칭 공정(107)은, 마스크 층(105)이 실리콘 다이옥사이드로 구성되는 경우, 예를 들어, 하이드로플로릭산(hydrofluoric acid, HF)을 사용하는 습식 화학적 에칭 단계로서 수행될 수 있다. 더욱이, 에칭 마스크(106)를 제거한 후에, 노출된 표면 영역은, 이후 제조 단계에서 형성될 금속 함유 전극 물질과 함께, 임계 전압 또는 밴드 갭 에너지를 조정하기 위해 적절하게 설계된 실리콘/게르마늄 합금의 선택적 증착을 위한 제 1 활성 영역(103A)을 준비하기 위해 처리될 수 있다.

[0012] 도 1b는 선택적 에피택셜 성장 공정(108) 동안의 반도체 디바이스(100)를 도식적으로 나타낸 것으로, 여기서 공정 파라미터는, 상당량의 물질 증착이 노출된 활성 영역(103A)에 국한될 수 있도록 하는 반면 유전체 표면 영역 상의 물질 증착은 무시될 수 있도록, 잘 확립된 레시피에 따라 선택된다. 결과적으로, 선택적 에피택셜 성장 공정(108) 동안, 실리콘/게르마늄 합금(109)이 활성 영역(103A) 상에 선택적으로 형성될 수 있는 반면, 격리 구조(104) 및 마스크 층(105) 상으로의 증착은 억제될 수 있다. 예를 들어, 정교한 애플리케이션에서, 실리콘/게르마늄 합금(109)은 대략 10 nm 이하의 두께를 갖도록 제공될 수 있으며, 아울러 게르마늄의 농도는 대략 25 원자 퍼센트(atomic percent)일 수 있다. 실리콘/게르마늄 합금(109)의 물질 조성뿐만 아니라 그 두께가 최종적으로 획득되는 임계 전압에 크게 영향을 미칠 수 있고, 이에 따라 최종적으로 획득되는 트랜지스터 특성에 크게 영향을 미칠 수 있음을 이해해야 한다.

[0013] 도 1c는 더 진행된 제조 단계에서의 반도체 디바이스(100)를 도식적으로 나타낸 것이다. 도시된 바와 같이, 디바이스(100)는, 예를 들어, 습식 화학적 에칭 분위기 형태로 제공되는 에칭 분위기(110)에 노출되는바, 여기서 마스크 층(105)(도 1b 참조)은 이전에 증착된 실리콘/게르마늄 합금(109) 및 활성 영역(103B)의 물질에 대해 선택적으로 제거된다. 예를 들어, 에칭 공정(110)은 물질들(103B 및 109)에 대해 높은 선택도로 실리콘 다이옥사이드 물질을 제거할 수 있는 하이드로플로릭산을 기반으로 하여 수행된다. 이후, 후속 공정은 게이트 전극 구조들을 형성하고 기본적인 트랜지스터 구성을 완성함으로써 계속될 수 있다.

[0014] 도 1d는 더 진행된 제조 단계에서의 반도체 디바이스(100)를 도식적으로 나타낸 것이다. 본 단계에서, p-채널 트랜지스터(150A)가 활성 영역(103A) 내에 그리고 위에 형성되며, n-채널 트랜지스터(150B)가 활성 영역(103B) 내에 그리고 위에 형성된다. 트랜지스터들(150A, 150B) 모두는 전극 구조(151)를 포함하는바, 이 전극 구조(151)는 게이트 절연층(151B)을 포함하고, 이 게이트 절연층(151B)은 하이-k 유전체 물질을 포함한다. 더욱이, 알루미늄 옥사이드, 티타늄 나이트라이드 등과 같은 금속 함유 전극 물질이 게이트 절연층(151B) 상에 형성될 수 있고, 이후, 폴리실리콘(151C)과 같은 추가적 전극 물질이 형성될 수 있다. 도시된 바와 같이, p-채널 트랜지스터(150A)에서, 게이트 절연층(151B)이 실리콘/게르마늄 합금(109) 상에 형성되어, 트랜지스터(150A)의 임계

전압, 즉 채널 영역(153)에서 전도성 채널이 형성되는 전압은, 앞서 설명된 바와 같이, 정교한 도펀트 프로파일을 기반으로 하여 또한 형성될 수 있는 드레인 및 소스 영역들(154)의 대응하는 특성과 함께, 합금(109) 및 물질들(151B 및 151A)의 특성에 의해 결정될 수 있게 된다. 반면, 트랜지스터(150B)의 채널 영역(153)의 밴드 갭 구성은 결합 물질(151B, 151A)에 대해 적합하다.

[0015] 트랜지스터들(150A, 150B)은, 게이트 절연층들(151B), 전극 물질들(151A) 및 폴리실리콘 물질들(151C)의 증착과, 그리고 정교한 리소그래피 및 에칭 기술을 사용하는 패터닝을 포함하는 잘 확립된 제조 기술을 기반으로 하여 형성될 수 있다. 이후, 대응하는 주입 시퀀스가, 스페이서 구조(152)를 형성하는 제조 시퀀스(이것은 드레인 및 소스 영역들(154)에 대한 수직 및 측면 도펀트 프로파일을 적절하게 정의하기 위한 것임)와 함께 수행될 수 있다. 도펀트를 활성화하고 주입으로 인한 손상을 재결정화하기 위한 대응하는 어닐링 공정 이후에, 필요한 경우, 드레인 및 소스 영역들(154) 그리고 폴리실리콘 물질(151C)에 금속 실리사이드 영역들(미도시)을 형성함으로써, 기본적인 트랜지스터 구성이 완성될 수 있다.

[0016] 또한, p-채널 트랜지스터(150A)의 임계 전압은 실리콘/게르마늄 합금(109)을 제공함으로써 효과적으로 조정될 수 있고, p-채널 트랜지스터들의 임계 전압의 상당량의 가변성이 관측될 수 있으며, 특히 고밀도로 패킹된 디바이스 영역 및 디바이스 부분에서의 p-채널 트랜지스터의 임계 전압의 상당량의 편차가 관측될 수 있다. 결과적으로, 50 nm 이하의 게이트 길이를 갖는 크게 스케일링된 트랜지스터 소자를 요구하는 정교한 애플리케이션에 있어서, 정교한 하이-k 금속 게이트 전극 구조를 포함하는 트랜지스터들의 임계 전압을 조정하기 위한 종래의 방식은, 종래 공정 흐름에서 발생되는 높은 임계치 가변성으로 인해 그다지 바람직하지 못하다.

[0017] 앞서 설명된 상황을 고려하여, 본 개시내용은 반도체 디바이스 및 그 제조 기술에 관한 것으로, 여기서 채널 영역에 제공되는 반도체 합금을 기반으로 하여 효과적인 임계치 조정이 달성될 수 있고, 아울러 앞서 확인된 문제들 중 하나 이상의 영향을 피할 수 있거나 감소시킬 수 있다.

발명의 내용

과제의 해결 수단

[0018] 일반적으로, 본 개시내용은 반도체 디바이스 및 그 제조 기술을 제공하는바, 여기서 임계치 조정 반도체 합금을 포함하는 트랜지스터의 임계치 가변성은, 임계치 조정 반도체 물질의 증착 동안 공정 비균일성(process non-uniformities)을 감소시킴으로써 크게 감소될 수 있다. 이러한 목적으로, 임계치 조정 반도체 물질을 증착하기 위한 에피택셜 성장 공정 동안 "패턴 로딩(pattern loading)"의 정도가 감소될 수 있고, 이로 인해 개별 반도체 다이에 걸쳐 그리고 또한 전체 기판에 걸쳐 높은 균일도가 획득될 수 있다. 이러한 점에서, 용어 "패턴 로딩"은, 대응하는 물질이 증착될 영역의 "인접 영역(neighborhood)"에 따라 달라지는, 증착 공정 동안의 층 두께 및/또는 물질 조성의 가변성의 영향으로서 이해될 수 있다. 즉, 전형적으로, 증착 동작은 국부적 증착 상태에 따라 달라질 수 있으며, 이것은 또한 증착 영역의 인접 영역에 의해 결정될 수 있는바, 여기서, 특히 고밀도로 패킹된 디바이스 영역과 비-고밀도로 패킹된 디바이스 영역 간에 큰 차이가 관측될 수 있다. 결과적으로, 본 명세서에서 개시되는 원리에 따르면, 보다 더 "전체적(global)"으로 임계치 조정 물질을 증착함으로써, 아울러 이 물질을 후속의 균일한 그리고 제어가능성이 좋은 패터닝 시퀀스로 패터닝함으로써, 대응하는 국부적 증착 상태는 보다 더 균일하게 만들어질 수 있다.

[0019] 본 명세서에 개시되는 하나의 예시적 방법은, 제 1 실리콘 함유 결정 반도체 영역(silicon containing crystalline semiconductor region) 및 제 2 실리콘 함유 결정 반도체 영역 상에 실리콘 함유 반도체 합금층을 형성하는 것을 포함한다. 이 방법은 또한, 상기 제 2 실리콘 함유 결정 반도체 영역으로부터 상기 실리콘 함유 반도체 합금층을 선택적으로 제거하는 것을 포함한다. 더욱이, 이 방법은, 상기 실리콘 함유 반도체 합금층 상에 제 1 트랜지스터의 제 1 게이트 전극 구조를 형성하는 것을 포함하고, 여기서 상기 제 1 게이트 전극 구조는 하이-k 유전체 게이트 절연층(high-k dielectric gate insulation layer)과, 그리고 상기 하이-k 유전체 게이트 절연층 상에 형성되는 금속 함유 게이트 전극 물질을 포함한다. 마지막으로, 이 방법은, 상기 제 2 실리콘 함유 결정 반도체 영역 위에 제 2 트랜지스터의 제 2 게이트 전극 구조를 형성하는 것을 포함하고, 여기서 상기 제 2 게이트 전극 구조는 하이-k 유전체 게이트 절연층 및 그 위에 형성되는 금속 함유 게이트 전극 물질을 포함한다.

[0020] 본 명세서에 개시되는 또 다른 예시적 방법은, 제 1 실리콘 함유 반도체 영역 및 제 2 실리콘 함유 반도체 영역 상에 임계치 조정 반도체 물질(threshold adjusting semiconductor material)을 형성하는 것을 포함한다. 더욱이, 도펀트 종이 상기 제 1 실리콘 함유 반도체 영역을 덮는 주입 마스크를 사용하여 상기 제 2 실리콘 함유 반

도체 영역에 도입된다. 본 방법은 또한, 상기 주입 마스크를 기반으로 하여 상기 제 2 실리콘 함유 반도체 영역으로부터 상기 임계치 조정 반도체 물질을 선택적으로 제거하는 것을 포함한다. 마지막으로, 본 방법은, 상기 임계치 조정 반도체 물질 상에 제 1 트랜지스터의 제 1 게이트 전극 구조를 형성함과 아울러 상기 제 2 실리콘 함유 반도체 영역 상에 제 2 트랜지스터의 제 2 게이트 전극 구조를 형성하는 것을 포함하며, 여기서 상기 제 1 게이트 전극 구조 및 상기 제 2 게이트 전극 구조는 하이-k 유전체 물질을 포함함과 아울러 상기 하이-k 유전체 물질 상에 형성되는 금속 함유 전극 물질을 포함한다.

[0021] 본 명세서에서 개시되는 하나의 예시적 반도체 디바이스는, 복수의 고밀도로 패킹된 제 1 p-채널 트랜지스터들을 포함하는 제 1 디바이스 영역을 포함하며, 상기 제 1 p-채널 트랜지스터들은 대략 100 나노미터 이하의 피치(pitch)를 정의한다. 상기 제 1 p-채널 트랜지스터들 각각은 제 1 실리콘 함유 반도체 영역 내에 그리고 위에 형성됨과 아울러 상기 제 1 p-채널 트랜지스터들 각각의 채널 영역에 임계치 조정 반도체 합금의 제1의 층을 포함한다. 상기 반도체 디바이스는 또한, 복수의 제 2 p-채널 트랜지스터들을 포함하는 제 2 디바이스 영역을 포함하여 구성되며, 상기 제 2 p-채널 트랜지스터들은 대략 100 나노미터보다 큰 피치를 정의하고, 여기서 상기 제 2 p-채널 트랜지스터들 각각은 제 2 실리콘 함유 반도체 영역 내에 그리고 위에 형성됨과 아울러 상기 제 2 p-채널 트랜지스터들 각각의 채널 영역에 상기 임계치 조정 반도체 합금의 제2의 층을 포함한다. 더욱이, 상기 임계치 조정 반도체 합금의 상기 제1의 층 및 상기 제2의 층의 물질 조성 및/또는 층 두께의 균일도(degree of uniformity)는 대략 ±2%이다.

[0022] 본 개시내용의 또 다른 실시예들은 첨부되는 청구항에서 정의되고, 그리고 아래의 도면과 연계된 다음의 상세한 설명을 통해 더욱 명백하게 될 것이다.

도면의 간단한 설명

[0023] 도 1a 내지 도 1d는 종래의 방식에 따른 임계치 조정 실리콘/게르마늄 합금을 제공함에 있어서 다양한 제조 단계 동안의 p-채널 트랜지스터 및 n-채널 트랜지스터를 포함하는 정교한 반도체 디바이스의 단면도를 도식적으로 나타낸 것이다.

도 2a 내지 도 2e는 본 발명의 예시적 실시예에 따른, 증진된 균일도로, 대응하는 반도체 영역 위에 임계치 조정 반도체 합금을 선택적으로 형성함에 있어 다양한 제조 단계 동안의 반도체 디바이스의 단면도를 도식적으로 나타낸 것이다.

도 2f는 본 발명의 또 다른 예시적 실시예에 따른, 반도체 디바이스의 단면도를 도식적으로 나타낸 것으로, 여기서 임계치 조정 반도체 합금은 대응하는 격리 구조를 형성하기 전에 형성될 수 있다.

도 2g 내지 도 2k는 본 발명의 예시적 실시예에 따른, 다양한 제조 단계 동안의 반도체 디바이스의 단면도를 도식적으로 나타낸 것으로, 여기서 임계치 조정 반도체 합금은 활성 영역에 기본적인 도핑을 정의하기 위해 사용되는 주입 마스크를 기반으로 하여 형성될 수 있다.

도 2l은 본 발명의 예시적 실시예에 따른, 반도체 디바이스를 도식적으로 나타낸 것으로, 여기서 임계치 조정 반도체 합금을 제공한 후에 격리 구조가 형성될 수 있다.

도 2m은 본 발명의 예시적 실시예에 따른, 더 진행된 제조 단계에서의 반도체 디바이스의 단면도를 도식적으로 나타낸 것으로, 여기서 복수의 p-채널 트랜지스터들이 물질 조성 및/또는 두께에 관해 가변성의 정도가 감소된 임계치 조정 반도체 합금을 가질 수 있다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 개시내용이, 아래의 상세한 설명 및 도면에서 제시된 바와 같은 실시예들을 참조하여 설명되지만, 아래의 상세한 설명 및 도면은 본 명세서에 개시되는 주된 내용을 그 개시되는 특정의 예시적 실시예에 한정시키려는 것이 아니며, 오히려 본 명세서에서 설명되는 예시적 실시예는 단지 본 개시내용의 다양한 실시형태를 예시하기 위한 것이고, 그 범위는 첨부되는 특허청구범위에 의해 정의됨을 이해해야 한다.

[0025] 일반적으로, 본 개시내용은 반도체 디바이스 및 기술을 제공하는바, 여기서 정교한 게이트 전극 구조가 하이-k 유전체 물질 및 전극 물질을 함유한 전극을 기반으로 하여 초기 제조 공정에서 형성될 수 있다. 이 경우, 일 타입의 트랜지스터의 임계 전압이, 대응하는 트랜지스터의 채널 영역에 적절한 반도체 물질을 제공함으로써 조정될 수 있는바, 이는 균일성이 증진된 제조 공정을 기반으로 하여 달성될 수 있고, 그럼으로써 임계치 가변성이 감소되는데, 이것은 층 두께 및/또는 물질 조성에서의 대략 ±5%의 매우 작은 편차로 일어날 수 있다. 즉, 반도

체 디바이스(100)를 참조하여 앞서 설명된 바와 같이, 종래의 제조 방식에서, 대응하는 목표값에 대해 층 두께 및/또는 게르마늄 농도에 있어서 대략 5%의 가변성을 갖는 실리콘/게르마늄을 제공하는 것은 결과적으로, 상당량의 임계치 변화를 일으킬 수 있는바, 이것은 대략 50 nm 이하의 임계 치수를 기반으로 하여 트랜지스터들이 형성될 수 있는 정교한 집적 회로의 요건들과 호환가능하지 않을 수 있다. 임계치 조정 반도체 합금을 형성하기 위한 증착 공정 동안 패턴 관련 비균일성은, 특히 고밀도로 패킹된 트랜지스터 소자를 포함하는 디바이스 영역 및 덜 임계적인 패킹 밀도를 갖는 디바이스 영역에 대해서, 결과적인 임계치 가변성에 큰 영향을 미칠 수 있음이 인식되어 오고 있다. 결과적으로, 일부 예시적 실시예에 따르면, 임계치 조정 반도체 합금을 형성하기 위한 임계적 에피택셜 증착 공정은, 진보된 표면 상태를 기반으로 하여 수행될 수 있는바, 즉, 증착 표면 영역과 비증착 영역에 대해서 증가된 균일도로 수행될 수 있어, 반도체 합금의 결과적인 균일도가 증진될 수 있다. 이러한 점에서, 균일도는 대응하는 파라미터의 소정의 목표값의 대략 ±3%의 편차로서 이해될 수 있다. 예를 들어, 임계치 조정 반도체 물질의 물질 조성은 대략 3% 이하, 즉 목표값과 비교하여 ±3% 만큼 변할 수 있는바, 이는 다수의 대응하는 물질 샘플들로부터 취해진 평균값으로 정의될 수 있다. 다른 경우에 있어, 층 두께는 대응하는 목표 두께에 대해 대략 ±3% 이하 만큼의 편차를 가질 수 있다.

[0026] 증진된 균일도는, 일부 예시적 실시예에서, "비선택적" 방식으로 임계치 조정 반도체 합금을 증착시킴으로써 달성될 수 있고, 여기서 반도체 합금은 임의 타입의 트랜지스터의 활성 영역에 증착될 수 있고, 그리고 제어가능성이 좋은 에칭 공정을 기반으로 하여 후속적으로 일 타입의 트랜지스터(예를 들어, n-채널 트랜지스터와 같은 것)로부터 제거될 수 있다. 용어 "비선택적"은 또한, 그 용어에도 불구하고 결정 반도체 표면들과 유전체 표면 영역들(이것은 격리 구조 등의 형태로 제공될 수 있음) 간에 선택도가 달성될 수 있는 그러한 경우도 말할 수 있음을 이해해야 한다. 따라서, 비록 반도체 합금의 증착이 결정 반도체 표면으로 국한될 수 있을지라도, 크게 개선된 증착 상태가 전체 반도체 다이 또는 복수의 반도체 다이를 포함하는 기판 전체에 걸쳐 달성될 수 있는데, 이것은 국부적 스케일에서 매우 유사한 증착 상태가 달성될 수 있기 때문인바, 이는 고밀도로 패킹된 디바이스 영역이 고려되는지 혹은 비-고밀도로 패킹된 영역이 고려되는지에 상관없이 전형적으로 트랜지스터의 두 가지 타입 모두가 매우 근접하여 배치될 수 있기 때문이다. 다른 예시적 실시예들에서, 격리 구조는 높은 비선택적 방식으로 반도체 합금을 증착시킨 이후에 형성될 수 있어, 증착 상태의 균일성이 훨씬 더 증진될 수 있다. 본 명세서에 개시되는 일부 예시적 실시예에서, 반도체 합금의 패터닝은 추가적인 리소그래피 단계를 요구함이 없이 달성될 수 있어, 고효율의 전체 제조 공정이 제공될 수 있다.

[0027] 도 2a 내지 도 2n을 참조하여, 이제 보다 상세하게 예시적 실시예들이 또한 설명되는바, 여기서 필요한 경우 도 1a 내지 도 1d가 또한 참조될 수 있다.

[0028] 도 2a는 기판(201)과 실리콘 함유 반도체 층(203)을 포함하는 반도체 디바이스(200)의 단면도를 도식적으로 나타낸 것이다. 더욱이, 일부 예시적 실시예에서, 도 2a에 제시된 예에서와 같이, 디바이스(200)의 적어도 일부는 SOI 아키텍쳐를 포함할 수 있는바, 여기서 기판(201)과 실리콘 함유 반도체 층(203) 사이에는 매립 절연층(202)이 배치될 수 있다. 그러나, 본 명세서에 개시되는 원리가 또한 "벌크(bulk)" 구성에도 용이하게 적용될 수 있음을 이해해야 한다(벌크 구성에서는 매립 절연층(202)이 디바이스(200)의 적어도 일부 디바이스 영역에서 생략될 수 있음). 더욱이, 얕은 트렌치 격리와 같은 격리 구조(204)가 반도체 층(203)에 제공될 수 있어, 제 1 활성 영역(203A)과 제 2 활성 영역(203B)이 정의될 수 있다. 제시된 실시예에서, 활성 영역들(203A, 203B)은 활성 영역들(203A, 203B) 내에 그리고 위에 또한 형성될 대응하는 트랜지스터들의 전도도 타입을 정의하기 위한 기본적 도핑을 포함할 수 있다. 하나의 예시적 실시예에서, 제 1 활성 영역(203A)은 p-채널 트랜지스터를 형성하도록 n-도핑 영역을 나타낼 수 있다. 유사하게, 활성 영역(203B)은 n-채널 트랜지스터의 활성 영역을 나타낼 수 있다. 이하에서는, 제조 시퀀스가 설명되며, 여기서 임계치 조정 반도체 합금이 활성 영역(203A) 상에 선택적으로 형성되어 여기에 형성될 트랜지스터에 대한 대응하는 임계 전압을 제공할 수 있다. 그러나, 임계 전압을 조정하기 위한 대응하는 메커니즘이 또한, 전체 디바이스 및 공정 요건에 따라, 활성 영역(203B)에 형성될 트랜지스터에 적용될 수 있거나 혹은 양쪽 트랜지스터들 모두에 적용될 수 있음을 이해해야 한다.

[0029] 더욱이, 지금까지 설명된 성분들에 있어서, 그리고 이들을 형성하기 위한 임의의 제조 기술에 있어서, 반도체 디바이스(100)를 참조하여 앞서 설명된 바와 동일한 기준이 적용될 수 있다. 제시된 실시예에서, 격리 구조(204)를 형성하고 활성 영역들(203A, 203B)에 기본적 도핑을 정의한 이후에, 디바이스(200)는 세정 공정(200)에 놓일 수 있는바, 이는 잘 확립된 습식 화학적 레시피를 기반으로 하여 수행될 수 있다. 예를 들어, 선행 제조 단계 동안 형성될 수 있는 임의의 네이티브 옥사이드(native oxide)들이 제거될 수 있다.

[0030] 도 2b는 에피택셜 성장 공정(208) 동안의 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 여기서 예를 들어, 실리콘/게르마늄 물질 등의 형태인 반도체 합금(209)이 종래 방식과 비교하여 증진된 균일성의 표면 상태

를 기반으로 하여 증착될 수 있다. 즉, 하나의 예시적 실시예에서, 에피택셜 성장 공정(208)은, "선택적" 증착 레시피와 같은 잘 확립된 공정 파라미터를 기반으로 하여 형성될 수 있는바, 여기서 물질 접착은 활성 영역들(203A, 203B)과 같은 노출된 결정 표면 영역들 상에서 실질적으로 발생할 수 있지만 격리 구조(204)와 같은 유전체 표면 영역 상에서의 두드러진 물질 증착은 억제될 수 있다. 이러한 의미에서, 공정(208)은 선택적 에피택셜 성장 공정으로 언급될 수 있고, 여기서 하지만 반도체 합금(209)은 활성 영역들(203A, 203B)에 대해 비선택적 방식으로 형성될 수 있다. 즉, 종래의 방법과는 달리, 활성 영역들(203A, 203B)의 표면 영역에 바로 가까이 있는 임의의 전구체 물질의 존재 및/또는 증착율이 심지어 전체 기판(201)에 있어 매우 유사할 수 있는데, 이는 활성 영역(203A)의 증착을 위한 국부적 인접 영역이, 대응하는 디바이스 영역에서 전체 패킹 밀도에 관계없이 유사할 수 있기 때문이며, 영역(203A)에 매우 근접하여 전형적으로 하나 이상의 추가적인 트랜지스터 소자 혹은 활성 영역, 예를 들어 영역(203B)과 같은 것이 배치될 수 있기 때문인바, 종래에 이 위에는 물질(209)의 증착이 억제되었다. 결과적으로, 대응하는 "에지 상태(edge conditions)"가 트랜지스터 타입에 대응하는 활성 영역들 중 어느 것에 대해서도 유사할 수 있는바, 여기에 물질(209)의 증착이 요구된다. 결과적으로, 물질(209)의 두께(209T)는 높은 균일도를 가질 수 있고, 전체 기판(201)에 걸쳐 취해진 대응하는 대표적 평균값과 비교하여 대략 ±3% 이하 만큼 변할 수 있다. 다른 예시적 실시예에서, 두께 가변성은 심지어 대략 2% 이하일 수 있다. 예를 들어, 반도체 합금(209)은 대략 10 nm 이하의 두께, 예를 들어 9 nm의 두께를 갖는 실리콘/게르마늄 합금을 나타낼 수 있고, 게르마늄 농도는 대략 25 원자 % 이하일 수 있는바, 이는 대응하는 금속 함유 전극 물질과 함께 제공되는 다이오드 밴드 갭 오프셋(diode band gap off-set)에 따라 달라진다. 따라서, 증착 공정(208) 동안의 가스 흐름의 증진된 균일성으로 인해, 물질 조성의 가변성이 또한 증진될 수 있는바, 즉 사용된 반도체 합금(209)의 타입에 따라 달라지는, 실리콘, 게르마늄 등과 같은 다양한 성분들의 단편화가 감소될 수 있고, 아울러 대표 평균값 혹은 목표값에 비해 대략 ±3% 이하의 범위 내일 수 있다.

[0031] 도 2c는 더 진행된 제조 단계에서의 반도체 디바이스(200)의 단면도를 도식적으로 나타낸 것이다. 제시된 바와 같이, 마스크 층(205)은 반도체 층(209) 상에 형성되고 실리콘 다이옥사이드, 실리콘 나이트라이드 등과 같은 임의의 적절한 물질로 구성될 수 있다. 일부 예시적 실시예에서, 마스크 층(205)은 물질(209)의 옥사이드로 형성될 수 있으며, 이에 따라 대응하는 성분이 또한 마스크 층(205)에 증착될 수 있다. 층(205)은 플라즈마 보조 CVD(Chemical Vapor Deposition), 열적으로 활성화된 CVD 등과 같은 잘 확립된 증착 기술을 기반으로 형성될 수 있다. 다른 경우에 있어서, 산화 공정, 예를 들어 열 산화(thermal oxidation), 플라즈마 보조 산화(plasma assisted oxidation), 습식 화학적 산화(wet chemical oxidation) 등이 수행될 수 있는데, 여기서 대응하는 산화 공정의 높은 제어 가능도로 인해 초기의 층(209)의 물질 소비의 정밀 제어가 가능하다. 즉, 복수의 산화 레시피에 대한 잘 알려지고 안정적인 산화율로 인해, 물질 소비의 정도가 사전에 결정될 수 있으며 적절한 초기 두께로 층(209)을 증착하는 경우 고려될 수 있다. 대응하는 산화 공정의 높은 균일도로 인해, 이러한 산화 공정을 기반으로 하는 마스크 층(205)의 산화는 부가적인 전체 공정 비균일성에 실질적으로 기여하지 않을 수 있다.

[0032] 도 2d는 임의 제조 단계에서의 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 여기서 마스크(206)는, 활성 영역(203A)과 그 위에 형성되는 대응하는 물질층들(209 및 205)을 덮는 반면 활성 영역(203B)과 그 위에 형성되는 대응하는 물질들을 에칭 분위기(207)에 노출시키도록 제공될 수 있는바, 이 에칭 분위기(207)는 적어도 마스크 층(205)의 물질을 제거하도록 설계되어 있다. 제시된 실시예에서, 물질(209)에 대해 물질(205)을 선택적으로 제거하도록 에칭 공정(207)이 수행될 수 있는바, 이것은 마스크 층(205)이 실리콘 다이옥사이드로 구성되어 있는 경우, 예를 들어 하이드로플로릭산을 기반으로 달성될 수 있다. 다른 경우에 있어서,임의의 다른 선택적 에칭 레시피가 층(205)의 노출된 부분을 선택적으로 제거하기 위해 사용될 수 있다.

[0033] 도 2e는 추가적 에칭 분위기(212)에 노출되는 때의 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 이 추가적 에칭 분위기(212)는 적어도 마스크 층(205)에 대해 반도체 층(209)의 물질을 선택적으로 제거하기 위한 적절한 에칭 화학을 기반으로 하여 확립될 수 있다. 하나의 예시적 실시예에서, 에칭 공정(212)은, 마스크 층(205)(이것은 실리콘 다이옥사이드, 실리콘 나이트라이드 등으로 구성될 수 있음)에 대해 물질(209)(예를 들어, 실리콘/게르마늄 합금과 같은 것)을 선택적으로 제거할 수 있도록 하는 화학 약품을 기반으로 한 습식 화학 에칭 공정으로 수행될 수 있다. 에칭 공정(212) 동안, 화학 약품의 농도, 공정 시간 등과 같은 공정 파라미터들은 활성 영역(203B)의 물질이 과도하게 소비되지 않도록 적절하게 선택될 수 있다. 하나의 예시적 실시예에서, 에칭 공정(212)은 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide, TMAH)를 기반으로 하여 수행될 수 있는바, 이것은 레지스트 물질을 제거하기 위해 잘 알려진 화학물질이고(하지만, 실리콘 기반의 물질도 또한 효과적으로 제거할 수 있음), 더 높은 농도로 고온에서 제공될 수 있다. 더욱이, TMAH는 또한, 실리콘 다이옥사이드와 실리콘 나이트라이드 물질에 대하여 두드러진 선택성을 나타낼 수 있다. 결과적으로, 레지스트 마스크(206)(도 2d 참조)가 에칭 공정(212) 동안 제거될 수 있는 경우에도, 활성 영역(203A) 위의 물질층(209)의 무결

성(integrity)이 손상됨이 없이, 층(209)은 높은 제어도로 제거될 수 있다. 다른 경우에, 전체적인 공정 균일성을 더 증진시키기 위해, 레지스트 마스크(206)는, 에칭 공정(212)의 개시 전에 제거될 수 있다. 결과적으로, 활성 영역(203B)을 노출시키기 위한 패터닝 시퀀스 동안 물질(209)의 전체적 무결성은 마스크 층(205)을 기반으로 하여 유지될 수 있다. 이후, 마스크 층(205)은 활성 영역(203A) 위로부터 제거될 수 있고, 여기서 에칭 공정(110)(도 1c 참조)을 참조하는 경우 반도체 디바이스(100)를 참조하여 앞서 설명된 바와 같은, 유사한 공정 기술이 적용될 수 있다. 반도체 합금(209)의 노출 이후, 후속 공정이, 앞서 설명된 바와 같이, 정교한 게이트 전극 구조를 형성하기 위한 잘 확립된 공정 기술을 기반으로 하여 계속될 수 있다.

[0034] 도 2f는 또 다른 예시적 실시예에 따른 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 여기서 활성 영역들(203A, 203B)에 대한 기본적인 도핑은 격리 구조를 형성하기 전에 확립될 수 있다. 더욱이, 반도체 디바이스(200)는 에피택셜 성장 공정(208)에 노출될 수 있고, 이에 따라 임의의 적절한 증착 레시피를 기반으로 하여 반도체 합금(209)이 형성될 수 있으며, 이 경우, 격리 구조가 빠지기 때문에 증착 조건의 정도가 더 증진되어 달성될 수 있다. 결과적으로, 본 경우에서도 또한, 앞서 설명된 바와 같이, 물질(209)에는 물질 조성 및 층 두께에 대하여 높은 균일도가 제공될 수 있다. 반도체 합금(209)의 형성 이후, 층(209)을 패터닝하고 격리 구조를 형성함으로써 후속 공정이 계속될 수 있는바, 이 경우 증진된 공정 균일성을 유지하기 위한 적절한 방식은 도 2l을 참조하여 이후 설명된다.

[0035] 도 2g 내지 도 2j를 참조하여, 또 다른 실시예들이 이제 설명되며, 여기서 임계치 조정 반도체 합금의 패터닝은 활성 영역들 중 하나에 기본 도펀트 농도를 정의하는데 사용되는 주입 마스크를 기반으로 하여 달성될 수 있다.

[0036] 도 2g는 임의의 제조 단계에 있는 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 이 경우 예시적 일 실시예에서, 활성 영역들(203A, 203B)이 분리되도록 격리 구조(204)가 형성될 수 있으며, 그러나 반면 대응하는 기본적인 도핑 레벨은 아직 확립되지 않는다. 다른 예시적 실시예에서, 격리 구조(204)는 점선으로 표시된 바와 같이 이 제조 단계에서 형성되지 않으며, 이후의 제조 단계에서 형성될 수 있다(이것은 도 2f를 참조하여 앞서 설명된 바와 같고, 그리고 또한 도 2l을 참조하여 보다 상세하게 설명됨). 더욱이, 앞서 설명된 바와 같이, 디바이스(200)는 공정(208)의 증착 분위기에 노출되어 월등한 균일성을 갖는 반도체 합금(209)이 형성되게 된다. 반도체 합금(209)은, 격리 구조(204)가 이미 이 제조 단계에서 존재하고 있다면, 격리 구조(204) 위에 형성되지 않을 수 있음을 이해해야 한다.

[0037] 도 2h는 더 진행된 제조 단계에서의 반도체 디바이스(200)를 도식적으로 나타낸 것이다. 도시된 바와 같이, 마스크 층(205)이 반도체 합금(209) 상에 형성될 수 있고, 여기서 마스크 층(205)은 앞서 설명된 바와 같이 임의의 적절한 물질로 구성될 수 있다. 더욱이, 주입 마스크(214A)는, 활성 영역(203A)(즉, 이 위에 형성되는 마스크 층(205))을 노출시키는 반면 활성 영역(203B)은 덮도록 레지스트 마스크 형태로 제공될 수 있다. 더욱이, 디바이스(200)는 활성 영역(203A)에 도펀트 종을 도입하도록 설계된 이온 주입 공정(213A)에 놓이게 되는바, 이는 잘 확립된 주입 레시피를 기반으로 하여 달성될 수 있고, 그러나 여기서 대응하는 공정 파라미터(예를 들어, 주입 에너지 등과 같은 것)는 반도체 합금(209) 및 마스크 층(205)의 존재를 고려하여 적절하게 조정될 수 있다. 그러나, 전형적으로 양쪽 물질 층들은 적당하게 작은 층 두께를 갖도록 제공될 수 있고, 이에 따라 대응하는 조정은 종래 방식을 기반으로 하여 용이하게 달성될 수 있다.

[0038] 도 2i는 더 진행된 제조 단계에서의 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 이 경우, 주입 마스크(214A)(도 2h 참조)의 제거 이후, 추가적인 주입 마스크(214B)는 활성 영역(203B)(즉, 이 위에 형성되는 물질층들(205, 209))을 노출시키는 반면, 활성 영역(203A) 위에 형성되는 대응하는 물질층들은 덮을 수 있다. 더욱이, 전체적인 디바이스 요건에 따라, 주입 공정(213B)이 수행될 수 있어 활성 영역(203B)에 도펀트 종이 도입될 수 있다.

[0039] 도 2j는 에칭 분위기(207)(이것은 예를 들어, 습식 화학적 에칭 분위기의 형태로 제공됨)에 노출되는 경우의 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 여기서 마스크 층(205)은 주입 마스크(214B)를 기반으로 하여 패터닝될 수 있다. 결과적으로, 마스크 층(205)을 패터닝하기 위한 임의의 추가적인 리소그래피 단계를 피할 수 있고, 그럼으로써 이것은 매우 효율적인 전체 공정 흐름에 기여할 수 있다.

[0040] 도 2k는 마스크 층(205)을 기반으로 하여 활성 영역(203B) 위로부터 반도체 합금(209)의 노출된 부분을 제거하기 위해 에칭 분위기(212)에 노출되는 경우의 반도체 디바이스(200)를 도식적으로 나타낸 도면이다. 에칭 공정(212)을 위한 임의의 공정 레시피에 있어서, 앞서 설명된 바와 같은, 동일한 기준이 적용될 수 있다. 또한, 이러한 경우에, 반도체 합금(209)은, 임의의 추가적인 리소그래피 단계를 요구함이 없이 높은 효율의 제조 흐름을 기반으로 하여 높은 균일도로 제공될 수 있다. 에칭 공정(212) 이후, 앞서 설명된 바와 같이, 후속 공정이 계속

될 수 있는바, 즉, 마스크 층(205)이 제거될 수 있고, 그리고 트랜지스터 소자(150A, 150B)(도 1d 참조)를 참조하여 앞서에서도 또한 설명된 바와 같이 정교한 게이트 전극 구조를 형성함으로써 후속 공정이 계속될 수 있다.

[0041] 도 2l은 또 다른 예시적 실시예에 따른 반도체 디바이스(200)를 도식적으로 나타낸 것으로, 이 경우 반도체 합금(209)의 패터닝 이후의 격리 구조(204)가 제시된다. 예를 들어, 도 2g 내지 도 2k를 참조하여 앞서 설명된 공정 시퀀스에서, 반도체 합금(209)은 격리 구조를 형성하기 전에 주입 마스크를 기반으로 하여 패터닝될 수 있고, 반면 다른 경우에, 반도체 합금(209)은 도 2f를 참조하여 설명된 바와 같이, 활성 영역들(203A, 203B)에 기본적인 도펀트 농도를 형성한 이후에 패터닝 될 수 있다. 이러한 경우들 중 어떠한 경우든, 후속 공정은 반도체 합금(209) 및 마스크 층(205)의 잔존 부분을 기반으로 하여 계속될 수 있는 있는바, 이는 격리 구조(204)를 제공하기 위한 제조 시퀀스 동안 존재할 수 있는 임의의 공정 비균일성이 감소되도록 물질(209)의 무결성을 증진시키기 위해 유지될 수 있다. 예시적 일 실시예에서, 도 2l에 예시된 바와 같이, 정지층(215), 즉 에칭 정지 물질 및/또는 CMP(Chemical Mechanical Polishing) 정지 물질이 형성될 수 있고, 이러한 것의 예로는 실리콘 나이트라이드가 있으며, 이는 임의의 적절한 증착 레시피를 기반으로 하여 증착될 수 있다. 전체 공정 방식에 따라, 디바이스(200)의 표면 토폴로지는, 필요한 경우, 평탄화될 수 있고, 반면 다른 경우에 있어서는, 후속 프로세싱이 추가적 표면 처리 없이 층(215)을 기반으로 하여 계속될 수 있다. 결과적으로, 층(215)은 후속 공정(즉, 에칭 마스크를 정의하고, 그리고 반도체 층(203)에 트렌치를 에칭하고, 그리고 잘 확립된 증착 레시피를 근거로 하여 이 트렌치를 채우는 시퀀스)을 위한 플랫폼으로서 사용될 수 있다. 이후, 임의의 과다 물질이 예를 들어, CMP에 의해 제거될 수 있으며, 여기서 층(215)은 정지층으로서 동작할 수 있다. 이후, 층(215)의 잔류물이 제거될 수 있고, 여기서 마스크 층(205)은 반도체 합금(209)의 무결성을 여전히 유지시킬 수 있다. 이후, 마스크 층(205)은 앞서 설명된 바와 같이, 예를 들어, 임의의 공정 기술을 기반으로 하여 제거될 수 있고, 이후 후속 공정이 정교한 게이트 전극 구조를 형성하는 것과 함께 계속될 수 있다.

[0042] 도 2m은 더 진행된 제조 단계에서의 반도체 디바이스(200)를 도식적으로 나타낸 것이다. 도시된 바와 같이, 디바이스(200)는 제 1 디바이스 영역(270A)을 포함할 수 있고, 제 1 디바이스 영역(270A)은 p-채널 트랜지스터들과 같은 복수의 제 1 트랜지스터들(250A)과, 그리고 하나 이상의 n-채널 트랜지스터들(250B)을 포함할 수 있다. 더욱이, 제 2 디바이스 영역(270B)이 제공될 수 있고, 여기에는 가능하게는 하나 이상의 n-채널 트랜지스터들(미도시)과 함께 p-채널 트랜지스터들과 같은 복수의 제 3 트랜지스터들(250C)이 형성될 수 있다. 도시된 실시예에서, 트랜지스터들(250A, 250C)은 정교한 트랜지스터 소자들을 나타낼 수 있으며, 여기에는 앞서 설명된 바와 같이, 원하는 트랜지스터 특성을 제공하기 위한 임계치 조정 반도체 합금(209)이 형성되어 있다. 반면, 트랜지스터(250B)는 반도체 합금을 기반으로 하는 대응하는 임계치 조정이 요구되지 않는 그러한 트랜지스터를 나타낼 수 있다. 앞서 설명된 바와 같이, 트랜지스터들(250A, 250B 및 250C) 각각은 게이트 전극 구조(251)를 포함할 수 있고, 이것은 또한 하이-k 유전체 물질을 기반으로 하여 형성되는 게이트 절연층(251A)을 포함할 수 있다. 더욱이, 알루미늄 옥사이드, 티타늄 나이트라이드 등과 같은 금속 함유 전극 물질(251A)이 대응하는 게이트 절연층(251B) 상에 형성될 수 있는바, 여기서 필요한 경우 폴리실리콘 물질 등과 같은 추가적인 전극 물질(251C)이 전극 물질(251A) 상에 형성될 수 있다. 더욱이, 앞서에서 또한 설명된 바와 같이, 정교한 드레인 및 소스 영역들(254)이 제공되어 원하는 전체 트랜지스터 특성이 획득될 수 있다.

[0043] 트랜지스터들(250A, 250B 및 250C)은 예를 들어 앞서 설명된 바와 같은 임의의 적절한 제조 방식을 기반으로 하여 형성될 수 있고, 여기서 트랜지스터들(250A, 250C) 각각에서의 반도체 합금(209)의 증진된 균일성은 결과적인 트랜지스터 특성의 월등한 균일성을 제공할 수 있다. 예를 들어, 디바이스(270A)에서, 인접하는 트랜지스터들(250A) 간의 거리 혹은 피치(250P)는 원하는 높은 패킹 밀도를 얻기 위한 최소 임계 거리에 대응할 수 있다. 예를 들어, 정교한 애플리케이션에서, 피치(250P)는 대략 100 nm 이하일 수 있으며, 반면 게이트 길이, 즉 도 2m에서 전극 물질(251A)의 수평 연장부는 대략 50 nm 이하일 수 있다. 반면, 인접하는 트랜지스터들(250C) 간의 대응하는 거리 혹은 피치는 전체 디바이스 요건에 따라 훨씬 더 커질 수 있고, 그럼에도 불구하고 대응하는 반도체 합금(209)의 증진된 균일도는 대응하는 거리(250P, 250Q)에 관계없이 감소된 트랜지스터의 가변성을 제공할 수 있다. 앞서 설명된 바와 같이, 이것은 반도체 합금(209)의 증착 동안의 증진된 공정 상태를 기반으로 하여 달성될 수 있는바, 이는 국부적 의미에서, 트랜지스터들(250C, 250A) 각각에 대해 매우 유사한 인접 영역이 달성될 수 있기 때문이다. 예를 들어, 트랜지스터(250B)는 트랜지스터(250A, 250C) 각각에 대해 "가장 가까운" 이웃을 나타낼 수 있고, 그럼으로써, 앞서 설명된 바와 같이, 물질(209)을 형성하기 위한 증착 공정 동안에 유사한 로컬 인접 영역을 제공할 수 있다.

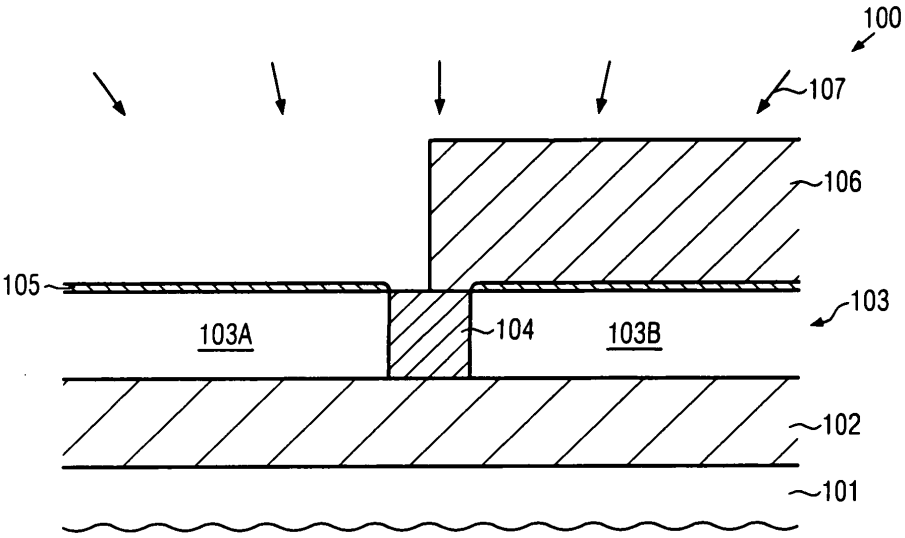
[0044] 결과적으로, 본 개시내용은 반도체 디바이스 및 그 제조 기술을 제공하는바, 여기서 임계치 조정 반도체 합금을 형성하기 위한 증착 관련 비균일성은, 트랜지스터의 각각의 타입에 대한 활성 영역 상에 물질을 증착함과 아울

러 후속적으로 제어가능성이 높은 패터닝 시퀀스를 기반으로 하여 반도체 합금을 패터닝함으로써 감소될 수 있다. 결과적으로, 실리콘/게르마늄 물질과 같은 임계치 조정 반도체 합금을 기반으로 하여, 초기 제조 단계, 즉 드레인 및 소스 영역들을 형성하기 전에, 하이-k 유전체 물질 및 금속 함유 전극 물질을 포함하는 정교한 게이트 전극 구조가 형성될 수 있고, 여기서 임계치 조정 물질의 선택적 형성 동안 증진된 균일성은, 매우 크게 스케일링된 반도체 디바이스가 고려되는 경우에도, 결과적으로 임계치 가변성을 감소시킬 수 있다.

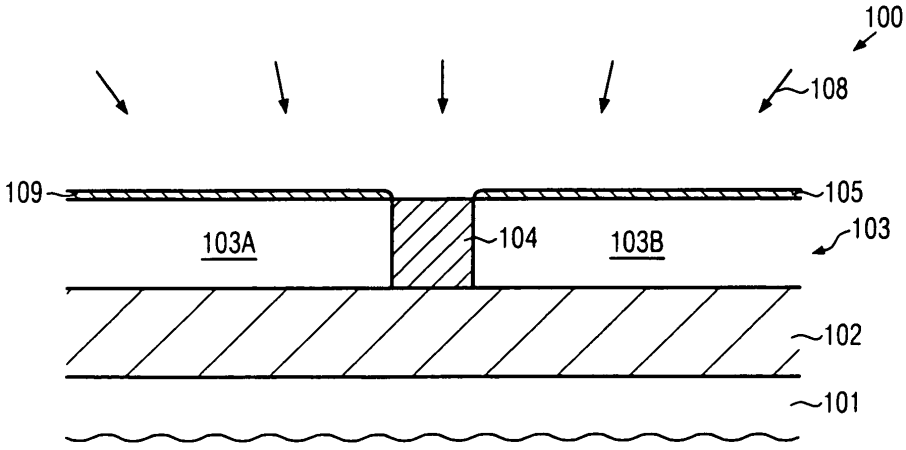
[0045] 본 개시내용의 다른 수정 및 변경은 본 명세서의 설명을 고려하는 경우 본 발명의 기술분야에서 숙련된 자들에게는 명백해 질 것이다. 따라서, 본 명세서의 설명은, 단지 예시적인 것으로서 해석돼야 하고 아울러 본 명세서에서 제공되는 가르침을 달성하는 일반적인 방식을 본 발명의 기술분야에서 숙련된 자들에게 가르칠 목적으로 제공되는 것이다. 본 명세서에서 제시되고 설명되는 주된 내용의 형태가 현재 바람직한 실시예들로서 선별되었음을 이해해야 한다.

도면

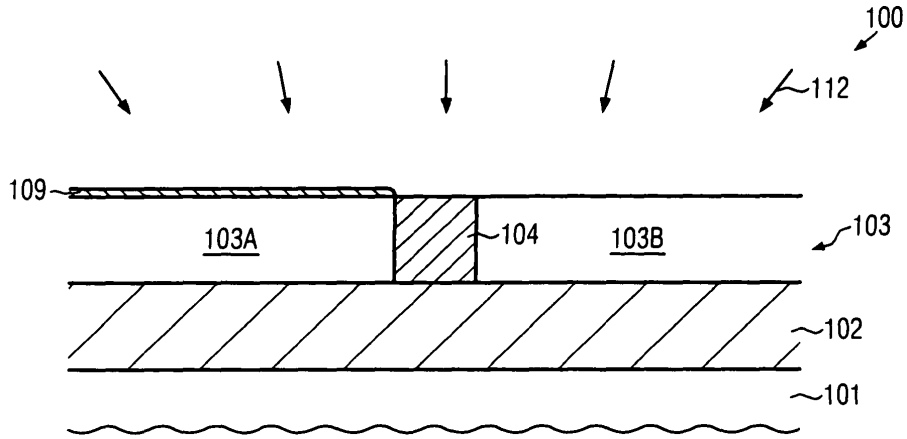
도면1a



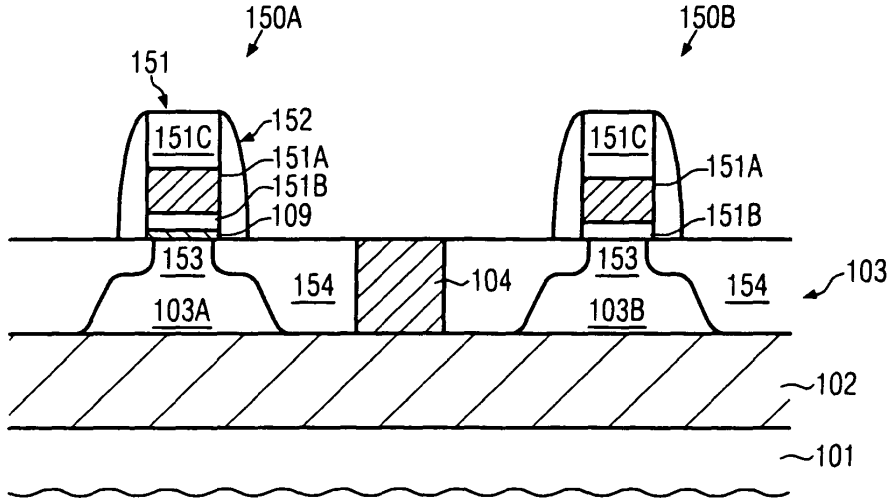
도면1b



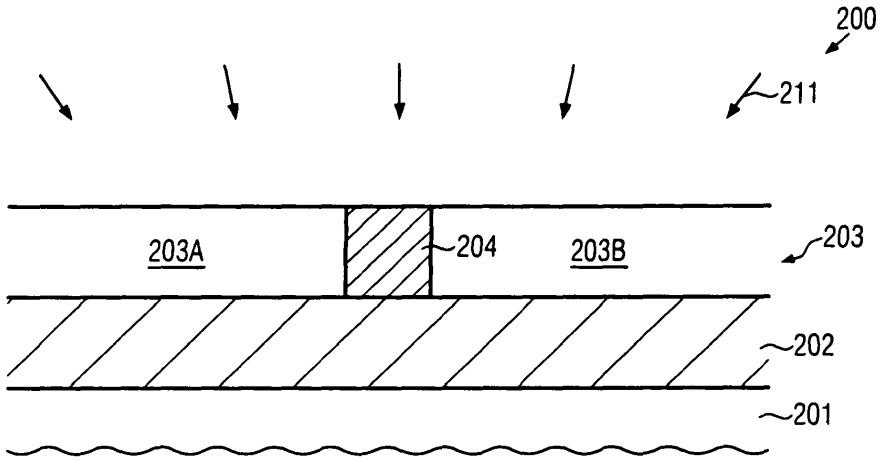
도면1c



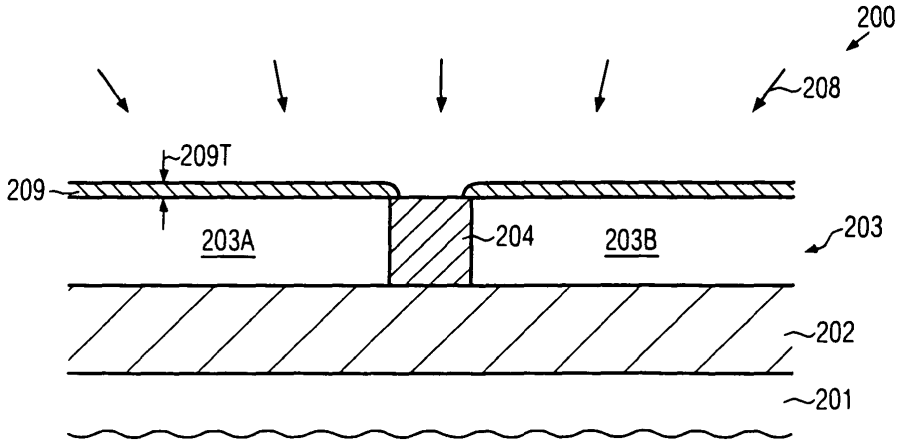
도면1d



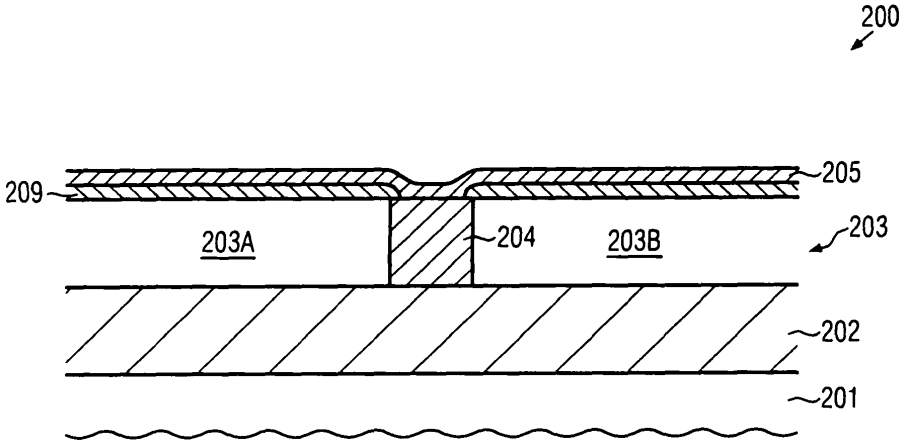
도면2a



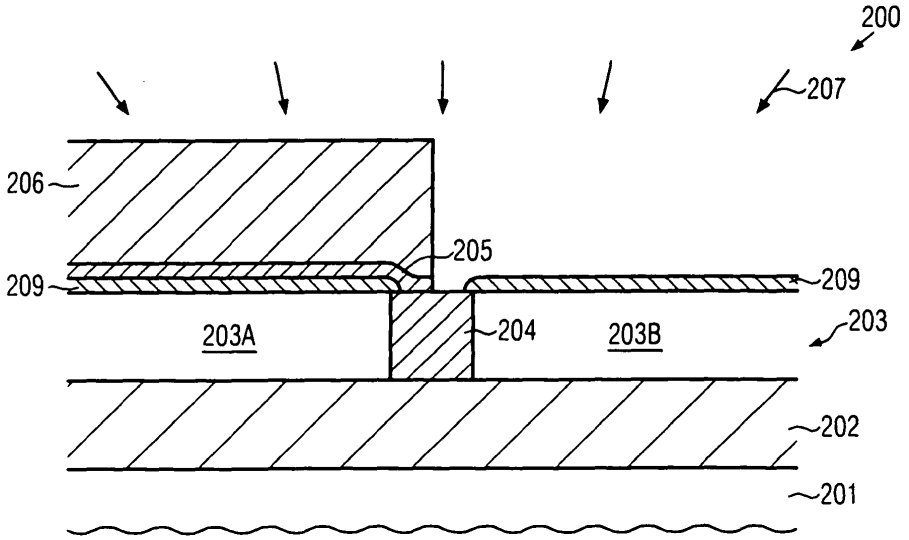
도면2b



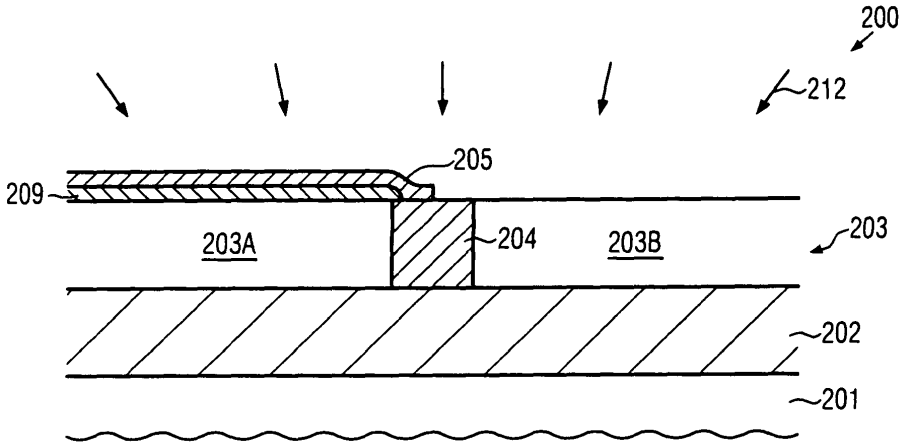
도면2c



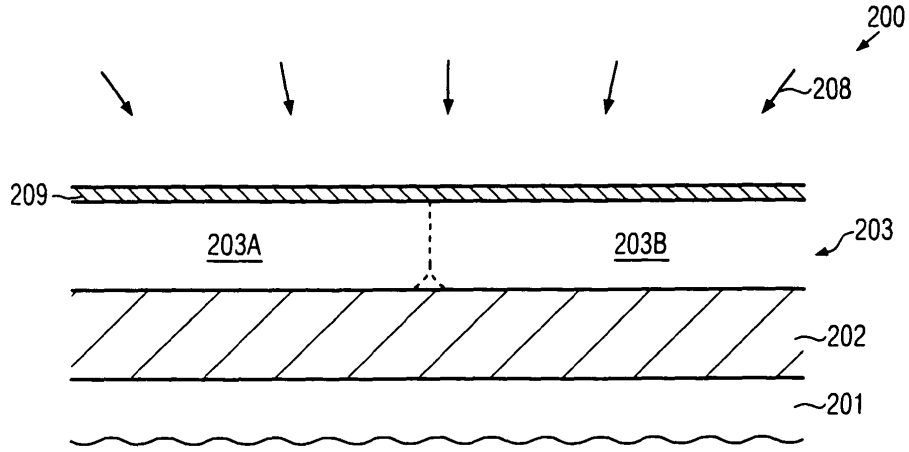
도면2d



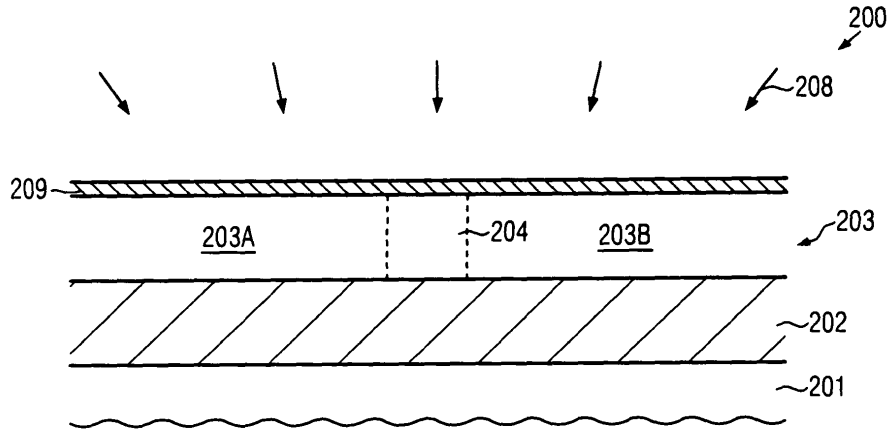
도면2e



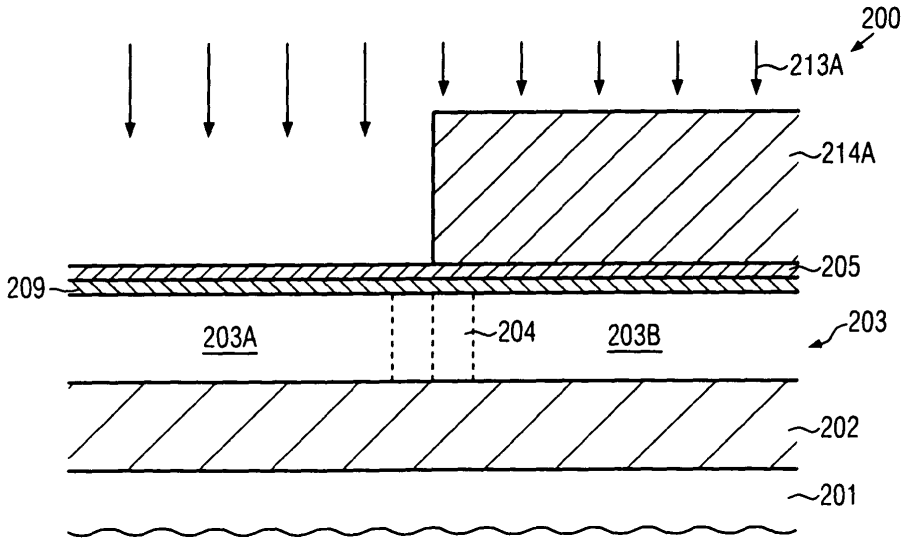
도면2f



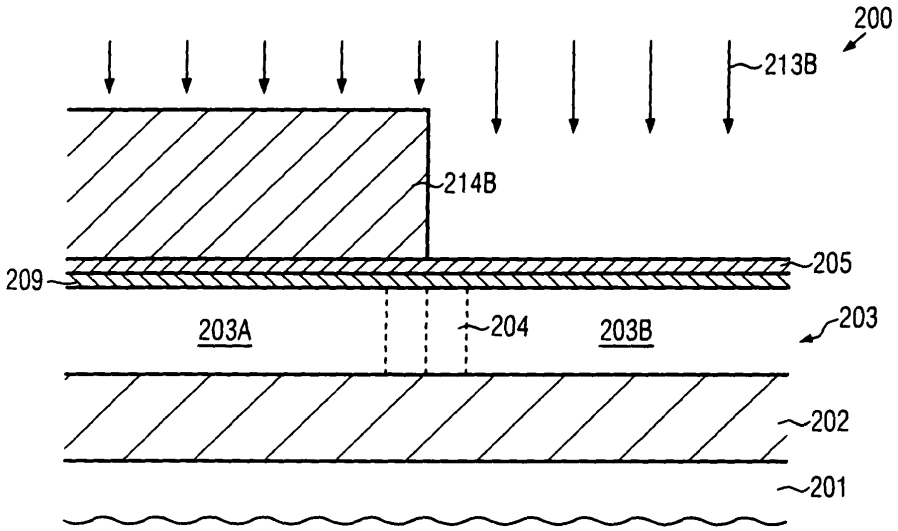
도면2g



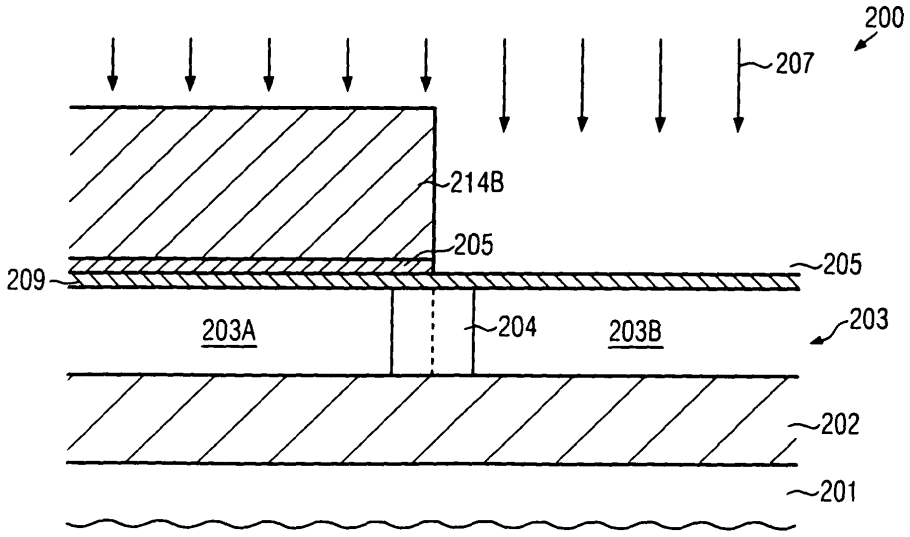
도면2h


200
213A
214A
205
209
203A
204
203B
203
202
201

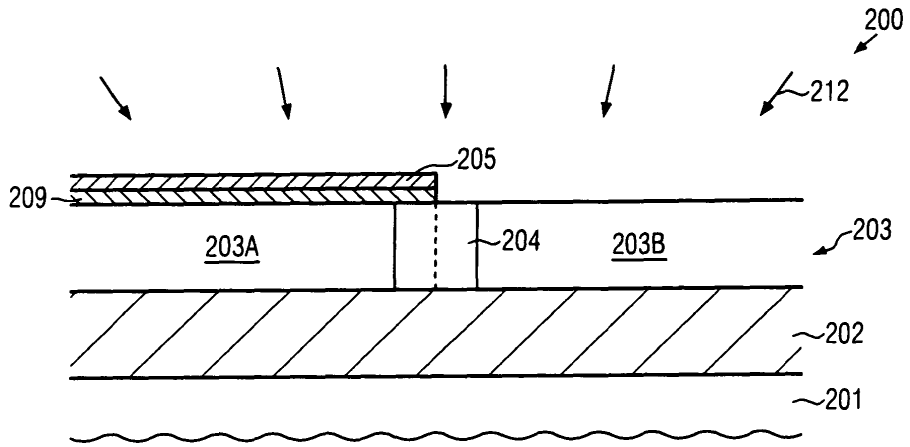
도면2i


200
213B
214B
205
209
203A
204
203B
203
202
201

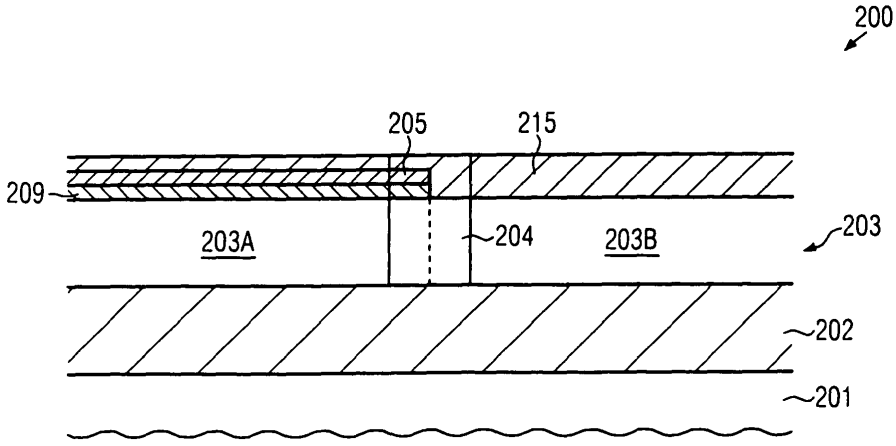
도면2j



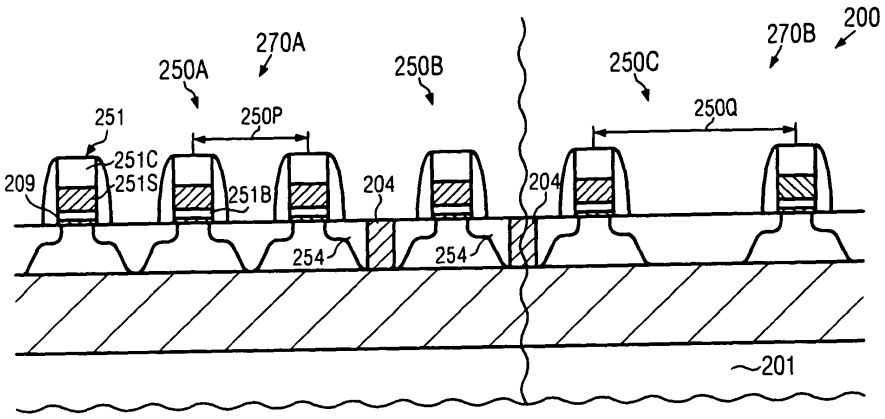
도면2k



도면21



도면2m


200
270A
270B
250A
250B
250C
250P
250Q
251
251C
251S
251B
209
204
204
254
254
201