



(12)发明专利

(10)授权公告号 CN 106910773 B

(45)授权公告日 2019.08.20

(21)申请号 201710092398.X

H01L 29/423(2006.01)

(22)申请日 2017.02.21

H01L 21/336(2006.01)

(65)同一申请的已公布的文献号  
申请公布号 CN 106910773 A

(56)对比文件

CN 1128588 A,1996.08.07,  
EP 0739041 B1,2003.10.01,  
US 2015/0123078 A1,2015.05.07,

(43)申请公布日 2017.06.30

(73)专利权人 南京大学  
地址 210093 江苏省南京市鼓楼区汉口路  
22号

审查员 宋晶晶

(72)发明人 万青 万相 杨毅 丰平 邵枫  
杜培富

(74)专利代理机构 南京经纬专利商标代理有限  
公司 32200

代理人 许方

(51)Int.Cl.

H01L 29/78(2006.01)

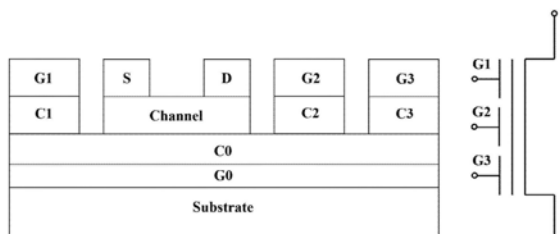
权利要求书1页 说明书4页 附图2页

(54)发明名称

多栅极神经元晶体管及其制备方法和构成的神经网络

(57)摘要

本发明公开了一种多栅极神经元晶体管,该晶体管包括源漏电极、沟道、栅介质、浮栅电极和多个输入栅极,以及输入栅极与栅介质之间的电容记忆层。其中,各输入栅极通过电容记忆层与栅介质电容共同耦合至浮栅电极上,继而协同控制沟道输出电流,模拟神经元的加权计算功能。同时,电容记忆层的电容大小随输入栅压信号的历史而变化,模拟突触权重的可塑性。本发明还提出了该多栅极神经元晶体管的制备方法,以及由若干多栅极神经元晶体管相互电连接而成的神经网络。本发明结构简单,便于制备和集成,有望在类脑智能芯片等领域得到应用。



1. 一种多栅极神经元晶体管,其特征在于:包括衬底、浮栅电极、栅介质层、源电极、漏电极、沟道层、至少3组电容记忆层和与之对应的至少3组输入栅极;所述浮栅电极设于衬底上,所述栅介质层设于浮栅电极上,所述沟道层设于栅介质层上,所述源电极和漏电极分别设于沟道层上的两端;每组电容记忆层和输入栅极都不与沟道层接触;每组电容记忆层和输入栅极中,电容记忆层位于栅介质层上,输入栅极位于电容记忆层上;各组的电容记忆层之间以及各组的输入栅极之间互不接触;该多栅极神经元晶体管的输入信号为输入栅极上施加的电压,该多栅极神经元晶体管的输出信号为漏电极读取的沟道电流;各输入栅极通过电容记忆层与栅介质电容共同耦合至浮栅电极上,继而协同控制沟道输出电流,实现神经元的加权计算功能;输入栅极上施加的电压脉冲能长时程改变电容记忆层的电容大小,从而改变输入栅极的输入权重,实现突触的权重可塑性特征。

2. 根据权利要求1所述一种多栅极神经元晶体管,其特征在于:电容记忆层的电容大小在对应的输入栅极施加刺激电压脉冲后发生长时程的上升,由低电容态转变为高电容态。

3. 根据权利要求1所述一种多栅极神经元晶体管,其特征在于:电容记忆层的电容大小在对应的输入栅极施加恢复电压脉冲后发生长时程的下降,由高电容态恢复为低电容态。

4. 一种多栅极神经元晶体管的制备方法,其特征在于,包括以下步骤:

(1) 在衬底上形成浮栅电极;

(2) 在浮栅电极上形成栅介质层;

(3) 在栅介质层上形成沟道层;

(4) 在沟道层的两端形成图案化的源电极和漏电极;

(5) 在栅介质层上形成图案化的电容记忆层,且电容记忆层不与沟道层接触;

(6) 在电容记忆层上形成输入栅极。

5. 根据权利要求4所述一种多栅极神经元晶体管的制备方法,其特征在于:制备栅介质层的材质为固态电解质,制备沟道层的材质为非晶金属氧化物半导体,制备电容记忆层的材质为相变材料或铁电材料。

6. 一种神经网络,其特征在于:该神经网络由若干如权利要求1所述多栅极神经元晶体管相互电连接而成。

## 多栅极神经元晶体管及其制备方法和构成的神经网络

### 技术领域

[0001] 本发明半导体器件领域,特别涉及了多栅极神经元晶体管及其制备方法和构成的神经网络。

### 背景技术

[0002] 大数据时代对于计算机处理信息的能力提出了非常高的要求,而传统冯诺依曼计算机的发展已经遭遇到瓶颈。未来计算机需要基于新的指令集的器件和芯片架构才能满足大数据时代飞速增长的信息处理要求。与传统冯诺依曼计算机相比,人脑以分布和并行的方式存储和处理信息,它能更好地处理感知、交互、识别等传统意义上的“大数据”问题,且整体能耗很低。因此,类脑智能为未来计算机技术的发展提供了新的思路。

[0003] 神经元和突触分别是人脑神经计算和存储的基本单元,用单个器件模拟神经元-突触的功能是实现类脑智能芯片的基础。国内外已有大量文献报导了用单个器件模拟突触功能的实验结果。例如,松下公司通过铁电晶体管模拟突触的STDP行为(IEEE Trans.Electron Devices 2014,61,2827-2833);NIMS采用Ag<sub>2</sub>S原子开关模拟突触的长短期可塑性(Nature Mater.2011,10,591-595);国内的刘益春课题组(Adv.Funct.Mater.2012,22,2759-2765)和胡绍刚课题组(Appl.Phys.Lett.2013,102,183510)利用金属氧化物忆阻器的氧空位迁移和电化学反应模拟突触的长短期可塑性;美国的陈勇课题组(Adv.Mater.2010,22,2448-2453)和国内的万青课题组(Nat.Commun.2014,5,3158)利用离子栅介质的离子迁移、扩散和电化学反应,实现了三端晶体管对突触功能的模拟。

[0004] 上述均为单个器件模拟突触的研究结果。然而目前为止,很少有研究能通过单个器件实现神经元的加权计算功能。目前,研究人员大多是通过复杂电路结合人造突触单元实现神经元-突触的信号处理功能。例如,北京大学的康晋锋等人通过多个忆阻器的电连接实现神经网络的功能。类似地,中国科学院上海微系统与信息技术研究所的宋三年等人通过多层忆阻器阵列实现神经网络的兴奋传递功能。然而,类似的这种复杂电路方案不仅制备工艺繁琐,而且其功耗也相对较高,不符合人脑低功耗的特性。

[0005] 现有技术中,神经元MOS场效应晶体管( $\gamma$  MOS)是最接近所述神经元-突触功能的单元器件(IEEE Trans.Electron Devices 1992,39,1444-1455)。如图1所示, $\gamma$  MOS包含有一个浮栅(FG)和多个控制栅(CG1~4),控制栅(CG1~4)输入的电压信号通过浮栅(FG)的整合来协同控制晶体管沟道的开关,这就实现了类似神经元的加权计算功能。另一方面,和浮栅存储器类似, $\gamma$  MOS的工作过程中沟道电子会通过Fowler-Nordheim隧穿至浮栅(FG)中,从而改变器件的阈值电压 $V_{TH}$ ,实现了类似突触的存储功能,也就是突触可塑性(Plasticity)。

[0006] 然而,在神经元-突触中,与神经元相连的每个突触的输入权重都会根据该突触前输入的历史而发生变化,也就是说神经元每个突触的可塑性是相互独立的。而现有 $\gamma$  MOS的可塑性表现在器件整体阈值电压 $V_{TH}$ 的变化,相当于每个控制栅(CG1~4)的输入权重都受其

影响。这不符合突触可塑性相互独立的特征。

## 发明内容

[0007] 为了解决上述背景技术提出的技术问题,本发明旨在提供多栅极神经元晶体管及其制备方法和构成的神经网络,实现多栅极加权计算功能,并且每个输入栅极都具有独立的权重可塑性。

[0008] 为了实现上述技术目的,本发明的技术方案为:

[0009] 一种多栅极神经元晶体管,包括衬底、栅介质层、浮栅电极、源电极、漏电极、沟道层、至少3组电容记忆层和与之对应的至少3组输入栅极;所述浮栅电极设于衬底上,所述栅介质层设于浮栅电极上,所述沟道层设于栅介质层上,所述源电极和漏电极分别设于沟道层上的两端;每组电容记忆层和输入栅极都不与沟道层接触;每组电容记忆层和输入栅极中,电容记忆层位于栅介质层上,输入栅极位于电容记忆层上;各组的电容记忆层之间以及各组的输入栅极之间互不接触;该晶体管的输入信号为输入栅极上施加的电压,该晶体管的输出信号为漏电极读取的沟道电流;各输入栅极通过电容记忆层与栅介质电容共同耦合至浮栅电极上,继而协同控制沟道输出电流,实现神经元的加权计算功能;输入栅极上施加的电压脉冲能长时程改变电容记忆层的电容大小,从而改变输入栅极的输入权重,实现突触的权重可塑性特征。

[0010] 进一步地,电容记忆层的电容大小在对应的输入栅极施加刺激电压脉冲后发生长时程的上升,由低电容态转变为高电容态。

[0011] 进一步地,电容记忆层的电容大小在对应的输入栅极施加恢复电压脉冲后发生长时程的下降,由高电容态恢复为低电容态。

[0012] 一种多栅极神经元晶体管的制备方法,包括以下步骤:

[0013] (1) 在衬底上形成浮栅电极;

[0014] (2) 在浮栅电极上形成栅介质层;

[0015] (3) 在栅介质层上形成沟道层;

[0016] (4) 在沟道层的两端形成图案化的源电极和漏电极;

[0017] (5) 在栅介质层上形成图案化的电容记忆层,且电容记忆层不与沟道层接触;

[0018] (6) 在电容记忆层上形成输入栅极。

[0019] 进一步地,制备栅介质层的材质为固态电解质,制备沟道层的材质为非晶金属氧化物半导体,制备电容记忆层的材质为相变材料或铁电材料。

[0020] 一种神经网络,该神经网络由若干上述多栅极神经元晶体管相互电连接而成。

[0021] 采用上述技术方案带来的有益效果:

[0022] (1) 本发明通过晶体管的多输入栅极的协同控制实现神经元加权计算功能,通过多组电容记忆层实现突触的权重可塑性。该多栅极神经元晶体管符合神经元-突触的计算和存储特性,并且与传统CMOS工艺兼容,有助于从硬件层面推动类脑智能芯片的发展;

[0023] (2) 本发明提出的多栅极神经元晶体管采用侧栅结构,即输入栅极和电容记忆层与沟道均位于栅介质层的同一侧,这种侧栅结构比起垂直结构的顶栅/底栅结构的好处在于,其空间利用率高,在不与沟道层相连的区域可以形成任意多组输入栅极和电容记忆层。

## 附图说明

[0024] 图1是现有的神经元MOS场效应晶体管( $\gamma$  MOS)的剖面示意图;

[0025] 图2本发明提出的多栅极神经元晶体管的剖面示意图;

[0026] 图3本发明中由多栅极神经元晶体管构成的神经网络的电路图。

[0027] 标号说明:Substrate:衬底;S:源电极;D:漏电极;FG:浮栅电极;CG1-CG4:控制栅电极;C0:栅介质层;G0:浮栅电极;Channel:沟道层;C1-C3:电容记忆层;G1-G3:输入栅极;a-d:多栅极神经元晶体管。

## 具体实施方式

[0028] 以下将结合附图,对本发明的技术方案进行详细说明。

[0029] 如图2所示,一种多栅极神经元晶体管,包括衬底Substrate、浮栅电极G0、栅介质层C0、源电极S、漏电极D、沟道层Channel、至少3组电容记忆层C1-C3和与之对应的至少3组输入栅极G1-G3。所述浮栅电极设于衬底上,所述栅介质层设于浮栅电极上,所述沟道层设于栅介质层上,所述源电极和漏电极分别设于沟道层上的两端;每组电容记忆层和输入栅极都不与沟道层接触;每组电容记忆层和输入栅极中,电容记忆层位于栅介质层上,输入栅极位于电容记忆层上;各组的电容记忆层之间以及各组的输入栅极之间互不接触;该晶体管的输入信号为输入栅极上施加的电压,该晶体管的输出信号为漏电极读取的沟道电流。

[0030] 多栅极神经元晶体管在操作过程中,源电极接地,漏电极施加晶体管的工作电压。初始状态时,不妨假设电容记忆层C1的电容远小于C2、C3的电容,则对应同组输入栅极G1与浮栅电极之间的串联总电容相对很小。即输入栅极G1的输入权重很小。此时,输出信号,即沟道电流脉冲大小基本只受到输入栅极G2、G3上输入的电压脉冲影响。

[0031] 当在输入栅极G1上输入合适的高频、高幅值的正电压(刺激电压)脉冲信号,对应电容记忆层C1的电容会增大。电容值增大的程度与正电压脉冲刺激的频率、幅值正相关。此时输入栅极G1与浮栅电极之间的串联电容相对增大,则输入栅极G1的输入权重增大。当C1的电容增大到接近C2、C3的电容水平时,输出信号,即沟道电流脉冲大小为输入栅极(G1、G2、G3)上输入的电压脉冲加权计算结果。

[0032] 当在输入栅极G1上输入合适的高频、高幅值的负电压(恢复电压)脉冲信号,对应电容记忆层C1的电容减小。电容值减小的程度与负电压脉冲刺激的频率、幅值正相关。此时输入栅极G1与浮栅电极之间的串联电容相对减小,则输入栅极G1的输入权重减小。当C1的电容减小到远小于C2、C3的电容水平时,输出信号,即沟道电流脉冲大小重新恢复为初始状态,即只受到输入栅极G2、G3上输入的电压脉冲影响。这种输入权重随输入历史而变化、且相互独立的特性,模拟了神经元上每个突触相互独立的权重可塑性。

[0033] 本发明可根据输入端个数需求设置多组输入栅极和电容记忆层,各组输入栅极和电容记忆层之间互不接触。

[0034] 本发明还提出了一种多栅极神经元晶体管的制备方法,包括以下步骤:

[0035] (1) 在衬底上形成浮栅电极;

[0036] (2) 在浮栅电极上形成栅介质层;

[0037] (3) 在栅介质层上形成沟道层;

[0038] (4) 在沟道层的两端形成图案化的源电极和漏电极;

[0039] (5) 在栅介质层上形成图案化的电容记忆层,且电容记忆层不与沟道层接触;

[0040] (6) 在电容记忆层上形成输入栅极。

[0041] 衬底的材质可以选用硅片、玻璃、塑料、纸等材料。栅介质层的材质为固态电解质,例如PECVD生长的多孔SiO<sub>2</sub>。沟道层的材质为非晶金属氧化物半导体材料,例如射频磁控溅射生长的ZnO、IZO和IGZO等。电容记忆层的材质为相变材料或铁电材料,相变材料的电容记忆特性,来源于金属氧化物中氧缺陷形成的导电通道,在外加电压下,这些导电通道的连通和断开对应地增大和减小了这类金属氧化物的电容,并长久保持;铁电材料的电容记忆特性,来源于非易失的铁电极化特性,在外加电压下,铁电材料同样可以在高电容态和低电容态之间转变,并长久保持。

[0042] 本发明还提出了一种神经网络,如图3所示,包括多个相互电连接的所述多栅极神经元晶体管a-d和分压电阻。由于分压电阻的存在,输出信号为源电极读取的电压信号。在前一级多栅极神经元晶体管a-c的输入栅极上输入电压脉冲信号。此时,各多栅极神经元晶体管a-c的输出电压为各自输入栅极上输入的电压脉冲信号加权计算的结果。各多栅极神经元晶体管a-c的输出电压脉冲信号传递到下一级多栅极神经元晶体管d的输入栅极上,然后进行类似的加权计算。

[0043] 上述过程模拟了神经网络的兴奋传递过程。神经元通过树突结构接收多个神经元传递来的信号,并将信号加权求和后再传递到下一个神经元。

[0044] 以上实施例仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明保护范围之内。

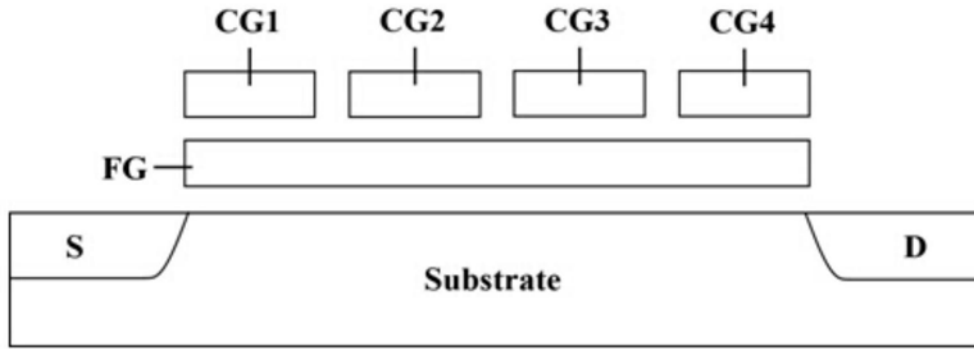


图1

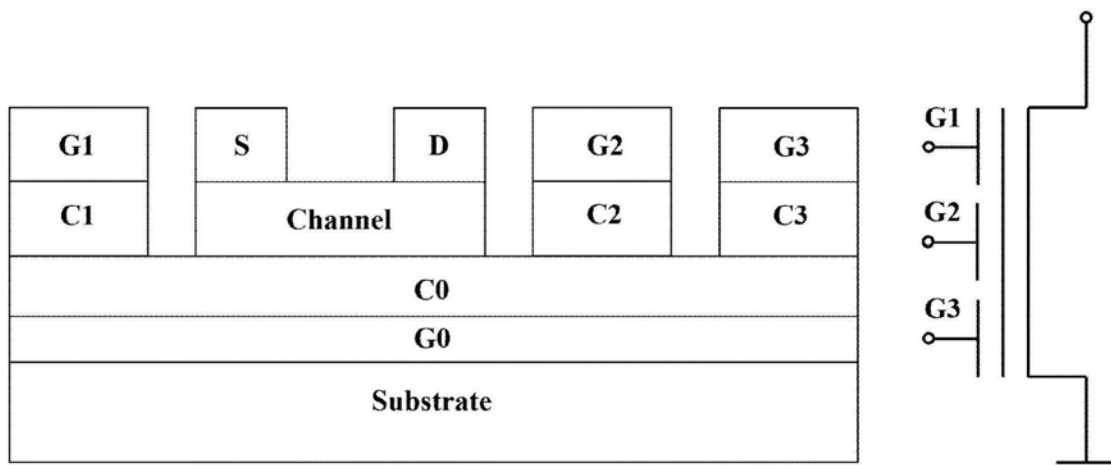


图2

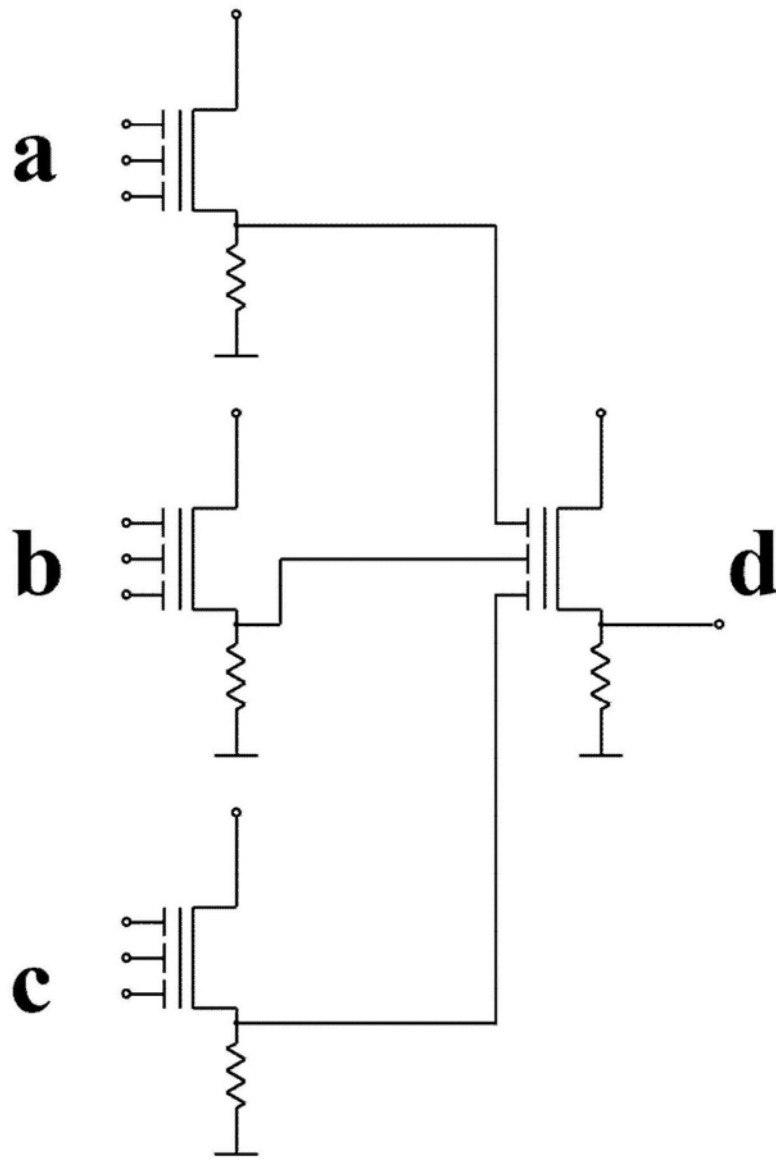


图3