

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

145 995

Patent dodatkowy
do patentu nr _____

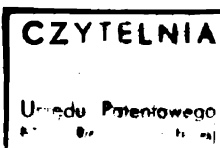
Zgłoszono: 83 12 15 (P. 245126)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 85 07 02

Opis patentowy opublikowano: 89 01 31

Int. Cl.⁴ G01R 31/28
G06F 11/00



Twórcy wynalazku: Jacek Borowy, Jacek Kwaśnik

Uprawniony z patentu: Przedsiębiorstwo Doświadczalno-Produkcyjne Elektronicznej
Aparatury Pomiarowej „Eureka”, Warszawa (Polska)

Blok pamięci zwłaszcza analizatora stanów logicznych

Przedmiotem wynalazku jest blok pamięci zwłaszcza analizatora stanów logicznych. Znany jest z książki J. Pierkosa i J. Turczyńskiego pt. „Układy scalone TTL w systemach cyfrowych” WKiŁ Warszawa 1980, blok pamięci złożony z czterech układów pamięci, dekodera oraz licznika adresów. Do wszystkich układów doprowadzony jest równolegle adres z licznika adresów. Wejścia wyboru układu poszczególnych układów pamięci połączone są z wyjściami dekodera, przy czym dekodery te są sterowane z drugiego stopnia licznika adresów. Znany blok pamięci ma ograniczoną szybkość zapisu próbek danych w układach pamięci. Ograniczenie to wynika z opóźnienia w ustaleniu adresu oraz z czasu wpisu do układu pamięci. Suma tych czasów określająca czas zapisu do pojedynczego układu pamięci w bloku pamięci często przekracza okres próbkowania. Ogranicza to maksymalną częstotliwość zapisu.

Celem wynalazku jest zbudowanie bloku pamięci nie posiadającego wyżej wymienionych ograniczeń. Cel ten osiągnięto w bloku pamięci posiadającym szereg równolegle połączonych kanałów pamięci, z których każdy zawiera bufor pamięci i uniwibrator sterowane z wyjścia dekodera, licznik sterowany z wyjścia uniwibratora oraz znany układ pamięci sterowany z wyjścia buforu pamięci, z wyjścia licznika i poprzez bramkę z wyjścia uniwibratora, przy czym wyjścia układów pamięci połączone są z wejściami multiplexerów sterowanych z licznika adresu.

W bloku pamięci według wynalazku, poprzez zrównoleżenie w czasie zapisu kolejnych próbek danych do kolejnych układów pamięci, zwiększa się szybkość zapisu. Częstotliwość próbkowania rośnie tyle razy ile zastosowano równoległych kanałów pamięci, do których na przemian wpisywane są próbki danych. Wynalazek zostanie dokładniej objaśniony na przykładzie wykonania przedstawionym na rysunku, który jest schematem bloku pamięci.

Blok pamięci zbudowany jest z licznika adresu LA, dekodera D, kanałów pamięci KP1,.....KPM oraz z multiplexerów MX1,.....MXM. Każdy kanał pamięci KP1,.....KPM zbudowany jest z bufora pamięci B1,.....BM, uniwibratora U1,.....UM, licznika L1,.....LM, bramki G1,.....GM oraz układu pamięci P1,.....PM. Do wejść buforów pamięci B1,.....BM doprowadzone są stany N kanałów wejściowych K1,.....KN. Każde wyjście dekodera D, sterowanego z licznika adresów LA, połączone jest z odpowiednim kanałem pamięci KP1,.....KPM, a w nim z buforem pamięci B1,.....BM i uniwibratorem U1,.....UM. Z wyjścia uniwibratora U1,.....UM sterowany jest licznik L1,.....LM oraz poprzez bramkę G1,.....GM układ pamięci P1,.....PM. Wyjście licznika L1,.....LM połączone jest z

układem pamięci P1,.....PM, do którego N równoległych wejść danych dołączone są wyjścia bufora pamięci B1,.....BM. Drugie wejście bramki G1,.....GM w każdym kanale pamięci KP1,.....KPM jest połączone z zaciskiem linii zapisu/odczytu ZO. Licznik adresu LA połączony jest swym jednym wejściem z zaciskiem sygnałów próbkujących T, a drugim wejściem, tak jak i pozostałe liczniki L1,.....LM w kanałach pamięci KP1,.....KPM, z zaciskiem zerowania ZE. Wyjścia każdego układu pamięci P1,.....PM, będące wyjściami kanałów pamięci KP1,.....KPM, połączone są z wejściami multiplekserów MX1,.....MXM sterowanych z licznika adresu LA. Na wyjściach multiplekserów MX1,.....MXM otrzymywane są kolejne próbki danych zapisanych w bloku pamięci.

Stany N kanałów wejściowych K1,.....KN zapisywane są kolejno do M buforów pamięci B1,.....BM. Impulsy zegarowe wpisu do wspomnianych buforów otrzymuje się w dekodерze D dekodującym kolejne stany licznika adresu LA. Licznik ten jest modulo M. Na wejście zegarowe licznika adresu LA podawany jest sygnał próbkujący. Impulsy z wyjść dekodera D powodują kolejne wpisywanie próbek danych z kanałów wejściowych K1,.....KN do buforów pamięci B1,.....BM. Uniwibratory U1,.....UM wyzwalane kolejno sygnałami z dekodera D generują impulsy wpisu do kolejnych układów pamięci P1,.....PM. Impulsy te przechodzą przez bramki G1,.....GM. Tylne zbocza impulsów generowanych przez uniwibratory U1,.....UM zwiększają o 1 stan liczników L1,.....LM, które wskazują adresy próbek danych zapisywanych w następnym cyklu. W czasie odczytu adresowania układów pamięci jest takie samo. Impulsy z uniwibratorów U1,.....UM zablokowane są przez bramki G1,.....GM pełniące przy odczycie rolę blokady. Wyjścia poszczególnych kanałów pamięci KP1,.....KPM dołączone są do wejść multiplekserów MX1,.....MXM w taki sposób, że do pierwszego multipleksa MX1 dołączonych jest M kolejnych próbek pierwszego kanału, do drugiego multipleksa MX2 M kolejnych próbek drugiego kanału itd. Wszystkie multipleksery MX1,.....MXM adresowane są tym samym adresem podanym z licznika adresu LA. Kolejne impulsy odczytu powodują pojawienie się na wyjściach multiplekserów MX1,.....MXM kolejnych próbek danych zapisanych w bloku pamięci.

Zastrzeżenie patentowe

Blok pamięci zwłaszcza analizatora stanów logicznych zawierający układy pamięci, dekodер oraz licznik adresu, z n a m i e n n y t y m, że ma szereg równolegle połączonych kanałów pamięci (KP1,.....KPM), z których każdy zawiera bufor pamięci (B1,.....BM) i uniwibrator (U1,.....UM) sterowane z wyjścia dekodera (D), licznik (L1,.....LM) sterowany z wyjścia uniwibratora (U1,.....UM) oraz znany układ pamięci (P1,.....PM) sterowany z wyjść bufora pamięci (B1,.....BM), z wyjścia licznika (L1,.....LM) i poprzez bramkę (G1,.....GM) z wyjścia uniwibratora (U1,.....UM), przy czym wyjścia układów pamięci (P1,.....PM) połączone są z wejściami multiplekserów (MX1,.....MXM) sterowanych z licznika adresu (LA).

