

發明專利說明書

586117

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92103517 ※IPC分類：G11C13/02

※申請日期：92.2.20

壹、發明名稱

(中文)供電阻可變記憶體用之硒化銀/硫族化合物玻璃堆疊

(英文)SILVER-SELENIDE/CHALCOGENIDE GLASS STACK FOR
RESISTANCE VARIABLE MEMORY

貳、發明人(共2人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 克利斯堤 A. 坎貝爾

(英文) KRISTY A. CAMPBELL

住居所地址：(中文) 美國愛達荷州鮑西市郵政信箱 191171 號

(英文) P. O. BOX 191171, BOISE, ID 83719, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商麥克隆科技公司

(英文) MICRON TECHNOLOGY, INC.

住居所或營業所地址：(中文) 美國愛達荷州鮑西市南菲德洛路 8000 號

(英文) 8000 SOUTH FEDERAL WAY, BOISE

IDAHO 83706-9632, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

代表人：(中文) 麥克 L. 林契

(英文) MICHAEL L. LYNCH

發明人 2

姓名：(中文) 約翰 摩爾

(英文) JOHN MOORE

住居所地址：(中文) 美國愛達荷州鮑西市西萊克瑟斯路 12530 號

(英文) 12530 W. LEXUS COURT, BOISE, ID 83713, U.S.A.

國籍：(中文) 美國

(英文) U.S.A.

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2002 年 02 月 20 日；10/077,867

2. 美國；2002 年 04 月 12 日；10/120,521

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2002 年 02 月 20 日；10/077,867

2. 美國；2002 年 04 月 12 日；10/120,521

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本申請案為2002年2月20日所提出的美國專利申請編號10/077,867之延續，其在此完全引用做為參考。

本發明關於使用一電阻可變材料所形成的隨機存取記憶體(RAM)裝置之領域，特別是關於使用硫族化合物玻璃所形成的一電阻可變記憶體元件。

先前技術

一種熟知的半導體組件為半導體記憶體，例如隨機存取記憶體(RAM)。RAM允許對於記憶體元件進行重覆的讀取與寫入作業。基本上，RAM裝置為揮發性，其中所儲存的資料在當一旦電源切斷或移除時即消失。RAM裝置的非限制性範例包含動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)及靜態隨機存取記憶體(SRAM)。此外，DRAMs及SDRAMs基本上亦儲存資料在電容器中，其需要定期更新來維護所儲存的資料。

近年來，在記憶體裝置中的記憶體元件之數量及密度皆已增加。因此，每個元件的尺寸已經縮小，其中在DRAM的例子亦會縮短元件的資料保持時間。基本上，DRAM記憶體裝置依據資料儲存的元件容量，並在習用的標準化循環中接收一更新命令，其約在100毫秒進行。但是，當元件數目及密度增加時，其愈來愈困難來在一個更新週期內來更新所有的記憶體元件至少一次。此外，更新作業會消耗功率。

最近，包含有可程式導體記憶體元件之電阻可變記憶體元件經過調查可做為適當的半揮發性及非揮發性隨機存取記憶體元件。Kozicki等人在美國專利編號5,761,115、5,896,312、5,914,893及6,084,796中揭示一種可程式導體記憶體元件，其中包含在兩個電極之間放置一硫族化合物玻璃所形成的絕緣介電材料。一種導電材料，例如銀，其加入到該介電材料中。該介電材料的電阻可在高電阻與低電阻狀態之間變化。該可程式導體記憶體通常在閒置時處於高電阻狀態。一寫入作業到低電阻狀態係由施加一電壓電位橫跨兩個電極來進行。改變該元件的電阻之機制並未完全瞭解。在由Kozicki等人所提出的理論中，該導電摻雜介電材料在某個施加的電壓之下會進行一結構性變化，伴隨在該等電極之間成長的導電樹狀突或細絲，其可有效地交互連接該兩個電極，並設定該記憶體元件在一低電阻狀態。該樹狀突可視為在最小電阻的路徑中經由電阻可變材料來成長。

該低電阻狀態將在移除電壓電位之後維持數天或數週。這種材料可藉由在該等電極之間施加一反向電壓電位來恢復到其高電阻狀態，其大小至少相同於用來寫入該元件到該低電阻狀態之等級。再次地，該高電阻狀態在一旦移除該電壓電位之後即維持。例如這種方式，這樣的裝置可做為具有兩個電阻狀態之電阻可變記憶體元件，其可定義兩個邏輯狀態。

一種較佳的電阻可變材料包含一硫族化合物玻璃。一特

定範例為包含銀(Ag)的硒化鍺($\text{Ge}_x\text{Se}_{100-x}$)。一種提供銀到該硒化鍺組合物的方法係在初始時形成一硒化鍺玻璃，然後沉積一薄層的銀在該玻璃上，例如藉由濺鍍、物理汽相沉積或其它在本技術中已知的技術。該銀層經過照射，較佳地是利用波長低於600奈米之電磁能量，所以該能量可穿過該銀，到達該銀/玻璃介面，打斷該硫族化合物材料之硫族化合物鍵結，使得該玻璃即摻雜或光摻雜有銀。銀亦可藉由利用銀來處理該玻璃以提供給該玻璃，如同在硒化銀鍺玻璃的例子。另一種提供金屬給該玻璃之方法係提供一層硒化銀在一硒化鍺玻璃上。

根據目前加入銀到該玻璃中的方法，該記憶體元件的硫族化合物材料之結晶性的程度及性質與其可程式特性有直接的關係。因此，目前加入銀之製程需要精確地控制 $\text{Ge}_x\text{Se}_{100-x}$ 玻璃及銀的量，藉以不會錯誤地摻雜該玻璃，且不適當地改變該硫族化合物材料之結晶性。目前的製程亦需要小心地選擇該玻璃之準確的化學計量，以保證銀係加入到玻璃中，而該玻璃基底仍維持在該玻璃形成區域。

再者，於加入該記憶體元件的製成原始結構之半導體製程及/或封裝期間，該元件進行熱循環或熱處理。熱處理可造成大量的銀會不可控制地遷移到該記憶體元件中。太多的銀加入到該記憶體元件會造成較快速的劣化，即較短的壽命，且最終會造成裝置失效。

因此，其有需要一種具有改良的記憶體保持及切換特性之電阻可變記憶體元件。其亦有需要一種硫族化合物玻璃

記憶體元件，其可在熱處理期間防止銀遷移。

發明內容

在第一具體實施例中，本發明提供一種電阻可變記憶體元件，及一種形成該電阻可變記憶體元件之方法，其中一含金屬層形成在一第一硫族化合物玻璃層與一第二玻璃層之間。一層或兩層的玻璃層可摻雜一種金屬，而一或多層含金屬層可提供在該玻璃層之間。

在該第一具體實施例的較狹礙方面，本發明提供一種記憶體元件，及一種形成該記憶體元件之方法，其中至少一層硒化銀形成在一第一硫族化合物玻璃層與一第二玻璃層之間。該第二玻璃層亦可為一硫族化合物玻璃層。該包含一第一硫族化合物玻璃、一硒化銀層及一第二玻璃層之疊層堆疊係形成在兩個導電層或電極之間。在本發明的第一具體實施例之變化中，該疊層的堆疊在該硫族化合物玻璃層與該第二玻璃層之間含有超過一個硒化銀層。在該第一具體實施例的另一種變化中，該第一硫族化合物玻璃層可包含多個硫族化合物玻璃層，而該第二玻璃層可包含多個玻璃層。因此該疊層堆疊可含有一或多個硒化銀層，其形成在一多層硫族化合物玻璃層與一多層第二玻璃層之間彼此形成串列接觸。在該第一具體實施例的又另一種變化中，每個第一硫族化合物玻璃層與該第二玻璃層中一或多個可含有一金屬摻雜物，例如一銀摻雜物。

根據一第二具體實施例，本發明提供一種記憶體元件，及一種形成包含有複數個交替的硫族化合物玻璃與含金

屬層的疊層之方法，藉此該疊層以一第一硫族化合物玻璃層開始，並以一最後硫族化合物玻璃層結束，其中該第一硫族化合物玻璃層接觸一第一電極，而該最後硫族化合物玻璃層接觸一第二電極。因此，該等複數個交替的硫族化合物玻璃層及含金屬層之疊層係堆疊在兩個電極之間。該等含金屬層較佳地是包含一硫族化合物銀，像是硒化銀。在該第二具體實施例的一種變化中，該等含金屬層中每層皆包含複數個含金屬層。在該第二具體實施例的另一種變化中，該硫族化合物玻璃層中每個皆包含複數個硫族化合物玻璃層。在此具體實施例之又另一種變化中，該等硫族化合物玻璃層之一或多個可包含一金屬摻雜物，例如一銀摻雜物。

實施方式

在以下的詳細說明中，係參考本發明的許多種特定具體實施例。這些具體實施例係說明到充份的細節來使得本技術的專業人士可以實施本發明。其亦可瞭解到可使用其它的具體實施例，且在不背離本發明的精神或範圍之下來進行許多種結構性、邏輯性及電性的改變。

在以下的說明中所使用的該術語「基板」可包含任何的支撐結構，其包含但不限於具有一暴露的基板表面之半導體基板。一半導體基板必須理解為包含絕緣體上矽(SOI)、藍寶石上矽(SOS)、其摻雜及未摻雜有半導體、由一基底半導體基礎所支撐的矽磊晶層及其它的半導體結構。當在以下的說明中參考到一半導體基板或晶圓時，先前的製

程步驟可以用來在該基底半導體或基礎中間或之上來形成區域或接面。

該術語「銀」係要不僅包含元素的銀，但也包含具有其它跡線金屬之銀或與在半導體產業中已知的其它金屬形成多種合金組合物，只要這種銀合金為導電，且只要該銀的物理及電性特性維持不會改變。

該術語「硒化銀」係要包含多種的硒化銀，其中包含一些具有略微過多或較少的銀之種類，例如 Ag_2Se 、 Ag_{2+x}Se 及 Ag_{2-x}Se 。

該術語「半揮發性記憶體」係要包含任何的記憶體裝置或元件，其能夠在電源從該裝置移除一段長時間之後仍可維持其記憶狀態。因此，半揮發性記憶體裝置能夠在該電源切斷或移除之後仍保持所儲存的資料。因此，該術語「半揮發記憶體」亦係要不僅包含半揮發記憶體裝置，但亦包含非揮發記憶體裝置。

該術語「電阻可變材料」係要包含硫族化合物玻璃，而硫族化合物玻璃包含一金屬，像是銀。舉例而言，該術語「電阻可變材料」包含摻雜銀的硫族化合物玻璃、硒化銀鍺玻璃及包含一硒化銀層之硫族化合物玻璃。

該術語「電阻可變記憶體元件」係要包含任何的記憶體元件，包含可程式導體記憶體元件、半揮發記憶體元件及非揮發記憶體元件，其回應於所施加的電壓而呈現一電阻的改變。

該術語「硫族化合物玻璃」係要包含具有來自週期表

VIA族(或十六族)之元素。VIA族元素亦稱之為硫族化合物，其包含硫(S)、硒(Se)、碲(Te)、鉈(Po)及氧(O)。

現在本發明將參考圖1-10來解釋，其說明根據本發明之電阻變化記憶體元件100之範例性具體實施例。圖1所示為一絕緣層12之一部份，其形成在例如一矽基板的半導體基板10之上。其必須瞭解到，該電阻變化記憶體元件可形成在多種基板材料上，且不僅是半導體基板，例如矽。舉例而言，該絕緣層12可形成在一塑膠基板上。該絕緣層12可由任何已知的沉積方法來形成，例如藉由化學汽相沉積(CVD)、電漿增強CVD(PECVD)或物理汽相沉積(PVD)來濺鍍。該絕緣層12可由一習用的絕緣氧化物所形成，例如氧化矽(SiO_2)、氮化矽(Si_3N_4)或除此之外的一低介電常數材料。

一第一電極14接著形成在該絕緣層12之上，其亦可見於圖1。該第一電極14可包含任何的導電材料，例如鎢、鎳、鈦、鉕或銀，以及其它者。一第一介電層15接著形成在該第一電極14之上。該第一介電層15可包含與上述參考該絕緣層12相同或不同的材料。

現在請參考圖2，延伸到該第一電極14之開口13即形成在該第一介電層15中。該開口13可由本技術中已知的方法所形成，例如藉由一種習用的圖案化及蝕刻製程。一第一硫族化合物玻璃層17接著形成在該第一介電層15之上，以填入在該開口13中，如圖3所示。

根據本發明第一具體實施例，該第一硫族化合物玻璃層

17為具有一 $\text{Ge}_x\text{Se}_{100-x}$ 化學計量之硒化鍺玻璃。該較佳的化學計量範圍係在約 $\text{Ge}_{20}\text{Se}_{80}$ 到約 $\text{Ge}_{43}\text{Se}_{57}$ 之間，且更佳地是約為 $\text{Ge}_{40}\text{Se}_{60}$ 。該第一硫族化合物玻璃層17較佳地是其厚度由約100 Å到約1000 Å，且更佳地是為150 Å。

該第一硫族化合物玻璃層做為一玻璃基底，用以允許一含金屬層來直接沉積於其上，例如一硒化銀層。一含金屬層的使用法，例如一硒化銀層，其接觸於該硫族化合物玻璃層，使其不需要提供一金屬(銀)摻雜硫族化合物玻璃，其將需要利用紫外線輻射來光摻雜該基板。但是，其有可能亦來金屬(銀)摻雜該硫族化合物玻璃層，其接觸於該硒化銀層做為一選擇性的變數。

該第一硫族化合物玻璃層17的形成，其根據本發明具有一化學計量組合物，其可由任何適當的方法來完成。舉例而言，蒸發、依適當的比例來共同濺鍍鍺及硒，使用具有所想要的化學計量之硒化鍺目標來濺鍍，或利用 GeH_4 及 SeH_2 氣體的化學計量做化學汽相沉積(或這些氣體的不同組合)，其會造成該所要的化學計量之硒化鍺膜成為範例性的方法，其可用來形成該第一硫族化合物玻璃層17。

現在請參考圖4，一第一含金屬層18，其較佳地是硒化銀，其係沉積在該第一硫族化合物玻璃層17之上。其可使用任何適當的含金屬層。舉例而言，適當的含金屬層包含硫族化合物銀層。硫化銀、氧化銀及碲化銀皆為適當的硫族化合物銀，其可結合於任何適當的硫族化合物玻璃層來使用。其可使用多種製程來形成該硒化銀層18。舉例而言

，其可使用物理汽相沉積技術，例如蒸發沉積及濺鍍，其亦可使用其它的製程，例如化學汽相沉積、共同蒸發或沉積一層硒在一層銀之上來形成硒化銀。

該等疊層可為任何適當的厚度。該疊層的厚度係根據切換的機制。該等疊層的厚度使得該含金屬層比該第一硫族化合物玻璃層要厚。該含金屬層亦比一第二玻璃層要厚，如下所述。更佳地是，該疊層的厚度使得該硒化銀層厚度對於該第一硫族化合物玻璃層厚度的比例在於約 5:1 及約 1:1 之間。換言之，該硒化銀層的厚度係比該第一硫族化合物玻璃層的厚度要大約 1 到 5 倍之間。甚至更佳地是，該硒化銀層厚度對該第一硫族化合物玻璃層厚度的比例在約 3.1:1 及約 2:1 之間。

現在請參考圖 5，一第二玻璃層 20 形成在該第一硒化銀層 18 之上。該第二玻璃層允許沉積銀在該硒化銀層之上，因為銀不能夠直接沉積在硒化銀上。同時，其亦相信該第二玻璃層可防止或調整例如銀的金屬由一電極遷移到該元件。因此，雖然該第二玻璃層可調整或防止金屬遷移的實際機制並未清楚地瞭解，該第二玻璃層可做為一銀擴散控制層。做為一擴散控制層，其可使用任何適當的玻璃，其包含但不限於硫族化合物玻璃。該第二硫族化合物玻璃層可以但非必須具有與該第一硫族化合物玻璃層相同的化學計量組合物，例如 $\text{Ge}_x\text{Se}_{100-x}$ 。因此，該第二玻璃層 20 可為不同的材料、不同的化學計量及/或比該第一硫族化合物玻璃窗層 17 更為堅硬。

該第二玻璃層20當做為一擴散控制層時，通常包含任何適當的玻璃材料，除了SiGe及GaAs之外。該第二玻璃層20的適當玻璃材料組合物包含SiSe(硒化矽)、AsSe(硒化砷，例如As₃Se₂)、GeS(硫化鍺)及Ge、Ag與Se的組合。任何一種適當的玻璃材料可進一步包含小的濃度，即小於摻雜物的約3%，以包含氮化物、金屬及其它來自週期表的13至16族元素。

該疊層的厚度使得該硒化銀層的厚度大於該第二玻璃層的厚度。較佳地是，該硒化銀層厚度對於該第二玻璃層厚度的比例在約5:1到約1:1之間。更佳地是，該硒化銀層厚度對於該第二玻璃層的厚度之比例為約3.3:1到約2:1之間。該第二玻璃層20較佳地是其厚度在約100 Å到約1000 Å之間，且更佳地約150 Å。

該第二玻璃層20的形成可由任何適當的方法來完成。舉例而言，可使用化學汽相沉積、蒸發、共同濺鍍或使用具有所要的化學計量之目標的濺鍍。

現在請參考圖6，一第二導電電極材料22形成在該第二玻璃層20之上。該第二導電電極材料22可包含任何導電材料，例如鎢、鉭、鈦或銀，及其它。基本上，該第二導電電極材料22包含銀。因此，較佳地是，該第二玻璃層20可選擇成相當地慢，或防止導電材料通過該電阻可變記憶體元件100之遷移，例如銀。

現在請參考圖7，一或多個額外的介電層30可形成在該第二電極22及該第一介電層15之上，以隔離該電阻可變記

記憶體元件100與其它製作在該基板10之上的結構。然後，習用的製程步驟可以進行來電性耦合該第二電極22到多種記憶體陣列之電路。

根據本發明第一具體實施例之變化，一或多層的含金屬材料，例如硒化銀，其可沉積在該第一硫族化合物玻璃層17之上。其可使用任何數目的硒化銀層。如圖8所示，一選擇性的第二硒化銀層19可在圖4所示的製程步驟之後來沉積在該第一硒化銀層18上。

該等疊層的厚度為使得該結合的含金屬層之整體厚度，例如硒化銀層，其大於或等於該第一硫族化合物玻璃層之厚度。該結合的含金屬層之整體厚度亦大於一第二玻璃層之厚度。較佳地是，該結合的含金屬層之整體厚度係大於該第一硫族化合物玻璃層的厚度之約1到約5倍，且因此大於該第二玻璃層厚度的約1到約5倍。其甚至更佳地是，該結合的含金屬層之整體厚度係大於該第一硫族化合物玻璃層與該第二玻璃層之厚度的約2到約3.3倍之間。

根據本發明另一種變化，該第一硫族化合物玻璃層可包含一或多層的硫族化合物玻璃材料，例如硒化鍺。該第二玻璃層亦可包含一或多層的玻璃材料。任何適當數目的疊層可用來包含該第一硫族化合物玻璃層及/或該第二玻璃層。但是，其要瞭解到，該含金屬層之整體厚度必須比該一或多層的硫族化合物玻璃層的整體厚度要厚，此外，該含金屬層的整體厚度必須比該一或多層的第二玻璃層之整體厚度要厚。較佳地是，該含金屬層之整體厚度對於該

等一或多層的硫族化合物玻璃層之整體厚度的比例係在約 5:1 及約 1:1 之間。同時，較佳地是，該含金屬層之整體厚度對於該等一或多層的第二玻璃層之整體厚度的比例在約 5:1 到約 1:1 之間。甚至更佳地是，該含金屬層的厚度係比該結合的一或多層的硫族化合物玻璃之整體厚度與該結合的一或多層之第二玻璃層的整體厚度要大約 2 倍到約 3.3 倍。

根據本發明又另一種變化，一或多層的硫族化合物玻璃層與第二玻璃層亦可摻雜一摻雜物，例如金屬，較佳地是銀。

現在請參考圖 9，其顯示出在圖 4 所示的製程步驟之後的本發明一第二具體實施例，形成在該等第一及第二電極層之間的疊層堆疊包含交替的硫族化合物玻璃及含金屬層，例如硒化銀層。如圖 9 所示，一第一硫族化合物玻璃層 17 係堆疊在一第一電極 14 之上，一第一硒化銀層 18 堆疊在該第一硫族化合物玻璃層 17 之上，一第二硫族化合物玻璃層 117 堆疊在該第一硒化銀 18 之上，一第二硒化銀層 118 堆疊在該第二硫族化合物玻璃層 117 之上，一第三硫族化合物玻璃層 217 堆疊在該第二硒化銀層 118 上，一第三硒化銀層 218 堆疊在該第三硫族化合物玻璃層 217 之上，且一第四硫族化合物玻璃層堆疊在該第三硒化銀層 218 之上。該第二導電電極 22 形成在該第四硫族化合物玻璃層之上。

根據該第二具體實施例，該堆疊包含至少兩個含金屬層與至少三個硫族化合物玻璃層。但是，其必須瞭解到，該

堆疊可包含許多交替的硫族化合物玻璃層與硒化銀層，只要該交替的疊層以一第一硫族化合物玻璃層開始，並以一最後硫族化合物玻璃層結束，其將該第一硫族化合物玻璃層接觸一第一電極，且該最後硫族化合物玻璃層接觸一第二電極。該交替的硒化銀層與硫族化合物玻璃層之厚度與比例與上述相同，其中該硒化銀層較佳地比連接硫族化合物玻璃層要厚，其硒化銀層對於連接的硫族化合物玻璃層之比例在於約 5:1 到約 1:1 之間，且更佳地是該硒化銀層對於連接的硫族化合物玻璃層之比例在於約 3.3:1 到 2:1 之間。

在該第二具體實施例的變化中，一或多層的含金屬材料，例如硒化銀，其可沉積在該等硫族化合物玻璃層之間。其可使用任何數目的硒化銀層。如圖 10 所示，在如圖 4 所示的製程步驟之後的製程步驟中，一額外的硒化銀層 418 可沉積在該第一硒化銀層 18 上，且一額外的硒化銀層 518 可沉積在該第三硒化銀層 218 上。

根據本發明的又另一個變化，每個硫族化合物玻璃層可包含一或多層較薄的硫族化合物玻璃材料，例如硒化者。其可使用任何適當數目的疊層，其包含該硫族化合物玻璃層。

在本發明的第二具體實施例之又另一種變化中，一或多層硫族化合物玻璃層亦可摻雜一摻雜物，例如金屬，較佳地是包含銀。

根據本發明第一具體實施例所建構的裝置，特別是那些

具有一碲化銀層沉積在兩個硫族化合物玻璃層之間者，顯示出比習用的記憶體裝置具有改進的記憶保持及寫入/抹除效能。這些裝置亦顯示出在室溫之下可比1200小時要好的低電阻記憶保持。該等裝置相較於在約100奈秒切換的習用摻雜的電阻可變記憶體元件，其在小於2奈秒之脈衝寬度下切換。

雖然上述的具體實施例係提到形成僅一個電阻可變記憶體元件100，其必須瞭解到本發明係考慮到形成任何數目的這種可變記憶體元件，其可製作在一記憶體陣列中，並以記憶體元件存取電路來操作。

圖10所示為一典型的處理器為主的系統400，其包含一記憶體電路448，例如一可程式導體RAM，其使用根據本發明所製造的電阻可變記憶體元件。一處理器系統，例如一電腦系統，其通常包含一中央處理單元(CPU)444，例如一微處理器、一數位信號處理器或其它可程式數位邏輯裝置，其在一匯流排452上通訊於一輸入/輸出(I/O)裝置446。該記憶體448基本上透過一記憶體控制器在匯流排452上通訊於該系統。

在一電腦系統的例子中，該處理器系統可包含週邊裝置，例如一軟碟機454及一光碟(CD)ROM機456，其亦在該匯流排452上通訊於CPU 444。記憶體448較佳地是建構成一積體電路，其包含一或多個電阻可變記憶體元件100。如果想要的話，該記憶體448可在一單一積體電路中結合於該處理器，例如CPU 444。

以上的說明及圖面僅可視為說明範例性具體實施例，其可達到本發明的特徵及好處。對於特定製程條件及結構之修正及取代可在不背離本發明之精神及範圍之下來進行。因此，本發明不應視為受限於先前的說明及圖面，但僅限於所附申請專利範圍。

圖式簡單說明

本發明的這些及其它特徵及好處將可藉由以上的詳細說明，並配合所附圖面而更加地瞭解。

圖1所示為根據本發明一第一具體實施例所製造的一記憶體元件之橫截面圖，其係在製程的初始階段；

圖2所示為圖1的記憶體元件在接續於圖1所示之製程階段之後的製程階段的橫截面圖；

圖3所示為圖1的記憶體元件在接續於圖2所示之製程階段之後的製程階段的橫截面圖；

圖4所示為圖1的記憶體元件在接續於圖3所示之製程階段之後的製程階段的橫截面圖；

圖5所示為圖1的記憶體元件在接續於圖4所示之製程階段之後的製程階段的橫截面圖；

圖6所示為圖1的記憶體元件在接續於圖5所示之製程階段之後的製程階段的橫截面圖；

圖7所示為圖1的記憶體元件在接續於圖6所示之製程階段之後的製程階段的橫截面圖；

圖8所示為根據本發明的第一具體實施例之一種變化，在接續於圖4所示的製程階段之後的一製程階段的圖1之

記憶體元件的橫截面圖；

圖9所示為本發明的記憶體元件之第二具體實施例在接續於圖4所示之製程階段之後的製程階段的橫截面圖；

圖10所示為本發明的記憶體元件之第二具體實施例的一種變化在接續於圖4所示之製程階段之後的製程階段的橫截面圖；

圖11所示為根據本發明所形成的具有一記憶體元件之電腦系統。

圖式代表符號說明

RAM 隨機存取記憶體

DRAM 動態隨機存取記憶體

SDRAM 同步動態隨機存取記憶體

SRAM 靜態隨機存取記憶體

SOI 絕緣體上矽

SOS 藍寶石上矽

CVD 化學汽相沉積

PECVD 電漿增強CVD

PVD 物理汽相沉積

10 半導體基板

12 絕緣層

13 開口

14 第一電極

15 第一介電層

17 第一硫族化合物玻璃層

(17)

- 18 第一含金屬層
- 19 硒化銀層
- 20 第二玻璃層
- 22 導電電極材料
- 30 介電層
- 100 電阻可變記憶體元件
- 400 處理器為主的系統
- 444 中央處理電路
- 446 輸入/輸出裝置
- 448 記憶體電路
- 452 匯流排
- 454 軟碟機
- 456 光碟機

肆、中文發明摘要

本發明揭示一種用於提供一電阻可變記憶體元件之方法及裝置，其可改進資料保持及切換特性。根據本發明一具體實施例，係提供一電阻可變記憶體元件，其在玻璃層之間具有至少一個硒化銀層，其中該等玻璃層中至少一層為一硫族化合物玻璃，其較佳地是其組合物為 $\text{Ge}_x\text{Se}_{100-x}$ 。

伍、英文發明摘要

The invention is related to methods and apparatus for providing a resistance variable memory element with improved data retention and switching characteristics. According to an embodiment of the invention a resistance variable memory element is provided having at least one silver-selenide layer in between glass layers, wherein at least one of the glass layers is a chalcogenide glass, preferably having a $\text{Ge}_x\text{Se}_{100-x}$ composition.

陸、(一)、本案指定代表圖為：第 7 圖

(二)、本代表圖之元件代表符號簡單說明：

10	半 導 體 基 板
12	絕 緣 層
14	開 口
15	第 一 電 極
17	第 一 介 電 層
18	第 一 硫 族 化 合 物 玻 璃 層
19	硒 化 銀 層
20	第 二 玻 璃 層
22	導 電 電 極 材 料
30	介 電 層
100	電 阻 可 變 記 憶 體 元 件

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種電阻可變記憶體元件，其包含：
至少一金屬硫族化合物層，其由 M_xC 來代表，其中 M 為一金屬、 C 為一硫族化合物化學元素，而 x 約為 2；
至少一硫族化合物玻璃層；及
至少一其它的玻璃層，該金屬硫族化合物層係提供在該至少一硫族化合物玻璃層與該至少一其它的玻璃層之間。
2. 如申請專利範圍第 1 項之記憶體元件，其中該至少一硫族化合物玻璃層包含複數個硫族化合物玻璃層。
3. 如申請專利範圍第 1 項之記憶體元件，其中該至少一其它玻璃層包含複數個玻璃層。
4. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含一硫族化合物銀。
5. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含硒化銀。
6. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含硫化銀。
7. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含氧化銀。
8. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含碲化銀。
9. 如申請專利範圍第 4 項之記憶體元件，其中該至少一硫族化合物玻璃層包含具有公式 Ge_xSe_{100-x} 之材料，其中

$x=20$ 到 43 。

10. 如申請專利範圍第4項之記憶體元件，其中該至少一硫族化合物玻璃層化學計量為約 $\text{Ge}_{40}\text{Se}_{60}$ 。
11. 如申請專利範圍第4項之記憶體元件，其中該至少一其它玻璃層包含一第二硫族化合物玻璃層。
12. 如申請專利範圍第4項之記憶體元件，其中該至少一其它玻璃層包含一 SiSe 組合物。
13. 如申請專利範圍第4項之記憶體元件，其中該至少一其它玻璃層包含一 AsSe 組合物。
14. 如申請專利範圍第4項之記憶體元件，其中該至少一其它玻璃層包含一 GeS 組合物。
15. 如申請專利範圍第4項之記憶體元件，其中該至少一個其它玻璃層包含一鍺、銀及硒的組合。
16. 如申請專利範圍第1項之記憶體元件，其中該至少一其它玻璃層之厚度在約 $100 \text{ \AA}$ 及約 $1000 \text{ \AA}$ 之間。
17. 如申請專利範圍第1項之記憶體元件，其中該至少一其它玻璃層之厚度約為 $150 \text{ \AA}$ 。
18. 如申請專利範圍第1項之記憶體元件，其中該至少一硫族化合物玻璃層之厚度在約 $100 \text{ \AA}$ 及約 $1000 \text{ \AA}$ 之間。
19. 如申請專利範圍第1項之記憶體元件，其中該至少一硫族化合物玻璃層之厚度約為 $150 \text{ \AA}$ 。
20. 如申請專利範圍第1項之記憶體元件，其中該至少一金屬硫族化合物層具有一第一厚度，且該至少一硫族化合物玻璃層具有一第二厚度，藉此該第一厚度對於該

- 第二厚度之一厚度比例為在約 5 : 1 到約 1 : 1 之間。
21. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層具有一第一厚度，且該至少一硫族化合物玻璃層具有一第二厚度，藉此該第一厚度對於該第二厚度之厚度比例為在約 3.3 : 1 到約 2 : 1 之間。
 22. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層包含複數個堆疊的金屬硫族化合物層。
 23. 如申請專利範圍第 1 項之記憶體元件，其中該至少一其它玻璃層包含至少一個第二硫族化合物玻璃層。
 24. 如申請專利範圍第 23 項之記憶體元件，進一步包含一第二金屬硫族化合物層，其接觸於該至少一個第二硫族化合物玻璃層，及至少一個第三硫族化合物玻璃層，其接觸於該至少一個第二金屬硫族化合物層。
 25. 如申請專利範圍第 1 項之記憶體元件，其中該等至少一硫族化合物玻璃層之一或多層包含一金屬摻雜物。
 26. 如申請專利範圍第 25 項之記憶體元件，其中該金屬摻雜物包含銀。
 27. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層具有一第一厚度，且該至少一其他玻璃層具有一第二厚度，藉此該第一厚度對於該第二厚度之一厚度比例為在約 5 : 1 到約 1 : 1 之間。
 28. 如申請專利範圍第 1 項之記憶體元件，其中該至少一金屬硫族化合物層具有一第一厚度，且該至少一其他玻璃層具有一第二厚度，藉此該第一厚度對於該第二厚

度之一厚度比例為在約 3.3 : 1 到約 2 : 1 之間。

29. 如申請專利範圍第 1 項之電阻可變記憶體元件，其中該至少一個金屬硫族化合物層之厚度等於或大於每個該至少一個硫族化合物玻璃層及該至少一個其它玻璃層之厚度。
30. 一種電阻可變記憶體元件，其包含：
- 一本體，該本體包含一第一玻璃層，其接觸於至少一銀硫族化合物層，該銀硫族化合物層係接觸於一第二玻璃層，其中該第一及第二玻璃層中至少一個係由一硫族化合物玻璃材料所形成；及
 - 一第一電極及一第二電極係分別接觸於該等第一及第二玻璃層。
31. 如申請專利範圍第 30 項之記憶體元件，其中該至少一銀硫族化合物層包含硒化銀。
32. 如申請專利範圍第 30 項之記憶體元件，其中該至少一銀硫族化合物層包含硫化銀。
33. 如申請專利範圍第 30 項之記憶體元件，其中該至少一銀硫族化合物層包含氧化銀。
34. 如申請專利範圍第 30 項之記憶體元件，其中該至少一銀硫族化合物層包含碲化銀。
35. 如申請專利範圍第 30 項之記憶體元件，其中該硫族化合物玻璃材料之公式為 $\text{Ge}_x\text{Se}_{100-x}$ ，其中 $x=20$ 到 43。
36. 如申請專利範圍第 30 項之記憶體元件，其中該硫族化合物玻璃層化學計量為約 $\text{Ge}_{40}\text{Se}_{60}$ 。

37. 如申請專利範圍第30項之記憶體元件，其中該第一玻璃層與該第二玻璃層皆包含一硫族化合物玻璃材料。
38. 如申請專利範圍第30項之記憶體元件，其中該等第一及第二玻璃層中至少一個包含一金屬摻雜物。
39. 如申請專利範圍第30項之記憶體元件，其中該金屬摻雜物包含銀。
40. 如申請專利範圍第30項之記憶體元件，其中該等第一及第二玻璃層中至少另一個包含一SiSe組合物。
41. 如申請專利範圍第30項之記憶體元件，其中該等第一及第二玻璃層中至少另一個包含一AsSe組合物。
42. 如申請專利範圍第30項之記憶體元件，其中該等第一及第二玻璃層中至少另一個包含一GeS組合物。
43. 如申請專利範圍第30項之記憶體元件，其中該等第一及第二玻璃層中至少另一個包含鍺、銀及硒的組合。
44. 如申請專利範圍第30項之記憶體元件，其中該銀硫族化合物層具有一第一厚度，該第二玻璃層具有一第二厚度，而該第一厚度對於該第二厚度之一厚度比例為在約5：1到約1：1之間。
45. 如申請專利範圍第30項之記憶體元件，其中該銀硫族化合物層具有一第一厚度，該第二玻璃層具有一第二厚度，而該第一厚度對於該第二厚度之一厚度比例為在約3.3：1到約2：1之間。
46. 如申請專利範圍第30項之記憶體元件，其中該銀硫族化合物層具有一第一厚度，且該第一玻璃層具有一第

二厚度，而該第一厚度對於該第二厚度之一厚度比例為在約 5 : 1 到約 1 : 1 之間。

47. 如申請專利範圍第 30 項之記憶體元件，其中該銀硫族化合物層具有一第一厚度，該第二玻璃層具有一第二厚度，而該第一厚度對於該第二厚度之一厚度比例為在約 3.3 : 1 到約 2 : 1 之間。

48. 如申請專利範圍第 30 項之記憶體元件，其中該銀硫族化合物層之厚度大於或等於該等第一及第二玻璃層的每一層之厚度。

49. 如申請專利範圍第 30 項之記憶體元件，其中該等第一及第二玻璃層中至少一個包含一金屬摻雜物。

50. 如申請專利範圍第 30 項之記憶體元件，其中該金屬摻雜物包含銀。

51. 一種記憶體元件，其包括：

一第一電極；

一包含 $\text{Ge}_x\text{Se}_{100-x}$ 的第一玻璃層，其中 $x=20$ 到 43，該第一玻璃層係接觸於該第一電極；

一第一金屬硫族化合物層，其接觸於該第一玻璃層，該第一金屬玻璃層由 M_xC 代表，其中 M 為一金屬，C 為一硫族化合物化學元素，而 x 約為 2；

一第二玻璃層，其接觸於該第一金屬硫族化合物層；及

一第二電極，其接觸於該第二玻璃層。

52. 如申請專利範圍第 51 項之記憶體元件，其中 x 約為 40。

53. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含一銀硫族化合物。
54. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含硒化銀。
55. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含一硫化銀。
56. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含一氧化銀。
57. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含碲化銀。
58. 如申請專利範圍第54項之記憶體元件，其中該第二玻璃層做為一擴散控制層來控制成份由該第二電極通過該金屬硫族化合物層及該第一玻璃層之擴散。
59. 如申請專利範圍第58項之記憶體元件，其中該第二玻璃層包含一SiSe組合物。
60. 如申請專利範圍第58項之記憶體元件，其中該第二玻璃層包含一AsSe組合物。
61. 如申請專利範圍第58項之記憶體元件，其中該第二玻璃層包含一GeS組合物。
62. 如申請專利範圍第58項之記憶體元件，其中該第二玻璃層包含一鍺、銀及硒的組合。
63. 如申請專利範圍第51項之記憶體元件，其中該第一金屬硫族化合物層包含複數個金屬硫族化合物層，其彼此串聯接觸。

64. 如申請專利範圍第51項之記憶體元件，其中該第一玻璃層與該第二玻璃層中至少一個包含複數個玻璃層，其彼此串聯接觸。
65. 如申請專利範圍第51項之記憶體元件，其中該等第一及第二玻璃層中至少一個包含一金屬摻雜物。
66. 如申請專利範圍第65項之記憶體元件，其中該金屬摻雜物包含銀。
67. 一種硫族化合物玻璃堆疊，其包含：
- 一硫族化合物玻璃層；
- 至少一金屬硫族化合物層，由 M_xC 代表，其中M為一金屬、C為一硫族化合物化學元素，且x約為2，該金屬硫族化合物層係接觸於該硫族化合物玻璃層；及
- 一擴散控制層，其接觸於該金屬硫族化合物層，用於控制元素擴散到該硫族化合物玻璃層之上。
68. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該擴散控制層為一第二玻璃層。
69. 如申請專利範圍第67項之硫族化合物玻璃堆疊，進一步包含一含金屬電極，其接觸於該擴散控制層，且其中該擴散控制層可減慢一金屬由該電極遷移到該硫族化合物玻璃層。
70. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該至少一金屬硫族化合物層包含一銀硫族化合物。
71. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該至少一金屬硫族化合物層包含硒化銀。

72. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該至少一金屬硫族化合物層包含硫化銀。
73. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該至少一金屬硫族化合物層包含氧化銀。
74. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該至少一金屬硫族化合物層包含碲化銀。
75. 如申請專利範圍第67項之硫族化合物玻璃堆疊，其中該硫族化合物玻璃層與該擴散控制層中至少一個或兩者皆包含一金屬摻雜物。
76. 如申請專利範圍第75項之硫族化合物玻璃堆疊，其中該金屬摻雜物包含銀。
77. 一種記憶體元件，其包括：
- 一第一電極；
 - 至少一第一硫族化合物玻璃層，其接觸於該第一電極；
 - 至少一第一含金屬層，其接觸於該至少一第一硫族化合物玻璃層；
 - 至少一第二硫族化合物玻璃層，其接觸於該至少一第一含金屬層；
 - 至少一第二含金屬層，其接觸於該至少一第二硫族化合物玻璃層；
 - 至少一第三硫族化合物玻璃層，其接觸於該至少一第二含金屬層；及
 - 一第二電極，其接觸於該至少一第三硫族化合物玻

璃層。

78. 如申請專利範圍第77項之記憶體元件，其中該等含金屬層包含一或多個硒化銀層。
79. 如申請專利範圍第77項之記憶體元件，其中該等硫族化合物玻璃層之一或多層包含複數個硫族化合物玻璃層。
80. 如申請專利範圍第77項之記憶體元件，其中該等含金屬層之一或多層包含複數個含金屬層。
81. 如申請專利範圍第77項之記憶體元件，其中該等硫族化合物玻璃層之一或多層包含一金屬摻雜物。
82. 如申請專利範圍第81項之記憶體元件，其中該金屬摻雜物包含銀。
83. 一種形成一電阻可變記憶體元件的方法，其包含以下步驟：
 - 形成一第一電極；
 - 形成一第一硫族化合物玻璃層，其接觸於該第一電極；
 - 形成一第一含金屬層，其接觸於該第一硫族化合物玻璃層；及
 - 形成一第二硫族化合物玻璃層，其接觸於該第一含金屬層；
 - 形成一第二含金屬層，其接觸於該第一硫族化合物玻璃層；
 - 形成一第三硫族化合物玻璃層，其接觸於該第二含

金屬層；及

形成一第二電極，其接觸於該第三硫族化合物玻璃層。

84. 如申請專利範圍第83項之方法，其中該硫族化合物玻璃層包含具有公式為 $\text{Ge}_x\text{Se}_{100-x}$ 之材料，其中 x 在約20到約43之間。
85. 如申請專利範圍第84項之方法，其中該等硫族化合物玻璃層之化學計量約為 $\text{Ge}_{40}\text{Se}_{60}$ 。
86. 如申請專利範圍第83項之方法，其中該等硫族化合物玻璃層包含複數個硫族化合物玻璃層。
87. 如申請專利範圍第83項之方法，其中該等含金屬層包含複數個含金屬層。
88. 如申請專利範圍第83項之方法，其中該等硫族化合物玻璃層之一或多層包含一金屬摻雜物。
89. 如申請專利範圍第83項之方法，其中該等含金屬層之一或多層包含硒化銀。
90. 如申請專利範圍第88項之方法，其中該金屬摻雜物包含銀。
91. 如申請專利範圍第83項之方法，其中該含金屬層之厚度等於或大於該等硫族化合物玻璃層之每層的厚度。
92. 如申請專利範圍第83項之方法，其中每個該含金屬層具有一第一厚度，且每個該等硫族化合物玻璃層具有一第二厚度，藉此該第一厚度對於該第二厚度之一厚度比例係在約5：1到約1：1之間。

93. 如申請專利範圍第92項之方法，其中該第一厚度對於該第二厚度之該厚度比例係在約3.3：1到約2：1之間。
94. 一種形成一電阻可變記憶體元件的方法，其包含：
形成一第一玻璃層；
形成一硒化銀層，其接觸於該第一玻璃層；及
形成一第二玻璃層，其接觸於該硒化銀層，藉此該等第一及第二玻璃層中之一係由一硫族化合物玻璃材料所形成。
95. 如申請專利範圍第94項之方法，其中該硫族化合物玻璃材料之化學計量組合物約為 $\text{Ge}_{40}\text{Se}_{60}$ 。
96. 如申請專利範圍第94項之方法，其中該等玻璃層中至少一層包含一金屬摻雜物。
97. 如申請專利範圍第96項之方法，其中該金屬摻雜物包含銀。
98. 如申請專利範圍第94項之方法，其中該等第一及第二玻璃層皆包含一硫族化合物玻璃材料。
99. 如申請專利範圍第98項之方法，進一步包含形成交替的該硫族化合物玻璃材料與該硒化銀層之疊層的步驟。
100. 如申請專利範圍第94項之方法，其中該等由該硫族化合物玻璃材料所形成的疊層進一步包含一金屬摻雜物。
101. 如申請專利範圍第100項之方法，其中該金屬摻雜物包含銀。
102. 如申請專利範圍第94項之方法，其中該等第一及第二玻璃層中另一層控制了一金屬離子由一電極擴散通過

該記憶體元件。

103.如申請專利範圍第102項之方法，其中該另一玻璃層包含一SiSe組合物。

104.如申請專利範圍第102項之方法，其中該另一玻璃層包含一AsSe組合物。

105.如申請專利範圍第102項之方法，其中該另一玻璃層包含一GeS組合物。

106.如申請專利範圍第102項之方法，其中該另一玻璃層包含一鍺、銀及硒的組合。

107.如申請專利範圍第94項之方法，其中該含金屬層之厚度係等於或大於該等第一及第二玻璃層之每一層的厚度。

108.如申請專利範圍第94項之方法，其中該含金屬層包含複數個硒化銀層，其彼此串聯接觸。

109.一種處理器為主的系統，其包含：

一處理器；以及

一連接到該處理器之記憶體電路，該記憶體電路包含一電阻可變記憶體元件，其包含至少一含金屬層、至少一硫族化合物玻璃層、至少另一玻璃層、該含金屬層係提供在該至少一硫族化合物玻璃層與該至少另一玻璃層之間。

110.如申請專利範圍第109項之系統，其中該硫族化合物玻璃層包含具有公式 $\text{Ge}_x\text{Se}_{100-x}$ 之材料，其中 $x=20$ 到43。

111. 如申請專利範圍第109項之系統，其中該硫族化合物玻璃層化學計量為約 $\text{Ge}_{40}\text{Se}_{60}$ 。
112. 如申請專利範圍第109項之系統，其中該等玻璃層中至少一層包含一金屬摻雜物。
113. 如申請專利範圍第112項之系統，其中該金屬摻雜物包含銀。
114. 如申請專利範圍第109項之系統，其中該另一玻璃層包含一第二硫族化合物玻璃層。
115. 如申請專利範圍第114項之系統，進一步包含另一層含金屬層，其接觸於該至少一第二硫族化合物玻璃層與至少一第三硫族化合物玻璃層，其接觸於該至少一第二含金屬層。
116. 如申請專利範圍第114項之系統，其中該硫族化合物玻璃層包含複數個堆疊的硫族化合物玻璃層。
117. 如申請專利範圍第114項之系統，其中該含金屬層包含複數個堆疊的含金屬層。
118. 如申請專利範圍第115項之系統，其中該等硫族化合物玻璃層中至少一層包含一金屬摻雜物。
119. 如申請專利範圍第109項之系統，其中該含金屬層包含硒化銀層。
120. 如申請專利範圍第119項之系統，其中該另一玻璃層包含一 SiSe 組合物。
121. 如申請專利範圍第119項之系統，其中該另一玻璃層包含一 AsSe 組合物。

122. 如申請專利範圍第109項之系統，其中該另一玻璃層包含一GeS組合物。
123. 如申請專利範圍第109項之系統，其中該另一玻璃層包含一鍺、銀及硒的組合。
124. 如申請專利範圍第109項之系統，其中該另一玻璃層為一擴散控制層，用於減慢一金屬離子由與其連接到一電極之遷移。
125. 一種處理器為主的系統，其包含：
- 一處理器；
 - 一連接到該處理器之記憶體電路，該記憶體電路包含一第一電極；
 - 至少一第一硫族化合物玻璃層，其接觸於該第一電極；
 - 至少一第一含金屬層，其接觸於該至少一第一硫族化合物玻璃層；
 - 至少一第二硫族化合物玻璃層，其接觸於該至少一第一含金屬層；
 - 至少一第二含金屬層，其接觸於該至少一第二硫族化合物玻璃層；
 - 至少一第三硫族化合物玻璃層，其接觸於該至少一第二含金屬層；及
 - 一第二電極，其接觸於該至少一第三硫族化合物玻璃層。
126. 如申請專利範圍第125項之系統，其中該等含金屬層包

含一或多個硒化銀層。

127.如申請專利範圍第125項之系統，其中該等硫族化合物玻璃層之一或多層包含複數個硫族化合物玻璃層。

128.如申請專利範圍第125項之系統，其中該等含金屬層之一或多層包含複數個含金屬層。

129.如申請專利範圍第125項之系統，其中該等硫族化合物玻璃層之一或多層包含一金屬摻雜物。

130.如申請專利範圍第129項之系統，其中該金屬摻雜物包含銀。

131.一種記憶體元件，其包括：

一第一電極；

一第二電極；以及

複數個硫族化合物玻璃層與複數個含金屬層位在該等第一及第二電極之間，藉以該等複數個硫族化合物玻璃層與該等含金屬層交替，其中該等硫族化合物玻璃層中的一層接觸於該第一電極，而該等硫族化合物玻璃層中另一層接觸於該第二電極。

132.如申請專利範圍第131項之記憶體元件，其中該等複數個含金屬層包含一或多個硒化銀層。

133.如申請專利範圍第131項之記憶體元件，其中該等複數個硫族化合物玻璃層中一或多層包含複數個硫族化合物玻璃層。

134.如申請專利範圍第131項之記憶體元件，其中該等複數個含金屬層中一或多層包含複數個含金屬層。

135. 如申請專利範圍第131項之記憶體元件，其中該等複數個硫族化合物玻璃層中一或多層含有一金屬摻雜物。
136. 如申請專利範圍第135項之記憶體元件，其中該金屬摻雜物包含銀。
137. 一種形成一電阻可變記憶體元件的方法，其包含：
- 形成一第一電極；
- 形成一第二電極；以及
- 形成複數個硫族化合物玻璃層與複數個含金屬層位在該等第一及第二電極之間，藉以該等複數個硫族化合物玻璃層與該等含金屬層交替，其中該等硫族化合物玻璃層中的一層接觸於該第一電極，而該等硫族化合物玻璃層中另一層接觸於該第二電極。
138. 如申請專利範圍第137項之方法，其中該等複數個含金屬層包含一或多個硒化銀層。
139. 如申請專利範圍第137項之方法，其中該等複數個硫族化合物玻璃層中一或多層包含複數個硫族化合物玻璃層。
140. 如申請專利範圍第137項之方法，其中該等複數個含金屬層中一或多層包含複數個含金屬層。
141. 如申請專利範圍第137項之方法，其中該等複數個硫族化合物玻璃層中一或多層含有一金屬摻雜物。
142. 如申請專利範圍第141項之方法，其中該金屬摻雜物包含銀。

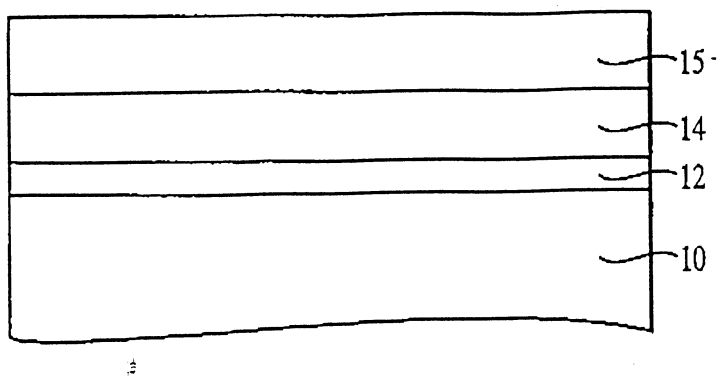


圖 1

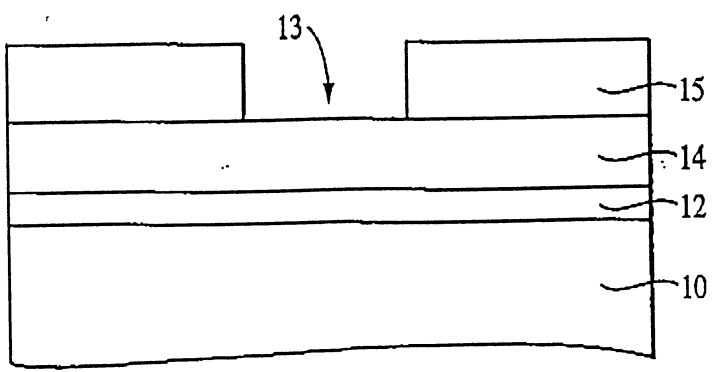


圖 2

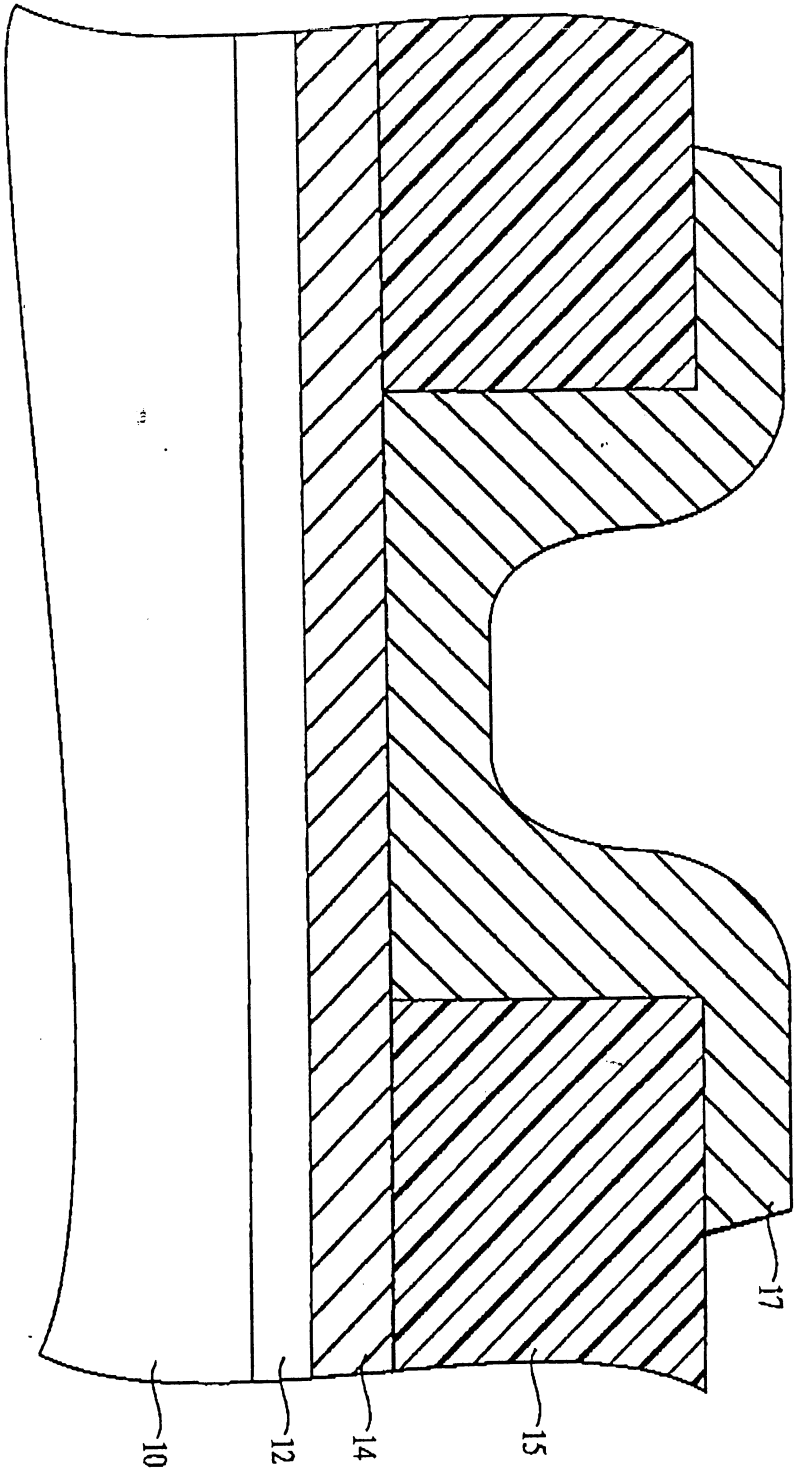
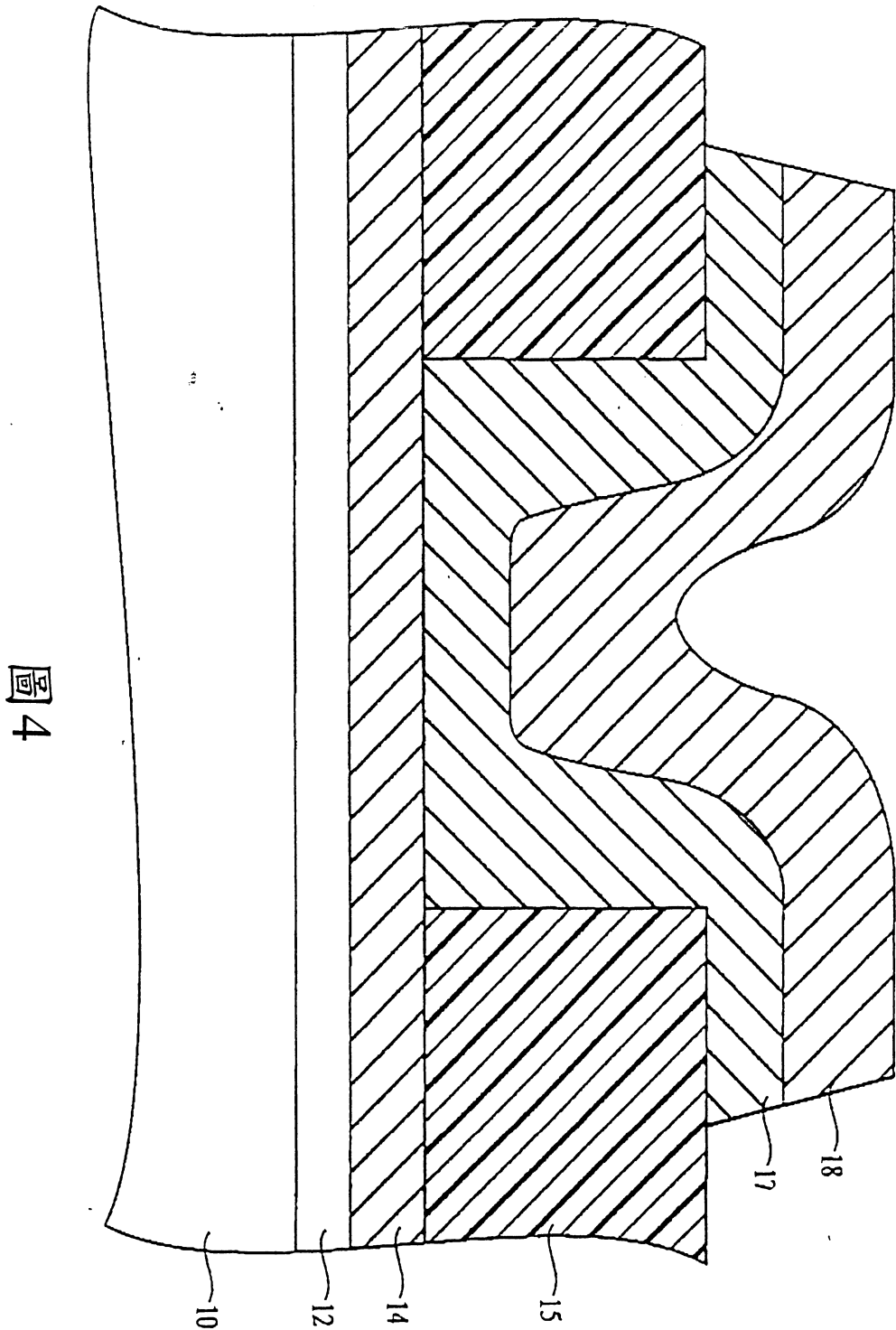


圖 3



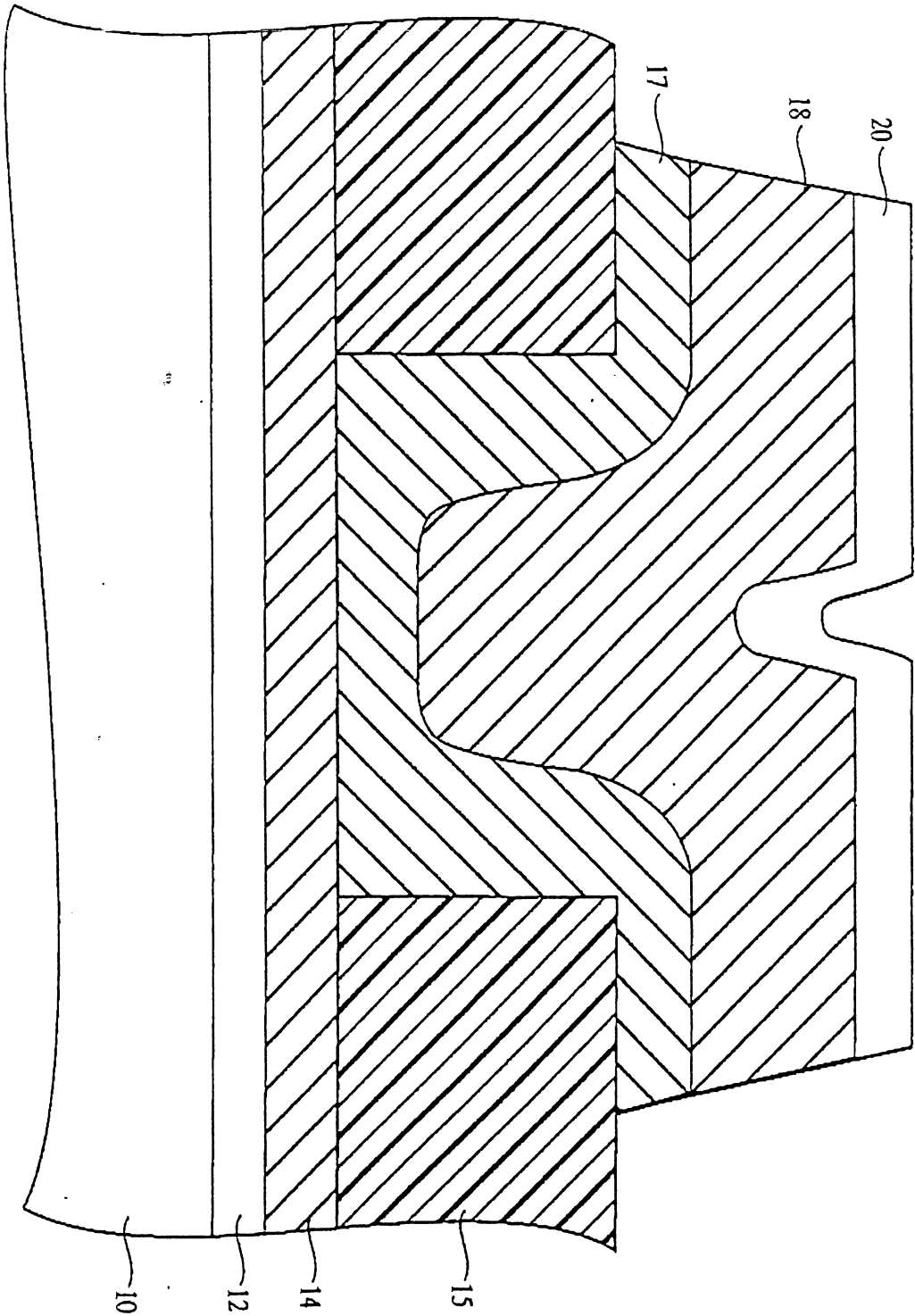


圖5

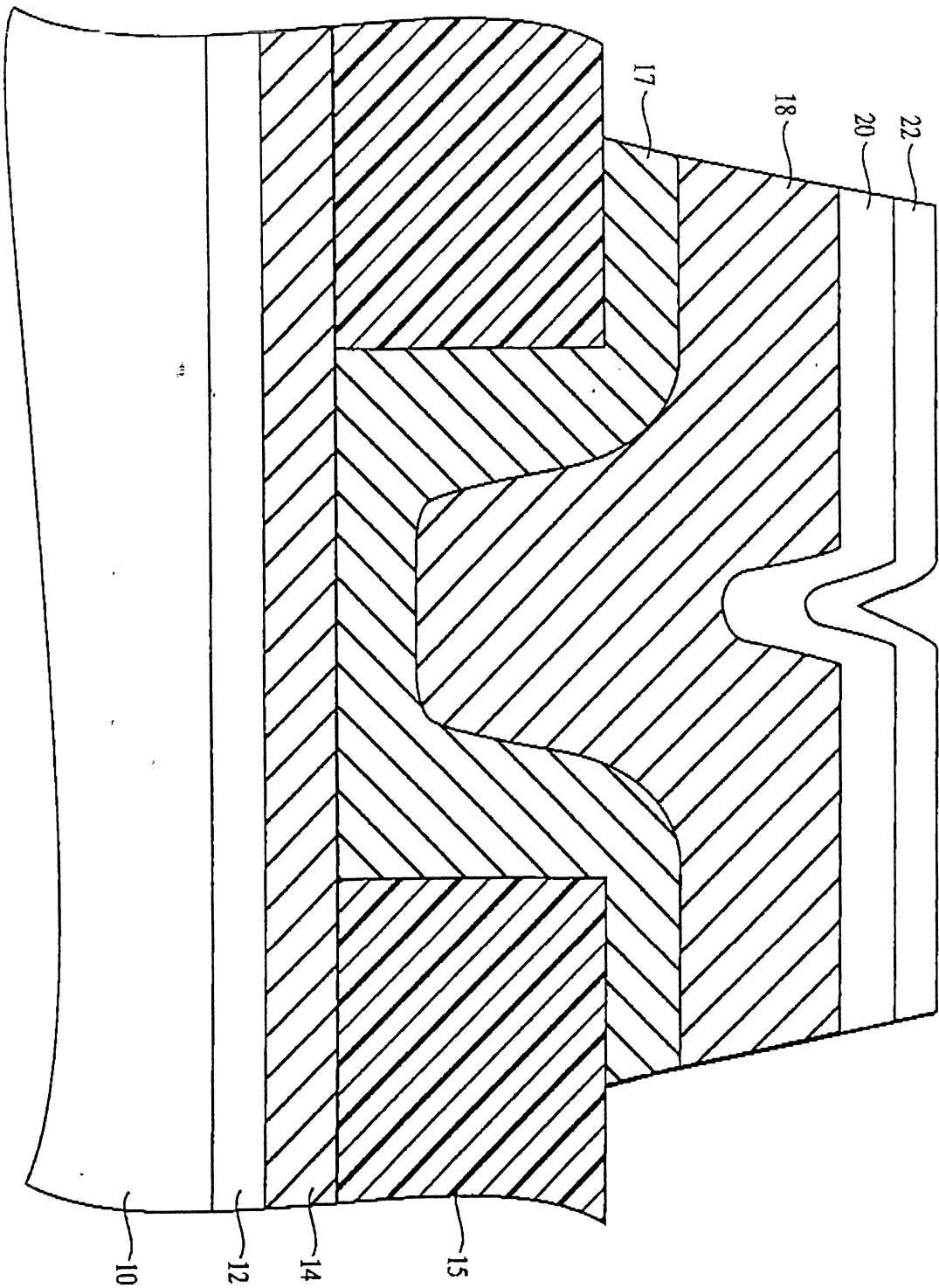


圖6

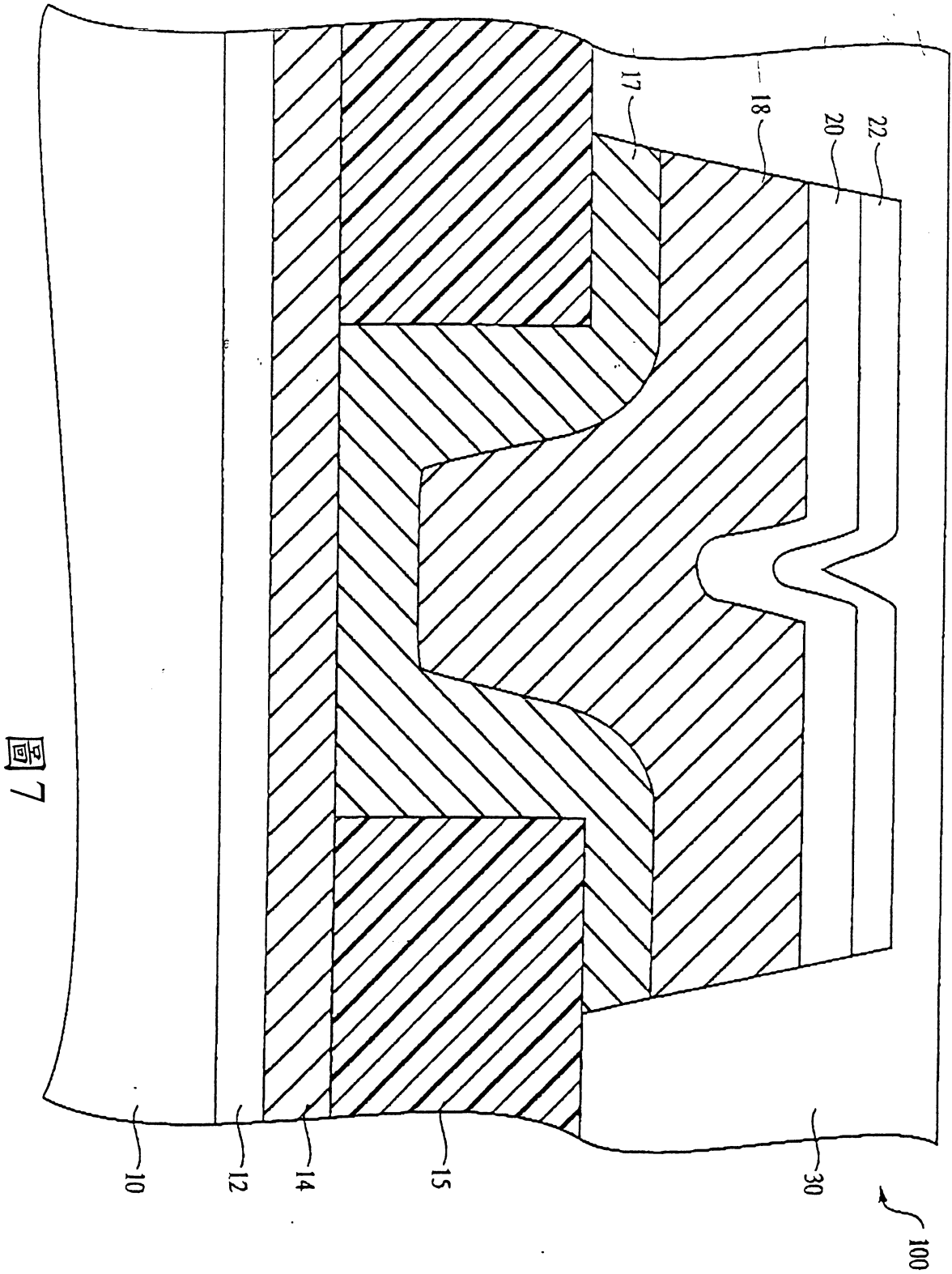


圖 7

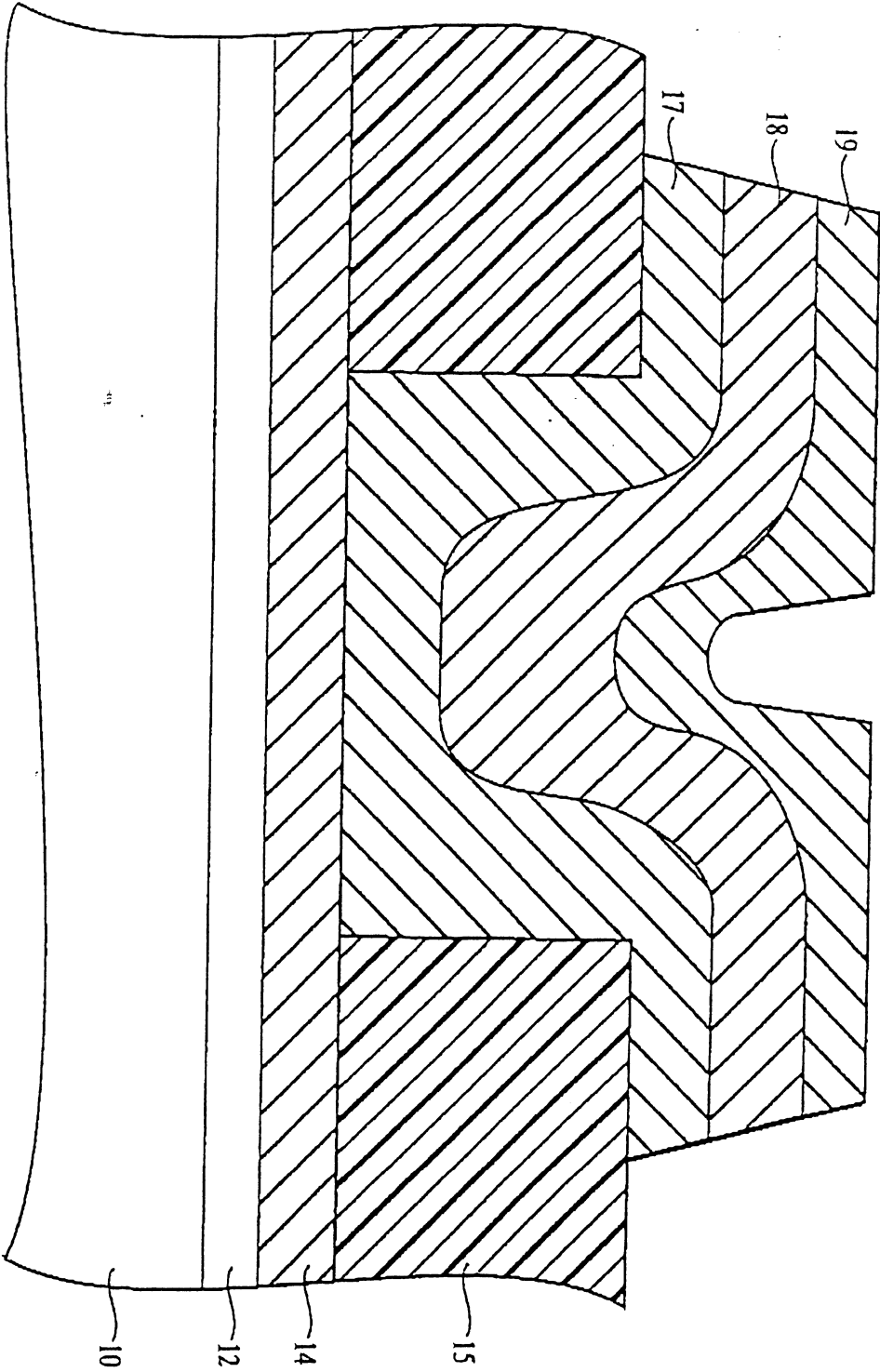


圖 8

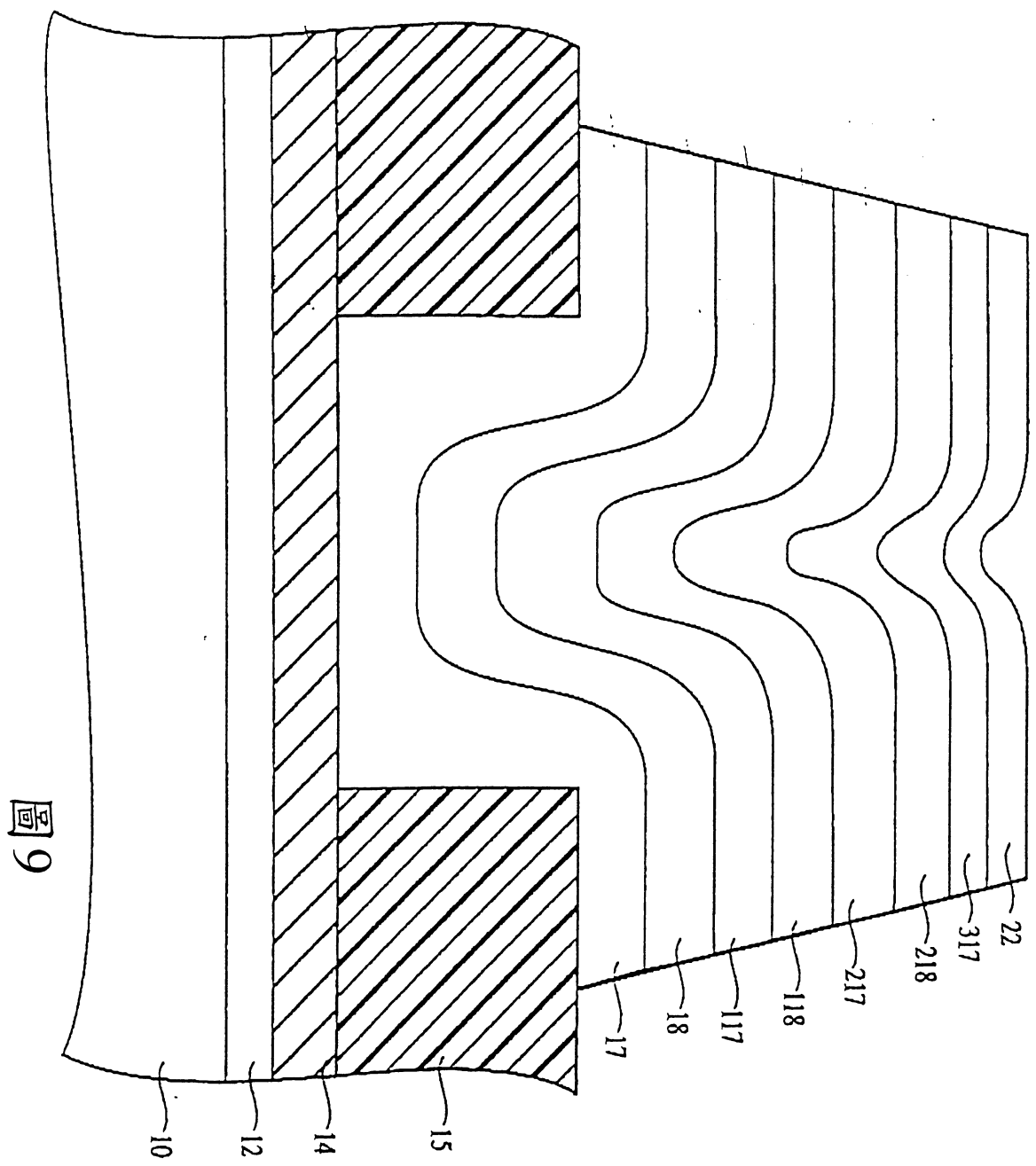


圖9

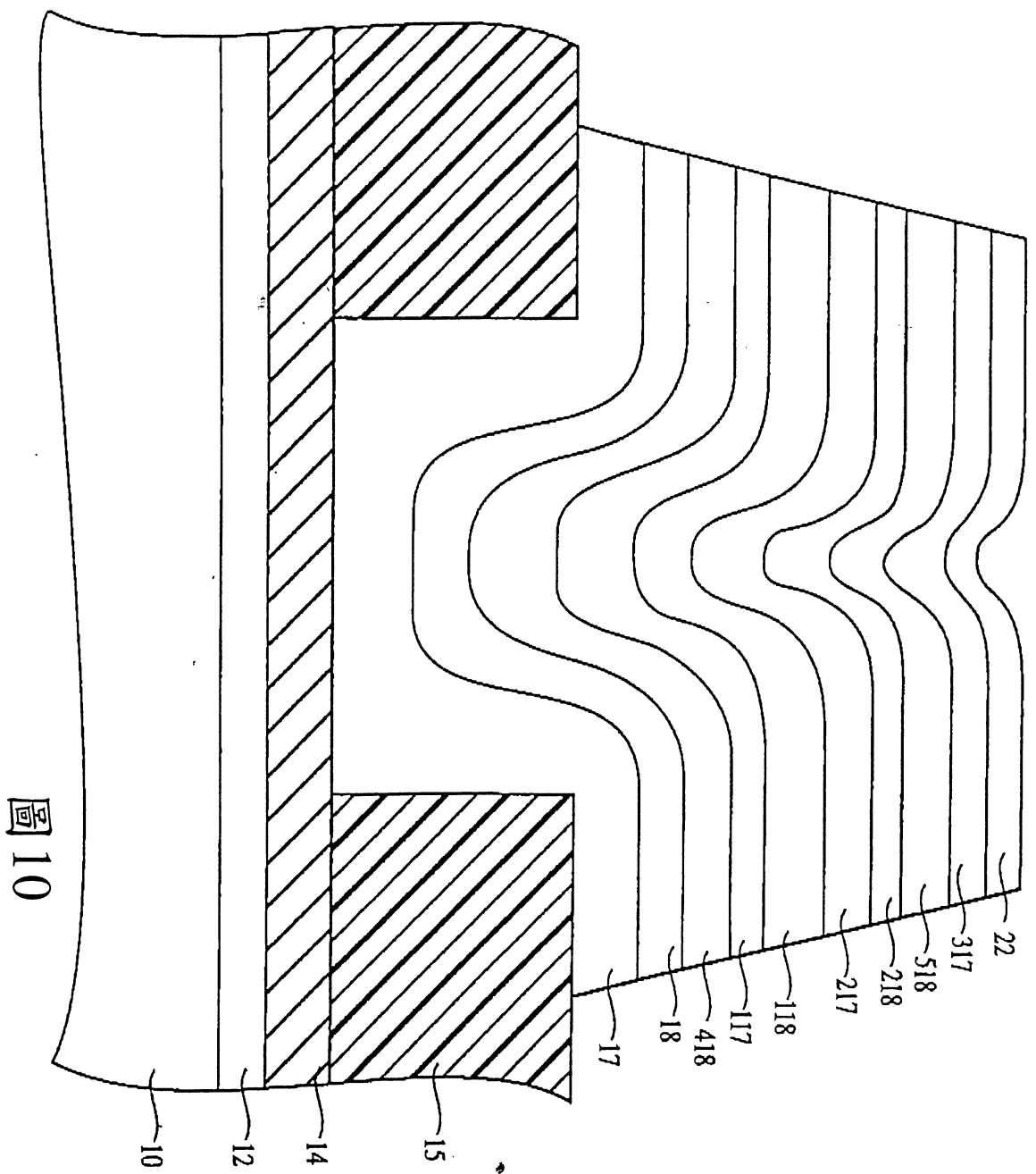


圖 10

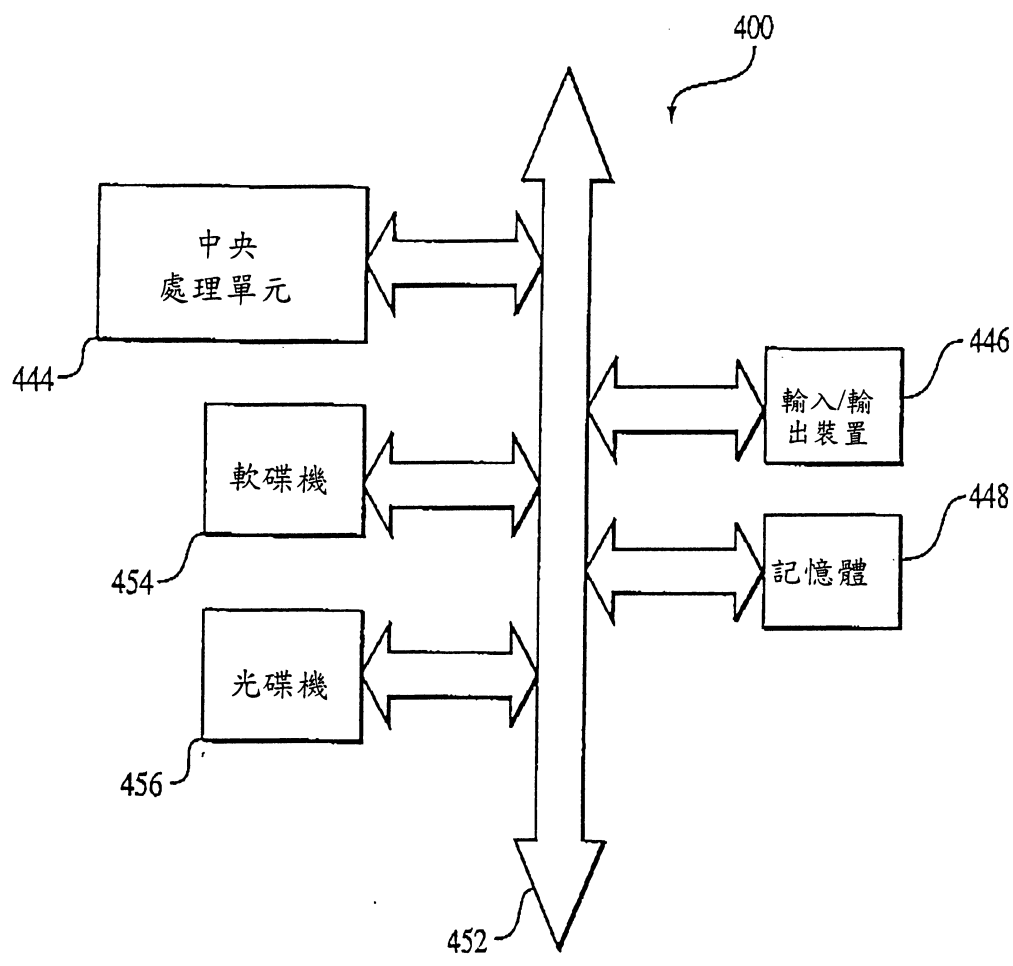


圖 11