

(此處由本局於收
文時黏貼條碼)

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97129847

※申請日期：97年08月06日

※IPC分類：H01L 29/386 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：

(中) 顯示裝置和具有該顯示裝置的電子裝置，和其製造方法

(英) Display device and electronic device having the display device,
and method for manufacturing thereof

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司
(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平
(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地
(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 5 人)

1. 姓名：(中) 小林聰
(英) KOBAYASHI, SATOSHI

國籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 宮口厚
(英) MIYAGUCHI, ATSUSHI

國籍：(中) 日本
(英) JAPAN

3. 姓名：(中) 守屋芳隆
(英) MORIYA, YOSHITAKA

國籍：(中) 日本
(英) JAPAN

4. 姓名：(中) 黑川義元

國籍：(英) KUROKAWA, YOSHIYUKI
(中) 日本
(英) JAPAN

5. 姓名：(中) 河江大輔
(英) KAWAE, DAISUKE
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

- ✓ ◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：
【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】
1. 日本 ; 2007/08/07 ; 2007-205615 有主張優先權

五、中文發明摘要

發明之名稱：顯示裝置和具有該顯示裝置的電子裝置，
和其製造方法

本發明的目的在於提供一種具有電特性高、能夠實現截止電流的降低的薄膜電晶體的顯示裝置。本發明包括薄膜電晶體，該薄膜電晶體包括：基板；設置在基板上的閘極電極；設置在閘極電極上的閘極絕緣膜；隔著閘極絕緣膜設置在閘極電極上的微晶半導體膜；以與微晶半導體膜接觸的方式設置的通道保護層；設置在閘極絕緣膜上且在微晶半導體膜及通道保護層的側面的非晶半導體膜；設置在非晶半導體膜上的雜質半導體層；以及以與雜質半導體層接觸的方式設置的源極電極及汲極電極，其中非晶半導體膜的厚度比微晶半導體膜的厚度厚。

六、英文發明摘要

發明之名稱：

DISPLAY DEVICE AND ELECTRONIC DEVICE HAVING THE DISPLAY DEVICE,
AND METHOD FOR MANUFACTURING THEREOF

To provide a display device including a thin film transistor in which high electric characteristics and reduction in off-current can be achieved. The display device having a thin film transistor includes a substrate, a gate electrode provided over the substrate, a gate insulating film provided over the gate electrode, a microcrystalline semiconductor film provided over the gate electrode with the gate insulating film interposed therebetween, a channel protection layer which is provided over and in contact with the microcrystalline semiconductor film, an amorphous semiconductor film provided over the gate insulating film and on a side surface of the microcrystalline semiconductor film and the channel protection layer, an impurity semiconductor layer provided over the amorphous semiconductor film, and a source electrode and a drain electrode provided over and in contact with the impurity semiconductor layer. The thickness of the amorphous semiconductor film is larger than that of the microcrystalline semiconductor film.

七、指定代表圖：

(一)、本案指定代表圖為：第(4)圖

(二)、本代表圖之元件代表符號簡單說明：

- 100：基板
- 101：閘極電極
- 102：閘極絕緣膜
- 103：微晶半導體膜
- 104：通道保護層
- 106：非晶半導體膜
- 107：雜質半導體層
- 108：導電膜
- 109：絕緣膜
- 110：接觸孔
- 111：像素電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

本發明係關於一種顯示裝置及使用該顯示裝置的電子裝置。本發明特別關於一種將薄膜電晶體用於像素部的顯示裝置及使用該顯示裝置的電子裝置。

【先前技術】

近年來，將使用形成於具有絕緣表面的基板上的半導體薄膜（厚度為幾 nm 至幾百 nm 左右）構成薄膜電晶體的技術實用到很多電子裝置中。特別地，薄膜電晶體作為顯示裝置的像素部中的開關元件正在被實用化，其研究開發仍然盛行。

在大型面板中，將使用非晶半導體膜的薄膜電晶體用作液晶顯示裝置的開關元件，而在小型面板中，將使用多晶半導體膜的薄膜電晶體用作液晶顯示裝置的開關元件。作為多晶半導體膜的形成方法，已知如下技術，即藉由光學系統將脈衝振盪的受激準分子雷射光束加工成線狀，對非晶半導體膜掃描並照射線狀光束，以使非晶半導體膜結晶化。

另外，將使用微晶半導體膜的薄膜電晶體用作圖像顯示裝置的開關元件（專利文獻 1 至 3）。另外，作為以提高非晶半導體膜的特性為目的的薄膜電晶體的製造方法，已知如下方法，即在閘極絕緣膜上形成非晶矽膜，然後在其上面形成金屬膜，並且對該金屬膜照射二極體雷射，以

將非晶矽膜改進為微晶矽膜（非專利文獻 1）。在該方法中，形成在非晶矽膜上的金屬膜是為將二極體雷射的光能更換為熱能而提供的。因此，之後必須去除該金屬膜，以完成薄膜電晶體。換言之，該方法是非晶矽膜只受到來自金屬膜的傳導加熱而被加熱，以形成作為微晶半導體膜的微晶矽膜的方法。

[專利文獻 1] 日本專利申請公開第 H4-242724 號公報

[專利文獻 2] 日本專利申請公開第 2005-49832 號公報

[專利文獻 3] 美國專利第 5591987 號

[非專利文獻 1] Toshiaki Arai 和其他，SID 07 DIGEST，2007，p.1370-1373

使用多晶半導體膜的薄膜電晶體具有如下優點：與使用非晶半導體膜的薄膜電晶體相比，其遷移率高兩位數以上，並且可以在同一個基板上一起形成顯示裝置的像素部和其週邊驅動電路。然而，與使用非晶半導體膜的情況相比，因為要使半導體膜結晶化，所以多晶半導體膜的製程變複雜，因而有降低成品率並增高成本的問題。

另外，還有微晶半導體膜的表面容易被氧化的問題。因此，存在如下問題：若通道形成區域的晶粒被氧化，則在晶粒的表面形成氧化膜，而且該氧化膜障礙載流子的移動，從而薄膜電晶體的電特性降低。另外，與非晶半導體膜及多晶半導體膜相比，由於難以形成厚度厚的微晶半導體膜，所以微晶半導體膜具有導致在閘極電極與源極電極

或汲極電極之間發生的寄生電容的增大的問題。

另外，因為容易製造反交錯結構的薄膜電晶體，所以它作為提供在顯示裝置的像素部中的開關元件很有望。因為要提高像素的開口率，所以反交錯結構的薄膜電晶體被期待實現高功能化及小型化。但是，另一方面，存在如下問題，即薄膜電晶體處於截止狀態時流過源區和汲區之間的漏電流（也稱為截止電流）增加。由此，存在難以減小薄膜電晶體的尺寸而難以實現保持電容的小型化及耗電量的降低的問題。

【發明內容】

鑒於上述問題，本發明的目的在於提供一種包括薄膜電晶體的顯示裝置，該薄膜電晶體可以抑製成品率的降低、寄生電容的增大、以及製造成本的增加，並且其電特性高而可以降低截止電流。

本發明之一是一種具有薄膜電晶體的顯示裝置，該薄膜電晶體包括：設置在基板上的閘極電極；設置在閘極電極上的閘極絕緣膜；隔著閘極絕緣膜設置在閘極電極上的微晶半導體膜；以與微晶半導體膜接觸的方式設置在微晶半導體膜上的通道保護層；設置在閘極絕緣膜上且在微晶半導體膜及通道保護層的側面的非晶半導體膜；設置在非晶半導體膜上的雜質半導體層；以及以與雜質半導體層接觸的方式設置的源極電極及汲極電極，其中，非晶半導體膜的厚度比微晶半導體膜的厚度厚。

此外，本發明之另一是一種具有薄膜電晶體的顯示裝置，該薄膜電晶體包括：設置在基板上的閘極電極；設置在閘極電極上的閘極絕緣膜；隔著閘極絕緣膜設置在閘極電極上的微晶半導體膜；以與微晶半導體膜接觸的方式設置在微晶半導體膜上的通道保護層；設置在閘極絕緣膜上且在微晶半導體膜及通道保護層的側面的非晶半導體膜；設置在非晶半導體膜上的雜質半導體層；以及以與雜質半導體層接觸的方式設置的源極電極及汲極電極，其中，非晶半導體膜的厚度比微晶半導體膜的厚度厚，並且，在源極電極及汲極電極的外側，雜質半導體層的一部分及非晶半導體膜的一部分露出，並且，形成在閘極電極上的雜質半導體層的端部和非晶半導體膜的端部對準。

此外，本發明之另一是一種具有薄膜電晶體的顯示裝置，該薄膜電晶體包括：設置在基板上的閘極電極；設置在閘極電極上的閘極絕緣膜；隔著閘極絕緣膜設置在閘極電極上的微晶半導體膜；以與微晶半導體膜接觸的方式設置在微晶半導體膜上的通道保護層；設置在閘極絕緣膜上且在微晶半導體膜及通道保護層的側面的非晶半導體膜；設置在非晶半導體膜上的雜質半導體層；以與雜質半導體層接觸的方式設置的源極電極及汲極電極；與源極電極及汲極電極、雜質半導體層、以及非晶半導體膜接觸的絕緣膜；以及形成在絕緣膜上且在形成於絕緣膜中的接觸孔中與源極電極或汲極電極連接的像素電極，其中，非晶半導體膜的厚度比微晶半導體膜的厚度厚。

此外，本發明之另一是一種具有薄膜電晶體的顯示裝置，該薄膜電晶體包括：設置在基板上的閘極電極；設置在閘極電極上的閘極絕緣膜；隔著閘極絕緣膜設置在閘極電極上的微晶半導體膜；以與微晶半導體膜接觸的方式設置在微晶半導體膜上的通道保護層；設置在閘極絕緣膜上且在微晶半導體膜及通道保護層的側面的非晶半導體膜；設置在非晶半導體膜上的雜質半導體層；以與雜質半導體層接觸的方式設置的源極電極及汲極電極；與源極電極及汲極電極、雜質半導體層、以及非晶半導體膜接觸的絕緣膜；以及形成在絕緣膜上且在形成於絕緣膜中的接觸孔中與源極電極或汲極電極連接的像素電極，其中，非晶半導體膜的厚度比微晶半導體膜的厚度厚，並且，在源極電極及汲極電極的外側，雜質半導體層的一部分及非晶半導體膜的一部分露出，並且，形成在閘極電極上的雜質半導體層的端部和非晶半導體膜的端部對準。

注意，在本發明的顯示裝置中，通道保護層可以是氮化矽膜或氮氧化矽膜。

藉由源極電極及汲極電極的端部與雜質半導體層的端部不對準，並且雜質半導體層的端部形成在源極電極及汲極電極的端部的外側，源極電極及汲極電極的端部之間的距離變長，從而可以防止源極電極及汲極電極之間的漏電流及短路。此外，電場不在源極電極及汲極電極和雜質半導體層的端部中集中，從而可以防止在閘極電極與源極電極及汲極電極之間發生的漏電流。

此外，在微晶半導體膜及通道保護層的側面設置有非晶半導體層。藉由設置有非晶半導體層，可以延長成為源區及汲區之間的雜質半導體層之間的距離，從而可以減少在雜質半導體層之間流過的漏電流。此外，藉由設置非晶半導體層，由於可以將閘極電極與源極電極及汲極電極之間的膜厚度設定為厚，所以可以減少在閘極電極與源極電極及汲極電極之間發生的寄生電容。

此外，在微晶半導體膜上以與微晶半導體膜接觸的方式設置有通道保護層。並且，微晶半導體膜用作通道形成區域。通道保護層在防止微晶半導體膜的氧化的同時，還用作薄膜電晶體的製造過程中的蝕刻停止層。藉由以與微晶半導體膜接觸的方式設置有通道保護層，由於可以減薄微晶半導體膜的厚度且防止包含於微晶半導體膜中的晶粒的氧化，所以可以得到遷移率高、漏電流少、並且耐壓性高的薄膜電晶體。

與多晶半導體膜不同，微晶半導體膜可以直接形成在基板上。具體而言，可以將氫化矽作為原料氣體並使用電漿 CVD 裝置來形成。藉由上述方法製造的微晶半導體膜還包括在非晶半導體中含有 0.5nm 至 20nm 的晶粒的微晶半導體膜。因此，與使用多晶半導體膜的情況不同，不需要在形成半導體膜之後進行晶化製程。可以縮減製造薄膜電晶體時的製程數，提高顯示裝置的成品率，並且抑制成本。此外，使用頻率為 1GHz 以上的微波的電漿具有高電子密度，從而容易離解原料氣體的氫化矽。因此，與頻率

為幾十 MHz 至幾百 MHz 的微波電漿 CVD 法相比，可以容易製造微晶半導體膜，並且可以提高成膜速度。因而，可以提高顯示裝置的批量生產性。

此外，使用微晶半導體膜製造薄膜電晶體（TFT），並且將該薄膜電晶體用於像素部、驅動電路來製造顯示裝置。使用微晶半導體膜的薄膜電晶體的遷移率為 $1 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20 \text{ cm}^2/\text{V}\cdot\text{sec}$ ，其是使用非晶半導體膜的薄膜電晶體的 2 倍至 20 倍。因此，可以將驅動電路的一部分或全部一體形成在與像素部相同的基板上，來形成系統型面板。

此外，顯示裝置包括液晶元件或發光元件（也總稱顯示元件）。另外，顯示裝置還包括處於顯示元件被密封狀態的面板、以及處於將包括控制器的 IC 等安裝在該面板上的狀態的模組。再者，本發明係關於製造該顯示裝置的過程中的相當於顯示元件完成之前的一個方式的元件基板，該元件基板的多個像素的每一個中具備將電壓供給於顯示元件的單元。元件基板相當於各種方式，具體而言，既可以處於只形成有顯示元件的像素電極的狀態，又可以處於在形成成為像素電極的導電膜之後並進行蝕刻來形成像素電極之前的狀態。

注意，本說明書中的顯示裝置是指圖像顯示裝置或光源（包括照明裝置）。此外，如下模組也都包括在顯示裝置中：安裝有連接器如 FPC（撓性印刷電路）、TAB（帶式自動接合）膠帶、或 TCP（帶載封裝）的模組；TAB 膠

帶及 TCP 的前端設置有印刷佈線板的模組；或藉由 COG（玻璃上晶片）方式將 IC（積體電路）直接安裝在顯示元件中的模組。

根據本發明，可以提供一種包括薄膜電晶體的顯示裝置，該薄膜電晶體可以抑製成品率的降低、寄生電容的增大、以及製造成本的增加，並且其電特性高而可以降低截止電流。

【實施方式】

下面，關於本發明的實施例模式將參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明可以以多個不同形式來實施，其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，參照圖 1A 至圖 5C 說明用於顯示裝置的薄膜電晶體的製造過程。圖 1A 至圖 4 是示出薄膜電晶體的製造過程的截面圖，而圖 5A 至 5C 是顯示裝置的一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。

關於具有微晶半導體膜的薄膜電晶體，n 型薄膜電晶體由於具有比 p 型薄膜電晶體高的遷移率，因此更適合用

於驅動電路。較佳的是，在同一基板上形成同一極性的薄膜電晶體，以減少製程數量。這裏，使用 n 通道型薄膜電晶體進行說明。

如圖 1A 所示，在基板 100 上形成閘極電極 101。作為基板 100，不但可以使用藉由利用熔融法或浮法製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或者陶瓷基板，而且可以使用能夠承受本製造過程中的處理溫度的耐熱塑膠基板等。另外，還可以使用在不銹鋼合金等金屬基板表面上設置有絕緣膜的基板。當基板 100 為母體玻璃時，基板的尺寸可以採用第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm 或 730mm×920mm）、第五代（1000mm×1200mm 或 1100mm×1250mm）、第六代（1500mm×1800mm）、第七代（1900mm×2200mm）、第八代（2160mm×2460mm）、第九代（2400mm×2800mm 或 2450mm×3050mm）、第十代（2950mm×3400mm）等。

藉由使用鈦、鉬、鉻、鉭、鎢、以及鋁等金屬材料或它們的合金材料來形成閘極電極 101。可以藉由濺射法或真空蒸鍍法在基板 100 上形成導電膜，藉由光微影技術或噴墨法在該導電膜上形成掩模，並且使用該掩模蝕刻導電膜，來形成閘極電極 101。另外，作為用來提高閘極電極 101 的緊密性且防止向基底擴散的阻擋金屬，也可以在基板 100 和閘極電極 101 之間提供上述金屬材料的氮化物

膜。這裏，利用使用第一光掩模形成的抗蝕劑掩模蝕刻形成在基板 100 上的導電膜來形成閘極電極。

注意，在閘極電極 101 上形成半導體膜和佈線，因此其端部較佳的加工為錐形形狀，以便防止斷開。此外，雖然未圖示，但是也可以藉由形成閘極電極的製程同時形成連接到閘極電極的佈線。

接下來，在閘極電極 101 上按順序形成閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104。接著，在通道保護層 104 上塗敷抗蝕劑 151。注意，較佳的至少連續形成閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104。藉由在不暴露於大氣的狀態下連續形成閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104，能夠在不受到大氣成分或大氣中懸浮的污染雜質元素污染的狀況下形成各個疊層的介面，因此，能夠降低薄膜電晶體特性的不均勻性。

閘極絕緣膜 102 可以藉由 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、或者氮氧化矽膜形成。注意，閘極絕緣膜 102 可以藉由按順序層疊氧化矽膜或氧氮化矽膜與氮化矽膜或氮氧化矽膜的兩層來形成，而不是單層。另外，可以從基板一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜的三層來形成閘極絕緣膜，而不是兩層。

在此，氧氮化矽膜是其組成為如下的一種膜，即氧的含量高於氮，作為濃度範圍，包含 55 原子%至 65 原子%

的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的矽、0.1 原子%至 10 原子%的氫。另外，氮氧化矽膜是其組成爲如下的一種膜，即氮的含量高於氧，作爲濃度範圍，包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的矽、15 原子%至 25 原子%的氫。

微晶半導體膜 103 是包括具有非晶體和晶體結構（包括單晶、多晶）的中間結構的半導體的膜。該半導體是具有自由能方面很穩定的第三狀態的半導體，並且是具有短程有序且具有晶格畸變的晶體，其中粒徑爲 0.5 nm 至 20 nm 的柱狀或針狀晶體相對於基板表面向法線方向生長。此外，微晶半導體和非單晶半導體混合存在。作爲微晶半導體的代表實例的微晶矽的拉曼光譜偏移到低於表示單晶矽的 521 cm^{-1} 的波數一側。亦即，在表示單晶矽的 521 cm^{-1} 和表示非晶矽的 480 cm^{-1} 之間有微晶矽的拉曼光譜的高峰。此外，使該半導體膜包含至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。進而，藉由使該半導體包含氮、氫、氬、氖等稀有氣體元素，進一步助長其晶格畸變，而可以得到增加穩定性而良好的微晶半導體膜。例如在美國專利 4,409,134 號公開關於這種微晶半導體膜的記載。

該微晶半導體膜可以藉由頻率爲幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率爲 1GHz 以上的微波電漿 CVD 裝置形成。典型地說，可以使用氫稀釋 SiH_4 、 Si_2H_6

等的氫化矽來形成微晶半導體膜。另外，除了氫化矽及氫以外，還可以使用選自氮、氬、氪、氙中的一種或多種的稀有氣體元素進行稀釋來形成微晶半導體膜。將相對於此時的氫化矽的氫的流量比設定為 50 倍以上 1000 倍以下，較佳的為 50 倍以上 200 倍以下，更佳的為 100 倍。注意，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等而代替氫化矽。

另外，由於微晶半導體膜在有意地不添加以價電子控制為目的的雜質元素時呈現微弱的 n 型導電性，所以可以藉由在進行成膜的同時或在進行成膜後對用作薄膜電晶體的通道形成區域的微晶半導體膜添加給予 p 型的雜質元素來控制臨界值。作為給予 p 型的雜質元素，典型有硼，較佳的將 B_2H_6 、 BF_3 等的雜質氣體以 1ppm 至 1000ppm，較佳的以 1ppm 至 100ppm 的比率混入氫化矽中。並且，較佳的將硼濃度例如設定為 $1 \times 10^{14} \text{atoms/cm}^3$ 至 $6 \times 10^{16} \text{atoms/cm}^3$ 。

此外，微晶半導體膜的氧濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以下，較佳的為 $1 \times 10^{19} \text{cm}^{-3}$ 以下，氮及碳的濃度都較佳的為 $3 \times 10^{18} \text{cm}^{-3}$ 以下。藉由降低混入到微晶半導體膜中的氧、氮、及碳的濃度，可以防止微晶半導體膜成為 n 型。

微晶半導體膜 103 以 1nm 以上 50nm 以下，較佳的以 5nm 以上 20nm 以下形成。微晶半導體膜 103 用作之後形成的薄膜電晶體的通道形成區域。藉由將微晶半導體膜 103 的厚度設定為 5nm 以上 50nm 以下，之後形成的薄膜

電晶體成爲完全耗盡型。另外，由於微晶半導體膜 103 的成膜速度很慢，它爲非晶半導體膜的成膜速度的 $1/10$ 至 $1/100$ ，所以藉由減少其厚度，可以提高生產率。由於微晶半導體膜由微晶構成，因此其電阻比非晶半導體膜低。由此，在使用微晶半導體膜的薄膜電晶體中，表示電流電壓特性的曲線的上升部分的傾斜急劇，其作爲開關元件的回應性優良且可以進行高速工作。此外，藉由將微晶半導體膜用於薄膜電晶體的通道形成區域，可以抑制薄膜電晶體的臨界值變動。因此，可以製造電特性的不均勻少的顯示裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜高。因此，藉由使用其通道形成區域由微晶半導體膜形成的薄膜電晶體作爲顯示元件的液晶元件的開關元件，可以縮小通道形成區域的面積，即薄膜電晶體的面積。由此，在每一個像素中的薄膜電晶體所占的面積縮小，從而可以提高像素的開口率。

另外，也可以以提高微晶半導體膜的電特性爲目的，將雷射從微晶半導體膜的表面一側照射到閘極絕緣膜上。以微晶半導體膜不熔化的能量密度照射雷射。換言之，對微晶半導體膜進行的雷射處理是利用固相晶體生長來進行的，其中不使微晶半導體膜受輻射加熱而熔化。換言之，該雷射處理是利用層疊的微晶半導體膜不成爲液相的臨界區域的，因此，從上述意思來看，也可以稱爲“臨界生長”。

可以使雷射作用於微晶半導體膜和閘極絕緣膜的介面。由此，可以將微晶半導體膜的表面一側的晶體作為核，晶體從該表面向閘極絕緣膜的介面進行固相晶體生長而出現大致柱狀的晶體。藉由雷射處理的固相晶體生長不是擴大晶體粒徑，而是改善在膜厚度方向上的結晶性。在雷射處理中，藉由將雷射集聚為長矩形（線狀雷射光束），例如可以進行一次雷射光束掃描來處理 730mm x 920mm 的玻璃基板上的微晶半導體膜。在此情況下，重疊線狀雷射光束的比率（重疊率）為 0% 至 90%（較佳的為 0% 至 67%）。由此，每一個基板的處理時間縮減，而可以提高生產率。雷射光束的形狀不局限於線狀，可以同樣地處理面狀雷射光束。另外，該雷射處理不局限於上述玻璃基板的尺寸，可以適用於各種尺寸。藉由雷射處理，改善閘極絕緣膜介面區域的結晶性，並且起到提高具有底閘極結構的電晶體的電特性的作用。這種臨界生長的特徵之一為如下，即不形成在常規的低溫多晶矽中存在的表面凹凸（也稱為脊（ridge）的凸狀體），在雷射處理後的半導體膜表面保持平坦性。如本實施例模式所示，對成膜後的微晶半導體膜直接照射雷射光束而得到的具有結晶性的半導體膜與堆疊的微晶半導體膜及藉由傳導加熱改變性質的微晶半導體膜（記載於非專利文獻 1 中）在生長機理及膜性質上顯著不同。在本說明書中，將對成膜後的微晶半導體膜（即 SAS）進行雷射處理（以下也稱為 LP）而得到的半導體總稱為 LPSAS。

作為通道保護層 104，以 400nm 以下，較佳的以 50nm 以上 200nm 以下形成氮化矽膜或氮氧化矽膜。例如，藉由以 SiH_4 、 NH_3 為源氣體的電漿 CVD 法形成氮化矽膜。藉由使用 SiH_4 、 N_2O 、以及 NH_3 的電漿 CVD 法形成氮氧化矽膜。通道保護層 104 由於以與微晶半導體膜接觸的方式形成在微晶半導體膜上，所以當由氮化矽膜或氮氧化矽膜形成時，不但可以得到防止雜質擴散到微晶半導體膜的效果，而且可以防止包含於微晶半導體膜中的晶粒表面的氧化。再者，由於藉由設置通道保護層 104 可以防止微晶半導體膜表面的氧化，所以可以減薄微晶半導體膜的厚度。因此，本實施例模式中的薄膜電晶體可以作為完全耗盡型電晶體工作，從而可以減小截止電晶體時的漏電流。

這裏，使用圖 6 說明能夠連續形成閘極絕緣膜 102 至通道保護層 104 的電漿 CVD 裝置。圖 6 是示出電漿 CVD 裝置的俯視截面的示意圖，該電漿 CVD 裝置具有在公共室 1020 周圍具備裝載室 1010、卸載室 1015、反應室 (1) 1011、反應室 (2) 1012、反應室 (3) 1013 的結構。在公共室 1020 和各室之間提供有閘閥 1022、閘閥 1023、閘閥 1024、閘閥 1025、閘閥 1026，以防止在各室中進行的處理互相干涉。基板裝載在裝載室 1010、卸載室 1015 的盒子 1028、盒子 1029，然後由公共室 1020 的傳送單元 1021 傳送到反應室 (1) 1011 至反應室 (3) 1013。該裝置能夠按每個堆積膜種類分配反應室，從而可以在不

與大氣接觸的狀態下連續形成多個不同的覆蓋膜。作為一例，可以採用在反應室（1）1011中形成閘極絕緣膜102，在反應室（2）1012中形成微晶半導體膜103，並且在反應室（3）1013中形成通道保護層104的結構。

像這樣，由於可以使用連接有多個處理室的微波電漿CVD裝置同時形成閘極絕緣膜102、微晶半導體膜103、以及通道保護層104，因此可以提高批量生產性。此外，即使在某個反應室中進行維護及清洗，也可以在另一的反應室中進行成膜處理，從而可以改善成膜的節拍時間。另外，因為可以在不被大氣成分及懸浮在大氣中的污染雜質元素污染的狀態下形成各個疊層介面，所以可以減少電晶體特性的不均勻。

注意，雖然在圖6所示的電漿CVD裝置中分別設置有裝載室及卸裝室，但是也可以設置一個裝載/卸裝室。此外，也可以在電漿CVD裝置中設置多個備用室。由於可以藉由在備用室中對基板進行預熱而縮短各個反應室中的直到成膜的加熱時間，因此可以提高生產率。

返回對於圖1A的說明。在圖1A中的抗蝕劑151可以使用正型抗蝕劑或負型抗蝕劑。在本實施例模式中使用正型抗蝕劑。並且，使用第二光掩模形成圖1A所示那樣的抗蝕劑151被加工的抗蝕劑掩模。並且，如圖1B所示，藉由使用形成在通道保護層上的抗蝕劑掩模蝕刻微晶半導體膜103及通道保護層104，在閘極電極101上形成島狀微晶半導體膜105。注意，圖1B相當於圖5A的線

A-B 的截面圖（但是，抗蝕劑 151 和閘極絕緣膜 102 除外）。注意，在本說明書中，島狀結晶半導體膜是微晶半導體膜和通道保護層的疊層。注意，圖 5A 所示的圖表示掃描線 501，且掃描線 501 和閘極電極 101 電連接。

注意，藉由使島狀微晶半導體膜 105 的端部側面傾斜，可以得到形成在島狀微晶半導體膜 105 側面的非晶半導體膜和位於島狀微晶半導體膜 105 底部的微晶半導體膜之間的良好電連接。島狀微晶半導體膜 105 的端部側面的傾斜度為 30° 至 90° ，較佳的為 45° 至 80° 。藉由採用這樣的角度的角度，可以防止起因於臺階形狀的源極電極或汲極電極的斷開。

接下來，如圖 1C 所示那樣，以覆蓋島狀微晶半導體膜 105 的方式形成非晶半導體膜 106，在非晶半導體膜 106 上形成雜質半導體層 107，並且在雜質半導體層 107 上形成導電膜 108。注意，導電膜 108 藉由加工其形狀而成爲源極電極及汲極電極和信號線的佈線。抗蝕劑 152 可以使用正型抗蝕劑或負型抗蝕劑。在本實施例模式中使用正型抗蝕劑。並且，使用第三光掩模形成抗蝕劑掩模。在本實施例模式中，作爲一例，如圖 2A 所示那樣，從形成在抗蝕劑掩模中的穴部 171 進行各向同性蝕刻的濕蝕刻。藉由進行濕蝕刻，如圖 2B 所示那樣，在穴部 171 下的導電膜 108 中形成比穴部 171 的直徑大的穴部 172。接著，從形成在抗蝕劑掩模中的穴部 171 進行各向異性蝕刻的乾蝕刻。藉由進行乾蝕刻，在穴部 171 下的雜質半導體層

107 及非晶半導體膜 106 中形成與形成在抗蝕劑掩模中的穴部 171 相同直徑的穴部 173。結果，如圖 3A 所示那樣，成爲之後的源極電極及汲極電極的導電膜 108 的端部和雜質半導體層 107 的端部不對準（圖 3A 中的寬度 174），並且雜質半導體層 107 的端部形成在導電膜 108 的端部的外側。如圖 3A 所示那樣，由於成爲之後的源極電極及汲極電極的導電膜 108 的端部和雜質半導體層 107 的端部不對準且具有寬度 174，因此源極電極及汲極電極的端部的距離變長，從而可以防止源極電極及汲極電極之間的漏電流和短路。另外，由於成爲之後的源極電極及汲極電極的導電膜 108 的端部和雜質半導體層 107 的端部不對準且具有寬度 174，電場不在導電膜 108 的端部和雜質半導體層 107 的端部中集中，從而可以防止在閘極電極 101 與導電膜 108 之間發生的漏電流。因此，可以製造可靠性高且耐壓性高的薄膜電晶體。然後，去除抗蝕劑掩模，而可以得到圖 3A 所示那樣的開口部。注意，圖 3A 相當於圖 5B 的 A-B 線的截面圖（注意，閘極絕緣膜 102 除外）。注意，圖 5B 示出信號線 502、源極電極 108a、汲極電極 108b，並且信號線 502 和源極電極 108a 電連接。

注意，由於電晶體的源極電極和汲極電極根據電晶體的工作條件等而改變，所以難以限定將哪個稱作源極電極或汲極電極。因此，在本實施例模式中，將連接到信號線 502 的電極表示爲源極電極 108a，而將後面連接到像素電

極的電極表示為汲極電極 108b。

如圖 5B 所示那樣，雜質半導體層 107 的端部位於源極電極 108a 及汲極電極 108b 的端部的外側。此外，源極電極 108a 及汲極電極 108b 中的一方具有包圍源極電極 108a 及汲極電極 108b 中的另一方的形狀（具體地說，U 字形狀、C 字形狀）。因此，可以增加載流子移動的區域的面積，從而電流量可以增大，並且可以縮小薄膜電晶體的面積。另外，由於在閘極電極 101 上重疊微晶半導體膜 103、非晶半導體膜 106、雜質半導體層 107、以及源極電極 108a 及汲極電極 108b，所以可以減少閘極電極 101 的凹凸導致的影響，並且可以抑制覆蓋度的降低及漏電流的發生。

此外，如圖 3A 所示那樣，在本實施例模式所示的薄膜電晶體中，在島狀微晶半導體膜的側面設置有非晶半導體膜。藉由將非晶半導體膜設置為其厚度比先設置的微晶半導體膜厚，可以減少發生在源極電極及汲極電極與閘極電極之間的寄生電容。典型地是，非晶半導體膜的厚度較佳的為 200nm 以上且 400nm 以下。此外，在薄膜電晶體的源極和汲極之間流過的載流子（電子或電洞）經過相當於閘極電極附近的與閘極絕緣膜介面的微晶半導體膜在源極和汲極之間流過。在薄膜電晶體中，微晶半導體膜的載流子流過的通道長度方向的距離比非晶半導體膜的載流子流過的厚度方向的距離短。因此，在具有本發明的薄膜電晶體的顯示裝置中，可以在有效地利用微晶半導體膜的好

處的同時，減少發生在源極電極及汲極電極與閘極電極之間的寄生電容。加上，在向閘極電極的施加電壓高（例如 15V 左右）的顯示裝置中，藉由將非晶半導體膜形成為其厚度比微晶半導體膜厚，閘極與源極或汲極之間的耐壓升高，從而可以抑制薄膜電晶體退化。

可以使用氫化矽如 SiH_4 或 Si_2H_6 等藉由電漿 CVD 法形成非晶半導體膜 106。另外，可以使用選自氫、氫、氮及氬中的一種或多種稀有氣體元素稀釋上述氫化矽來形成非晶半導體膜。藉由使用氫，可以形成包含氫的非晶半導體膜，該氫的流量為氫化矽的流量的 1 倍以上 20 倍以下，較佳的為 1 倍以上 10 倍以下，更佳的為 1 倍以上 5 倍以下。另外，藉由使用上述氫化矽、以及氮或氫，可以形成包含氮的非晶半導體膜。另外，藉由使用上述氫化矽、以及包含氟、氯、溴、或者碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或者碘的非晶半導體膜。另外，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等而代替氫化矽。

此外，非晶半導體膜 106 的能隙比微晶半導體膜 103 大（非晶半導體膜的能隙為 1.6eV 至 1.8eV ，微晶半導體膜的能隙為 1.1eV 至 1.5eV ），並且非晶半導體膜的電阻高且遷移率低，它為微晶半導體膜的 $1/5$ 至 $1/10$ 。由此，在之後形成的薄膜電晶體中，形成在源區及汲區與微晶半導體膜之間的非晶半導體膜 106 雖然部分用作通道形成區域，但是大部分用作高電阻區域，並且微晶半導體膜的整

體用作通道形成區域。因此，可以減少薄膜電晶體的截止電流。

關於添加有給予一導電類型的雜質的雜質半導體層 107，在形成 n 通道型薄膜電晶體的情況下，添加磷作為典型的雜質元素即可，並且對氫化矽添加 PH_3 等的雜質氣體即可。另外，在形成 p 通道型薄膜電晶體的情況下，添加硼作為典型的雜質元素即可，並且對氫化矽添加 B_2H_6 等的雜質氣體即可。添加有給予一導電類型的雜質的雜質半導體層 107 可以由微晶半導體膜或非晶半導體膜構成。再者，添加有給予一導電類型的雜質的雜質半導體層 107 也可以由添加有給予一導電類型的雜質的非晶半導體膜和添加有給予一導電類型的雜質的微晶半導體膜的疊層構成。以 2nm 以上且 50nm 以下的厚度形成添加有給予一導電類型的雜質的雜質半導體層 107。藉由減薄添加有給予一導電類型的雜質的半導體膜的厚度，可以提高生產率。

較佳的使用鋁、或者添加有銅、矽、鈦、釵、鈳、以及鉬等提高耐熱性的元素或防止小丘產生的元素的鋁合金的單層或疊層形成導電膜 108。此外，也可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物形成與導電半導體膜接觸一側的膜，並且在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物夾住鋁或鋁合金的上面及下面。在此，作為導電膜 108 示出具有層疊有三層導電膜的結構的導電膜，例如有使用鉬膜夾鋁膜的疊層導電膜、使用鈦膜

夾鋁膜的疊層導電膜。藉由濺射法或真空蒸鍍法形成導電膜。

注意，上述的對微晶半導體膜的以價電子控制為目的的雜質元素的添加也可以在蝕刻微晶半導體膜上部的非晶半導體膜 106、雜質半導體膜 107、以及導電膜 108 之後隔著通道保護層 104 摻雜來進行。藉由在蝕刻微晶半導體膜上部的非晶半導體膜 106、雜質半導體膜 107、以及導電膜 108 之後隔著通道保護層 104 摻雜，可以對成為通道形成區域的島狀微晶半導體膜 105 選擇性地添加雜質元素。

藉由上述製程，可以形成薄膜電晶體。此外，可以使用三個光掩模形成薄膜電晶體。

接下來，如圖 3B 所示那樣，在導電膜 108、雜質半導體膜 107、非晶半導體膜 106、島狀微晶半導體膜 105、以及閘極絕緣膜 102 上形成絕緣膜 109。絕緣膜 109 可以藉由與閘極絕緣膜 102 相同的方式形成。注意，絕緣膜 109 是用來防止浮游在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入而提供的，因此較佳的採用緻密的膜。

接下來，如圖 3C 所示那樣，在絕緣膜 109 中形成接觸孔 110。並且，如圖 4 所示那樣，形成在接觸孔 110 中與導電膜 108 的汲極電極 108b 接觸的像素電極 111。注意，圖 4 相當於沿圖 5C 的 A-B 線的截面圖。

像素電極 111 可以使用包含氧化鎢的銦氧化物、包含

氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下稱爲 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等的具有透光性的導電材料。

另外，可以使用包含導電高分子（也稱爲導電聚合物）的導電組成物形成像素電極 111。較佳的是，藉由使用導電組成物而形成的像素電極的薄層電阻爲 $10000\Omega/\square$ 以下，波長 550nm 中的透光率爲 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率較佳的爲 $0.1\Omega\cdot\text{cm}$ 以下。

作爲導電高分子，可以使用所謂的 π 電子共軛系統導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者這些兩種以上的共聚物等。

藉由上述過程，可以得到能夠用於顯示裝置的薄膜電晶體。特別是，根據本實施例模式而得到的薄膜電晶體由於可以在抑製成品率的降低的同時，還抑制寄生電容的增大及製造成本的升高，並且可以提高電特性且實現截止電流的減少，所以可以得到使用電特性的可靠性高的薄膜電晶體進行驅動的顯示裝置。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 2

在本實施例模式中，參照圖 13 說明用於顯示裝置的薄膜電晶體的與實施例模式 1 不同的結構。圖 13 是薄膜電晶體的截面圖。注意，在本實施例模式的以下說明中，與實施例模式 1 相同的部分由相同的附圖標記表示，並且參照實施例模式 1 的說明。

注意，作為在本實施例模式中說明的薄膜電晶體，與實施例模式 1 同樣地使用 n 通道型薄膜電晶體。

首先，在基板 100 上形成閘極電極 101、閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104，並且藉由使用抗蝕劑掩模及蝕刻製程得到實施例模式 1 的圖 1B 所示的狀態。作為基板 100、閘極電極 101、閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104，使用與實施例模式 1 同樣的材料。

接下來，如圖 13 所示那樣，形成包含給予弱 p 型的雜質元素的非晶半導體膜 1301a 和成為本徵半導體的非晶半導體膜 1301b。在成為本徵半導體的非晶半導體膜 1301b 上與實施例模式 1 同樣地形成雜質半導體層 107 和導電膜 108。注意，在形成包含給予弱 p 型的雜質元素的非晶半導體膜 1301a 和成為本徵半導體的非晶半導體膜 1301b 之後，與實施例模式 1 所示的非晶半導體膜 106 同樣地形成雜質半導體層 107 和導電膜 108，並進行抗蝕劑掩模的形成及蝕刻處理。這樣，可以得到如圖 13 所示那樣的薄膜電晶體。此外，在得到了的薄膜電晶體中，與實施例模式 1 同樣，以覆蓋薄膜電晶體的方式形成絕緣膜

109，藉由接觸孔 110 可以與像素電極 111 電連接。

本實施例模式所示的薄膜電晶體的流過源極和汲極之間的電載流子依次流過導電膜（源極電極或汲極電極）108、雜質半導體膜 107、成爲本徵半導體的非晶半導體膜 1301b、包含給予弱 p 型的雜質元素的非晶半導體膜 1301a、微晶半導體膜 103、包含給予弱 p 型的雜質元素的非晶半導體膜 1301a、成爲本徵半導體的非晶半導體膜 1301b、雜質半導體膜 107、以及導電膜（源極電極或汲極電極）108。換言之，本實施例模式所示的薄膜電晶體的流過源極和汲極之間的電載流子經過高電阻區域的包含給予弱 p 型的雜質元素的非晶半導體膜 1301a 和成爲本征半導體的非晶半導體膜 1301b。因此，本實施例模式所示的薄膜電晶體可以減少在源極和汲極之間流過的漏電流。因此，除了上述實施例模式 1 所示的優越的電特性以外，本實施例模式所示的薄膜電晶體還可以發揮漏電流的減少的效果。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 3

在本實施例模式中，參照圖 14 說明用於顯示裝置的薄膜電晶體的與實施例模式 1 及實施例模式 2 不同的結構。圖 14 是薄膜電晶體的截面圖。注意，在本實施例模式的以下說明中，與實施例模式 1 相同的部分由相同的附

圖標記表示，並且參照實施例模式 1 的說明。

注意，作為在本實施例模式中說明的薄膜電晶體，與實施例模式 1 同樣地使用 n 通道型薄膜電晶體。

首先，在基板 100 上形成閘極電極 101、閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104，並且藉由使用抗蝕劑掩模及蝕刻製程得到實施例模式 1 的圖 1B 所示的狀態。作為基板 100、閘極電極 101、閘極絕緣膜 102、微晶半導體膜 103、以及通道保護層 104，使用與實施例模式 1 同樣的材料。

接下來，如圖 14 所示那樣，形成成為本徵半導體的非晶半導體膜 1401a 和包含給予弱 n 型的雜質元素的非晶半導體膜 1401b。在包含給予弱 n 型的雜質元素的非晶半導體膜 1401b 上與實施例模式 1 同樣地形成雜質半導體層 107 和導電膜 108。注意，在形成成為本徵半導體的非晶半導體膜 1401a 和包含給予弱 n 型的雜質元素的非晶半導體膜 1401b 之後，與實施例模式 1 所示的非晶半導體膜 106 同樣地形成雜質半導體層 107 和導電膜 108，並進行抗蝕劑掩模的形成及蝕刻處理。這樣，可以得到如圖 14 所示那樣的薄膜電晶體。此外，在得到了的薄膜電晶體中，與實施例模式 1 同樣，以覆蓋薄膜電晶體的方式形成絕緣膜 109，藉由接觸孔 110 可以與像素電極 111 電連接。

本實施例模式所示的薄膜電晶體的流過源極和汲極之間的電載流子依次流過導電膜（源極電極或汲極電極）

108、雜質半導體膜 107、包含給予弱 n 型的雜質元素的非晶半導體膜 1401b、成為本徵半導體的非晶半導體膜 1401a、微晶半導體膜 103、成為本徵半導體的非晶半導體膜 1401a、包含給予弱 n 型的雜質元素的非晶半導體膜 1401b、雜質半導體膜 107、以及導電膜（源極電極或汲極電極）108。換言之，藉由以對本實施例模式所示的薄膜電晶體的流過源極和汲極之間的電載流子分階段地成為高電阻區域的方式，即以雜質半導體膜 107、包含給予弱 n 型的雜質元素的非晶半導體膜 1401b、成為本徵半導體的非晶半導體膜 1401a 的順序層疊半導體膜，不但可以減少漏電流，而且藉由階段地提高電阻值可以減小隨著急劇的電壓變化的電子加速導致的薄膜電晶體的退化。因此，在本實施例模式中，可以減少在源極和汲極之間流過的漏電流，並且可以實現薄膜電晶體的使用壽命的延長。因此，除了上述實施例模式 1 所示的優越的電特性以外，本實施例模式所示的薄膜電晶體還可以發揮漏電流的減少的效果。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 4

在本實施例模式中，以下表示具有實施例模式 1 所示的薄膜電晶體的顯示裝置。作為本實施例模式所示的顯示裝置，舉出液晶顯示裝置進行說明。

參照圖 7A 和 7B 說明相當於液晶顯示裝置的一個方式的液晶顯示面板的外觀及截面。圖 7A 是一種面板的俯視圖，其中在第一基板 4001 和第二基板 4006 之間使用密封劑 4005 密封形成在第一基板 4001 上的具有微晶半導體膜的薄膜電晶體 4010 及液晶元件 4013，而圖 7B 相當於沿著圖 7A 的 M-N 線的截面圖。

以圍繞形成在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 由第一基板 4001、密封劑 4005、以及第二基板 4006 與液晶 4008 一起密封。另外，在第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。注意，本實施例模式說明具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是也可以採用由具有單晶半導體的電晶體形成信號線驅動電路並貼合。圖 7B 例示包括在信號線驅動電路 4003 中的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體，圖 7B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體，並且可以藉由實施例模式 1 所示的過程同樣地製造。

此外，朝著液晶 4008 的像素電極 4030 藉由佈線 4040 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。像素電極 4030、相對電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型地是不銹鋼）、陶瓷、以及塑膠。作為塑膠，可以使用 FRP（纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以採用具有使用 PVF 薄膜及聚酯薄膜夾鋁箔的結構的薄片。

另外，附圖標記 4035 是球狀隔離物，並且是為控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）而設置的。注意，也可以使用藉由選擇性地蝕刻絕緣膜而得到的隔離物。

此外，提供到另行形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位從 FPC4018 藉由佈線 4014、4015 供給。

在本實施例模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。此外，佈線 4014、4015 由與佈線 4040 相同的導電膜形成。

連接端子 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施例模式所示的液晶顯示裝置具有取向膜、偏光板，還可以具有顏色濾光片及遮

罩膜。

此外，圖 7A 和 7B 示出另行形成信號線驅動電路 4003 而將此安裝到第一基板 4001 的例子，但是本實施例模式不局限於此。既可另行形成掃描線驅動電路而將此安裝，又可另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分而將此安裝。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 5

在本實施例模式中，以下表示具有實施例模式 1 所示的薄膜電晶體的顯示裝置。作為本實施例模式所示的顯示裝置，舉出具有發光元件的發光裝置進行說明。

參照圖 8A 和 8B 說明相當於發光裝置的一個方式的發光顯示面板的外觀及截面。圖 8A 是一種面板的俯視圖，其中在第一基板和第二基板之間使用密封劑密封形成在第一基板上的使用微晶半導體膜的薄膜電晶體及發光元件，而圖 8B 相當於沿著圖 8A 的 E-F 線的截面圖。

以圍繞形成在第一基板 4501 上的像素部 4502 和掃描線驅動電路 4504 的方式設置有密封劑 4505。此外，在像素部 4502 和掃描線驅動電路 4504 上設置有第二基板 4506。因此，像素部 4502 和掃描線驅動電路 4504 由第一基板 4501、密封劑 4505、以及第二基板 4506 與填充劑 4507 一起密封。另外，在第一基板 4501 上的與由密封劑

4505 圍繞的區域不同的區域中安裝有使用多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4503。注意，本實施例模式說明將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼附到第一基板 4501 的例子，但是也可以採用由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 8A 和 8B 例示包括在信號線驅動電路 4503 中的由多晶半導體膜形成的薄膜電晶體 4509。

此外，設置在第一基板 4501 上的像素部 4502 和掃描線驅動電路 4504 包括多個薄膜電晶體，圖 8B 例示包括在像素部 4502 中的薄膜電晶體 4510。注意，雖然在本實施例模式中，薄膜電晶體 4510 假定是驅動用 TFT，但是薄膜電晶體 4510 既可是電流控制用 TFT，又可是擦除用 TFT。薄膜電晶體 4510 相當於使用微晶半導體膜的薄膜電晶體，並且可以藉由實施例模式 1 所示的過程同樣地製造。

另外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的像素電極藉由佈線 4517 與薄膜電晶體 4510 的源極電極或汲極電極電連接。而且，在本實施例模式中，發光元件 4511 的公共電極和具有透光性的導電材料 4512 電連接。注意，發光元件 4511 的結構不局限於本實施例模式所示的結構。可以根據從發光元件 4511 取出的光的方向、以及薄膜電晶體 4510 的極性等而適當改變發光元件 4511 的結構。

此外，雖然在圖 8B 所示的截面圖中未圖示，但是提

供到另行形成的信號線驅動電路 4503 和掃描線驅動電路 4504 或像素部 4502 的各種信號及電位從 FPC4518 藉由佈線 4514 及 4515 供給。

在本實施例模式中，連接端子 4516 由與發光元件 4511 所具有的像素電極相同的導電膜形成。此外，佈線 4514、4515 由與佈線 4517 相同的導電膜形成。

連接端子 4516 藉由各向異性導電膜 4519 電連接到 FPC4518 所具有的端子。

位於從發光元件 4511 取出光的方向上的基板必須是透明的基板。在此情況下，使用具有透光性的材料如玻璃片、塑膠片、聚酯薄膜、或丙烯酸薄膜。

此外，作為填充劑 4507，除了氮、氬等的惰性氣體之外，還可以使用紫外線固化樹脂、熱固化樹脂、PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）。在本實施例模式中，使用氮作為填充劑。

另外，如果需要，也可以在發光元件的發射面上適當設置光學薄膜如偏光板、圓偏光板（橢圓偏光板）、相位差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、或顏色濾光片等。此外，還可以在偏光板或圓偏光板上設置防反射膜。例如，可以執行抗眩光處理，該處理是藉由利用表面的凹凸擴散反射光來可以降低眩光的。

注意，圖 8A 和 8B 示出另行形成信號線驅動電路 4503 而將此安裝到第一基板 4501 的例子，但是本實施例

模式不局限於此。既可另行形成掃描線驅動電路而將此安裝，又可另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分而將此安裝。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 6

以下表示本發明的顯示裝置的一個方式的顯示面板的結構。

圖 9A 示出一種顯示面板的方式，其中另行形成信號線驅動電路 6013 且將該信號線驅動電路 6013 與形成在基板 6011 上的像素部 6012 連接。像素部 6012 及掃描線驅動電路 6014 由使用微晶半導體膜的薄膜電晶體形成。藉由利用可獲得比使用微晶半導體膜的薄膜電晶體高的遷移率的電晶體形成信號線驅動電路，可以使被要求比掃描線驅動電路高的驅動頻率的信號線驅動電路的工作穩定。注意，信號線驅動電路 6013 也可以是使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或者使用 SOI 基板形成的電晶體。對於像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014 分別藉由 FPC6015 供給電源電位、各種信號等。

此外，信號線驅動電路及掃描線驅動電路也可以一起形成在與像素部相同的基板上。

另外，在另行形成驅動電路的情況下，不一定需要將

形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 9B 示出一種液晶顯示面板的方式，其中另行形成信號線驅動電路 6023，且將此與形成在基板 6021 上的像素部 6022 和掃描線驅動電路 6024 彼此連接。像素部 6022 及掃描線驅動電路 6024 由使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路 6023 藉由 FPC6025 與像素部 6022 連接。對於像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024 分別藉由 FPC6025 供給電源電位、各種信號等。

此外，也可以採用使用微晶半導體膜的薄膜電晶體在與像素部相同的基板上形成信號線驅動電路的一部分或掃描線驅動電路的一部分，並且另行形成其他部分並使它與像素部電連接。圖 9C 示出一種液晶顯示面板的方式，其中在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上形成信號線驅動電路所具有的類比開關 6033a，在不同的基板上另行形成信號線驅動電路所具有的移位暫存器 6033b，並且彼此貼合。像素部 6032 及掃描線驅動電路 6034 由使用微晶半導體膜的薄膜電晶體形成。信號線驅動電路所具有的移位寄存器 6033b 藉由 FPC6035 與像素部 6032 連接。對於像素部 6032、信號線驅動電路、掃描線驅動電路 6034 分別藉由 FPC6035 供給電源電位、各種信號等。

如圖 9A 至 9C 所示那樣，在本發明的顯示裝置中，可以採用使用微晶半導體膜的薄膜電晶體在與像素部相同的

基板上形成驅動電路的一部分或全部。

注意，對於另行形成的基板的連接方法沒有特別的限制，可以採用已知的 COG 方法、引線鍵合方法、或者 TAB 方法等。此外，若是能夠電連接，連接位置不局限於圖 9A 至 9C 所示的位置。另外，也可以另行形成控制器、CPU、記憶體等而連接。

注意，用於本發明的信號線驅動電路不局限於只有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，還可以具有其他電路如緩衝器、位準轉移器、源極跟隨器等。此外，不一定需要設置移位暫存器和類比開關，例如既可使用如解碼器電路那樣的能夠選擇信號線的其他電路而代替移位暫存器，又可使用鎖存器等而代替類比開關。

圖 10 示出本發明的液晶顯示裝置的方塊圖。圖 10 所示的液晶顯示裝置包括具有多個具備液晶元件的像素的像素部 551、選擇各個像素的掃描線驅動電路 552、以及控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 553。

在圖 10 中，信號線驅動電路 553 包括移位暫存器 554 和類比開關 555。時鐘信號（CLK）、起始脈衝信號（SP）輸入到移位暫存器 554 中。當時鐘信號（CLK）和起始脈衝信號（SP）被輸入時，在移位暫存器 554 中產生時序信號，並且輸入到類比開關 555。

此外，類比開關 555 提供有視頻信號。類比開關 555

根據被輸入的時序信號對視頻信號進行取樣，然後供給給後級的信號線。

接下來，說明掃描線驅動電路 552 的結構。掃描線驅動電路 552 包括移位暫存器 556、緩衝器 557。此外，也可以根據情況包括位準轉移器。在掃描線驅動電路 552 的移位暫存器 556 中，藉由時鐘信號（CLK）及起始脈衝信號（SP）被輸入，產生選擇信號。產生的選擇信號在緩衝器 557 中被緩衝放大，並且被供給到對應的掃描線。一條線上的像素的電晶體的閘極連接到掃描線。而且，由於需要使一條線上的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器 557。

在全彩色液晶顯示裝置中，在將對應於 R（紅）、G（綠）、B（藍）的視頻信號按順序進行取樣而供給給對應的信號線的情況下，用來連接移位暫存器 554 和類比開關 555 的端子數相當於用來連接類比開關 555 和像素部 551 的信號線的端子數的 1/3 左右。因此，藉由將類比開關 555 形成在與像素部 551 相同的基板上，與將類比開關 555 形成在與像素部 551 不同的基板上時相比，可以減少用來連接另行形成的基板的端子數，並且抑制連接不良的發生比率，以可以提高成品率。

此外，圖 10 的掃描線驅動電路 552 包括移位暫存器 556 及緩衝器 557，但是也可以由移位暫存器 556 構成掃描線驅動電路 552。

注意，圖 10 所示的結構只是本發明的顯示裝置的一

個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 7

可以將根據本發明得到的顯示裝置用於主動矩陣型液晶模組。就是說，可以在將它們安裝到顯示部中的所有電子裝置中實施本發明。

作為這種電子裝置的例子，可以舉出如下：拍攝裝置如攝影機及數位相機等；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（可攜式電腦、行動電話、或者電子書等）。圖 11A 至 11D 示出了它們的一個例子。

圖 11A 示出電視裝置。如圖 11A 所示那樣，可以將顯示模組嵌入到框體中來完成電視裝置。將還安裝有 FPC 的顯示面板稱為顯示模組。主螢幕 2003 由顯示模組形成，並且作為其他輔助設備還具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 11A 所示那樣，將利用液晶元件的顯示用面板 2002 安裝在框體 2001 中，不僅可以由接收器 2005 接收普通的電視廣播，而且可以藉由經由數據機 2004 連接到採用有線或無線方式的通信網路，進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之

間)的資訊通信。可以使用安裝在框體中的開關或另行提供的遙控裝置 2006 來操作電視裝置。也可以在該遙控裝置 2006 中設置有用來顯示輸出資訊的顯示部 2007。

另外，除了主螢幕 2003 之外，在電視裝置中，可以使用第二顯示用面板形成子螢幕 2008，並且附加有顯示頻道或音量等的結構。在這種結構中，可以使用視角優良的液晶顯示面板形成主螢幕 2003，而使用能夠以低耗電量顯示的液晶顯示面板形成子螢幕。另外，爲了優先降低耗電量，也可以使用液晶顯示面板形成主螢幕 2003，而使用液晶顯示面板形成子螢幕且使該子螢幕可以閃亮和閃滅。

圖 12 示出表示電視裝置的主要結構的方塊圖。在顯示面板 900 中，形成有像素部 921。信號線驅動電路 922 和掃描線驅動電路 923 也可以以 COG 方式安裝到顯示面板 900。

作爲其他外部電路的結構，在視頻信號的輸入一側包括視頻信號放大電路 925、視頻信號處理電路 926、以及控制電路 927 等。該視頻信號放大電路 925 放大由調諧器 924 接收的信號中的視頻信號，該視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換爲與紅、綠、藍每種顏色相應的色信號，該控制電路 927 將該視頻信號轉換爲驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以具有如下結構，即在信號線一側設置信號分割電路 928，並且將輸入數位信號分成 m 個來供給。

由調諧器 924 接收的信號中的音頻信號被傳送到音頻信號放大電路 929，並且其輸出經過音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）和音量的控制資訊，並且將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不局限於電視裝置，並且可以適用於各種各樣的用途，如電腦的監視器、以及大面積的顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告顯示板等。

圖 11B 示出行動電話 2301 的一個例子。該行動電話 2301 包括顯示部 2302、操作部 2303 等構成。在顯示部 2302 中，藉由應用上述實施例模式所說明的顯示裝置可以提高批量生產性。

此外，圖 11C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施例模式所示的顯示裝置應用於顯示部 2402，可以提高批量生產性。

本實施例模式可以與其他實施例模式所表示的結構適當組合實施。

實施例模式 8

在本實施例模式中表示對於上述實施例模式所示的本發明的電晶體的結構進行裝置類比而得到的結果。圖 15 示出用於裝置類比的電晶體的結構，而圖 16 示出圖 15 所示的電晶體結構的電流-電壓特性。注意，在裝置模擬中

使用矽穀科技 (Silvaco) 公司製造的裝置模擬器 “ ATLAS ” 。

以下說明圖 15 所示的電晶體的疊層結構。在圖 15 所示的結構中，依次層疊有基板 1500、閘極電極 1501、閘極絕緣膜 1502、微晶半導體膜 1503、通道保護層 1504、非晶半導體膜 1506、雜質半導體層 1507、以及導電膜 (源極電極、汲極電極) 1508。注意，製造方法是根據實施例模式 1 所述的。作為層疊的每個膜舉出厚度 100nm 的玻璃基板作為基板 1500、厚度為 150nm 的鉬 (Mo) 膜作為閘極電極 1501、厚度為 300nm 的氮化矽 (Si_3N_4) 膜作為閘極絕緣膜 1502、厚度為 10nm 的處於微晶狀態的矽膜作為微晶半導體膜 1503、厚度為 90nm 的氮化矽 (Si_3N_4) 膜作為通道保護層 1504、厚度為 200nm 的處於非晶狀態的矽膜作為非晶半導體膜 1506、厚度為 50nm 的添加有磷的非晶矽膜作為雜質半導體層 1507、以及厚度為 150nm 的鉬 (Mo) 膜作為導電膜 1508。注意，微晶半導體膜 1503 及通道保護層 1504 的通道長度方向的長度為 $10\mu\text{m}$ ，重疊設置在通道保護層 1504 上的端部的非晶半導體膜 1506 的長度為 200nm。另外，根據層疊的每個膜的物理特性進行裝置類比。

另外，將構成非晶半導體膜 1506 的非晶的半導體膜的裝置模擬中的參數設定為以下所示的數值。

受體型缺陷能級 (尾狀分佈) 的導帶端的狀態密度 ($n_{ta}=3.0\text{E}21[/\text{cm}^3\text{eV}]$) ；施體型缺陷能級 (尾狀分佈)

的價帶端的狀態密度 ($n_{td}=4.0E20[/math> $/\text{cm}^3\text{eV}$) ; 受體型缺陷能級 (尾狀分佈) 狀態密度的衰減係數 ($w_{ta}=0.025[\text{eV}]$) ; 施體型缺陷能級 (尾狀分佈) 狀態密度的衰減係數 ($w_{td}=0.05[\text{eV}]$) ; 受體型缺陷能級 (塊狀分佈) 的峰值位置的狀態密度 ($n_{ga}=5.0E17[/math> $/\text{cm}^3\text{eV}$) ; 施體型缺陷能級 (塊狀分佈) 的峰值位置的狀態密度 ($n_{gd}=5.0E17[/math> $/\text{cm}^3\text{eV}$) ; 受體型缺陷能級 (塊狀分佈) 的峰值位置 ($e_{ga}=0.28[\text{eV}]$) ; 施體型缺陷能級 (塊狀分佈) 的峰值位置 ($e_{gd}=0.79[\text{eV}]$) ; 受體型缺陷能級 (塊狀分佈) 狀態密度的衰減係數 ($w_{ga}=0.1[\text{eV}]$) ; 施體型缺陷能級 (塊狀分佈) 狀態密度的衰減係數 ($w_{gd}=0.2[\text{eV}]$) ; 受體能級的尾部的電子俘獲截面積 ($\text{sig}_{tae}=3.0E-15 [\text{cm}^2]$) ; 受體能級的尾部的電洞俘獲截面積 ($\text{sig}_{tah}=3.0E-13[\text{cm}^2]$) ; 施體能級的尾部的電子俘獲截面積 ($\text{sig}_{tde}=3.0E-13[\text{cm}^2]$) ; 施體能級的尾部的電洞俘獲截面積 ($\text{sig}_{tdh}=3.0E-15[\text{cm}^2]$) ; 受體的高斯分佈的電子俘獲截面積 ($\text{sig}_{gae}=3.0E-15[\text{cm}^2]$) ; 受體的高斯分佈的電洞俘獲截面積 ($\text{sig}_{gah}=3.0E-13[\text{cm}^2]$) ; 施體的高斯分佈的電子俘獲截面積 ($\text{sig}_{gde}=3.0E-13[\text{cm}^2]$) ; 以及施體的高斯分佈的電洞俘獲截面積 ($\text{sig}_{gdh}=3.0E-15[\text{cm}^2]$)) 。$$$

另外，將構成微晶半導體膜 1503 的微晶狀態的矽膜的參數設定為以下所示的數值。注意，將微晶狀態的矽膜的缺陷密度設定為非晶狀態的矽膜的 1/10。

受體型缺陷能級（尾狀分佈）的導帶端的狀態密度（ $n_{ta}=2.0E21[/math>[/math>cm³eV]）；施體型缺陷能級（尾狀分佈）的價帶端的狀態密度（ $n_{td}=4.0E19[/math>[/math>cm³eV]）；受體型缺陷能級（塊狀分佈）的峰值位置的狀態密度（ $n_{ga}=9.0E17[/math>[/math>cm³eV]）；施體型缺陷能級（塊狀分佈）的峰值位置的狀態密度（ $n_{gd}=5.0E17[/math>[/math>cm³eV]）。其他參數與非晶矽膜的參數相同。$$$$

圖 16 示出圖 15 所示的電晶體的裝置模擬的結果。圖 16 的曲線 1601 表示，相對於在對圖 15 所示的電晶體的源極電極施加 0V 而對汲極電極施加 14V 時施加入到閘極電極的電壓（ V_g ），流入汲極電極的電流（ I_d ）的變化。此外，圖 16 的曲線 1602 表示，在圖 15 中的通道保護層 1504 的區域為非晶矽膜的情況下，相對於在對源極電極施加 0V 而對汲極電極施加 14V 時施加入到閘極電極的電壓（ V_g ），流入汲極電極的電流（ I_d ）的變化。此外，圖 16 的曲線 1603 表示，相對於在對圖 15 所示的電晶體的源極電極施加 0V 而對汲極電極施加 1V 時施加入到閘極電極的電壓（ V_g ），流入汲極電極的電流（ I_d ）的變化。此外，圖 16 的曲線 1604 表示，在圖 15 中的通道保護層 1504 的區域為非晶矽膜的情況下，相對於在對源極電極施加 0V 而對汲極電極施加 1V 時施加入到閘極電極的電壓（ V_g ），流入汲極電極的電流（ I_d ）的變化。

由圖 16 所示的電晶體的電流-電壓特性可見，本發明的電晶體結構可以不依賴於源極和汲極之間的電壓，減少

電晶體截止時的電流量而不改變電晶體導通時的電流量。此外，由圖 16 可見，對於 V_g 的 I_d 特性的 S 值被改善。該電晶體的特性的提高歸功於如下事實：由於電晶體的通道形成區域的厚度減薄，與完全耗盡型的電晶體同樣地可以改善 S 值；以及藉由使用絕緣膜形成通道形成區域的上部，產生電流及重新結合電流不發生，從而可以減少電晶體截止時的電流量。如上述那樣，根據本發明，可以提供一種具有電特性高、能夠實現截止電流的減少的薄膜電晶體的顯示裝置。並且，如上述那樣，可以在抑製成品率的降低的同時，還抑制寄生電容的增大及製造成本的升高。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 2A 至 2C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 3A 至 3C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 4 是說明本發明的顯示裝置的製造方法的截面圖；

圖 5A 至 5C 是說明本發明的顯示裝置的俯視圖；

圖 6 是說明微波電漿 CVD 裝置的俯視圖；

圖 7A 和 7B 是說明本發明的顯示裝置的圖；

圖 8A 和 8B 是說明本發明的顯示裝置的圖；

圖 9A 至 9C 是說明本發明的顯示裝置的圖；

圖 10 是說明本發明的顯示裝置的圖；

圖 11A 至 11C 是說明具有本發明的顯示裝置的電子裝置的圖；

圖 12 是說明具有本發明的顯示裝置的電子裝置的圖；

圖 13 是說明本發明的顯示裝置具有的薄膜電晶體的截面圖；

圖 14 是說明本發明的顯示裝置具有的薄膜電晶體的截面圖；

圖 15 是說明進行模擬計算的電晶體的截面結構的圖；以及

圖 16 是表示實施例模式 8 所示的電晶體結構的電流 - 電壓特性的圖。

【主要元件符號說明】

100：基板

101：閘極電極

102：閘極絕緣膜

103：微晶半導體膜

104：通道保護層

105：島狀微晶半導體膜

106：非晶半導體膜

107：雜質半導體層

- 108 : 導電膜
- 108a : 源極電極
- 108b : 汲極電極
- 109 : 絕緣膜
- 110 : 接觸孔
- 111 : 像素電極
- 151 : 抗蝕劑
- 152 : 抗蝕劑
- 171 : 穴部
- 172 : 穴部
- 173 : 穴部
- 174 : 寬度
- 501 : 掃描線
- 502 : 信號線
- 551 : 像素部
- 552 : 掃描線驅動電路
- 553 : 信號線驅動電路
- 554 : 移位暫存器
- 555 : 類比開關
- 556 : 移位暫存器
- 557 : 緩衝器
- 900 : 顯示面板
- 921 : 像素部
- 922 : 信號線驅動電路

- 923 : 掃描線驅動電路
- 924 : 調諧器
- 925 : 視頻信號放大電路
- 926 : 視頻信號處理電路
- 927 : 控制電路
- 928 : 信號分割電路
- 929 : 音頻信號放大電路
- 930 : 音頻信號處理電路
- 931 : 控制電路
- 932 : 輸入部
- 933 : 揚聲器
- 1010 : 裝載室
- 1011 : 反應室 (1)
- 1012 : 反應室 (2)
- 1013 : 反應室 (3)
- 1015 : 卸載室
- 1020 : 公共室
- 1021 : 傳送單元
- 1022 : 閘閥
- 1023 : 閘閥
- 1024 : 閘閥
- 1025 : 閘閥
- 1026 : 閘閥
- 1028 : 盒子

- 1029 : 盒子
- 1301a : 非晶半導體膜
- 1301b : 非晶半導體膜
- 1401a : 非晶半導體膜
- 1401b : 非晶半導體膜
- 1500 : 基板
- 1501 : 閘極電極
- 1502 : 閘極絕緣膜
- 1503 : 微晶半導體膜
- 1504 : 通道保護層
- 1506 : 非晶半導體膜
- 1507 : 雜質半導體層
- 1508 : 導電膜
- 1601 : 曲線
- 1602 : 曲線
- 1603 : 曲線
- 1604 : 曲線
- 2001 : 框體
- 2002 : 顯示用面板
- 2003 : 主螢幕
- 2004 : 數據機
- 2005 : 接收器
- 2006 : 遙控裝置
- 2007 : 顯示部

- 2008 : 子螢幕
- 2009 : 揚聲器部
- 2301 : 移動電話
- 2302 : 顯示部
- 2303 : 操作部
- 2401 : 主體
- 2402 : 顯示部
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封劑
- 4006 : 基板
- 4008 : 液晶
- 4009 : 薄膜電晶體
- 4010 : 薄膜電晶體
- 4013 : 液晶元件
- 4014 : 佈線
- 4015 : 佈線
- 4016 : 連接端子
- 4018 : FPC
- 4019 : 各向異性導電膜
- 4030 : 像素電極
- 4031 : 相對電極

- 4035 : 隔離物
- 4040 : 佈線
- 4501 : 基板
- 4502 : 像素部
- 4503 : 信號線驅動電路
- 4504 : 掃描線驅動電路
- 4505 : 密封劑
- 4506 : 基板
- 4507 : 填充劑
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 導電材料
- 4514 : 佈線
- 4515 : 佈線
- 4516 : 連接端子
- 4517 : 佈線
- 4518 : FPC
- 4519 : 各向異性導電膜
- 6011 : 基板
- 6012 : 像素部
- 6013 : 信號線驅動電路
- 6014 : 掃描線驅動電路
- 6015 : FPC

- 6021 : 基板
- 6022 : 像素部
- 6023 : 信號線驅動電路
- 6024 : 掃描線驅動電路
- 6025 : FPC
- 6031 : 基板
- 6032 : 像素部
- 6033a : 類比開關
- 6033b : 移位暫存器
- 6034 : 掃描線驅動電路
- 6035 : FPC

十、申請專利範圍

1. 一種包括一薄膜電晶體的顯示裝置，包含：

設置在一基板上的一閘極電極；

設置在該閘極電極上的一閘極絕緣膜；

隔著該閘極絕緣膜設置在該閘極電極上的一微晶半導體膜；

以與該微晶半導體膜接觸的方式設置在該微晶半導體膜上的一通道保護層；

設置在該閘極絕緣膜上、以及該微晶半導體膜及該通道保護層的側面的一非晶半導體膜；

設置在該非晶半導體膜上的一雜質半導體層；以及

以與該雜質半導體層接觸的方式設置在該雜質半導體層上的一源極電極及一汲極電極，

其中，該非晶半導體膜的厚度比該微晶半導體膜的厚度厚。

2. 如申請專利範圍第 1 項的顯示裝置，其中該通道保護層是氮化矽膜及氮氧化矽膜中的一種。

3. 一種電子裝置，其包含

一操作部；以及

使用如申請專利範圍第 1 項的顯示裝置的一顯示部；

其中，該操作部電連接到該顯示部。

4. 一種包括一薄膜電晶體的顯示裝置，包含：

設置在一基板上的一閘極電極；

設置在該閘極電極上的一閘極絕緣膜；

隔著該閘極絕緣膜設置在該閘極電極上的一微晶半導體膜；

以與該微晶半導體膜接觸的方式設置在該微晶半導體膜上的一通道保護層；

設置在該閘極絕緣膜上、以及該微晶半導體膜及該通道保護層的側面的一非晶半導體膜；

設置在該非晶半導體膜上的一雜質半導體層；以及

以與該雜質半導體層接觸的方式設置在該雜質半導體層上的一源極電極及一汲極電極，

其中，該非晶半導體膜的厚度比該微晶半導體膜的厚度厚，

其中，該雜質半導體層的一部分及該非晶半導體膜的一部分露出於該源極電極及汲極電極的外側，以及

其中，該雜質半導體層的端部之一和該非晶半導體膜的端部之一在該閘極電極上彼此對準。

5.如申請專利範圍第 4 項的顯示裝置，其中該通道保護層是氮化矽膜及氮氧化矽膜中的一種。

6.一種電子裝置，其包含

一操作部；以及

使用如申請專利範圍第 4 項的顯示裝置的一顯示部；

其中，該操作部電連接到該顯示部。

7.一種包括一薄膜電晶體的顯示裝置，包含：

設置在一基板上的一閘極電極；

設置在該閘極電極上的一閘極絕緣膜；

隔著該閘極絕緣膜設置在該閘極電極上的一微晶半導體膜；

以與該微晶半導體膜接觸的方式設置在該微晶半導體膜上的一通道保護層；

設置在該閘極絕緣膜上、以及該微晶半導體膜及該通道保護層的側面的一非晶半導體膜；

設置在該非晶半導體膜上的一雜質半導體層；

以與該雜質半導體層接觸的方式設置在該雜質半導體層上的一源極電極及一汲極電極；

與該源極電極及汲極電極、該雜質半導體層、以及該非晶半導體膜接觸的一絕緣膜；以及

設置在該絕緣膜上，且在形成於該絕緣膜中的一接觸孔中與該源極電極及汲極電極之一連接的一像素電極，

其中，該非晶半導體膜的厚度比該微晶半導體膜的厚度厚。

8.如申請專利範圍第 7 項的顯示裝置，其中該通道保護層是氮化矽膜及氮氧化矽膜中的一種。

9.一種電子裝置，其包含

一操作部；以及

使用如申請專利範圍第 7 項的顯示裝置的一顯示部；

其中，該操作部電連接到該顯示部。

10.一種包括一薄膜電晶體的顯示裝置，包含：

設置在一基板上的一閘極電極；

設置在該閘極電極上的一閘極絕緣膜；

隔著該閘極絕緣膜設置在該閘極電極上的一微晶半導體膜；

以與該微晶半導體膜接觸的方式設置在該微晶半導體膜上的一通道保護層；

設置在該閘極絕緣膜上、以及該微晶半導體膜及該通道保護層的側面的一非晶半導體膜；

設置在該非晶半導體膜上的一雜質半導體層；

以與該雜質半導體層接觸的方式設置在該雜質半導體層上的一源極電極及一汲極電極；

與該源極電極及汲極電極、該雜質半導體層、以及該非晶半導體膜接觸的一絕緣膜；以及

設置在該絕緣膜上，且在形成於該絕緣膜中的一接觸孔中與該源極電極及汲極電極之一連接的一像素電極，

其中，該非晶半導體膜的厚度比該微晶半導體膜的厚度厚，

其中，該雜質半導體層的一部分及該非晶半導體膜的一部分露出於該源極電極及汲極電極的外側，以及

其中，該雜質半導體層的端部之一和該非晶半導體膜的端部之一在該閘極電極上彼此對準。

11.如申請專利範圍第 10 項的顯示裝置，其中該通道保護層是氮化矽膜及氮氧化矽膜中的一種。

12.一種電子裝置，其包含

一操作部；以及

使用如申請專利範圍第 10 項的顯示裝置的一顯示

部；

其中，該操作部電連接到該顯示部。

13.一種顯示裝置的製造方法，包含如下步驟：

在一基板上形成一閘極電極；

在該閘極電極上形成一閘極絕緣膜；

隔著該閘極絕緣膜在該閘極電極上形成一微晶半導體層；

以與該微晶半導體層接觸的方式在該微晶半導體層上形成一絕緣層；

使用掩模蝕刻該微晶半導體層和該絕緣層，以形成一微晶半導體島和一通道保護層，使該微晶半導體島的端部之一和該通道保護層的端部之一彼此對準；

在該閘極絕緣膜上、以及該微晶半導體島及該通道保護層的側面上形成一非晶半導體膜；

在該非晶半導體膜上形成一雜質半導體層；

在該雜質半導體層上形成一導電層；以及

蝕刻該導電層、該雜質半導體層、以及該非晶半導體膜，以形成一源極電極及一汲極電極。

14.如申請專利範圍第 13 項的顯示裝置的製造方法，其中該非晶半導體膜的厚度比該微晶半導體層的厚度厚。

15.如申請專利範圍第 13 項的顯示裝置的製造方法，其中該雜質半導體層的端部之一和該非晶半導體膜的端部之一在該閘極電極上彼此對準。

16.一種顯示裝置的製造方法，包含如下步驟：

在一基板上形成一閘極電極；

在該閘極電極上形成一閘極絕緣膜；

隔著該閘極絕緣膜在該閘極電極上形成一微晶半導體層；

以與該微晶半導體層接觸的方式在該微晶半導體層上形成一絕緣層；

使用掩模蝕刻該微晶半導體層和該絕緣層，以形成一微晶半導體島和一通道保護層，使該微晶半導體島的端部之一和該通道保護層的端部之一彼此對準；

在該閘極絕緣膜上、以及該微晶半導體島及該通道保護層的側面上形成一非晶半導體膜；

在該非晶半導體膜上形成一雜質半導體層；

在該雜質半導體層上形成一導電層；

蝕刻該導電層、該雜質半導體層、以及該非晶半導體膜，以形成一源極電極及一汲極電極；

形成與該源極電極及汲極電極、該雜質半導體層、以及該非晶半導體膜接觸的一絕緣膜；以及

在該絕緣膜上形成像素電極，該像素電極在形成於該絕緣膜中的一接觸孔中與該源極電極及汲極電極之一連接。

17.如申請專利範圍第 16 項的顯示裝置的製造方法，其中該非晶半導體膜的厚度比該微晶半導體層的厚度厚。

18.如申請專利範圍第 16 項的顯示裝置的製造方法，其中該雜質半導體層的端部之一和該非晶半導體膜的端部之一在該閘極電極上彼此對準。

圖 1A

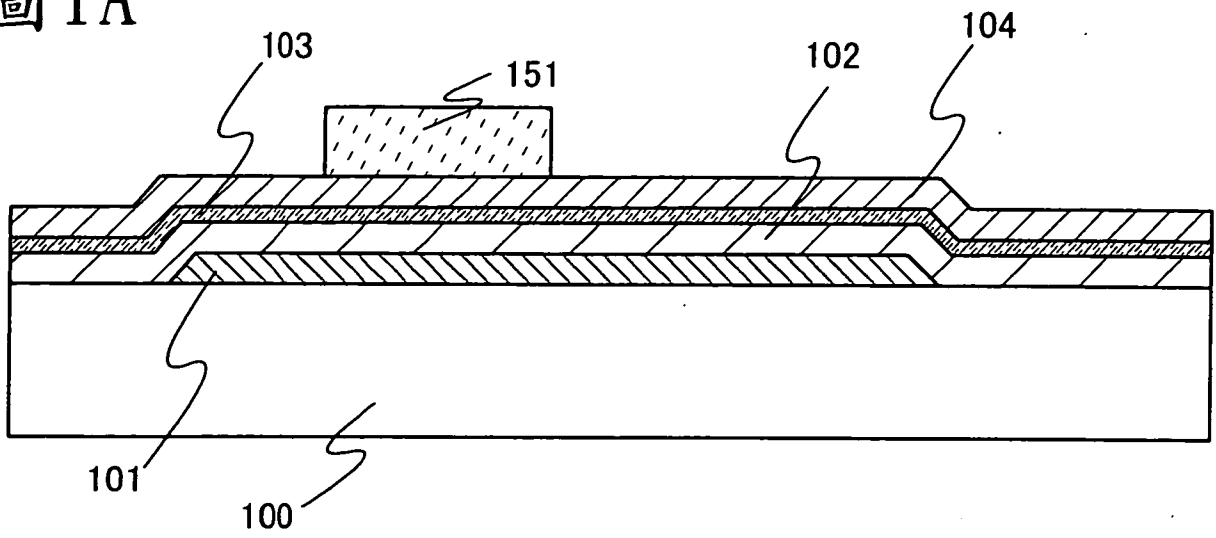


圖 1B

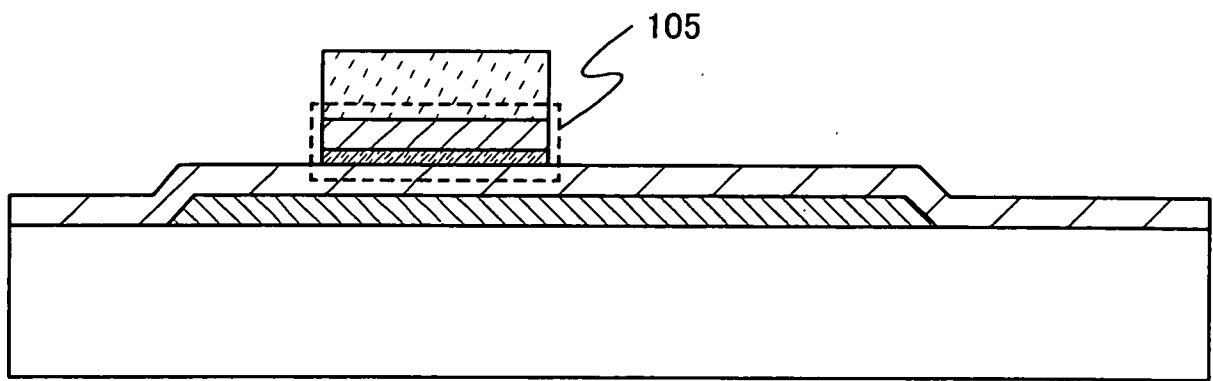


圖 1C

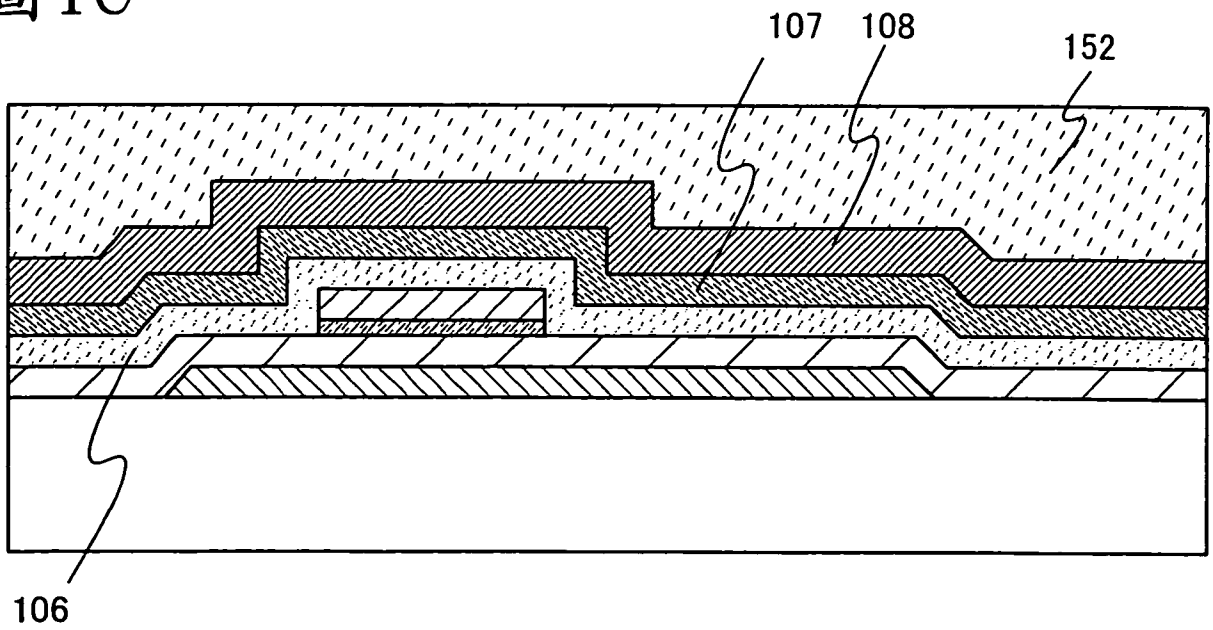


圖 2A

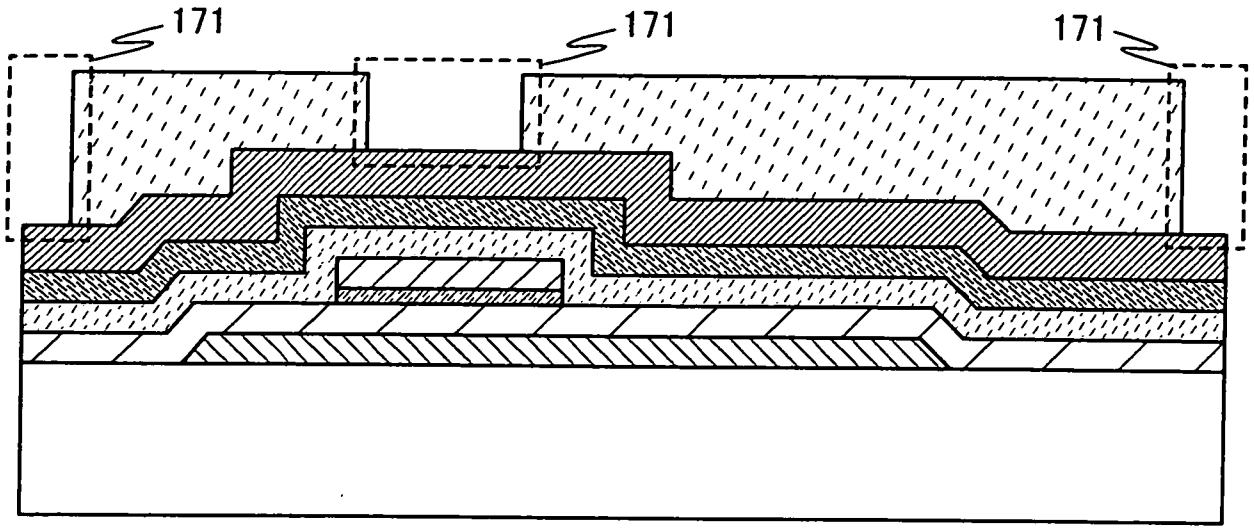


圖 2B

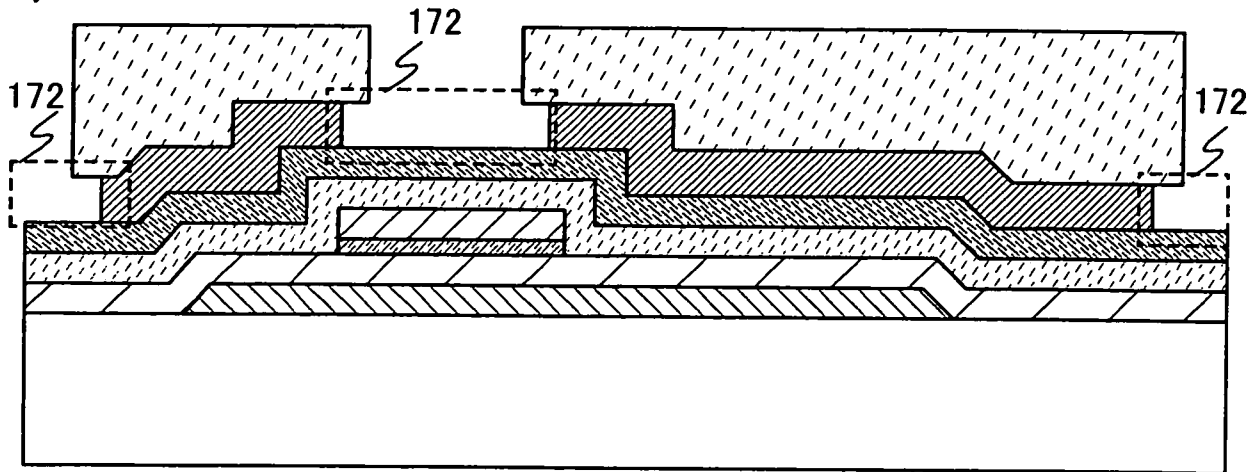


圖 2C

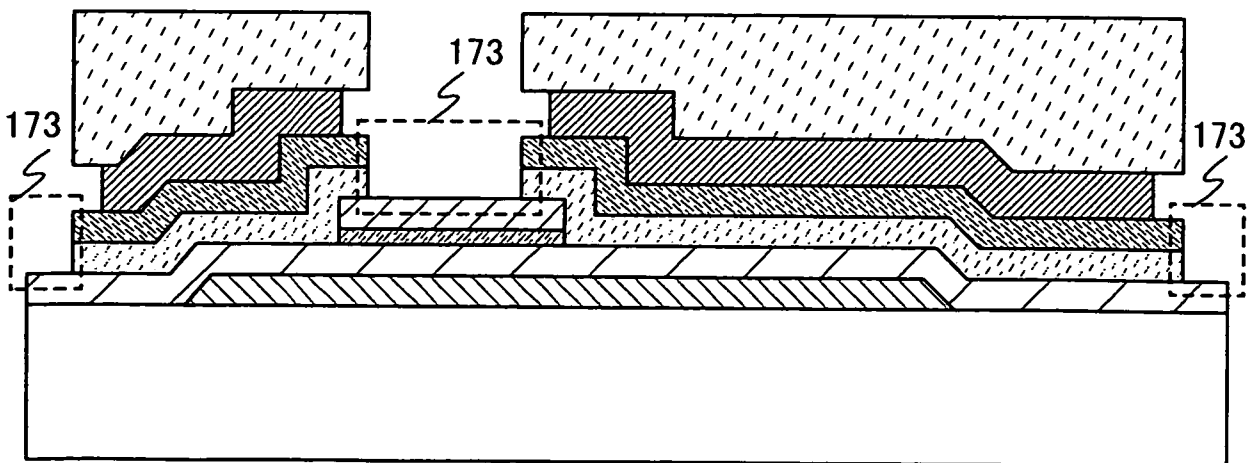


圖 3A

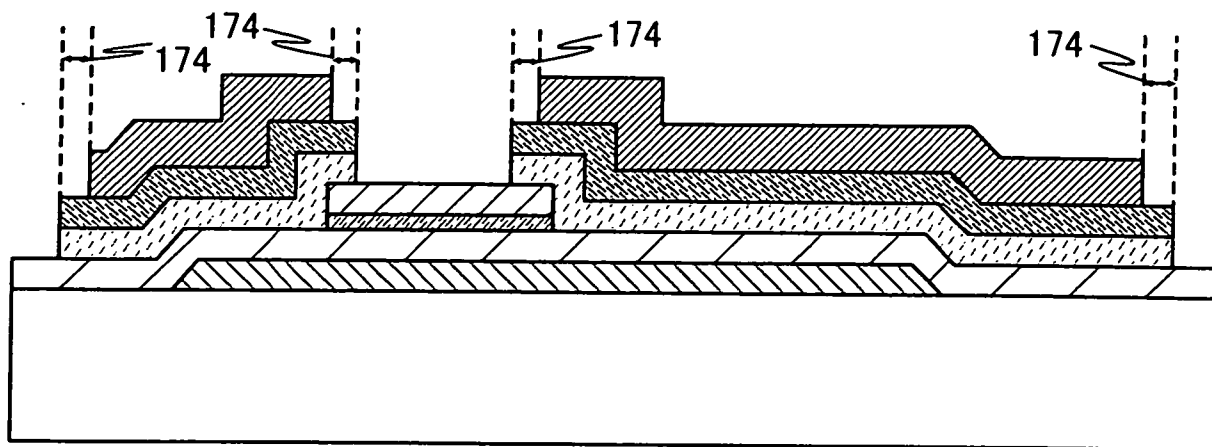


圖 3B

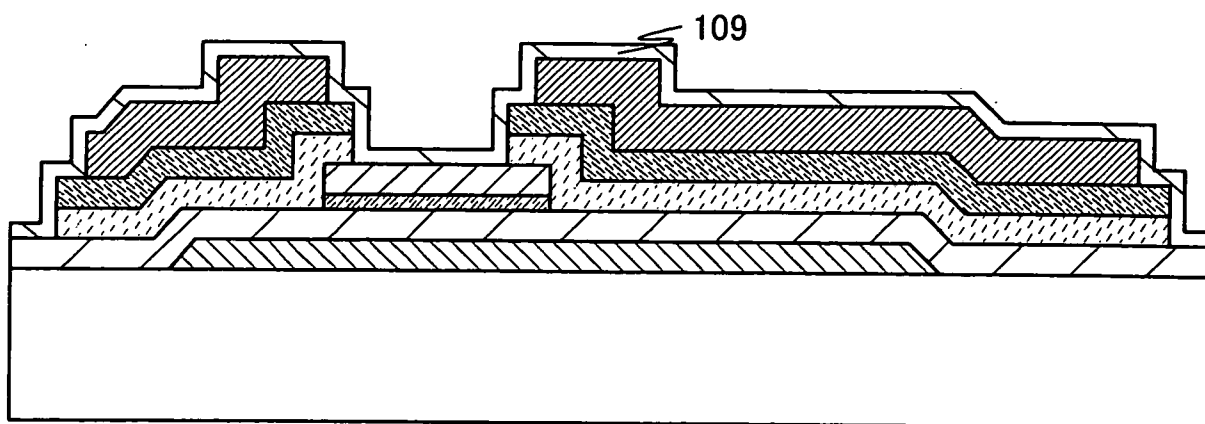


圖 3C

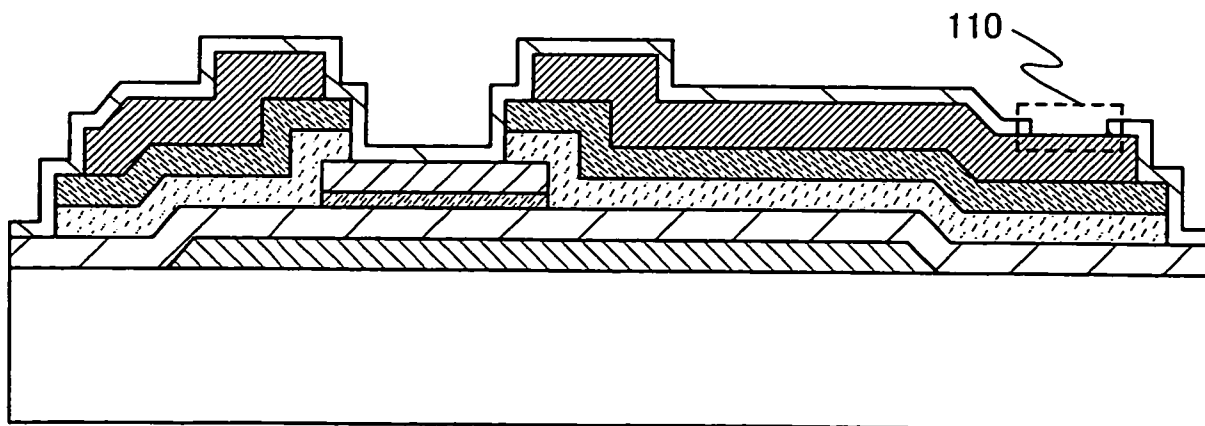


圖4

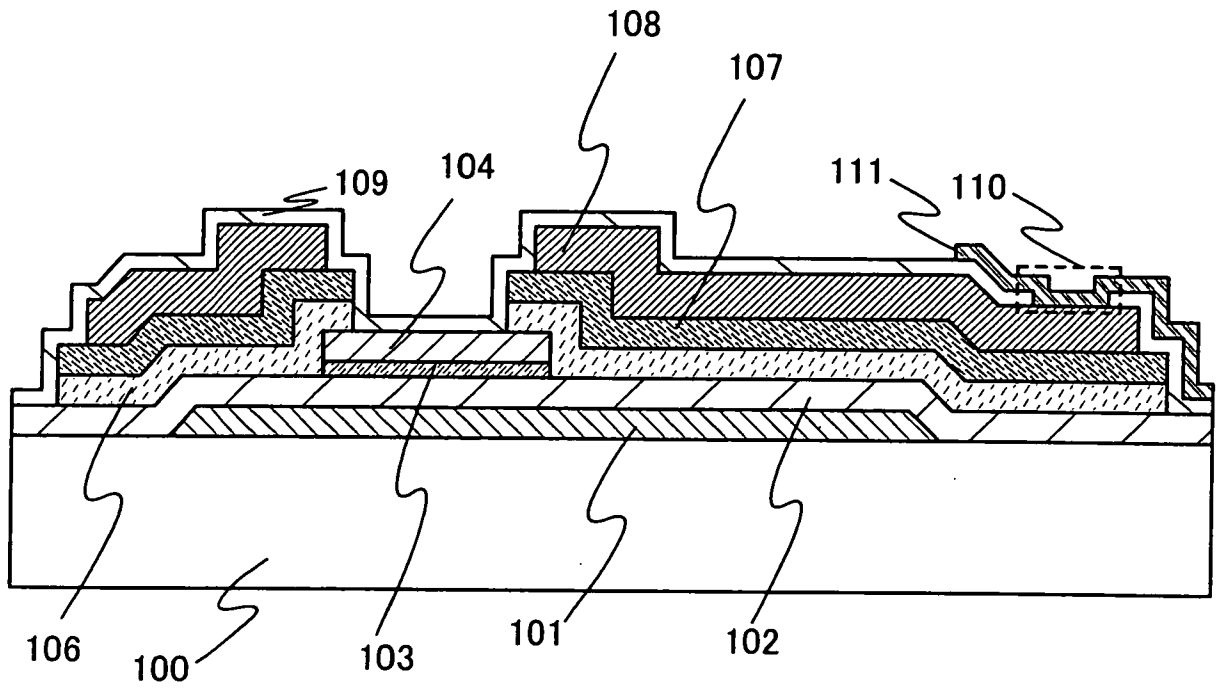


圖 5A

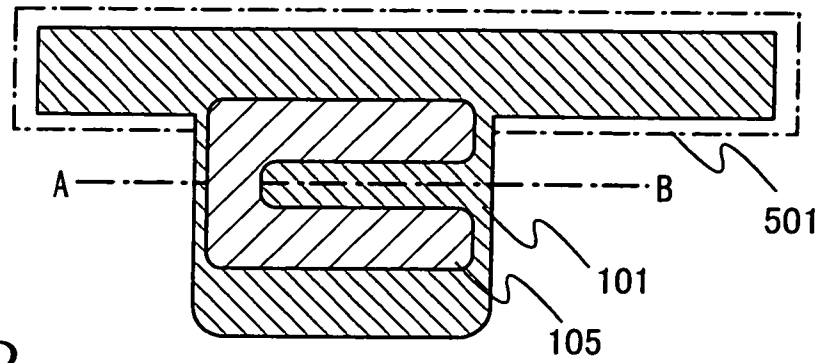


圖 5B

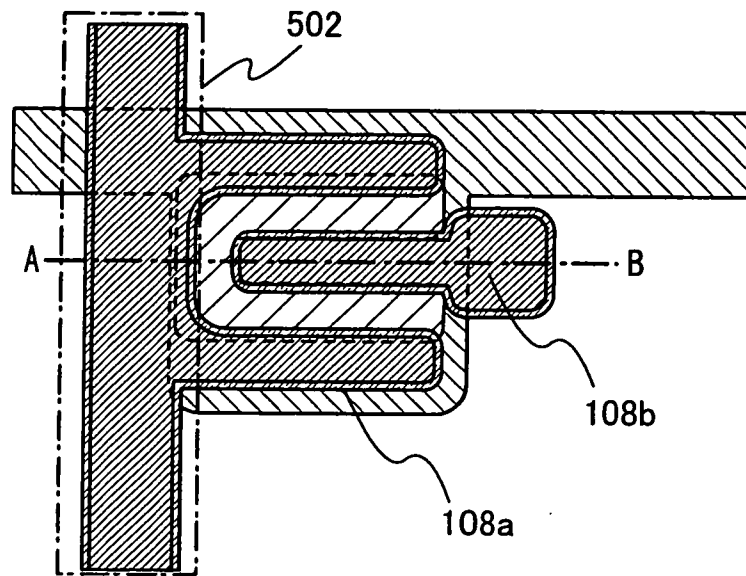


圖 5C

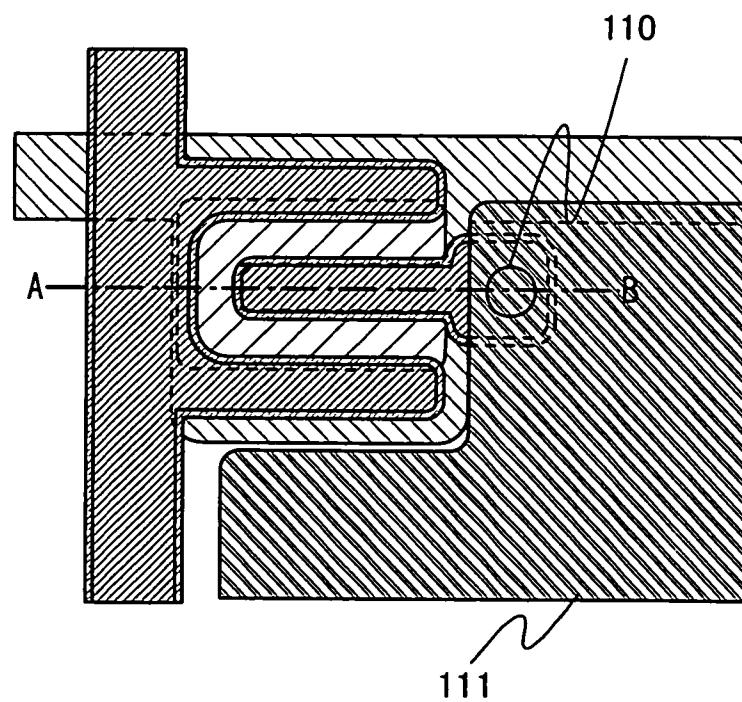


圖6

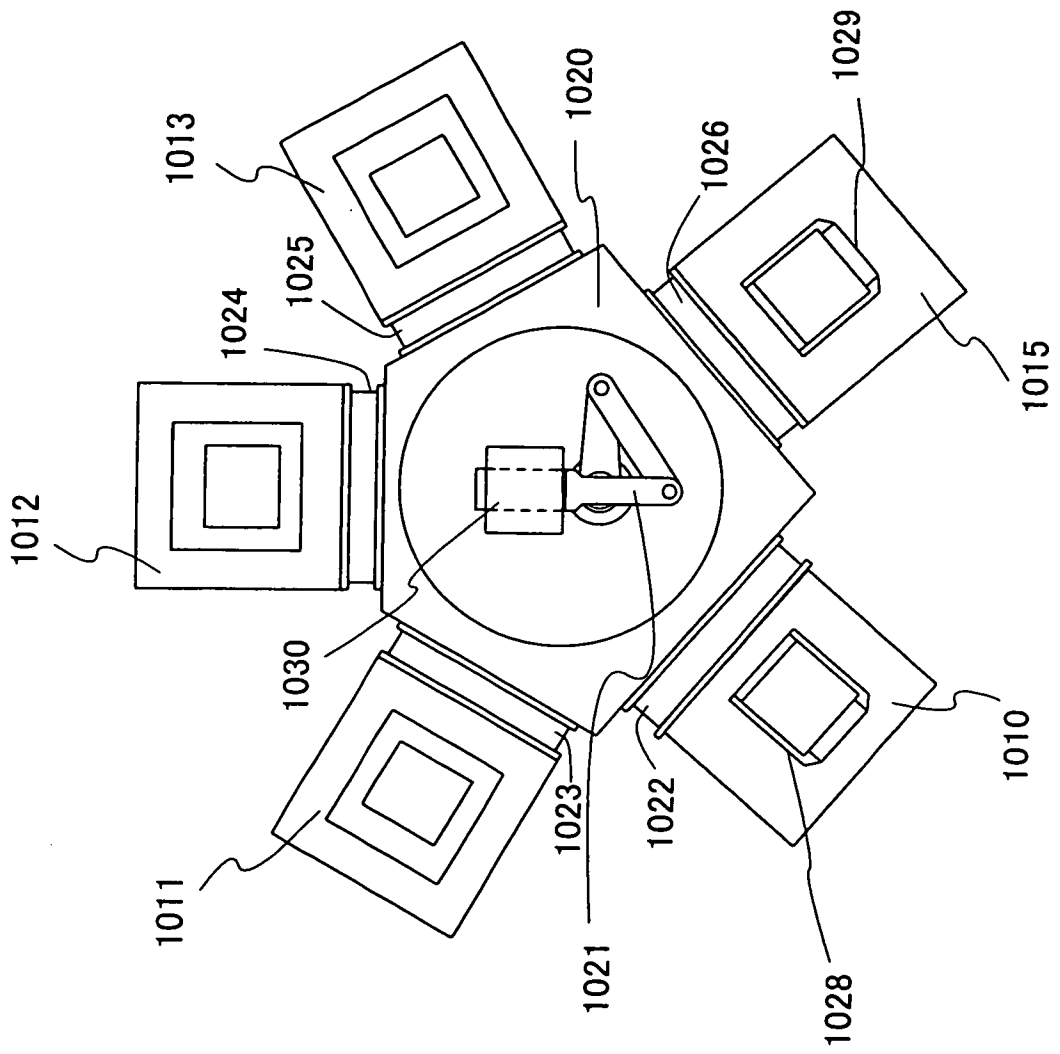


圖 7A

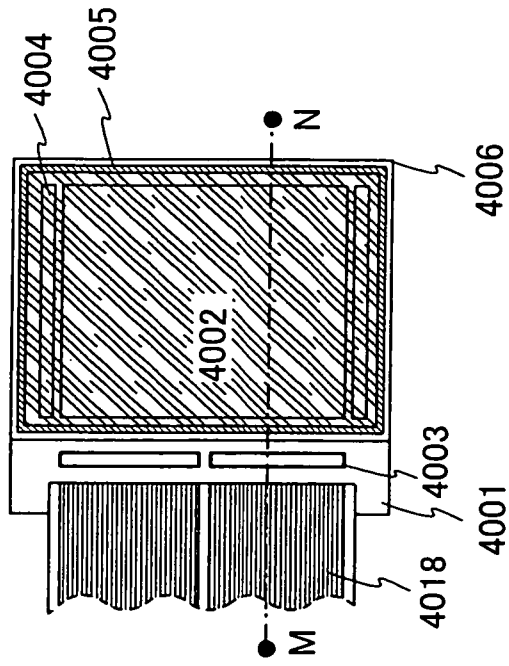


圖 7B

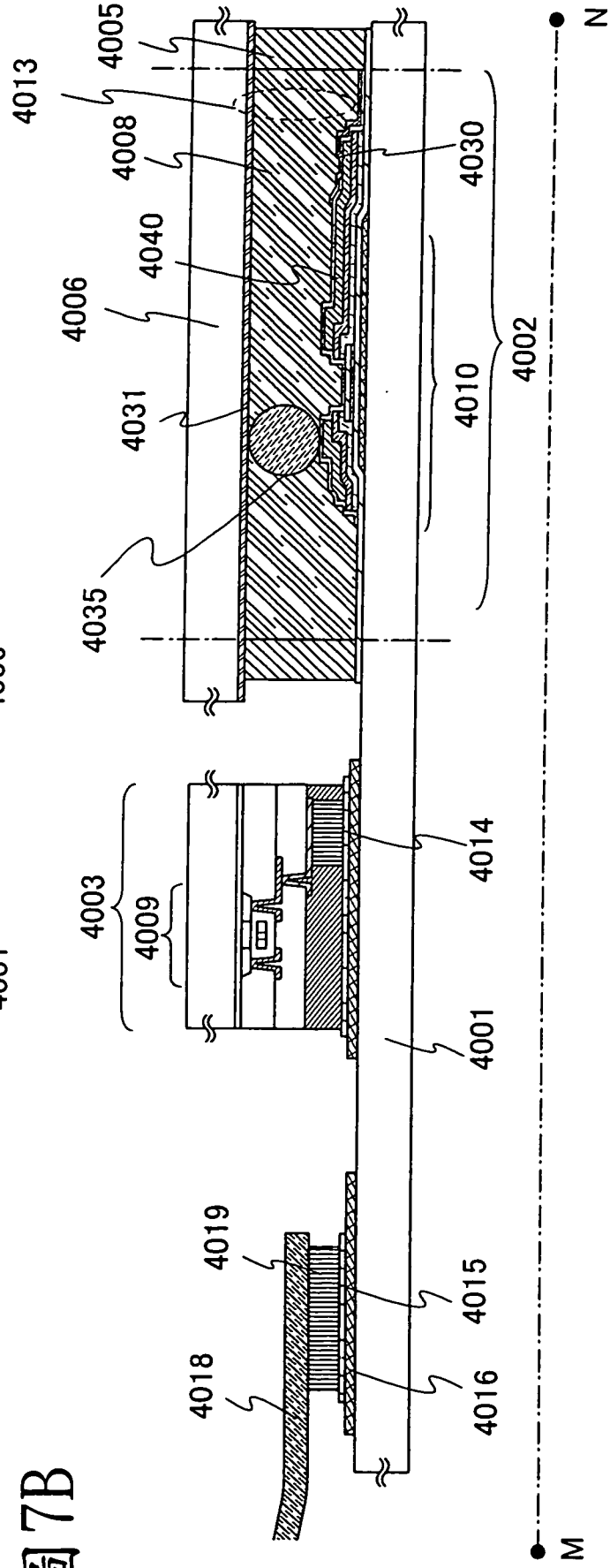


圖 8A

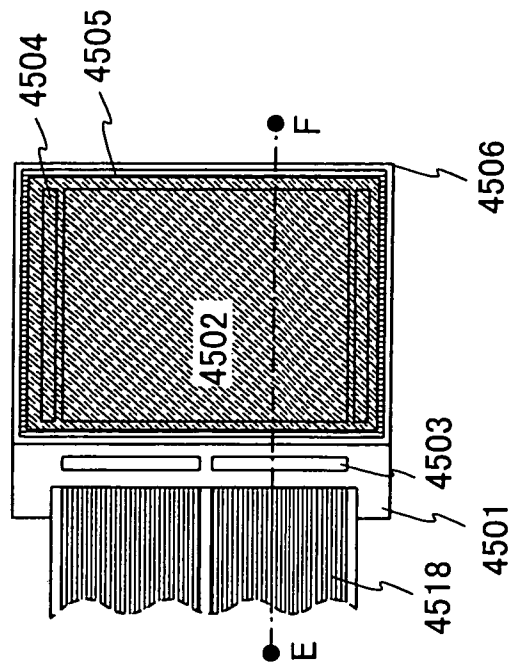


圖 8B

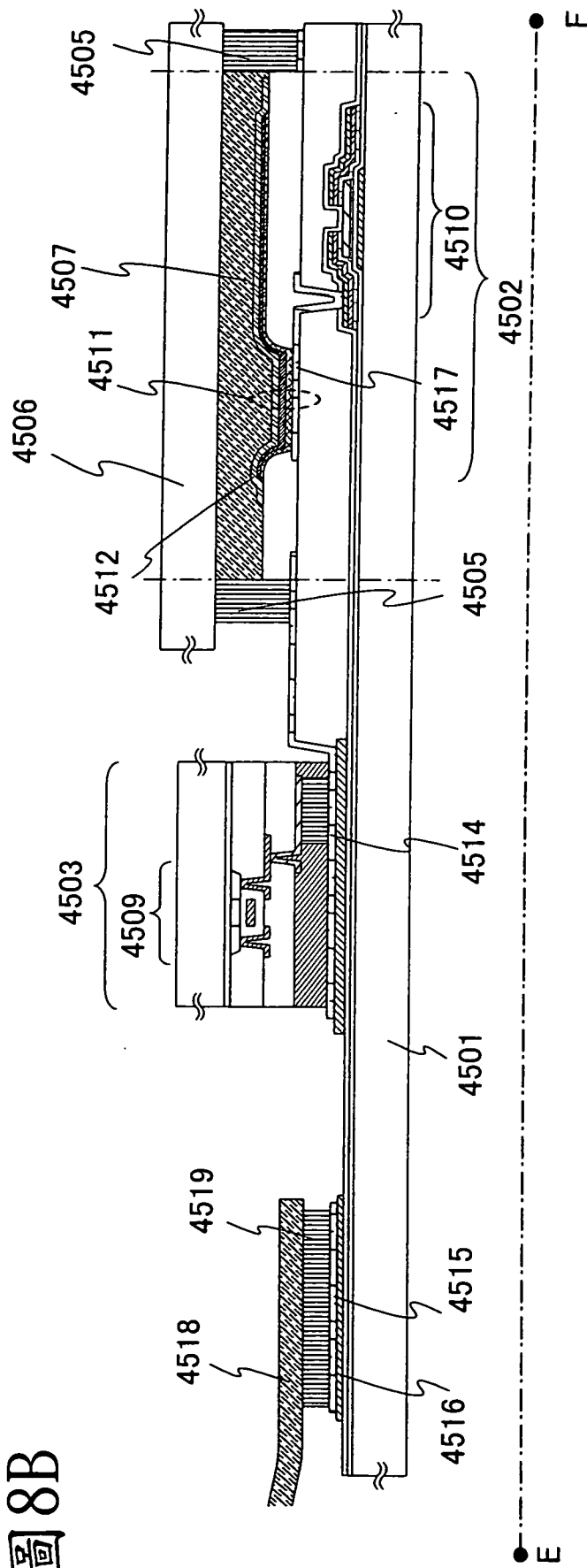


圖 9A

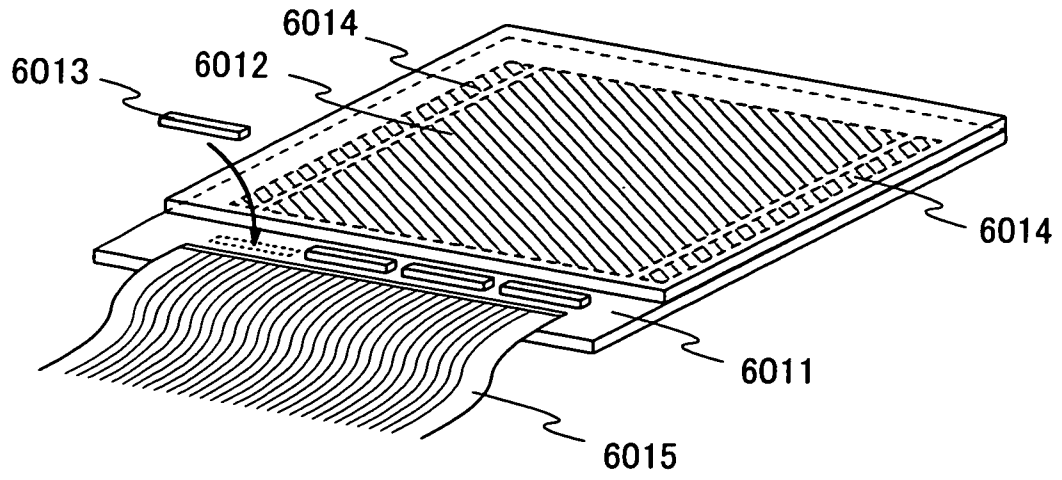


圖 9B

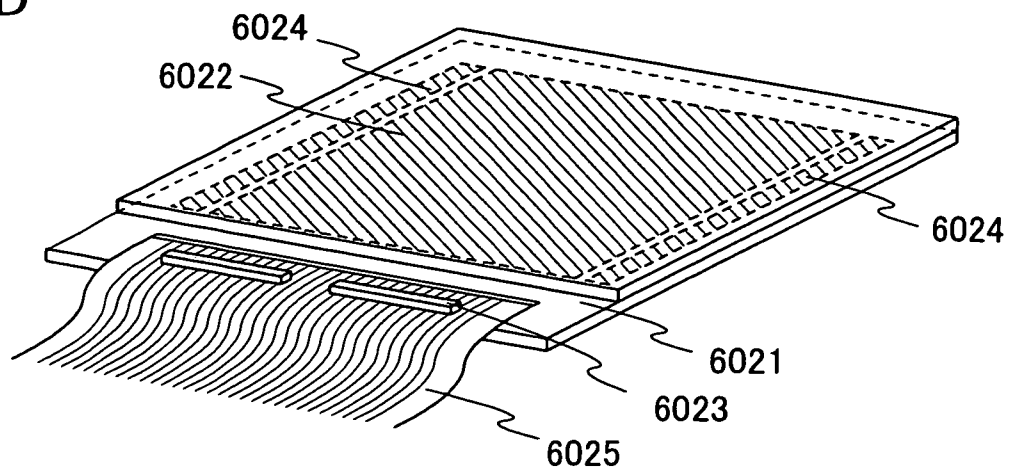


圖 9C

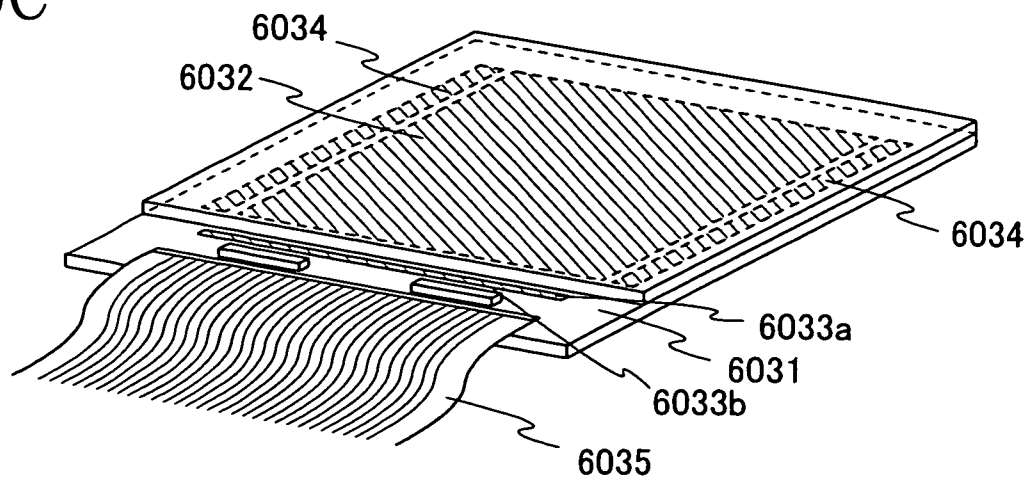


圖 10

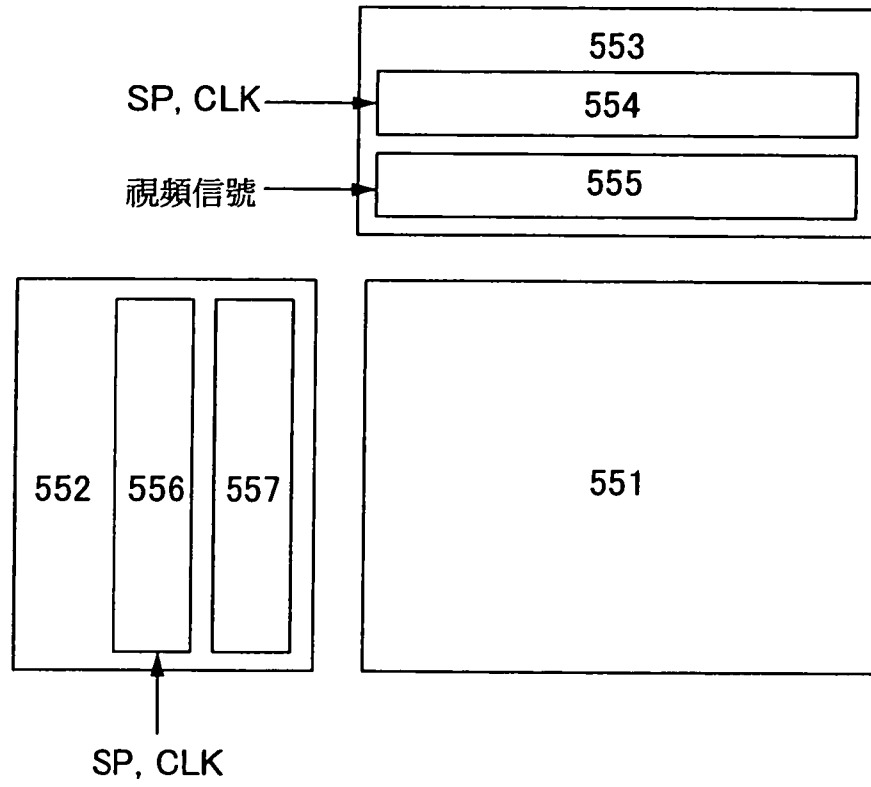


圖 11A

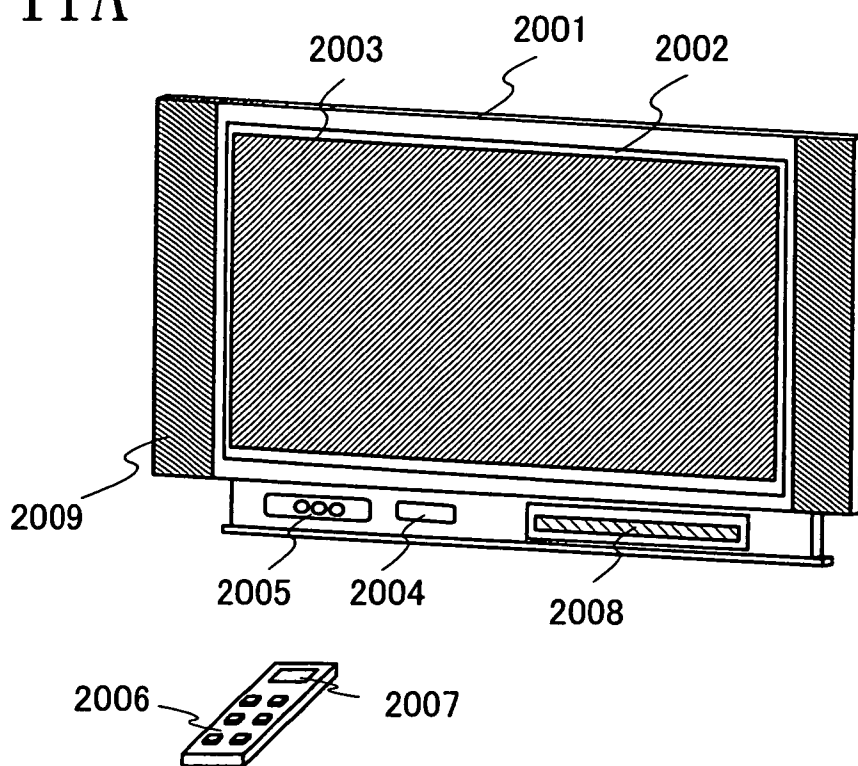


圖 11B

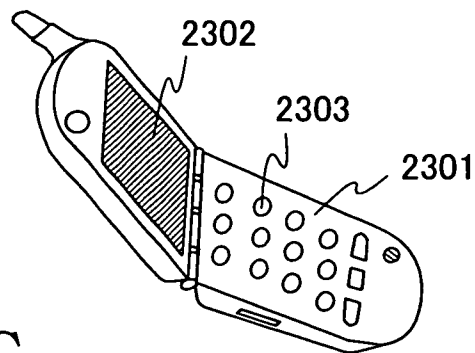


圖 11C

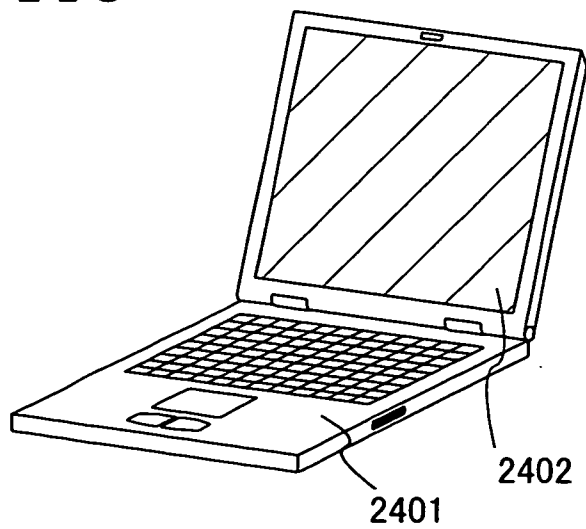


圖12

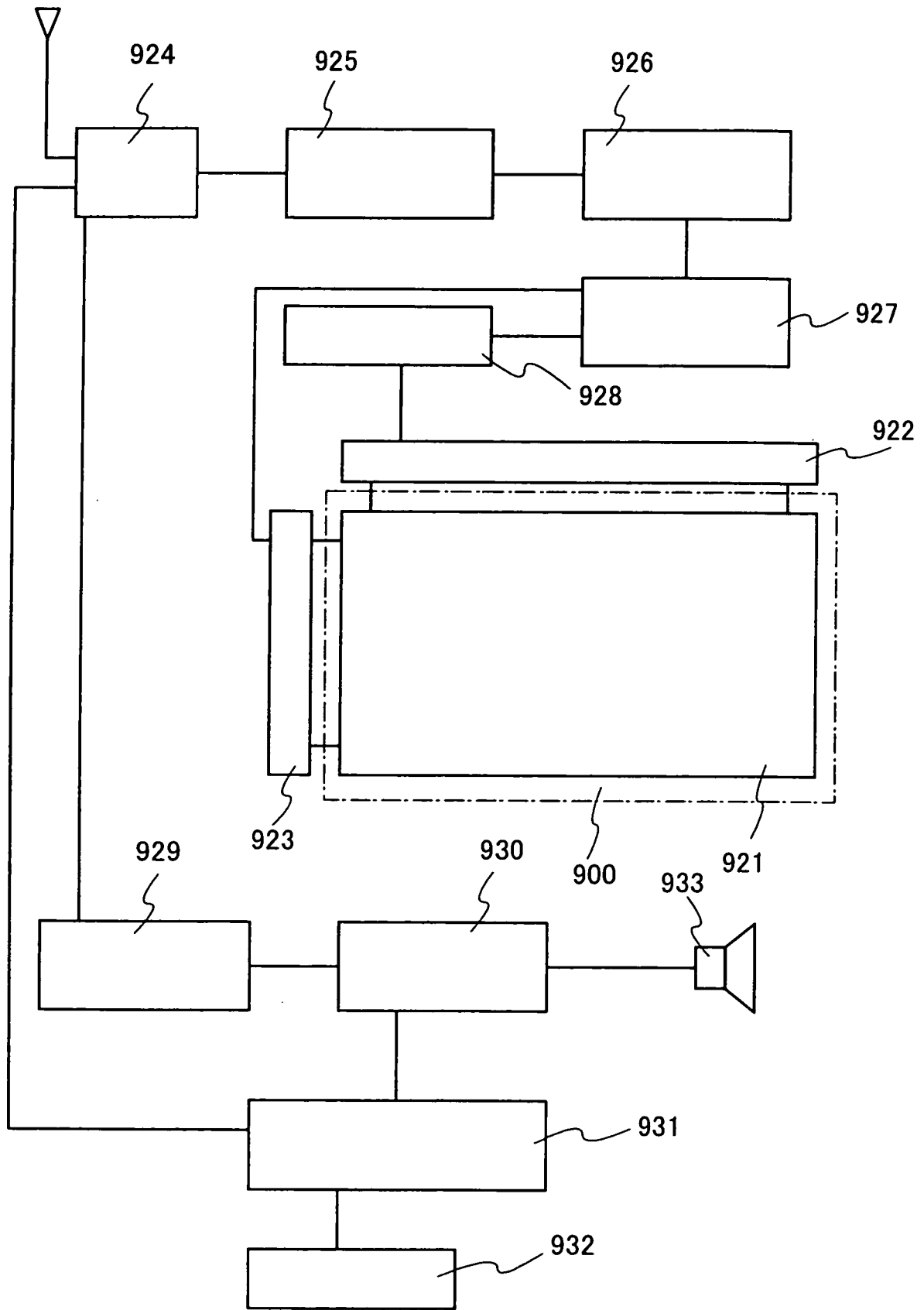


圖13

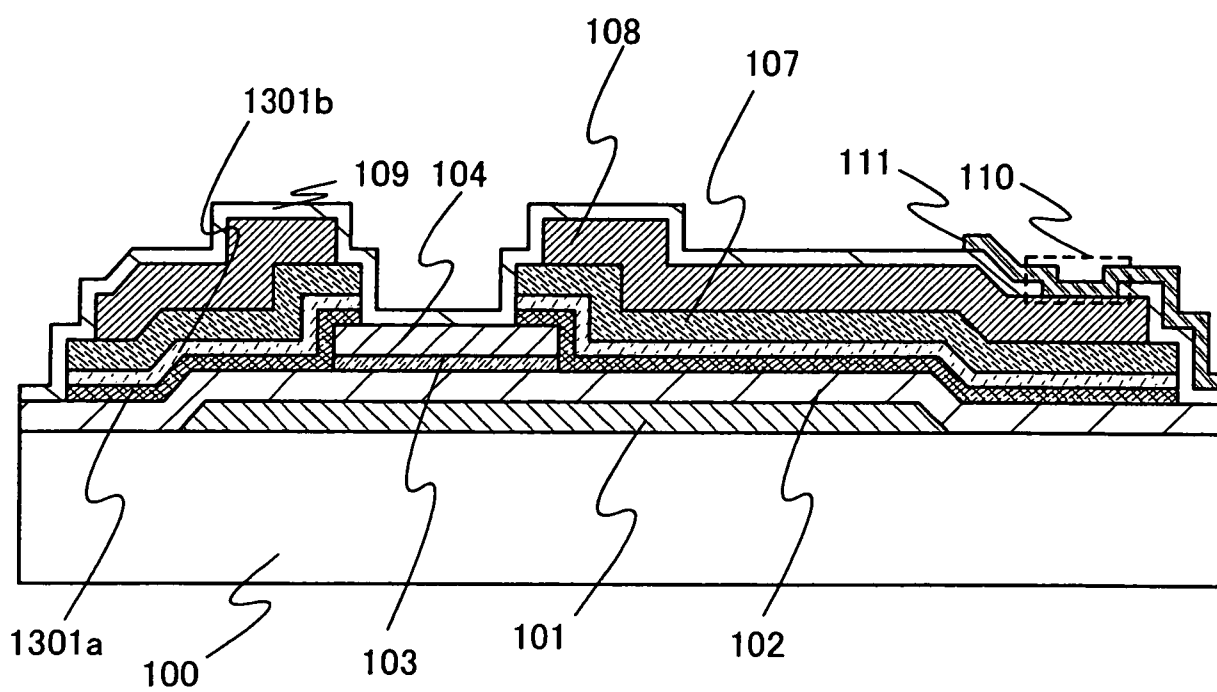


圖 14

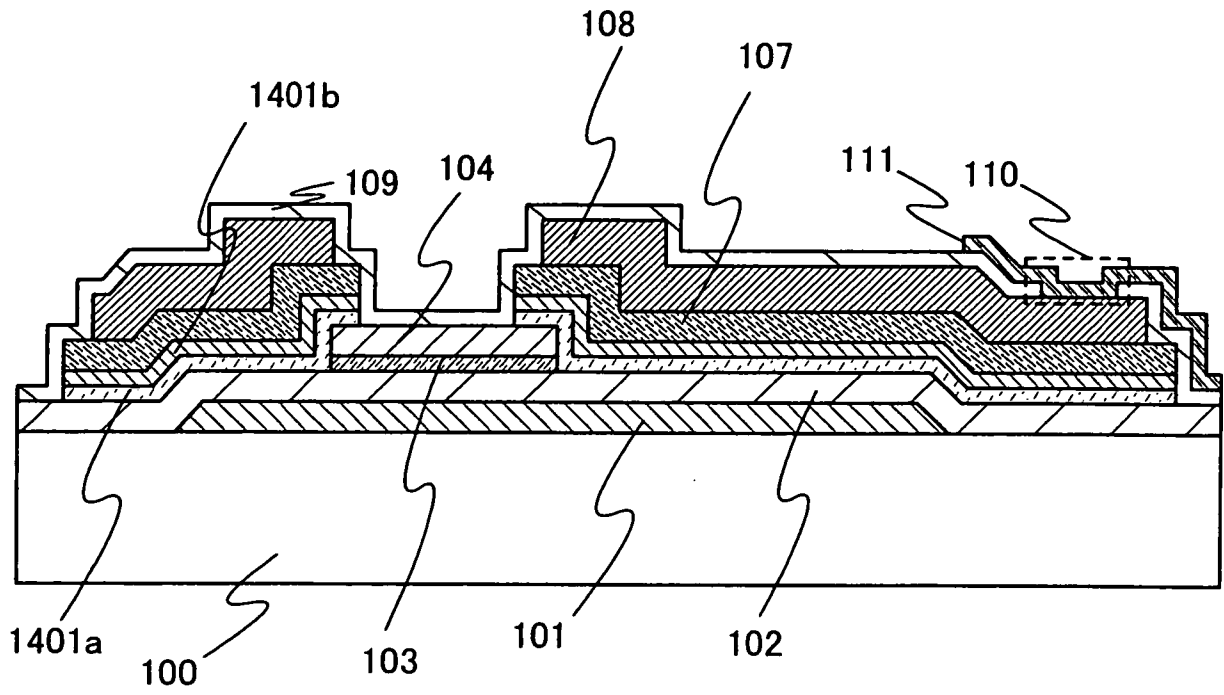


圖 15

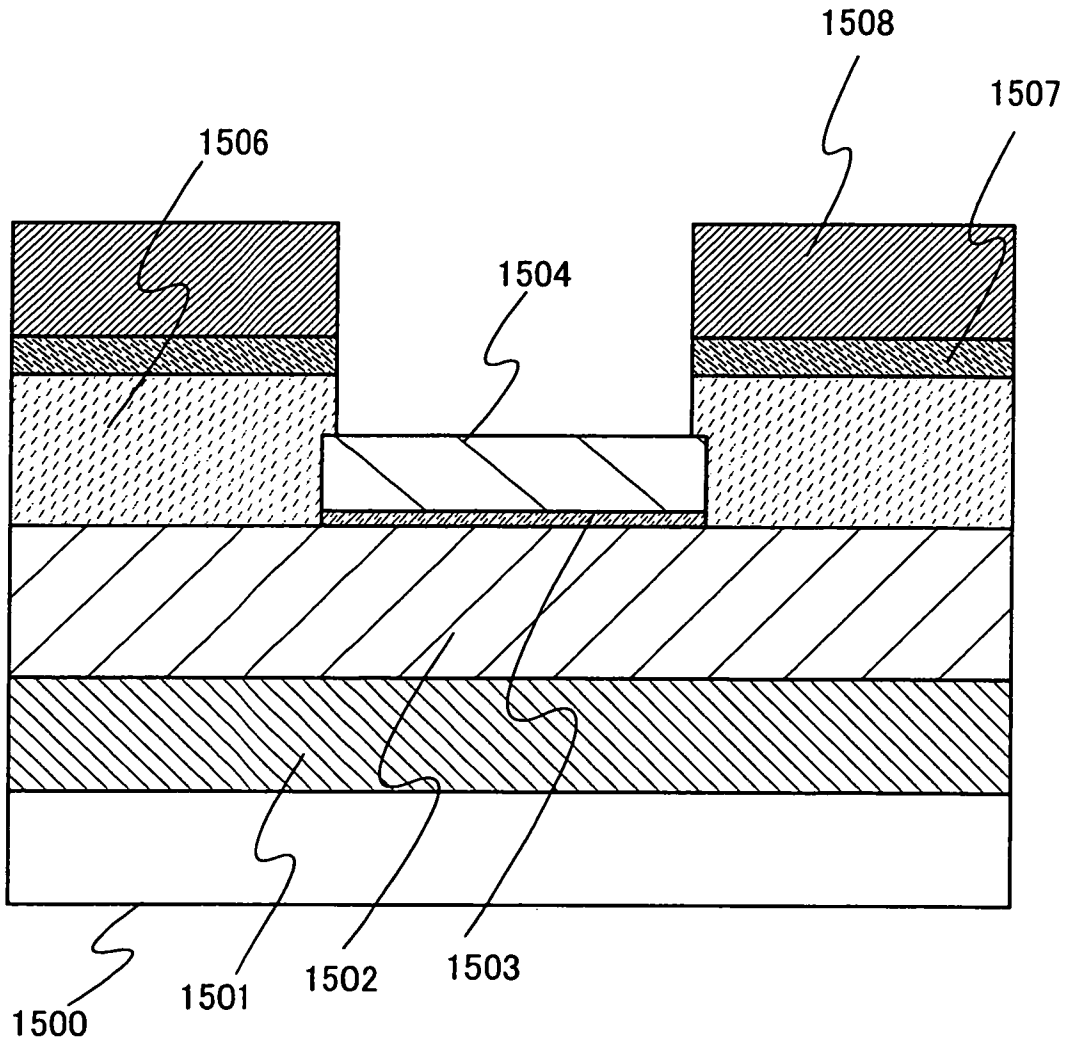


圖 16

