(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월20일
(11) 등록번호 10-0894101
(24) 등록일자 2009년04월13일

(51) Int. Cl.
H01L 21/76 (2006.01)
(21) 출원번호 10-2007-0091195
(22) 출원일자 2007년09월07일
심사청구일자 2007년09월07일
(65) 공개번호 10-2009-0025961
(43) 공개일자 2009년03월11일
(56) 선행기술조사문헌
KR1020020045401 A
KR100333714 B1
KR1020050118489 A
KR1020060070364 A
전체 청구항 수 : 총 28 항

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
은병수
서울 관악구 신림본동 412-374 삼성빌라 201호
(74) 대리인
특허법인아주

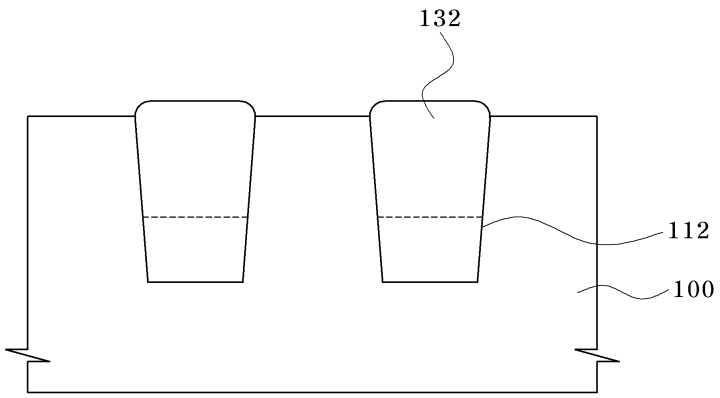
심사관 : 소재현

(54) 반도체 소자의 소자분리막 형성방법

(57) 요 약

본 발명의 반도체 소자의 소자분리막 형성방법은, 반도체 기판 내에 트렌치를 형성하는 단계; 트렌치의 노출면에 라이너 막(liner layer)을 형성하는 단계; 트렌치를 매립하는 유동성 절연막을 형성하는 단계; 유동성 절연막을 리세스(recess)하는 단계; 리세스에 의해 노출되는 트렌치 측벽의 라이너 막 상에 버퍼막을 형성하는 단계; 버퍼막 상에 식각을 수행하여 리세스 과정에서 유발된 라이너 막의 거친 표면을 완화하는 단계; 및 라이너 막 표면의 거친 부분이 완화된 트렌치를 매립절연막으로 증착하는 단계를 포함한다.

대 표 도 - 도14



특허청구의 범위

청구항 1

반도체 기판 내에 트렌치를 형성하는 단계;

상기 트렌치의 노출면에 라이너 막(liner layer)을 형성하는 단계;

상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계;

상기 유동성 절연막을 리세스(recess)하는 단계;

상기 리세스에 의해 노출되는 트렌치 측벽의 라이너 막 상에 버퍼막을 형성하는 단계;

상기 버퍼막 상에 식각을 수행하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및

상기 라이너 막 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 2

제1항에 있어서,

상기 유동성 절연막은 불산(HF)을 함유하는 습식 식각 용액을 이용하여 리세스하는 반도체 소자의 소자분리막 형성방법.

청구항 3

제1항에 있어서,

상기 유동성 절연막은 1100Å 내지 1400Å의 깊이만큼 리세스시키는 반도체 소자의 소자분리막 형성방법.

청구항 4

제1항에 있어서,

상기 버퍼막 및 매립절연막은 고밀도 플라즈마(HDP; High Density Plasma) 공정을 이용하여 형성하는 반도체 소자의 소자분리막 형성방법.

청구항 5

제1항에 있어서,

상기 버퍼막은 불소(F)계 식각 가스를 이용하여 식각하는 반도체 소자의 소자분리막 형성방법.

청구항 6

제1항에 있어서,

상기 버퍼막을 식각하는 단계는, 라이너 질화막 및 라이너 산화막을 포함하는 상기 라이너 막에서 라이너 질화막이 상기 트렌치 상에 유지되게 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 7

제1항에 있어서,

상기 버퍼막을 식각하는 단계는, 상기 버퍼막을 250Å 내지 350Å의 두께로 형성시 85Å 내지 95Å의 식각 두께로 식각 타겟(etch target)을 설정하여 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 8

반도체 기판 내에 트렌치를 형성하는 단계;

상기 트렌치의 노출면에 라이너 질화막 및 라이너 산화막을 포함하는 라이너 막을 형성하는 단계;

상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계;

상기 유동성 절연막을 리세스하는 단계;

상기 리세스에 의해 노출되는 상기 라이너 질화막 위에 상기 트렌치 측벽 내부에 보이드가 형성되지 않는 두께로 제1 버퍼막을 형성하는 단계;

상기 제1 버퍼막 위에 매립절연막의 시드(seed) 역할을 하는 제2 버퍼막을 형성하는 단계;

상기 제1 및 제2 버퍼막에 식각을 수행하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및

상기 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 9

제8항에 있어서,

상기 제1 버퍼막, 제2 버퍼막 및 매립절연막은 고밀도 플라즈마 공정을 이용하여 형성하는 반도체 소자의 소자분리막 형성방법.

청구항 10

제8항에 있어서,

상기 제1 버퍼막 및 제2 버퍼막은 각각 250Å 내지 350Å의 두께로 형성하는 반도체 소자의 소자분리막 형성방법.

청구항 11

제8항에 있어서,

상기 제1 및 제2 버퍼막은 불소(F)계 식각 가스를 이용하여 식각하는 반도체 소자의 소자분리막 형성방법.

청구항 12

제8항에 있어서,

상기 제1 및 제2 버퍼막을 식각하는 단계는, 라이너 질화막 및 라이너 산화막을 포함하는 상기 라이너 막에서 상기 라이너 질화막이 상기 트렌치 상에 유지되게 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 13

제8항에 있어서,

상기 제2 버퍼막을 식각하는 단계에서, 상기 제2 버퍼막을 250Å 내지 350Å의 두께로 형성시 85Å 내지 95Å의 식각 두께로 식각 타겟(target)을 설정하여 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 14

반도체 기판 내에 트렌치를 형성하는 단계;

상기 트렌치의 노출면에 라이너 질화막 및 라이너 산화막을 포함하는 라이너 막을 형성하는 단계;

상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계;

상기 유동성 절연막을 리세스하는 단계;

상기 반도체 기판을 챔버 내에 로딩하는 단계;

상기 챔버 내에 1차 프리히팅 가스를 공급하여 상기 라이너 막의 스트레스를 완화시키는 제1 프리히팅을 수행하는 단계;

상기 제1 프리히팅이 수행된 챔버 내에 2차 프리히팅 가스를 공급하여 리세스에 의해 노출된 상기 라이너 질화

막 표면을 산화하는 제2 프리히팅을 수행하는 단계;

상기 리세스에 의해 노출되는 상기 트렌치 측벽의 라이너 질화막 상에 버퍼막을 형성하는 단계;

상기 버퍼막 상에 식각 가스를 공급하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및

상기 라이너 막 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 15

제14항에 있어서,

상기 1차 프리히팅 가스는 아르곤(Ar) 가스 및 헬륨(He)가스를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 16

제14항에 있어서,

상기 2차 프리히팅 가스는 산소(O_2) 가스, 아르곤(Ar) 가스 및 헬륨(He) 가스를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 17

상기 14항에 있어서, 상기 유동성 절연막을 형성하는 단계는,

상기 반도체 기판을 스핀 코팅기에 로딩시키는 단계;

상기 스핀 코팅기 상에 배치된 반도체 기판상에 솔벤트 및 용질이 혼합된 유동성 절연막을 도포하는 단계; 및

상기 유동성 절연막 상에 수소(H_2) 가스 또는 산소(O_2) 가스 분위기에서 막질을 치밀화하는 큐어링 공정을 진행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 18

상기 14항에 있어서,

상기 유동성 절연막은 불산(HF)을 함유하는 습식 식각 용액을 이용하여 리세스하는 반도체 소자의 소자분리막 형성방법.

청구항 19

제14항에 있어서,

상기 유동성 절연막은 1100Å 내지 1400Å의 깊이만큼 리세스시키는 반도체 소자의 소자분리막 형성방법.

청구항 20

제14항에 있어서,

상기 제1 프리히팅을 수행하는 단계 내지 매립절연막을 증착하는 단계는 고밀도 플라즈마(HDP) 공정을 이용하여 진행하는 반도체 소자의 소자분리막 형성방법.

청구항 21

제14항에 있어서,

상기 제1 프리히팅 및 제2 프리히팅을 포함하는 프리히팅 단계는 60초를 넘지 않도록 진행하는 반도체 소자의 소자분리막 형성방법.

청구항 22

제14항에 있어서, 상기 버퍼막을 형성하는 단계는,

상기 트렌치 상에 산소(O_2) 가스, 실란(SiH_4) 가스 및 헬륨(He) 가스를 공급하여, 상기 트렌치 측벽 내부에 보이드가 형성되지 않는 두께로 상기 라이너 막 위에 제1 버퍼막을 형성하는 단계; 및

상기 제1 버퍼막 상에 산소(O_2) 가스, 실란(SiH_4) 가스, 수소(H_2) 가스 및 헬륨(He) 가스를 공급하여, 상기 매립절연막의 시드(seed) 역할을 하는 제2 버퍼막을 형성하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 23

제22항에 있어서,

상기 제1 및 제2 버퍼막은 각각 250Å 내지 350Å의 두께로 형성하는 반도체 소자의 소자분리막 형성방법.

청구항 24

제14항에 있어서,

상기 라이너 막의 거친 표면을 완화하는 단계는,

상기 라이너 질화막이 상기 트렌치 상에 유지되게 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 25

제14항에 있어서,

상기 버퍼막 상에 식각 가스를 공급하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계에서,

상기 버퍼막을 250Å 내지 350Å의 두께로 형성시 85Å 내지 95Å의 식각 두께로 식각 타겟(target)을 설정하여 수행하는 반도체 소자의 소자분리막 형성방법.

청구항 26

제14항에 있어서, 상기 매립절연막을 형성하는 단계는,

상기 버퍼막을 식각하는 단계 이후에, 상기 반도체 기판상에 HDP 증착 소스를 공급하여 상기 버퍼막 위에 HDP 산화막을 형성하는 단계;

상기 HDP 산화막을 형성하는 과정에서 상기 트렌치 상부에 형성된 오버행을 식각하는 단계; 및

상기 HDP 산화막을 형성하는 단계 및 오버행 식각을 반복 진행하여 매립절연막을 형성하는 단계를 더 포함하는 반도체 소자의 소자분리막 형성방법.

청구항 27

제26항에 있어서,

상기 HDP 산화막을 형성하는 단계 및 오버행 식각은 3 내지 5 싸이클(cycle)로 진행하는 반도체 소자의 소자분리막 형성방법.

청구항 28

제26항에 있어서,

상기 증착 소스는 산소(O_2) 가스, 실란(SiH_4) 가스 , 수소(H_2) 가스 및 헬륨(He) 가스를 포함하는 반도체 소자의 소자분리막 형성방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 소자에 관한 것으로서, 보다 상세하게는 트렌치를 균일하게 매립할 수 있는 반도체 소자의 소

자분리막 형성방법에 관한 것이다.

배 경 기 술

<2> 반도체 메모리 소자의 집적도가 높아지면서 디자인 룰(design rule)이 감소하면서 반도체 소자의 패턴도 미세화되고 있다. 패턴이 미세화되면서 반도체 메모리 소자, 예를 들어 디램(DRAM; Dynamic Random Access Memory) 소자의 데이터 유지 시간(data retention time)을 조절하여 소자의 수율을 향상시키는 소자분리공정(Isolation process)의 중요성이 더욱 높아지고 있다. 반도체 소자의 데이터 유지 시간을 향상시키기 위해 소자분리공정에서부터 많은 공정 개발 및 공정 물질의 연구가 이루어지고 있다.

<3> 이러한 소자분리공정 가운데 적은 폭을 가지면서 우수한 소자분리 특성을 가지는 트렌치형 소자분리(STI; Shallow Trench Isolation)공정을 이용하여 소자분리막을 형성하고 있다. 트렌치형 소자분리 공정에 의해 형성되는 소자분리막은 통상적으로 노광기술과 식각공정에 의해 반도체 기판에 소정 깊이의 트렌치를 형성하고, 절연막으로 트렌치를 매립한 후 평탄화하는 과정으로 이루어진다.

<4> 한편, 트렌치를 매립하는 갭필(gap-fill) 특성을 향상시키기 위해 갭필 물질로 고밀도 플라즈마(HDP; High density plasma) 산화막을 이용하거나 증착-식각-증착(DED; Deposition-etch-deposition) 방법을 이용하고 있다. 그러나 이러한 갭필 물질 및 갭필 방법 또한, 소자의 크기가 60nm 급으로 점점 더 축소되면서 트렌치를 매립하는데 한계를 나타내고 있다. 이에 따라 용매(solvent)와 용질(solute)이 섞여 있는 화합물로 이루어진 유동성 절연막을 이용한 스핀 온 절연막(SOD; Spin On Dielectric) 공정을 이용하여 트렌치를 매립하고 있다.

<5> 스핀 온 절연막(SOD) 공정은 먼저 유동성 절연막을 코팅기(coater)를 이용하여 도포한다. 다음에 큐어링(curing) 공정을 진행하여 유동성 절연막의 막질을 치밀화시키면서 트렌치를 매립한다. 다음에 유동성 절연막을 소정 깊이만큼 리세스한 다음 고밀도 플라즈마 산화막(HDP)으로 리세스된 부분을 매립하여 트렌치 소자분리막을 형성하는 방법이다. 그러나 스핀 온 절연막(SOD) 공정 또한 트렌치를 매립하는 과정에서 여러 가지 문제점이 발생하여 트렌치를 균일하게 매립하는 소자분리막을 형성하기 어려울 수 있다. 이에 따라 소자분리막의 형성방법을 개선하여 공정 생산성을 높일 수 있고, 안정적인 소자의 특성을 확보할 수 있는 반도체 소자의 소자분리막 형성방법이 요구된다.

발명의 내용

<6> 본 발명에 따른 반도체 소자의 소자분리막 형성방법은, 반도체 기판 내에 트렌치를 형성하는 단계; 상기 트렌치의 노출면에 라이너 막(liner layer)을 형성하는 단계; 상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계; 상기 유동성 절연막을 리세스(recess)하는 단계; 상기 리세스에 의해 노출되는 트렌치 측벽의 라이너 막 상에 버퍼막을 형성하는 단계; 상기 버퍼막 상에 식각을 수행하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및 상기 라이너 막 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함한다.

<7> 본 발명에 있어서, 상기 유동성 절연막은 불산(HF)을 함유하는 습식 식각 용액을 이용하여 1100Å 내지 1400Å의 깊이만큼 리세스시키는 것이 바람직하다.

<8> 상기 버퍼막 및 매립절연막은 고밀도 플라즈마(HDP; High Density Plasma) 공정을 이용하여 형성하는 것이 바람직하다.

<9> 상기 버퍼막은 불소(F)계 식각 가스를 이용하여 식각하며, 라이너 질화막 및 라이너 산화막을 포함하는 상기 라이너 막에서 라이너 질화막이 상기 트렌치 상에 유지되게 수행하는 것이 바람직하다. 또한, 상기 버퍼막을 250Å 내지 350Å의 두께로 형성시 85Å 내지 95Å의 식각 두께로 식각 타겟(etch target)을 설정하여 수행하는 것이 바람직하다.

<10> 본 발명에 따른 반도체 소자의 소자분리막 형성방법은, 반도체 기판 내에 트렌치를 형성하는 단계; 상기 트렌치의 노출면에 라이너 질화막 및 라이너 산화막을 포함하는 라이너 막을 형성하는 단계; 상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계; 상기 유동성 절연막을 리세스하는 단계; 상기 리세스에 의해 노출되는 상기 라이너 질화막 위에 상기 트렌치 측벽 내부에 보이드가 형성되지 않는 두께로 제1 버퍼막을 형성하는 단계; 상기 제1 버퍼막 위에 매립절연막의 시드(seed) 역할을 하는 제2 버퍼막을 형성하는 단계; 상기 제1 및 제2 버퍼막에 식각을 수행하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및 상기 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함한다.

<11> 본 발명에 따른 반도체 소자의 소자분리막 형성방법은, 반도체 기판 내에 트렌치를 형성하는 단계; 상기 트렌치의 노출면에 라이너 질화막 및 라이너 산화막을 포함하는 라이너 막을 형성하는 단계; 상기 트렌치를 매립하는 유동성 절연막을 형성하는 단계; 상기 유동성 절연막을 리세스하는 단계; 상기 반도체 기판을 챔버 내에 로딩하는 단계; 상기 챔버 내에 아르곤(Ar) 가스, 헬륨(He) 가스를 포함하는 프리히팅 가스를 공급하여 상기 라이너 막의 스트레스를 완화시키는 제1 프리히팅을 수행하는 단계; 상기 제1 프리히팅이 수행된 챔버 내에 프리히팅 가스를 공급하여 리세스에 의해 노출된 상기 라이너 질화막 표면을 산화하는 제2 프리히팅을 수행하는 단계; 상기 리세스에 의해 노출되는 상기 트렌치 측벽의 라이너 질화막 상에 버퍼막을 형성하는 단계; 상기 버퍼막 상에 식각 가스를 공급하여 상기 리세스 과정에서 유발된 상기 라이너 막의 거친 표면을 완화하는 단계; 및 상기 라이너 막 표면의 거친 부분이 완화된 상기 트렌치를 매립절연막으로 증착하는 단계를 포함한다.

<12> 상기 버퍼막을 형성하는 단계는, 상기 트렌치 상에 산소(O_2) 가스, 실란(SiH_4) 가스 및 헬륨(He) 가스를 공급하여, 상기 트렌치 측벽 내부에 보이드가 형성되지 않는 두께로 상기 라이너 막 위에 제1 버퍼막을 형성하는 단계; 및 상기 제1 버퍼막 상에 산소(O_2) 가스, 실란(SiH_4) 가스, 수소(H_2) 가스 및 헬륨(He) 가스를 공급하여, 상기 매립절연막의 시드(seed) 역할을 하는 제2 버퍼막을 형성하는 단계를 포함하는 것이 바람직하다.

발명의 실시를 위한 구체적인 내용

<13> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하고자 한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<14> 도 1 내지 도 14는 본 발명의 실시예에 따른 반도체 소자의 소자분리막 형성방법을 설명하기 위하여 나타내 보인 도면들이다. 도 15는 본 발명의 실시예에 적용하는 고밀도 플라즈마 챔버를 개략적으로 나타내보인 도면이다. 도 16 및 도 17은 트렌치 측면부에 발생된 나노 보이드 및 이로 인해 발생된 문제점을 설명하기 위해 나타내보인 도면들이다. 도 18a 및 도 18b는 검사 장치를 이용하여 측정한 결함을 나타내보인 도면들이다.

<15> 도 1을 참조하면, 반도체 기판(100) 위에 패드산화막(102) 및 패드질화막(104)을 순차적으로 증착한다. 여기서 패드산화막(102)은 패드질화막(104)의 인력에 의한 반도체 기판(100)의 스트레스를 완화하는 역할을 한다. 다음에 패드질화막(104) 위에 포토레지스트막을 도포 및 패터닝하여 패드질화막(104)의 일부 표면을 노출시키는 포토레지스트막 패턴(106)을 형성한다. 여기서 패드질화막(104)의 노출된 영역은 이후 형성될 소자분리막에 의해 소자분리영역(Isolation region)이 정의되고, 포토레지스트막 패턴(106)에 의해 차단된 영역은 이후 활성영역(Active region)이 정의된다.

<16> 도 2를 참조하면, 포토레지스트막 패턴(106)을 마스크로 한 식각 공정을 진행하여 반도체 기판(100) 내에 소정 깊이의 트렌치(112)를 형성한다.

<17> 구체적으로, 포토레지스트막 패턴(106)을 마스크로 패드질화막(104)의 노출 영역을 식각하여 패드질화막 패턴(108)을 형성한다. 다음에 포토레지스트막 패턴(106)은 스트립(strip) 공정을 진행하여 제거한다. 다음에 패드질화막 패턴(108)을 마스크로 패드산화막(102)을 식각하여 반도체 기판(100)의 일부 영역을 노출시키는 패드산화막 패턴(110)을 형성한다. 그리고 패드질화막 패턴(108) 및 패드산화막 패턴(110)을 마스크로 반도체 기판(100)의 노출 영역을 식각하여 반도체 기판(100) 내에 소정 깊이, 예컨대 1600Å 내지 1800Å의 깊이를 갖는 트렌치(112)를 형성한다.

<18> 도 3을 참조하면, 반도체 기판(100) 상에 산화 공정을 수행하여 트렌치(112)의 노출면 상에 측벽 산화막(114)을 형성한다. 측벽 산화막(114)은 열산화(thermal oxidation)방법을 이용하여 형성할 수 있다. 이러한 측벽 산화막(114)은 트렌치(112)를 형성하는 과정에서 반도체 기판(100) 상에 발생된 손상을 보상한다. 또한, 측벽 산화막(114)은 후속 증착할 라이너 질화막이 반도체 기판(100) 위에 바로 증착되어 발생하는 스트레스를 방지하는 역할을 한다.

<19> 다음에 측벽 산화막(114) 위에 라이너 질화막(116)을 70Å 내지 75Å의 두께로 증착한다. 라이너 질화막(116)은 이후 반도체 소자 제조공정, 예를 들어 게이트 산화(gate oxidation) 및 열 공정을 진행하는 과정에서 산화 소스(oxidant source)가 반도체 기판(100) 내로 침투하여 유발되는 누설 전류(leakage current)를 방지하는 역할을 한다. 또한, 채널을 형성하기 위해 불순물을 주입하는 과정에서 불순물이 소자분리막내에 침투하여 셀 문턱전압(Vth; Threshold voltage)이 감소하는 현상을 방지한다. 그리고 라이너 질화막(liner nitride, 116) 위에 라이너 산화막(liner oxide, 118)을 형성한다.

<20> 도 4를 참조하면, 반도체 기판(100) 상에 유동성 절연막(120)을 형성하여 트렌치(112)를 매립한다.

<21> 구체적으로, 반도체 기판(100)을 스핀 코팅기(spin coater)에 로딩시킨다. 다음에 스핀 코팅기를 일 방향으로 회전시키면서 스핀 코팅기에 배치되어 있는 반도체 기판(100) 상에 솔벤트(solvent) 및 용질(solute)이 혼합되어 있는 화합물을 포함하는 유동성 절연막(120)을 도포하여 트렌치(112)를 매립한다. 여기서 유동성 절연막(120)은 리플로우(reflow) 특성이 우수한 스핀 온 절연막(SOD; Spin On Dielectric)막을 이용할 수 있으며, 본 발명의 실시예에서는 폴리실라잔(polysilazane)을 이용한다. 다음에 유동성 절연막(120)에 큐어링(curing) 공정을 진행한다. 큐어링 공정은 수소(H_2) 가스 또는 산소(O_2) 가스 분위기에서 진행할 수 있다.

<22> 도 5를 참조하면, 유동성 절연막(120) 상에 평탄화 공정을 진행한다. 평탄화 공정은 화학적기계적연마(CMP; Chemical Mechanical Polishing)방법을 이용하여 패드질화막 패턴(108)의 표면이 노출될 때까지 진행한다. 이러한 평탄화 공정은 후속 유동성 절연막(120)을 리세스(recess) 시키는 과정에서 상기 유동성 절연막(120)을 균일하게 리세스 시키기 위해 진행한다.

<23> 도 6을 참조하면, 평탄화가 진행된 유동성 절연막(120')을 일정 깊이(d)만큼 리세스(recess)하여 트렌치(112) 측면부의 라이너 질화막(116)을 리세스된 깊이(d)만큼 노출시킨다. 여기서 유동성 절연막(120')은 1100Å 내지 1400Å의 깊이만큼 리세스된다. 이러한 유동성 절연막(120')을 리세스 시키는 공정은 습식 식각(wet etch)을 이용할 수 있다. 습식 식각은 습식 식각 용액(wet etch chemical), 예를 들어 불산(HF) 용액을 이용하여 진행할 수 있다. 이때, 라이너 산화막(118)은 리세스 공정을 진행하는 과정에서 리세스된 깊이(d)만큼 함께 식각된다. 이에 따라 라이너 산화막(118)이 식각된 깊이만큼 라이너 질화막(116)이 노출된다. 또한, 유동성 절연막(120')을 리세스 시키는 과정에서 라이너 산화막(116)이 식각되면서 노출된 라이너 질화막(116)의 두께도 소정 두께, 예를 들어 40Å의 두께로 감소할 수 있다.

<24> 다음에 리세스 공정이 진행된 반도체 기판(100) 상에 어닐(anneal) 공정을 진행한다. 구체적으로, 반도체 기판(100)을 퍼니스(furnace) 내에 로딩하고, 900℃ 내지 950℃의 온도에서 20초 내지 30초 동안 진행하여 유동성 절연막(120')의 막질을 치밀화한다.

<25> 종래의 경우, 고밀도 플라즈마(High Density Plasma; 이하 HDP라 칭함) 공정을 이용하여 트렌치 내부를 모두 매립하는 방법은 갭필 마진(gap-fill margin)이 부족하였다. 이에 따라 트렌치를 일부분을 유동성 절연막으로 매립하고, 나머지 트렌치를 고밀도 플라즈마 공정을 이용하는 방법이 제안되어 적용되고 있다. 이에 따라, 유동성 절연막을 리세스하는 공정을 진행하고 있다. 그런데 유동성 절연막(120')을 리세스하는 과정에서 라이너 질화막(116)이 노출된 트렌치(112) 측면 부분이 습식 식각 용액에 의해 표면 거칠기(roughness)가 증가하여 트렌치(112) 측면에 표면이 거친 부분(122)이 형성된다. 이러한 표면이 거친 부분(122)은 습식 식각 용액에 의해 라이너 산화막(118)이 미처 다 식각되지 않아 라이너 질화막(116) 상에 잔여물을 남기면서 발생되는 것을 원인으로 볼 수 있다.

<26> 이와 같이 표면이 거친 부분(122)이 존재하는 상태에서 매립절연막을 형성하면, 트렌치(112)의 바닥으로부터 성장하는 매립절연막의 속도보다 트렌치 측면의 표면이 거친 부분(122)이 빠르게 성장한다. 그러면 트렌치 측면의 표면이 거친 부분(122)이 메워지기 전에 매립되면서 나노 보이드(nano void)와 같은 결함(defect)이 발생한다. 도 16을 참조하면, 트렌치 측면의 표면이 거친 상태에서 매립절연막(210)을 형성한 경우, 트렌치(112) 측면에 발생된 나노 보이드(200)를 확인할 수 있다. 여기서 도면에서 미설명된 부분은 유동성 절연막(205)이다.

<27> 이러한 나노 보이드(200)가 존재하는 상태에서 후속 공정, 예를 들어 게이트 형성 후 랜딩플러그를 형성하는 공정을 진행하면, 도 17에 도시한 바와 같이, 랜딩플러그(235)의 도전성 물질이 나노 보이드 내로 침투하면서 게이트의 도전막(220)과 연결되는 브릿지성 결함(210)이 발생할 수 있다. 이에 따라 트렌치(112) 측면의 노출된 표면을 균일한 상태로 형성하여 브릿지성 결함을 방지하는 방법이 요구된다. 이때, 도 17에서 미설명된 부분은, 게이트 절연막(215), 금속막(225), 하드마스크막(230)이다.

<28> 도 7 및 도 15를 참조하면, 반도체 기판(100) 상에 제1 프리히팅 및 제2 프리히팅을 수행하여 측벽산화막(112) 및 라이너 질화막(116)의 스트레스를 완화시킨다.

<29> 구체적으로, 반도체 기판(100)을 도 15의 고밀도 플라즈마(HDP) 공정을 위한 챔버(300) 내 스테이지(305) 위에 로딩시킨다. 다음에 HDP 챔버(300) 내에 아르곤(Ar) 가스 및 헬륨(He)가스를 공급하면서, 적절한 파워를 인가하여 제1 프리히팅을 50초 내지 55초 동안 수행한다. 이 제1 프리히팅은 측벽 산화막(114) 및 라이너 질화막(116)의 스트레스를 완화시키는 역할을 한다. 이러한 제1 프리히팅은 아르곤(Ar) 가스는 60sccm 내지 75sccm의 유량으로 공급한다. 헬륨(He)가스는 HDP 챔버(300)의 측면부(side)에서 250sccm 내지 350sccm의 유량으로 공급하

면서 이와 함께 HDP 챔버(300)의 상부(top)에서 250sccm 내지 350sccm의 유량으로 공급한다. 이때, 플라즈마를 발생시키기 위해 HDP 챔버 상부(315)에서 인가하는 탑 파워(top power는 4500W 내지 5500W로 인가하며, HDP 챔버 측면부(320)에서 인가하는 사이드 파워(side power)는 3500W 내지 4500W로 인가한다. 이때, HDP 챔버의 하부(325)에서 인가하는 바텀 파워(bottom power)는 인가하지 않는다.

<30> 다음에 제1 프리히팅이 수행된 반도체 기판(100) 상에 산소(O_2)가스가 추가된 프리히팅 가스를 공급하여 산화에 의한 라이너 질화막(114)의 손상을 방지하는 제2 프리히팅을 수행한다. 제2 프리히팅은 제1 프리히팅이 진행된 HDP 챔버(300) 내에 산소(O_2) 가스, 아르곤(Ar) 가스 및 헬륨(He)가스를 공급하면서 적절한 파워를 인가하여 5초 내지 10초 동안 수행한다. 여기서 산소(O_2) 가스는 50sccm 내지 150sccm의 유량으로 공급하고, 아르곤(Ar) 가스를 포함하는 불활성 기체는 40sccm 내지 50sccm의 유량으로 공급한다. 또한, 헬륨(He)가스는 산소(O_2) 가스 및 아르곤(Ar) 가스와 함께 200sccm 내지 300sccm의 유량으로 공급한다. 이와 함께 HDP 챔버 상부(315)에서 인가하는 탑 파워는 4500W 내지 5500W로 인가하며, HDP 챔버 측면부(320)에서 인가하는 사이드 파워는 3500W 내지 4500W로 인가한다. 이때, HDP 챔버의 하부(325)에서 인가되는 바텀 파워는 인가하지 않는다. 또한, 제1 프리히팅 및 제2 프리히팅을 포함하는 프리히팅 단계는 60초를 넘지 않는 것이 바람직하다. 이러한 제1 프리히팅 및 제2 프리히팅은 라이너 질화막(116)의 스트레스를 미리 이완시켜 라이너 질화막(116)이 트렌치(112)로부터 떨어지는 리프팅(lifting) 현상을 방지하는 역할을 한다.

<31> 도 8을 참조하면, 유동성 절연막(120') 및 트렌치(112) 측벽의 표면이 거친 부분(122) 위에 제1 버퍼막(124)을 형성한다.

<32> 구체적으로, 제1 및 제2 프리히팅이 수행된 HDP 챔버(300) 내에 산소(O_2) 가스, 실란(SiH_4) 가스 및 헬륨(He) 가스를 포함하는 증착 소스를 공급한다. 여기서 산소(O_2) 가스는 100sccm 내지 115sccm의 유량으로 공급한다. 실란(SiH_4) 가스는 HDP 챔버(300) 측면부에서 40sccm 내지 55sccm의 유량으로 공급하면서 HDP 챔버 상부에서 25sccm 내지 35sccm의 유량으로 공급한다. 그리고 헬륨(He) 가스는 HDP 챔버(300) 측면부에서 150sccm 내지 250sccm의 유량으로 공급하면서 HDP 챔버 상부에서 50sccm 내지 150sccm의 유량으로 공급한다. 이와 함께 HDP 챔버 상부(315)에서 탑 파워를 7500W 내지 8500W로 인가하고, HDP 챔버 측면부(320)에서 사이드 파워를 4500W 내지 5500W로 인가한다. 또한, HDP 챔버 하부(325)에서 바텀 파워를 450W 내지 550W로 인가한다. 그러면, 유동성 절연막(120') 및 라이너 질화막(116)이 노출된 트렌치(112) 측벽 위에 제1 버퍼막(124)이 형성된다. 제1 버퍼막(124)은 트렌치 측벽 내부에 보이드가 형성되지 않는 두께로 형성하며, 바람직하게는 250Å 내지 350Å의 두께로 형성한다. 이러한 제1 버퍼막(124)에 의해 트렌치 측벽 내부의 표면이 거친 부분(122)의 굴곡을 보다 완화시킬 수 있다.

<33> 도 9를 참조하면, HDP 챔버(300) 내에 HDP 증착 소스를 추가로 공급하여 매립절연막의 시드(seed) 역할을 하는 제2 버퍼막(126)을 형성한다.

<34> 구체적으로, HDP 챔버(300) 내에 산소(O_2) 가스, 실란(SiH_4) 가스, 수소(H_2) 가스 및 헬륨(He)를 공급한다. 여기서 산소(O_2) 가스는 70sccm 내지 80sccm의 유량으로 공급한다. 실란(SiH_4) 가스는 HDP 챔버(300) 측면부에서 40sccm 내지 55sccm의 유량으로 공급하면서 HDP 챔버 상부에서 5sccm 내지 15sccm의 유량으로 공급한다. 또한, 헬륨(He) 가스는 HDP 챔버 측면부에서 250sccm 내지 350sccm의 유량으로 공급한다. 그리고 수소(H_2) 가스는 100sccm 내지 150sccm의 유량으로 공급한다. 이와 함께 HDP 챔버 상부(315)에서 탑 파워를 6500W 내지 7500W로 인가하고, HDP 챔버 측면부(320)에서 사이드 파워를 6500W 내지 7500W로 인가한다. 또한, HDP 챔버 하부(325)에서 바텀 파워를 1500W 내지 2500W로 인가하여 제1 버퍼막(124) 위에 제2 버퍼막(126)을 250Å 내지 350Å의 두께로 형성한다.

<35> 트렌치(112)의 내부로부터 매립하는 속도를 높이기 위해 제2 버퍼막(126)을 두껍게 형성하면, 트렌치(112) 측면의 표면이 거친 부분(122)이 먼저 성장하면서 나노 보이드(200, 도 16 참조)가 형성된다. 이에 따라 본 발명에서는, 종래의 경우, 제1 버퍼막(124)을 350Å 이상의 두께로 형성하고, 제2 버퍼막(126)을 700Å 이상의 두께로 형성하던 것을 많아야 350Å, 바람직하게는 250Å 내지 350Å의 두께로 형성한다. 이와 같이, 제1 버퍼막(124) 및 제2 버퍼막(126)의 두께를 상대적으로 낮은 두께로 형성함에 따라 나노 보이드가 성장하는 트렌치(112)의 측면의 표면이 거친 부분(122)이 먼저 성장하기 전에 제2 버퍼막(126)을 형성한다. 이때, 보이드가 발생하더라도 트렌치(112) 바닥 부분에 형성되므로 반도체 소자의 특성에는 영향을 미치지 않는다.

<36> 도 10 및 도 15를 참조하면, 반도체 기판(100) 상에 식각 가스를 공급하여 리세스 과정에서 유발된 트렌치(112) 측면의 표면이 거친 부분을 식각한다.

<37> 구체적으로, HDP 챔버(300) 내에 삼불화질소(NF_3) 가스, 수소(H_2) 가스 및 헬륨(He) 가스를 포함하는 식각 가스를 공급하면서 적절한 파워를 인가한다. 여기서 삼불화질소(NF_3) 가스는 100sccm 내지 200sccm의 유량으로 공급하고, 수소(H_2) 가스는 100sccm 내지 200sccm의 유량으로 공급한다. 또한, 헬륨(He) 가스는 55sccm 내지 65sccm의 유량으로 공급한다. 이때, 헬륨(He) 가스는 HDP 챔버의 상부에서 55sccm 내지 65sccm의 유량으로 추가로 공급한다. 플라즈마를 발생시키기 위한 소스 파워는 HDP 챔버의 상부(315)에서 탑 파워를 1500W 내지 2500W로 인가하고, HDP 챔버 측면부(320)에서 사이드 파워를 5500W 내지 6500W로 인가한다. 또한, HDP 챔버 하부(325)에서 바텀 파워를 1000W 내지 1800W로 인가한다.

<38> 이러한 식각 가스 및 파워를 인가하면, 제1 버퍼막(124) 및 제2 버퍼막(126)이 식각되면서 트렌치 측면의 표면이 거친 부분(122)도 함께 제거된다. 여기서 식각 공정은 사이드 파워를 바텀 파워보다 상대적으로 높게 인가하여 측면의 식각이 바닥보다 많이 진행되며, 유동성 절연막(120') 위에 제1 및 제2 버퍼막(124, 126)이 소정 두께만큼 남아 있다. 이때, 식각 공정은 라이너 질화막(116)이 트렌치(112) 상에 남아 있도록 진행하며, 바람직하게는 85Å 내지 95Å의 두께를 식각하도록 식각 타겟(etch target)을 설정한다. 여기서 라이너 질화막(116)은 제2 버퍼막(126)에 의해 보호되어 식각 가스에 의해 손상되지 않는다.

<39> 도 11을 참조하면, 식각 공정이 진행된 HDP 챔버(300) 내에 산소(O_2) 가스, 실란(SiH_4) 가스 , 수소(H_2) 가스 및 헬륨(He) 가스를 포함하는 증착 소스를 공급하여 트렌치(112) 상에 HDP 산화막(128)을 형성한다.

<40> 구체적으로, HDP 챔버(300) 내에 산소(O_2) 가스는 70sccm 내지 80sccm의 유량으로 공급한다. 실란(SiH_4) 가스는 HDP 챔버 측면부에서 40sccm 내지 55sccm의 유량으로 공급하면서 HDP 챔버 상부에서 5sccm 내지 15sccm의 유량으로 공급한다. 또한, 헬륨(He) 가스는 HDP 챔버 측면부에서 250sccm 내지 350sccm의 유량으로 공급한다. 그리고 수소(H_2) 가스는 100sccm 내지 150sccm의 유량으로 공급한다. 이와 함께 HDP 챔버 상부(315)에서 탑 파워를 6500W 내지 7500W로 인가하고, HDP 챔버 측면부(320)에서 사이드 파워를 6500W 내지 7500W로 인가한다. 또한, HDP 챔버 하부(325)에서 바텀 파워를 1500W 내지 2500W로 인가하여 트렌치(112) 상에 HDP 산화막(128)을 450Å 내지 550Å의 두께로 형성한다. 이때, HDP 산화막(128)을 형성하는 과정에서 폭이 좁은 트렌치(112) 특성에 의해 트렌치 내부보다 트렌치 상부에 HDP 산화막(128)이 돌출되는 오버행(overhang, A)이 나타날 수 있다.

<41> 도 12 및 도 15를 참조하면, HDP 챔버(300) 내에 식각 가스를 공급하여 HDP 산화막(128)을 형성하는 과정에서 트렌치(112) 측벽에 형성된 오버행(A)을 식각한다.

<42> HDP 챔버(300) 내에 공급하는 식각 가스는 삼불화질소(NF_3) 가스, 수소(H_2) 가스 및 헬륨(He) 가스를 포함한다. 여기서 삼불화질소(NF_3) 가스는 100sccm 내지 200sccm의 유량으로 공급하고, 수소(H_2) 가스는 100sccm 내지 200sccm의 유량으로 공급한다. 또한, 헬륨(He) 가스는 55sccm 내지 65sccm의 유량으로 공급한다. 이때, 헬륨(He) 가스는 HDP 챔버의 상부에서 55sccm 내지 65sccm의 유량으로 추가로 공급한다. 또한, 플라즈마를 발생시키기 위한 소스 파워는 HDP 챔버의 상부(315)에서 탑 파워를 1500W 내지 2500W로 인가하고, HDP 챔버 측면부(320)에서 사이드 파워를 5500W 내지 6500W로 인가한다. 그리고 HDP 챔버 하부(325)에서 바텀 파워를 1000W 내지 1800W로 인가한다. 이때, 오버행을 식각하는 공정은 HDP 산화막(128)을 85Å 내지 95Å의 두께를 식각하도록 식각 타겟을 설정한다. 이러한 식각 공정에 의해 HDP 산화막(128)을 형성하는 과정에서 증착 속도 차이에 의해 트렌치(112) 상부에 형성된 오버행(A)을 식각하여 트렌치(112) 상부의 HDP 산화막의 굴곡을 완화시킬 수 있다.

<43> 도 13을 참조하면, HDP 산화막 증착 공정 및 오버행 식각 공정을 반복하여 트렌치(112)를 매립절연막(130)으로 증착한다. 이러한 방식은 트렌치(112)를 매립하는데 방해되는 트렌치(112) 상부의 오버행을 제거하고, 다시 증착하는 과정을 반복하여 갭필(gap fill) 특성을 향상시킬 수 있는 방법이다. 여기서 트렌치(112)를 매립하는 매립절연막(130)을 형성하는 HDP 산화막 증착 공정 및 오버행 식각 공정 5 싸이클(cycle) 이상 반복하는 것이 바람직하다.

<44> 이때, 종래의 경우에는 700Å 이상의 두께로 HDP 산화막을 증착하고, 이 HDP 산화막을 150Å 이상의 두께로 식각하는 공정을 반복하여 매립절연막을 형성하였다. 그러나 본 발명에서는 HDP 산화막(128)을 450Å 내지 550Å의 두께로 형성하고, HDP 산화막(128)을 85Å 내지 95Å의 두께를 식각함으로써 나노 보이드가 발생할 위험을 최대한 감소시킬 수 있다. 여기서 프리히팅 공정 내지 오버행 식각 공정은 하나의 HDP 챔버(300)에서 인 시츄

(in-situ)로 진행할 수 있다.

<45> 이와 같이 제1 버퍼막 및 제2 버퍼막을 이용하여 트렌치 측벽의 표면이 거친 부분의 토폴로지(topology)를 완화시킬 수 있다. 또한, 제1 버퍼막 및 제2 버퍼막의 두께를 보이드가 형성되지 않을 두께로 조절하여 나노 보이드가 성장되는 부분과 접촉하기 전에 매립절연막의 시드층인 제2 버퍼막을 형성하는 공정을 완성하고, 식각 공정을 이용하여 트렌치 측벽의 표면이 거친 부분을 식각하여 제거함으로써 나노 보이드가 형성되는 것을 방지할 수 있다. 이에 따라 전자빔 검사장치(EBI; Electron Beam Inspection)를 이용하여 도전성 물질을 이용하여 랜딩플러그를 형성한 후 브릿지성 결함을 측정하면, 도 18a 및 도 18b에 도시한 바와 같이, 종래의 웨이퍼(B)에서는 브릿지성 결함이 군집하여 측정되는 반면, 본 실시예에 따른 웨이퍼(C)에서는 이러한 결함이 거의 발견되지 않는 것을 확인할 수 있다.

<46> 다음에 도 14를 참조하면, 패드질화막 패턴(108)의 표면이 노출되도록 매립절연막(130)에 대한 평탄화를 진행하고, 노출된 패드질화막 패턴(108) 및 패드산화막 패턴(110)을 제거하여 트렌치 소자분리막(132)을 형성한다. 여기서 매립절연막(130)은 화학적기계적연마(CMP; Chemical Mechanical Polishing)방법을 이용하여 평탄화할 수 있다.

<47> 본 발명에 따른 반도체 소자의 소자분리막 형성방법은, 유동성 절연막을 리세스시키는 과정에서 트렌치 측면의 표면이 거친 부분 상에 제1 버퍼막 및 제2 버퍼막을 형성하여 표면을 완화시킨 후, 식각 가스를 이용하여 표면이 거친 부분을 식각하여 제거한다. 그러면, 식각 가스에 의해 표면이 불균일한 부분이 제거되면서 이후 매립절연막을 형성하는 과정에서 나노 보이드가 형성되는 것을 방지할 수 있다. 이에 따라 도전막이 소자분리막 내로 침투되는 브릿지성 결함과 같은 반도체 소자의 특성이 저하되는 것을 방지하는 효과가 있다. 또한 제1 버퍼막 및 제2 버퍼막의 증착 두께를 트렌치 내부에 보이드가 형성되지 않는 얇은 두께로 형성하여 트렌치 측벽 및 바닥면의 성장 속도를 조절하여 나노 보이드가 형성되는 것을 방지할 수 있다. 즉, 제1 버퍼막 및 제2 버퍼막의 증착 두께를 조절하여 나노 보이드가 성장되는 부분과 접촉하기 전에 매립절연막의 시드막을 형성하는 공정을 완성하고, 후속 공정으로 트렌치 측벽의 표면이 불균일한 부분을 식각하여 제거함으로써 나노 보이드가 형성되는 것을 방지할 수 있다.

도면의 간단한 설명

<48> 도 1 내지 도 14는 본 발명의 실시예에 따른 반도체 소자의 소자분리막 형성방법을 설명하기 위하여 나타내 보인 도면들이다.

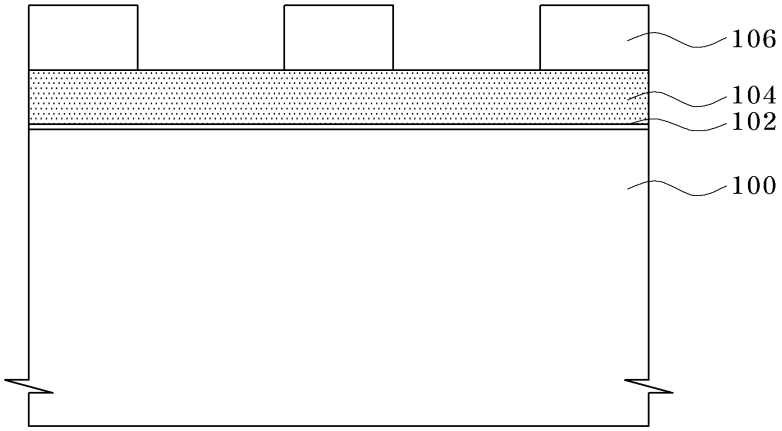
<49> 도 15는 본 발명의 실시예에 적용하는 고밀도 플라즈마 챔버를 개략적으로 나타내보인 도면이다.

<50> 도 16 및 도 17은 트렌치 측면부에 발생된 나노 보이드 및 이로 인해 발생된 문제점을 설명하기 위해 나타내보인 도면들이다.

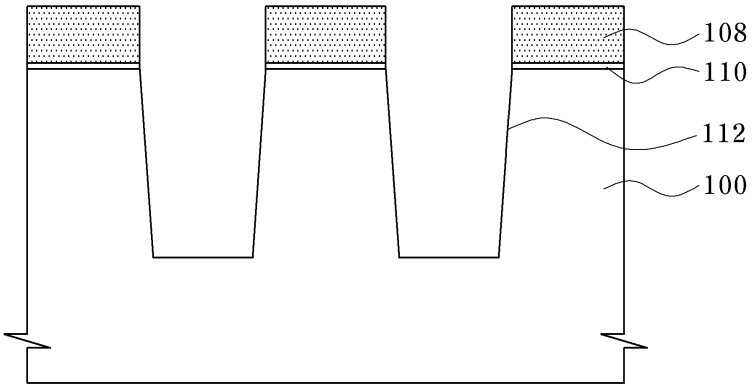
<51> 도 18a 및 도 18b는 검사 장치를 이용하여 측정한 결함을 나타내보인 도면들이다.

도면

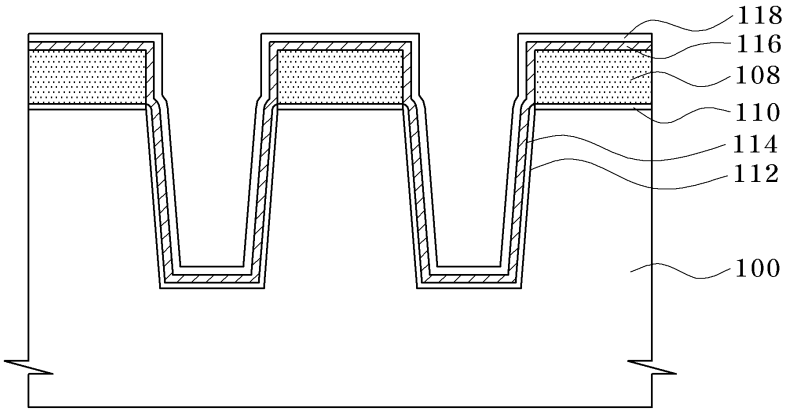
도면1



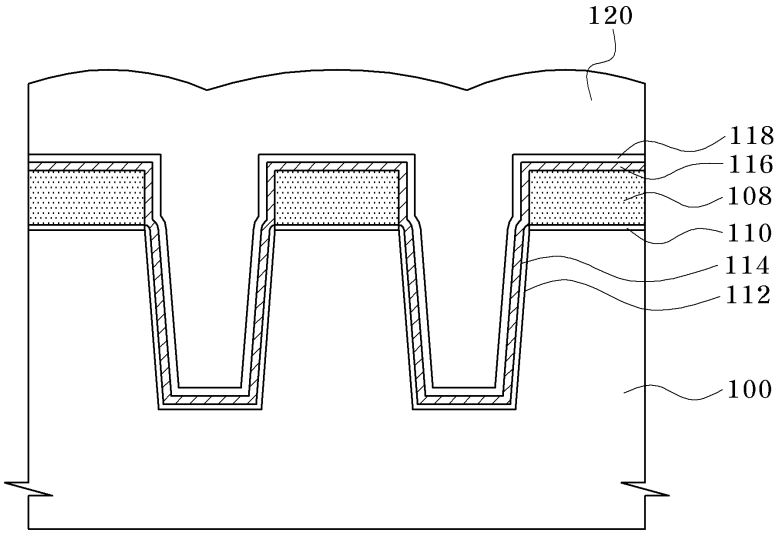
도면2


108
110
112
100

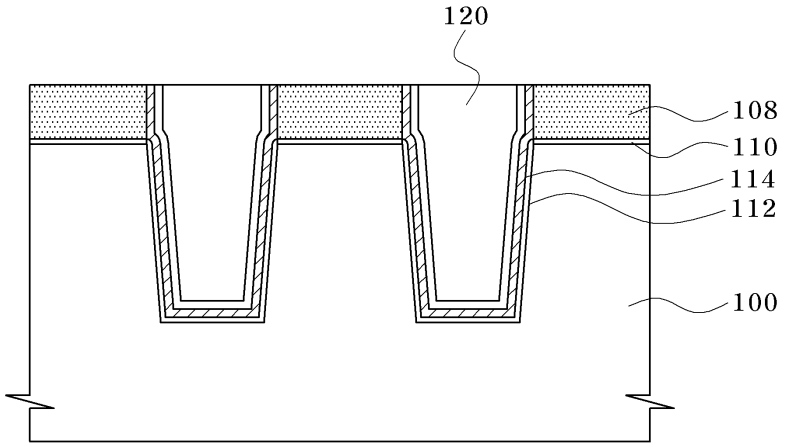
도면3


118
116
108
110
114
112
100

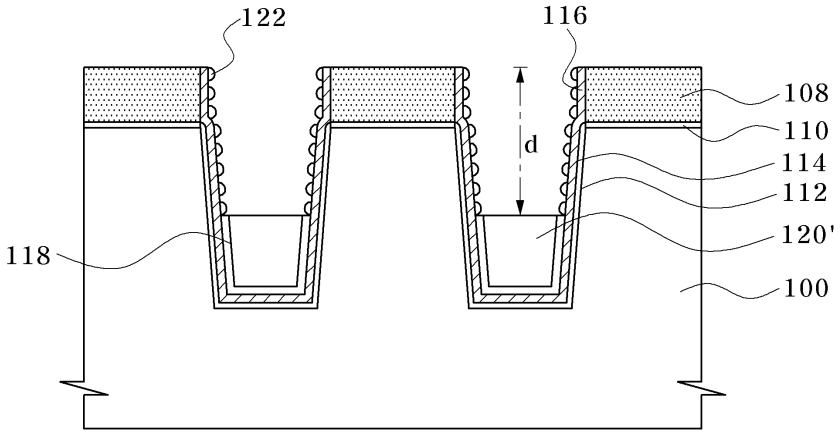
도면4


120
118
116
108
110
114
112
100

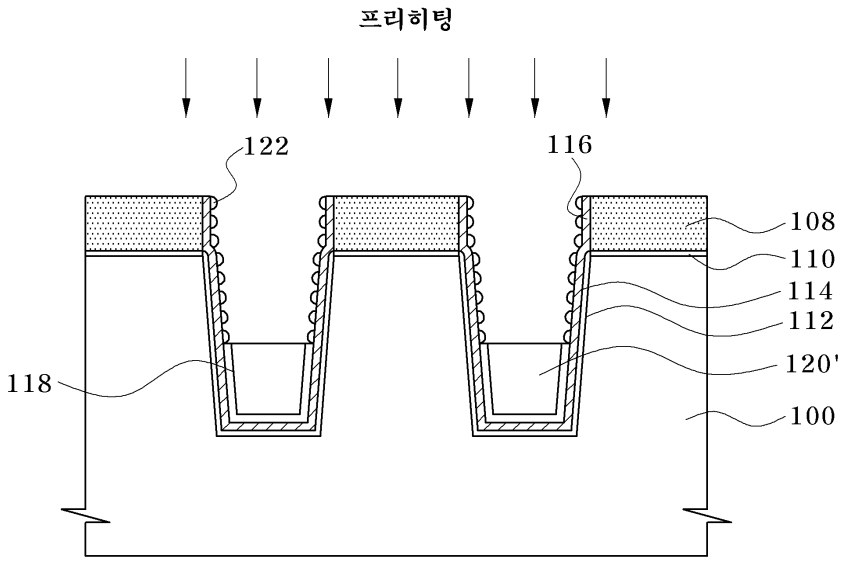
도면5



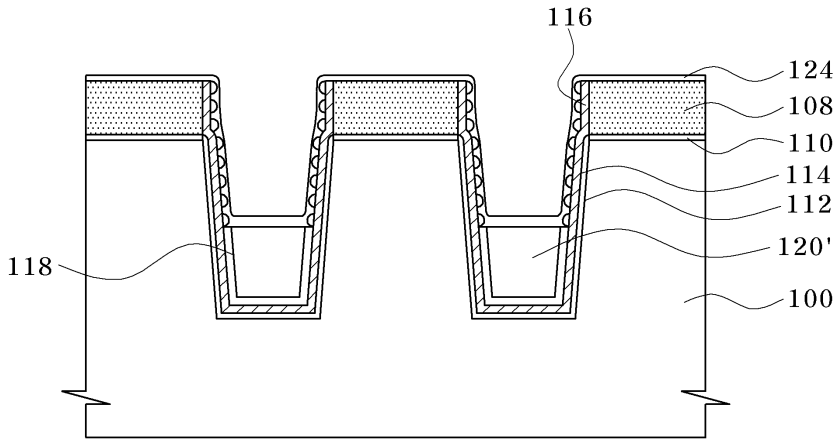
도면6



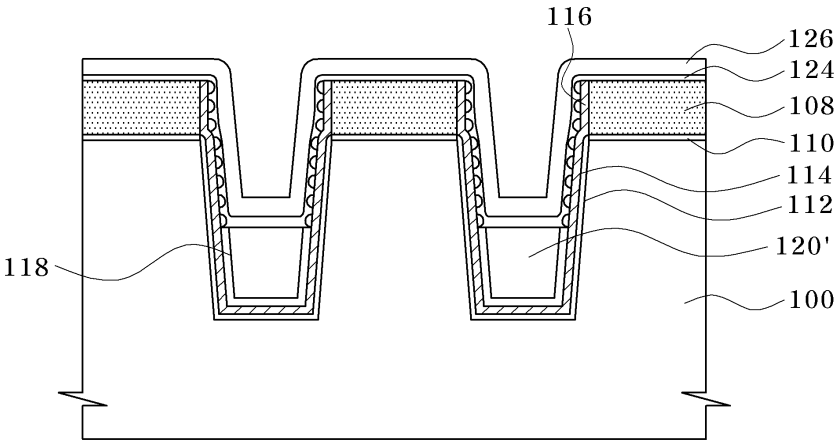
도면7


프리히팅
122
116
108
110
114
112
120'
118
100

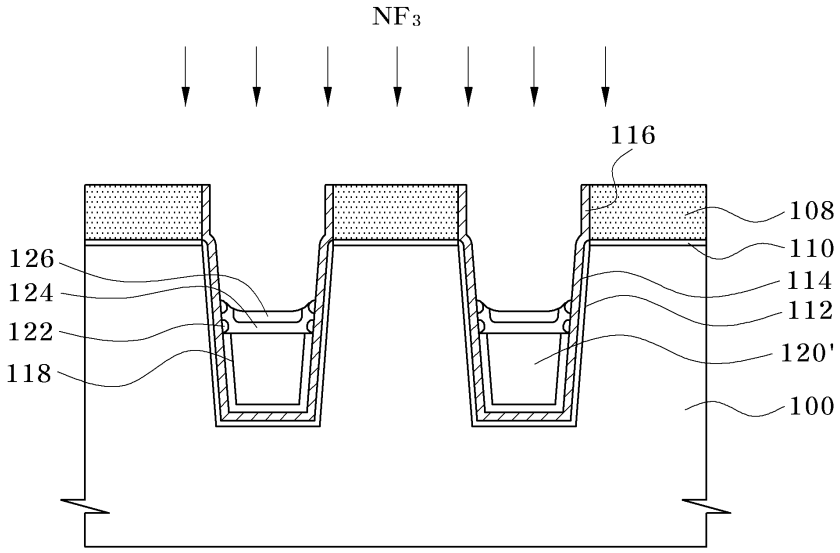
도면8


116
124
108
110
114
112
120'
118
100

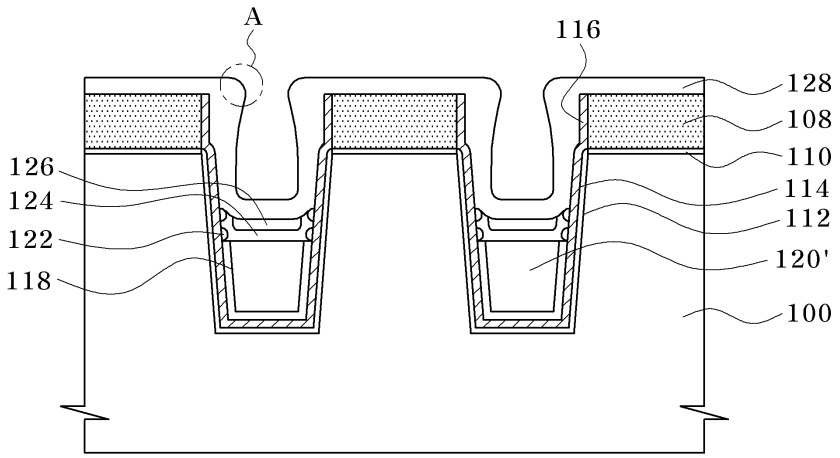
도면9


116
126
124
108
110
114
112
120'
118
100

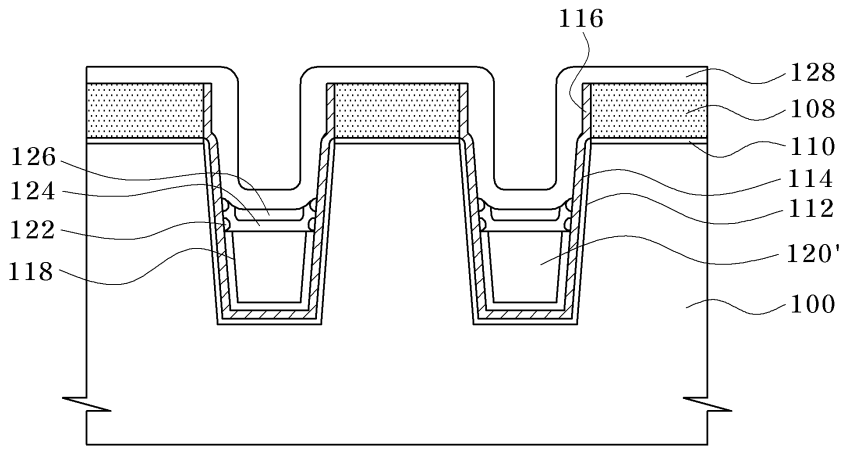
도면10


NF3
116
108
110
126
124
114
122
112
120'
118
100

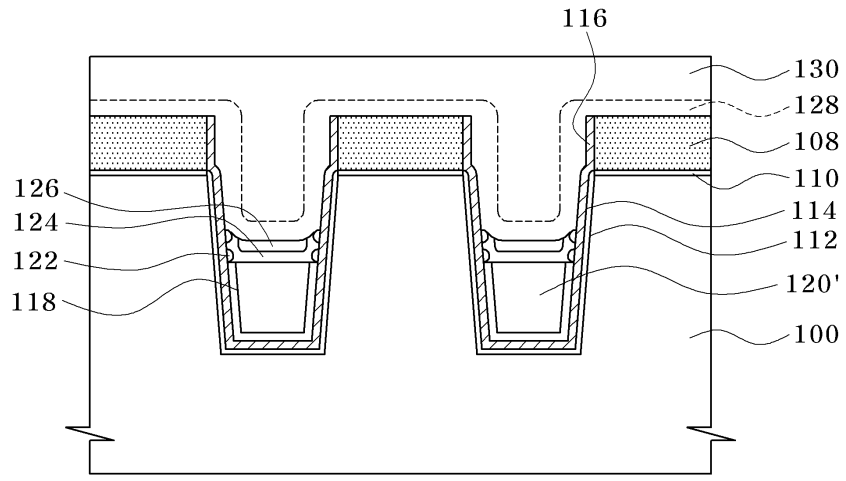
도면11



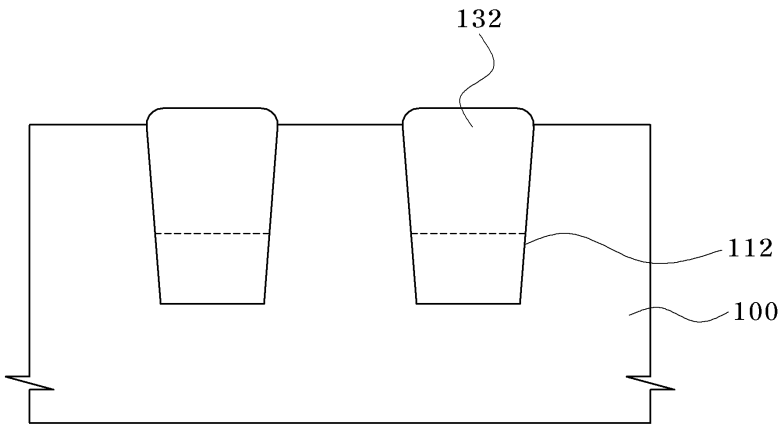
도면12



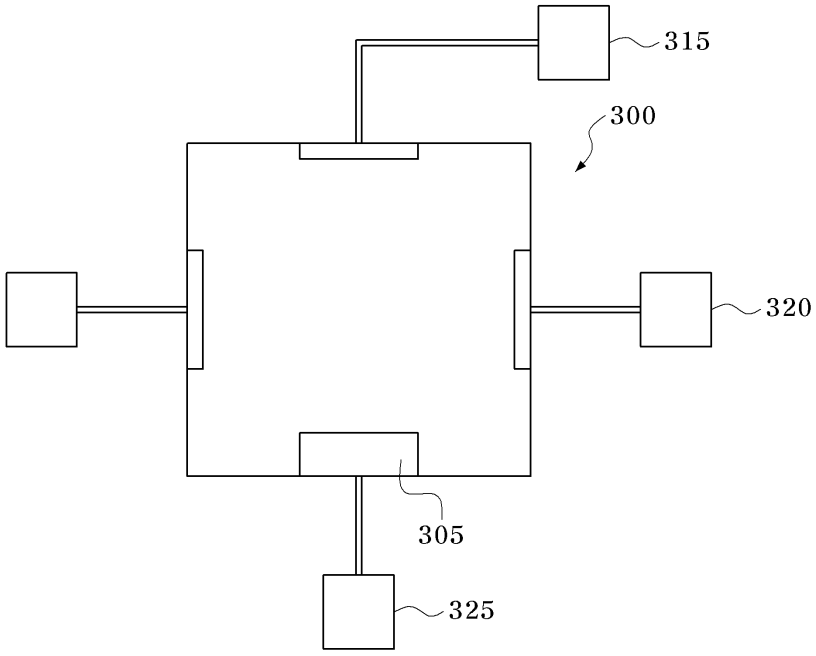
도면13



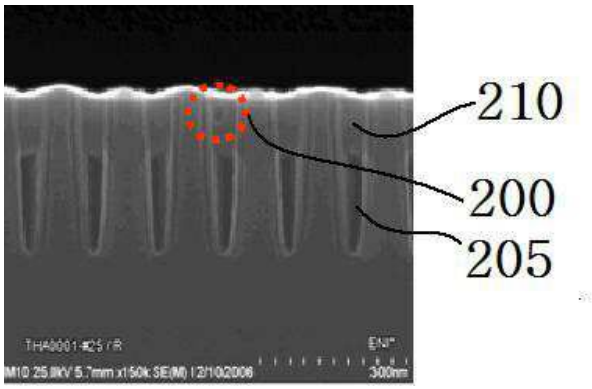
도면14



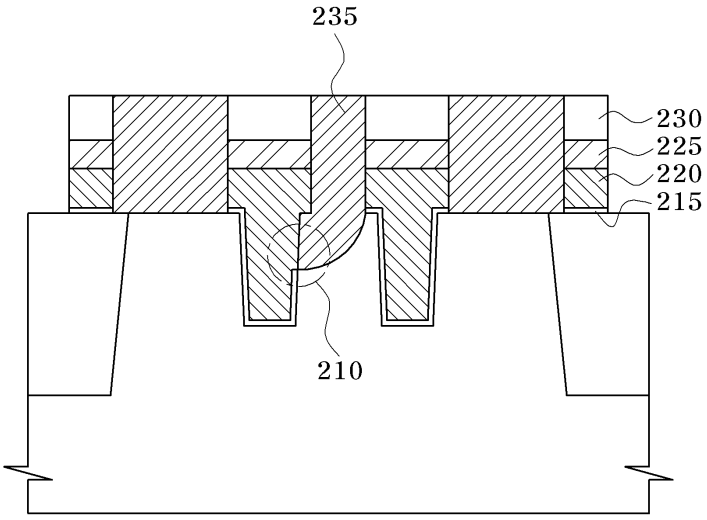
도면15



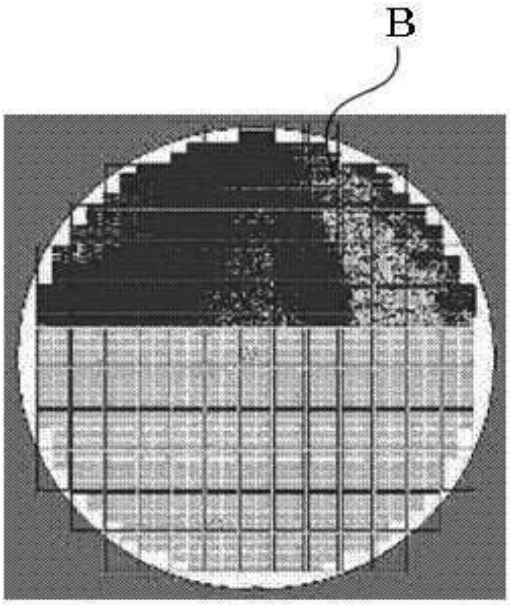
도면16



도면17



도면18a



도면18b

