

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年2月7日(07.02.2013)



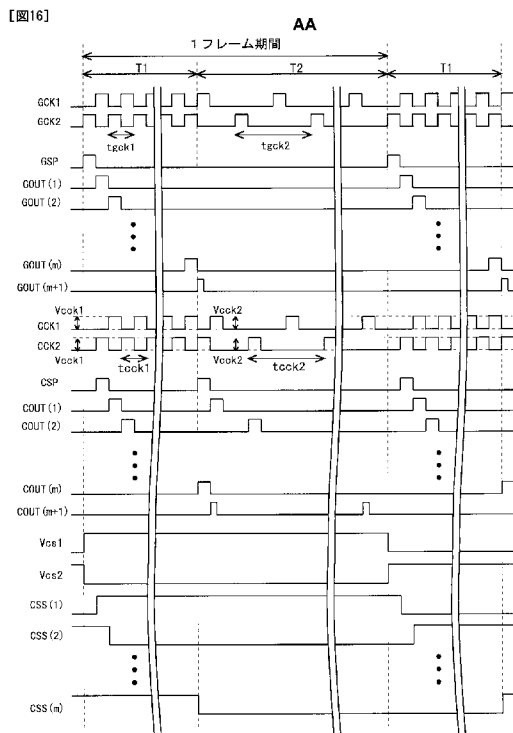
(10) 国際公開番号
WO 2013/018596 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/068758
- (22) 国際出願日: 2012年7月25日(25.07.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-169050 2011年8月2日(02.08.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本 薫
(YAMAMOTO, Kaoru). 金子 誠二 (KANEKO,
Seiji). 小川 康行 (OGAWA, Yasuyuki). 田中 耕平
(TANAKA, Kohhei). 内田 誠一 (UCHIDA, Seichi).
- 高丸 泰 (TAKAMARU, Yutaka). 森 重恭 (MORI,
Shigeyasu).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: METHOD FOR POWERING LCD DEVICE AND AUXILIARY CAPACITY LINE

(54) 発明の名称: 液晶表示装置および補助容量線の駆動方法



AA FRAME INTERVAL

(57) Abstract: Provided is a CS-drive lcd device that reduces power consumption. A CS driver (500) is configured from a CS shift register (510) and a CS output unit (520). The CS shift register (510) outputs control signals (COUT(1)-COUT(m)) on the basis of a CS clock signal (CCK). The CS output unit (520) respectively outputs auxiliary capacity signals (CSS(1)-CSS(m)) on the basis of the control signals (COUT(1)-COUT(m)). A scanning period (T1) is followed by an idle period (T2). During the idle period (T2), the CS driver (500) operates on the basis of the CS clock signal (CCK) of the idle period CS frequency (fcck2). The idle period CS frequency (fcck2) is lower than the scanning period CS frequency (fcck1).

(57) 要約: 消費電力を低減したCS駆動方式の液晶表示装置を提供する。CSドライバ(500)は、CSシフトレジスタ(510)およびCS出力部(520)により構成される。CSシフトレジスタ(510)はCSクロック信号CCKに基づいて制御信号(COUT(1)~COUT(m))を出力する。CS出力部(520)は、制御信号(COUT(1)~COUT(m))に基づいてそれぞれ補助容量信号(CSS(1)~CSS(m))を出力する。走査期間(T1)の後に休止期間(T2)が設けられる。休止期間(T2)では、休止期間CS周波数(fcck2)のCSクロック信号(CCK)に基づいてCSドライバ(500)が駆動される。休止期間CS周波数(fcck2)は走査期間CS周波数(fcck1)よりも低い。



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶表示装置および補助容量線の駆動方法

技術分野

[0001] 本発明は、液晶表示装置および当該液晶表示装置内の補助容量線の駆動方法に関し、特に、ドライバモノリシック型の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法に関する。

背景技術

[0002] 従来から、アクティブマトリクス型の液晶表示装置に関して低消費電力化が求められている。この低消費電力化を図る方法の1つとして、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が知られている。以下では、このような駆動方式を「CS駆動方式」という。このCS駆動方式によれば、小さな映像信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。このような駆動方法は、例えば特許文献1に開示されている。

[0003] また、近年、液晶パネルを駆動するためのドライバを、この液晶パネルを構成する基板上に直接的に形成することが徐々に多くなされている。このドライバとしては、例えば、ゲートライン（走査信号線）を駆動するためのゲートドライバ（走査信号線駆動回路）およびCSライン（上記補助容量線）を駆動するためのCSドライバ（補助容量線駆動回路）等が挙げられる。このようなドライバは「モノリシックドライバ」等と呼ばれている。このモノリシックドライバを備えた液晶表示装置（以下「ドライバモノリシック型の液晶表示装置」という）は、例えば特許文献2に記載されている。このドライバモノリシック型の液晶表示装置によれば、狭額縁化および低コスト化を図ることができる。このドライバモノリシック型の液晶表示装置では、従来よりアモルファスシリコン（a-Si）を半導体層に用いた薄膜トランジスタ（以下「a-Si TFT」という）が駆動素子として採用されている。

[0004] ところで、特許文献3には、ゲートラインを走査する走査期間T1の後に

、全てのゲートラインを非走査状態にする休止期間 T_2 を設ける表示装置の駆動方法が開示されている。この休止期間 T_2 では、ゲートドライバにクロック信号等が与えられない。このため、走査期間 T_1 においてゲートラインを 60Hz で走査したとしても、例えばこの走査期間 T_1 の同じ長さの休止期間 T_2 を設けることにより、全体としてのゲートラインの駆動周波数が 30Hz 程度になる。このため、低消費電力化を図ることができる。

先行技術文献

特許文献

[0005] 特許文献1：日本の特開2009-86170号公報

特許文献2：日本の特開2004-78172号公報

特許文献3：日本の特開2001-312253号公報

発明の概要

発明が解決しようとする課題

[0006] 上述のCS駆動方式によれば液晶表示装置における消費電力を低減することができるが、液晶表示装置に対してはさらなる低消費電力化が求められている。

[0007] そこで、本発明は、消費電力を低減したCS駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の局面は、液晶表示装置であって、

複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、

オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、

前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第1シフト動作クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含み、

前記走査期間における前記複数の第1シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第1シフト動作クロック信号の周波数が低いことを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記休止期間における前記複数の第1シフト動作信号の振幅が、前記走査期間における該複数の第1シフト動作信号の振幅よりも低いことを特徴とする。

[0010] 本発明の第3の局面は、本発明の第1の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

[0011] 本発明の第4の局面は、本発明の第1の局面において、

前記補助容量線駆動回路は、前記複数の補助容量線に第1導通端子がそれぞれ接続された複数の第1スイッチング素子をさらに含み、

前記表示制御回路が、前記フレーム期間毎に2つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第1スイッチング素子の第2導通端子に与え、

各第 1 スイッチング素子の制御端子には、該第 1 スイッチング素子の前記第 1 導通端子が接続された補助容量線に対応する第 1 双安定回路の出力信号が与えられることを特徴とする。

[0012] 本発明の第 5 の局面は、本発明の第 4 の局面において、

前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうちの一方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 1 バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうちの他方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 2 バイアス信号を与え、

前記第 1 バイアス信号と前記第 2 バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする。

[0013] 本発明の第 6 の局面は、本発明の第 4 の局面において、

前記補助容量線駆動回路は、前記複数の第 1 スイッチング素子にそれぞれ対応する複数の第 2 スイッチング素子をさらに含み、

前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第 1 シフト動作信号の周波数よりも前記休止期間における周波数が低い休止期間動作クロック信号を、各第 2 スイッチング素子の制御端子に与え、

各第 2 スイッチング素子の第 1 制御端子が、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 1 導通端子に接続された補助容量線に接続され、

各第 2 スイッチング素子の第 2 制御端子には、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 2 導通端子に与えられた前記バイアス信号が与えられることを特徴とする。

[0014] 本発明の第 7 の局面は、本発明の第 1 の局面において、

前記複数の第 1 シフト動作クロック信号が、互いに位相の異なる 3 相以上

の第１シフト動作クロック信号であることを特徴とする。

[0015] 本発明の第８の局面は、本発明の第１の局面において、
前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする。

[0016] 本発明の第９の局面は、本発明の第８の局面において、
前記走査信号線駆動回路は、互いに縦続接続された複数の第２双安定回路の出力信号を、前記クロック信号に含まれる複数の第２シフト動作クロック信号に基づいて順次にオンレベルにする第２シフトレジスタを含み、該複数の第２双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする。

[0017] 本発明の第１０の局面は、本発明の第８の局面において、
前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第１シフトレジスタを共通に含み、
前記走査信号線駆動回路は、複数の第１双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、
前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、
前記複数の出力バッファは、前記バッファ入力信号と、対応する第１双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする。

[0018] 本発明の第１１の局面は、本発明の第１の局面から第７の局面までのいずれかにおいて、
前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

[0019] 本発明の第１２の局面は、本発明の第８の局面から第１０の局面までのいずれかにおいて、
前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていること

を特徴とする。

[0020] 本発明の第 13 の局面は、本発明の第 1 の局面から第 7 の局面までのいずれかにおいて、

前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

[0021] 本発明の第 14 の局面は、本発明の第 8 の局面から第 10 の局面までのいずれかにおいて、

前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

[0022] 本発明の第 15 の局面は、複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第 1 シフト動作クロック信号の周波数よりも、前記休止期間における該複数の

第1シフト動作用クロック信号の周波数を低くするステップとを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記複数の第1シフト動作用クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含むことを特徴とする。

[0023] 本発明の第16の局面は、本発明の第15の局面において、

前記休止期間における前記複数の第1シフト動作用信号の振幅が、前記走査期間における該複数の第1シフト動作用信号の振幅よりも低いことを特徴とする。

[0024] 本発明の第17の局面は、本発明の第15の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

[0025] 本発明の第18の局面は、本発明の第15の局面において、

前記複数の第1シフト動作クロック信号が、互いに位相の異なる3相以上の第1シフト動作クロック信号であることを特徴とする。

発明の効果

[0026] 本発明の第1の局面によれば、表示部と補助容量線駆動回路とが一体的に形成され、複数の補助容量線が互いに独立に駆動される表示装置において、1フレーム期間が上記走査期間および上記休止期間からなる。この休止期間では、走査期間よりも第1シフト動作用クロック信号の周波数が低くなるので、1フレーム期間全体での補助容量線駆動回路の駆動周波数が低減される。したがって、消費電力が低減される。また、表示部と補助容量線駆動回路とが一体的に形成されているので、額縁面積が縮小されると共に、補助容量線駆動回路のコストが低減される。

[0027] 本発明の第2の局面によれば、休止期間における複数の第1シフト動作用クロック信号の振幅が、走査期間における該複数の第1シフト動作用クロック信号の振幅よりも小さくなる。このため、さらなる低消費電力化を図ることができる。

[0028] 本発明の第3の局面によれば、休止期間が走査期間よりも長くなる。こ

のため、さらなる低消費電力化を図ることができる。

[0029] 本発明の第4の局面によれば、休止期間において、休止期間の直前の走査期間に各補助容量線に与えられたバイアス信号が、補助容量クロック信号に基づいて補助容量線に与えられる。このため、休止期間において補助容量線が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間における複数の第1シフト動作クロック信号の周波数が走査期間におけるものよりも低くなるので、第1スイッチング素子に掛かる負荷が低減される。したがって、第1スイッチング素子におけるしきい値変動が低減されるので、当該第1スイッチング素子の信頼性低下を抑制することができる。

[0030] 本発明の第5の局面によれば、互いに隣接する補助容量線に、走査期間および休止期間からなるフレーム期間において互いに異なる電位が与えられる。このため、複数の補助容量線を互いに独立に駆動するにあたり、ライン反転駆動を行うことができる。

[0031] 本発明の第6の局面によれば、複数の第1クロック信号に代えて、休止動作期間動作信号に基づいて、本発明の第1の局面と同様の効果を奏することができる。また、休止期間において第1双安定回路の出力信号がオンレベルにならないので、第1スイッチング素子に掛かる負荷がさらに低減される。このため、第1スイッチング素子のさらなる高信頼性化を図ることができる。

[0032] 本発明の第7の局面によれば、複数の第1クロック信号の相数を3相以上にすることにより、各相に対する、双安定回路内の素子の負荷容量が十分に小さくなる。このため、さらなる低消費電力化を図ることができる。

[0033] 本発明の第8の局面によれば、走査信号線駆動回路も表示部と一体的に形成されるので、走査信号線駆動回路のコストが低減されると共に、さらなる狭額縁化を図ることができる。

[0034] 本発明の第9の局面によれば、補助容量線駆動回路と走査信号線駆動回路とが互いに別個のシフトレジスタを用いて実現される。

- [0035] 本発明の第10の局面によれば、補助容量線駆動回路と走査信号線駆動回路とでシフトレジスタが共有化される。このため、回路規模が縮小されるので、例えばさらなる狭額縁化を図ることができる。
- [0036] 本発明の第11の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。
- [0037] 本発明の第12の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。
- [0038] 本発明の第13の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。
- [0039] 本発明の第14の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。
- [0040] 本発明の第15の局面から第18の局面までによれば、表示装置の駆動方法において、本発明の第1の局面から第3の局面までおよび本発明の第7の

局面とそれぞれ同様の効果を奏することができる。

図面の簡単な説明

[0041] [図1]本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

[図2]上記第1の実施形態におけるゲートドライバおよびCSドライバの構成を説明するためのブロック図である。

[図3]上記第1の実施形態におけるゲートシフトレジスタの構成を示すブロック図である。

[図4]上記第1の実施形態におけるゲートシフトレジスタの最前段側の構成を示すブロック図である。

[図5]上記第1の実施形態におけるゲートシフトレジスタの最後段側の構成を示すブロック図である。

[図6]上記第1の実施形態におけるゲートドライバの動作を説明するための信号波形図である。

[図7]上記第1の実施形態におけるゲート双安定回路またはCS双安定回路の構成を示す回路図である。

[図8]上記第1の実施形態におけるゲート双安定回路の、走査期間時の動作を説明するための信号波形図である。

[図9]上記第1の実施形態におけるCSドライバの構成を示すブロック図である。

[図10]上記第1の実施形態におけるCSドライバの最前段側の構成を示すブロック図である。

[図11]上記第1の実施形態におけるCSドライバの最後段側の構成を示すブロック図である。

[図12]上記第1の実施形態におけるCSシフトレジスタの動作を説明するための信号波形図である。

[図13]上記第1の実施形態におけるCS双安定回路の、走査期間時の動作を説明するための信号波形図である。

[図14]上記第1の実施形態におけるCS出力部の、走査期間時の動作を説明するための信号波形図である。

[図15]上記第1の実施形態における画素電位の変化を説明するための信号波形図である。

[図16]上記第1の実施形態におけるCSドライバの、休止期間時の動作を説明するための信号波形図である。

[図17]上記第1の実施形態におけるCS双安定回路の、休止期間時の動作を説明するための信号波形図である。

[図18]a-Si TFTおよびIGZO TFTのドレイン電流ーゲート電圧特性を示す図である。

[図19]本発明の第2の実施形態におけるCSドライバの、休止期間時の動作を説明するための信号波形図である。

[図20]本発明の第3の実施形態における液晶表示装置の全体構成を示すブロック図である。

[図21]上記第3の実施形態におけるゲートCSドライバの構成を説明するためのブロック図である。

[図22]上記第3の実施形態におけるゲートCSドライバの構成を示すブロック図である。

[図23]上記第3の実施形態におけるゲートCSドライバの最前段側の構成を示すブロック図である。

[図24]上記第3の実施形態におけるゲートCSドライバの最後段側の構成を示すブロック図である。

[図25]上記第3の実施形態における出力バッファの構成例を示す回路図である。

[図26]上記第3の実施形態におけるゲートCSドライバの動作を説明するための信号波形図である。

[図27]本発明の第4の実施形態におけるCSドライバの構成を示すブロック図である。

[図28]上記第4の実施形態におけるCSドライバの動作を説明するための信号波形図である。

[図29]本発明の第5の実施形態におけるCSドライバの構成を示すブロック図である。

[図30]上記第5の実施形態におけるCSシフトレジスタの動作を説明するための信号波形図である。

発明を実施するための形態

[0042] 以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。また、薄膜トランジスタはすべてnチャネル型であるものとして説明する。

[0043] <1. 第1の実施形態>

<1. 1 全体構成および動作>

図1は、本発明の第1の実施形態に係る、CS駆動方式を採用したアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図1に示すように、この液晶表示装置は、電源100とDC/DCコンバータ110と表示制御回路200とソースドライバ（映像信号線駆動回路）300とゲートドライバ（走査信号線駆動回路）400とCSドライバ（補助容量線駆動回路）500と表示部600と共通電極駆動回路700とを備えている。CSドライバ500は、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて、表示部600を含む液晶表示パネル800上に形成されている。すなわち、本実施形態に係る液晶表示装置は、CSドライバ500と表示部600とが同一基板（液晶表示パネルを構成する2枚の基板のうちの一方の基板であるアレイ基板）上に形成されたCSドライバモノリシック型の液晶表示装置である。これにより、液晶表示装置の額縁面積を縮小することができる。なお、ゲートドライバ400および/またはソースドライバ300も、アモルファスシリコン、多結晶シリコ

ン、微結晶シリコン、または酸化物半導体等を用いて液晶表示パネル 800 上に形成されていても良い。これらのアモルファスシリコンおよび IGZO を用いた具体的な実現例については後述する。

[0044] 表示部 600 には、 n 本のソースライン（映像信号線） $SL_1 \sim SL_n$ と、 m 本のゲートライン（走査信号線） $GL_1 \sim GL_m$ と、 m 本のゲートライン $GL_1 \sim GL_m$ にそれぞれ沿って配置された m 本の CS ライン（補助容量線） $CL_1 \sim CL_m$ と、これらのソースライン $SL_1 \sim SL_n$ とゲートライン $GL_1 \sim GL_m$ との交差点にそれぞれ対応して設けられた $m \times n$ 個の画素形成部とが形成されている。上記 $m \times n$ 個の画素形成部は、マトリクス状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である画素薄膜トランジスタ 80 と、その画素薄膜トランジスタ 80 のドレイン端子に接続された画素電極 E_p と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極 E_c と、上記複数個の画素形成部に共通的に設けられ画素電極 E_p と共通電極 E_c との間に挟持された液晶層とからなる。画素電極 E_p と共通電極 E_c とにより液晶容量 C_{lc} が形成される。また、上記対応する交差点を通過するゲートラインに沿って配置された CS ライン（「補助容量電極」ともいう）と、当該 CS ラインに沿って配置されたゲートラインに対応する画素電極 E_p とにより補助容量 C_{cs} が形成される。これらの液晶容量 C_{lc} および補助容量 C_{cs} により画素容量 C_p が形成される。

[0045] 電源 100 は、DC/DC コンバータ 110 と表示制御回路 200 と共通電極駆動回路 700 とに所定の電源電圧を供給する。DC/DC コンバータ 110 は、ソースドライバ 300、ゲートドライバ 400、および CS ドライバ 500 を動作させるための所定の直流電圧を電源電圧から生成し、それを、ソースドライバ 300、ゲートドライバ 400、および CS ドライバ 500 に供給する。共通電極駆動回路 700 は、共通電極 E_c に所定の電位 V

c o mを与える。

[0046] 表示制御回路200は、外部から送られる画像信号D A Tおよび水平同期信号や垂直同期信号などのタイミング信号群T Gを受け取り、デジタル映像信号D V、表示部600における画像表示を制御するためのソーススタートパルス信号S S P、ソースクロック信号S C K、ラッチストロブ信号L S、ゲートスタートパルス信号G S P、ゲートクロック信号G C K、第1バイアス信号V c s 1、第2バイアス信号V c s 2、C Sクロック信号C C K、およびC Sスタートパルス信号C S Pを出力する。ゲートクロック信号G C KおよびC Sクロック信号C C Kのハイレベル側の電位はV d d電位、ローレベル側の電位はV s s電位となっている。本実施形態では、ゲートスタートパルス信号G S P、ゲートクロック信号G C K、C Sクロック信号C C K、およびC Sスタートパルス信号C S Pによりクロック信号が実現されている。また、C Sクロック信号C C KおよびC Sスタートパルス信号C S Pにより補助容量クロック信号が実現されている。

[0047] ゲートクロック信号G C Kは、2相のゲートクロック信号G C K 1およびG C K 2からなっている。以下では、ゲートクロック信号G C K 1を「第1ゲートクロック信号」といい、ゲートクロック信号G C K 2を「第2ゲートクロック信号」という。これらの第1ゲートクロック信号G C K 1および第2ゲートクロック信号G C K 2は、互いに1水平走査期間だけ位相がずれており、いずれも2水平走査期間中の1水平走査期間だけハイレベル電位（V d d電位）になる（ただし、後述の休止期間T 2を除く）。本実施形態では、第1ゲートクロック信号G C K 1および第2ゲートクロック信号G C K 2により複数の第2シフト動作クロック信号が実現されている。

[0048] C Sクロック信号C C Kは、2相のC Sクロック信号C C K 1およびC C K 2からなっている。以下では、C Sクロック信号C C K 1を「第1C Sクロック信号」といい、C sクロック信号C C K 2を「第2C Sクロック信号」という。これらの第1C Sクロック信号C C K 1および第2C Sクロック信号C C K 2は、互いに1水平走査期間だけ位相がずれており、いずれも2

水平走査期間中の1水平走査期間だけハイレベル電位（V_{dd}電位）になる（ただし、後述の休止期間T₂を除く）。本実施形態では、CSクロック信号CCKはゲートクロック信号GCKよりも1水平走査期間だけ位相が遅れている。より詳細には、第1CSクロック信号CCK1および第2CSクロック信号CCK2がそれぞれ、第1ゲートクロック信号GCK1および第2ゲートクロック信号よりも1水平走査期間だけ位相が遅れている。本実施形態では、第1CSクロック信号CCK1および第2CSクロック信号CCK2により複数の第1シフト動作クロック信号が実現されている。

[0049] ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロープ信号LSを受け取り、ソースラインSL1～SL_nにそれぞれD/A変換されたアナログ映像信号SS(1)～SS(n)を印加する。

[0050] ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、ハイレベル電位の走査信号GOUT(1)～GOUT(m)のゲートラインGL1～GL_mそれぞれへの印加を1フレーム期間を周期として繰り返す。なお、このゲートドライバ400についての詳しい説明は後述する。

[0051] CSドライバ500は、表示制御回路200から出力される第1バイアス信号V_{cs1}、第2バイアス信号V_{cs2}、CSクロック信号CCK、およびCSスタートパルス信号CSPに基づいて、CSラインCL1～CL_mに、各画素形成部における画素電極E_pの電位（以下「画素電位」といい、符号V_dを付す）にバイアスを掛けるための補助容量信号CSS(1)～CSS(m)をそれぞれ印加する。なお、このCSドライバ500についての詳しい説明は後述する。

[0052] 以上のようにして、ソースラインSL1～SL_nに映像信号SS(1)～SS(n)がそれぞれ印加され、ゲートラインGL1～GL_mに走査信号GOUT(1)～GOUT(m)がそれぞれ印加されることにより、外部から

送られた画像信号DATに基づく画像が表示部600に表示される。

[0053] <1. 2 ゲートドライバの構成および動作>

図2は、本実施形態におけるゲートドライバ400およびCSドライバ500の構成を説明するためのブロック図である。図2に示すように、ゲートドライバ400は、 m 個（段）のゲート双安定回路40(1)～40(m)、および1個（段）のダミー用ゲート双安定回路40($m+1$)（以下「ダミー段」ともいう）からなるゲートシフトレジスタ410により構成されている。なお、CSドライバ500の説明については後述する。本実施形態では、ゲートシフトレジスタ410により第2シフトレジスタが実現され、ゲート双安定回路により第2双安定回路が実現されている。

[0054] 表示部600には上述のように m 行× n 列の画素マトリクスが形成されており、これらの画素マトリクスの各行と1対1で対応するように各段において上記ゲート双安定回路が設けられている。このゲート双安定回路および後述のCS双安定回路は、各時点において2つの状態（第1の状態および第2の状態）のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する。本実施形態では、双安定回路が第1の状態となっていれば、当該双安定回路からはハイレベル（オンレベル）電位の状態信号が出力され、双安定回路が第2の状態となっていれば、当該双安定回路からはローレベル（オフレベル）電位の状態信号が出力される。また、以下においては、双安定回路からハイレベル電位の状態信号が出力される期間のことを「選択期間」という。

[0055] 図3は、本実施形態におけるゲートシフトレジスタ410の、最前段および最後段以外の構成を示すブロック図である。図4は、本実施形態におけるゲートシフトレジスタ410の最前段側の構成を示すブロック図である。図5は、本実施形態におけるゲートシフトレジスタ410の最後段側の構成を示すブロック図である。なお、以下の説明では、 x 段目（ $x=1\sim m+1$ ）の双安定回路のことを、単に「 x 段目」ということがある。上述のように、このシフトレジスタ410は、 m 個のゲート双安定回路40(1)～40(m)

m) と、1 個のダミー用ゲート双安定回路 40 (m+1) からなっている。

図3には $i-2$ 段目 40 ($i-2$) ~ $i+1$ 段目 40 ($i+1$) を、図4には 1 段目 40 (1) および 2 段目 40 (2) を、図5には $m-1$ 段目 40 ($m-1$) および m 段目 40 (m) とダミー段 40 ($m+1$) を示している。

[0056] 各ゲート双安定回路には、クロック信号 CK1 (以下「第1クロック信号」という) を受け取るための入力端子、クロック信号 CK2 (以下「第2クロック信号」という) を受け取るための入力端子、ローレベルの直流電源電位 V_{ss} (この電位の大きさを上記「 V_{ss} 電位」ともいう) を受け取るための入力端子、セット信号 S を受け取るための入力端子、リセット信号 R を受け取るための入力端子、および状態信号 Z を出力するための出力端子が設けられている。

[0057] ゲートシフトレジスタ 410 には、ゲートクロック信号 GCK として、上述のように 2 相の第1ゲートクロック信号 GCK1 および第2ゲートクロック信号 GCK2 が与えられる。

[0058] ゲートシフトレジスタ 410 の各段 (各ゲート双安定回路) の入力端子に与えられる信号は次のようになっている。なお、以下では i が奇数、 m が偶数であると仮定する。図3~図5に示すように、奇数段目には、第1ゲートクロック信号 GCK1 が第1クロック信号 CK1 として与えられ、第2ゲートクロック信号 GCK2 が第2クロック信号 CK2 として与えられる。偶数段目には、第1ゲートクロック信号 GCK1 が第2クロック信号 CK2 として与えられ、第2ゲートクロック信号 GCK2 が第1クロック信号 CK1 として与えられる。また、各段にはローレベルの直流電源電位 V_{ss} が共通的に与えられる。

[0059] 各段には、前段から出力される状態信号 Z がセット信号 S として与えられ、次段から出力される状態信号 Z がリセット信号 R として与えられる。ただし、1 段目 (最前段) 40 (1) には、ゲートスタートパルス信号 GSP がセット信号 S として与えられる。また、 m 段目 (最後段) 40 (m) には、ダミー段 40 ($m+1$) から出力される状態信号がリセット信号 R として与

えられる。なお、ダミ一段40 (m+1) には、m段目40 (m) から出力される状態信号Zがセット信号Sとして与えられ、自身の状態信号Zがリセット信号Rとして与えられる。このため、ダミ一段40 (m+1) の状態信号Zがハイレベル電位になっている期間は、他の段の状態信号Zがハイレベル電位になっている期間よりも短い。このようなダミ一段40 (m+1) を設けることに代えて、m段目40 (m) にリセット信号Rとして、ゲートエンドパルス信号GEPを与えても良い。このゲートエンドパルス信号は、走査期間T1終了後の1水平走査期間においてハイレベル電位になる信号である。

[0060] 以上のような構成において、ゲートシフトレジスタ410の1段目40 (1) にセット信号Sとしてのゲートスタートパルス信号GSPが与えられると、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2に基づいて、ゲートスタートパルス信号GSPに含まれるパルス（このパルスは各段から出力される状態信号Zに含まれる）が1段目40 (1) からm段目40 (m) へと順次に転送される。そして、このパルスの転送に応じて、1段目40 (1) ~m段目40 (m) からそれぞれ出力される状態信号Zが順次にハイレベル電位となる。これらの1段目40 (1) ~m段目40 (m) からそれぞれ出力される状態信号Zは、走査信号GOUT (1) ~GOUT (m) としてゲートラインGL1~GLmにそれぞれ与えられる。なお、1段目40 (1) ~m段目40 (m) からそれぞれ出力される状態信号Zは、レベルシフタにより電圧が高められた後に、走査信号GOUT (1) ~GOUT (m) としてゲートラインGL1~GLmにそれぞれ与えられる。以上により、図6に示すように、1水平走査期間ずつ順次にハイレベル電位となる走査信号が表示部600内のゲートラインに与えられる。

[0061] <1. 3 ゲート双安定回路の構成>

図7は、本実施形態における各ゲート双安定回路の構成を示す回路図である。なお、後述のCS双安定回路も、ゲート双安定回路と同様に図7に示す構成となっている。図7に示すように、この双安定回路は、4個の薄膜トラ

ンジスタ（スイッチング素子）M1～M4、コンデンサ（容量素子）C1、4個の入力端子41～44、ローレベルの直流電源電位 V_{ss} 用の入力端子、および出力端子49により構成されている。ここで、第1クロック信号CK1を受け取る入力端子には符号41を付し、第2クロック信号CK2を受け取る入力端子には符号42を付し、セット信号Sを受け取る入力端子には符号43を付し、リセット信号Rを受け取る入力端子には符号44を付している。また、状態信号Zを出力する出力端子には符号49を付している。

[0062] 次に、この双安定回路内における構成要素間の接続関係について説明する。薄膜トランジスタM1のゲート端子、薄膜トランジスタM3のソース端子、薄膜トランジスタM4のドレイン端子、およびコンデンサC1の一端は互いに接続されている。以下では、これらが互いに接続されている接続点（配線）のことを便宜上「第1ノード」という。この第1ノードには符号N1を付す。

[0063] 薄膜トランジスタM1については、ゲート端子が第1ノードN1に接続され、ドレイン端子が入力端子41に接続され、ソース端子が出力端子49に接続されている。薄膜トランジスタM2については、ゲート端子が入力端子42に接続され、ドレイン端子が出力端子49に接続され、ソース端子が直流電源電位 V_{ss} 用の入力端子に接続されている。薄膜トランジスタM3については、ゲート端子およびドレイン端子が入力端子43に接続され（すなわち、ダイオード接続となっている）、ソース端子が第1ノードN1に接続されている。薄膜トランジスタM4については、ゲート端子が入力端子44に接続され、ドレイン端子が第1ノードN1に接続され、ソース端子が直流電源電位 V_{ss} 用の入力端子に接続されている。コンデンサC1については、一端が第1ノードN1に接続され、他端が出力端子49に接続されている。

[0064] 次に、このゲート双安定回路における各構成要素の機能について説明する。薄膜トランジスタM1は、第1ノードN1の電位がハイレベルになっているときに、第1クロック信号CKの電位を出力端子49に与える。薄膜トラ

ンジスタM2は、第2クロック信号CK2の電位がハイレベルになっているときに、出力端子49の電位をVss電位に向けて変化させる。薄膜トランジスタM3は、セット信号Sの電位がハイレベルになっているときに、第1ノードN1の電位をハイレベルに向けて変化させる。薄膜トランジスタM4は、リセット信号Rの電位がハイレベルになっているときに、第1ノードN1の電位をVss電位に向けて変化させる。コンデンサC1は、第1ノードN1がブートストラップされるときに補助容量として機能する。

[0065] <1. 4 ゲート双安定回路の動作>

図8は、本実施形態におけるi段目のゲート双安定回路40(i)の動作のうち、特に後述の走査期間T1での動作を説明するための信号波形図である。なお、他のゲート双安定回路の動作も同様であるので、説明を省略する。i段目では第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2がそれぞれ第1クロック信号CK1および第2クロック信号CK2に相当する。図8における時点t1から時点t2までの期間は選択期間に相当する。以下の説明では、1フレーム期間のうち、ゲートスタートパルス信号GSPが立ち上がる時点（走査開始時点）から、ダミー段の走査信号GOUT(m+1)が立ち上がる時点までの期間を「走査期間」といい、符号T1を付す。この走査期間T1は、複数(m本)のゲートラインGL(1)~GL(m)を1回走査する期間である。また、1フレーム期間のうち、ダミー段の走査信号GOUT(m+1)が立ち上がる時点から後続のフレーム期間においてゲートスタートパルス信号GSPが立ち上がる時点までの期間を「休止期間」といい、符号T2を付す。この休止期間T2は、ダミー段40(m+1)を除くゲート双安定回路40(1)~40(m)の出力信号のいずれもがローレベル電位となる期間である。走査期間T1での動作説明においては、選択期間直前の1水平走査期間のことを「セット期間」といい、選択期間直後の1水平走査期間のことを「リセット期間」という。また、走査期間T1のうちの、選択期間、セット期間、およびリセット期間以外の期間のことを「通常動作期間」という。

[0066] セット期間になると（時点 t_0 になると）、セット信号 S の電位がローレベルからハイレベルに変化する。薄膜トランジスタ M_3 が図 7 に示すようにダイオード接続となっているので、セット信号 S の電位がハイレベルになることによって薄膜トランジスタ M_3 がオン状態になり、コンデンサ C_1 が充電（ここではプリチャージ）される。これにより、第 1 ノード N_1 の電位がローレベルからハイレベルに変化し、薄膜トランジスタ M_1 がオン状態となる。しかし、セット期間では、第 1 ゲートクロック信号 GCK_1 （第 1 クロック信号 CK_1 ）の電位がローレベルとなっているので、状態信号 Z の電位はローレベルで維持される。

[0067] 選択期間になると（時点 t_1 になると）、セット信号 S がハイレベルからローレベルに変化する。これにより、薄膜トランジスタ M_3 がオフ状態になる。このとき、第 1 ノード N_1 はフローティング状態になる。この時点 t_1 では、第 1 ゲートクロック信号 GCK_1 の電位がローレベルからハイレベルに変化する。薄膜トランジスタ M_1 はオン状態でありゲート容量が存在するので、入力端子 4 1 の電位の上昇に伴って第 1 ノード N_1 の電位も上昇する（第 1 ノード N_1 がブートストラップされる）。この際、コンデンサ C_1 は第 1 ノード N_1 の電位上昇を促進するように働く。その結果、薄膜トランジスタ M_1 のゲート電位は十分に高いレベルになるので、第 1 ゲートクロック信号 GCK_1 のハイレベル（ V_{dd} 電位）まで状態信号 Z の電位が上昇する。

[0068] リセット期間になると（時点 t_2 になると）、第 1 ゲートクロック信号 GCK_1 の電位がハイレベルからローレベルに変化する。時点 t_2 には薄膜トランジスタ M_1 がオン状態となっているので、入力端子 4 1 の電位の低下と共に状態信号 Z の電位が低下する。このように状態信号 Z の電位が低下することによって、コンデンサ C_1 を介して第 1 ノード N_1 の電位も低下する。また、リセット期間には、リセット信号 R がローレベルからハイレベルに変化する。このため、薄膜トランジスタ M_4 がオン状態になる。その結果、リセット期間には、第 1 ノード N_1 の電位が確実にローレベルに低下する。さ

らに、リセット期間には、第2ゲートクロック信号GCK2（第2クロック信号CK2）がローレベルからハイレベルに変化する。このため、薄膜トランジスタM2がオン状態になるので、状態信号Zの電位が確実にローレベルに低下する。

[0069] 通常動作期間（走査期間T1において、時点t0以前の期間および時点t3以降の期間）では、第2ゲートクロック信号GCK2の電位が1水平走査期間毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタM2が1水平走査期間毎にオン状態になる。このため、状態信号Zの電位をローレベルに維持することができる。

[0070] なお、以下の説明では、走査期間T1における、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2のそれぞれの周期（以下「走査期間ゲート周期」という）を符号tgck1で表す。また、走査期間T1における、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2のそれぞれの周波数（以下「走査期間ゲート周波数」という）を符号fgck1で表す。

[0071] <1.6 CSドライバの構成および動作>

上記図2に示すように、本実施形態におけるCSドライバ500は、CSシフトレジスタ510およびCS出力部520により構成されている。本実施形態では、ゲートドライバ400とCSドライバ500とは、表示部600を挟んだ両側にそれぞれ配置されている。CSシフトレジスタ510は、m個（段）のCS双安定回路50（1）～50（m）、および1個（段）のダミー用CS双安定回路50（m+1）（以下「ダミー段」ともいう）により構成されている。表示部600には上述のようにm行×n列の画素マトリクスが形成されており、これらの画素マトリクスの各行と1対1で対応するように各段において上記CS双安定回路が設けられている。CS双安定回路50（1）～50（m）はCS出力部520に接続されている。CS出力部520は、CSラインCL1～CLmに接続されている。本実施形態では、CSシフトレジスタ510により第1シフトレジスタが実現され、CS双安

定回路により第1双安定回路が実現されている。

[0072] <1. 6. 1 CSシフトレジスタの構成および動作>

図9は、本実施形態におけるCSドライバ500の、最前段および最後段以外の構成を示すブロック図である。図10は、本実施形態におけるCSドライバ500の最前段側の構成を示すブロック図である。図11は、本実施形態におけるCSドライバ500の最後段側の構成を示すブロック図である。上述のように、各CS双安定回路の構成は上記ゲート双安定回路と同様である。このため、上記ゲート双安定回路と共通する部分についての説明は省略する。

[0073] ただし、このCS双安定回路では、第1クロック信号を受け取るための入力端子41および第2クロック信号を受け取るための入力端子42に与えられる信号が上記ゲート双安定回路と異なる。すなわち、図9～図11に示すように、奇数段目には、第1CSクロック信号CCK1が第1クロック信号CK1として与えられ、第2CSクロック信号CCK2が第2クロック信号CK2として与えられる。偶数段目には、第1CSクロック信号CCK1が第2クロック信号CK2として与えられ、第2CSクロック信号CCK2が第1クロック信号CK1として与えられる。

[0074] また、図10に示すように、1段目（最前段目）50（1）には、CSスタートパルス信号CSPがセット信号Sとして与えられる。このCSスタートパルス信号CSPは、上記ゲートスタートパルス信号GSPの電位がハイレベルになる1水平走査期間の直後の1水平走査期間、および休止期間T2の開始直後の1水平走査期間において電位がハイレベルになる信号である。

[0075] 以上のような構成において、CSシフトレジスタ510の1段目40（1）にセット信号SとしてのCSスタートパルス信号CSPが与えられると、第1CSクロック信号CCK1および第2CSクロック信号CCK2に基づいて、CSスタートパルス信号CSPに含まれるパルス（このパルスは各段から出力される状態信号Zに含まれる）が1段目40（1）からm段目40（m）へと順次に転送される。そして、このパルスの転送に応じて、1段目

40(1)～m段目40(m)からそれぞれ出力される状態信号Zが順次にハイレベル電位となる。これらの1段目40(1)～m段目40(m)からそれぞれ出力される状態信号Zは、制御信号COUT(1)～COUT(m)としてCS出力部520に与えられる。より詳細には、これらの制御信号COUT(1)～COUT(m)はそれぞれ、CS出力部520を構成する後述のバイアス用薄膜トランジスタ(第1スイッチング素子)60(1)～60(m)のゲート端子に与えられる。以上により、図12に示すように、1水平走査期間ずつ順次にハイレベル電位となる制御信号がCS出力部520に与えられる。

[0076] <1.6.2 CS双安定回路の動作>

図13は、本実施形態におけるi段目のCS双安定回路50(i)の動作のうち、特に走査期間T1での動作を説明するための信号波形図である。図13に示すように、このCS双安定回路の動作は、上記ゲート双安定回路の動作において第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2をそれぞれ第1CSクロック信号CCK1および第2CSクロック信号CCK2に置き換えたものなので、走査期間T1でのCS双安定回路の詳細な動作説明を省略する。

[0077] なお、以下の説明では、走査期間T1における、第1CSクロック信号CCK1および第2CSクロック信号CCK2のそれぞれの周期(以下「走査期間CS周期」という)を符号 t_{cck1} で表す。また、走査期間T1における、第1CSクロック信号CCK1および第2CSクロック信号CCK2のそれぞれの周波数(以下「走査期間CS周波数」という)を符号 f_{cck1} で表す。さらに、走査期間T1における、第1CSクロック信号CCK1および第2CSクロック信号CCK2のそれぞれの振幅(以下「走査期間CS振幅」という)を符号 V_{cck1} で表す。

[0078] <1.6.3 CS出力部の構成および動作>

上記図9～図11に示すように、本実施形態におけるCS出力部520は、m個のバイアス用薄膜トランジスタ(第1スイッチング素子)60(1)

～60 (m) により構成されている。バイアス用薄膜トランジスタ60 (1) ～60 (m) は、CS双安定回路50 (1) ～50 (m) にそれぞれ対応すると共に、CSラインCL1～CLmにそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には対応するCS双安定回路の出力端子49 (状態信号Zが出力される端子) が接続され、ドレイン端子には対応するCSラインが接続されている。また、奇数段目のバイアス用薄膜トランジスタのソース端子には第1バイアス信号Vcs1が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第2バイアス信号Vcs2が与えられる。なお、CSライン (補助容量信号)、第1バイアス信号Vcs1、および第2バイアス信号Vcs2の電位によって各バイアス用薄膜トランジスタのソース端子とドレイン端子とが入れ替わる。しかし本明細書では、これらの電位に関わらず、各バイアス用薄膜トランジスタにおいて、対応するCSラインに接続されている側の端子をドレイン端子とし、第1バイアス信号Vcs1または第2バイアス信号Vcs2が与えられている端子をソース端子として説明する。

[0079] 図14は、本実施形態におけるCS出力部520の動作のうち、特に走査期間T2における動作を説明するための信号波形図である。図14に示すように、第1バイアス信号Vcs1および第2バイアス信号は互いに異なる電位であると共に、1フレーム期間毎に電位が反転する。すなわち、連続する2フレーム期間のうち、例えば先行の1フレーム期間では第1バイアス信号Vcs1の電位が所定の高電位Vh (以下単に「高電位Vh」という) 且つ第2バイアス信号Vcs2が所定の低電位Vl (以下単に「低電位Vl」という) であり、後続の1フレーム期間では第1バイアス信号Vcs1の電位が低電位Vl且つ第2バイアス信号Vcs2の電位が高電位Vhとなる。

[0080] まず、第1バイアス信号Vcs1の電位が高電位Vhであり、第2バイアス信号Vcs2の電位が低電位Vlになっているものとする。1段目のCS双安定回路50 (1) の出力信号である制御信号COUT (1) がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60 (1) が

オン状態になる。このバイアス用薄膜トランジスタ60(1)のソース端子には第1バイアス信号 V_{cs1} が与えられているので、CSライン(1)に印加される補助容量信号 $CS_S(1)$ の電位が高電位 V_h に変化する。この補助容量信号 $CS_S(1)$ の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(1)がオン状態になるまで維持される。

[0081] 次に、2段目のCS双安定回路50(2)の出力信号である制御信号 $COUT(2)$ がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60(2)がオン状態になる。このバイアス用薄膜トランジスタ60(2)のソース端子には第2バイアス信号 V_{cs2} が与えられているので、CSライン(2)に印加される補助容量信号 $CS_S(2)$ の電位が低電位 V_l に変化する。この補助容量信号 $CS_S(2)$ の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(2)がオン状態になるまで維持される。

[0082] 次に、3段目のCS双安定回路50(3)の出力信号である制御信号 $COUT(3)$ がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60(3)がオン状態になる。このバイアス用薄膜トランジスタ60(3)のソース端子には第1バイアス信号 V_{cs1} が与えられているので、CSライン(3)に印加される補助容量信号 $CS_S(3)$ の電位が高電位 V_h に変化する。この補助容量信号 $CS_S(3)$ の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(3)がオン状態になるまで維持される。以下同様に、CS双安定回路の出力信号である制御信号に応じて各CSラインに印加される補助容量信号の電位が順次変化する。

[0083] <1.7 画素電位の変化>

図15は、本実施形態における画素電位の変化を説明するための信号波形図である。本実施形態では、各行で画素電位の極性を反転させるライン反転駆動が行われる。なお、以下では、1行毎に画素電位の極性を反転させるものとして説明するが、複数行毎に画素電位の極性を反転させても良い。図15において、 $V_d(1) \sim V_d(3)$ はそれぞれ、ゲートライン $GL1 \sim G$

L 3 に対応して設けられた画素形成部のうちの任意の画素形成部における画素電位 V_d を表す。以下では、画素電位 $V_d(1)$ を「1 行目画素電位」といい、画素電位 $V_d(2)$ を「2 行目画素電位」といい、画素電位 $V_d(3)$ を「3 行目画素電位」という。

[0084] ゲートライン GL_1 が選択状態になると（走査信号 $GOUT(1)$ がハイレベル電位になると）、当該ゲートライン GL_1 にゲート端子が接続された画素薄膜トランジスタ 80 がオン状態になるので、この画素薄膜トランジスタ 80 を介して与えられる映像信号により画素容量 C_p が充電される。その結果、図 15 に示すように、1 行目画素電位 $V_d(1)$ が書き込み電位 V_{sig} となる。次に、走査信号 $GOUT(1)$ がローレベル電位になると、画素薄膜トランジスタ 80 がオフ状態になることにより、1 行目画素電位 $V_d(1)$ が書き込み電位 V_{sig} に保持される。この時点まで、ゲートライン GL_1 に沿って配置された CS ライン CL_1 に印加されている補助容量信号 $CSS(1)$ の電位は低電位 V_l となっている。

[0085] 次に、補助容量信号 $CSS(1)$ の電位が低電位 V_l から高電位 V_h に変化する。このため、1 行目画素電位 $V_d(1)$ に、補助容量信号 $CSS(1)$ の変化分に応じたバイアス電圧 ΔV_{cs} が加わることになる。その結果、1 行目画素電位 $V_d(1)$ の電位は下記の式 (1) で示される。

$$\begin{aligned} V_d(1) &= V_{sig} + \Delta V_{cs} \\ &= V_{sig} + (C_{cs} / (C_{lc} + C_{cs})) \times (V_h - V_l) \dots (1) \end{aligned}$$

[0086] このように、1 行目画素電位 $V_d(1)$ は、映像信号の振幅に相当する書き込み電位 V_{sig} よりも $(C_{cs} / (C_{lc} + C_{cs})) \times (V_h - V_l)$ だけ大きくなる。このようにして、ソースラインに与えるべき映像信号の振幅を小さくしつつ、液晶層に大きな電圧を印加することができる。これにより、低消費電力化を図ることができる。この 1 行目画素電位 $V_d(1)$ は、後続のフレーム期間において画素薄膜トランジスタ 80 が再度オン状態になるまで保持される。なお、この後続のフレーム期間においても同様の動作

が行われるのでその説明を省略する。ただし、この後続のフレーム期間では、第1行目画素電位 $V_d(1)$ の極性が先行のフレーム期間におけるものの逆極性となっている。また、2行目画素電位 $V_d(2)$ および3行目画素電位 $V_d(3)$ についても同様の動作が行われるのでその説明を省略する。ただし、2行目画素電位 $V_d(2)$ については、第1行目画素電位 $V_d(1)$ の逆極性となっている。

[0087] なお、本実施形態では、上記図6に示すように、ゲートライン $GL1 \sim GLm$ の走査は、ゲートライン $GL1 \sim GLm$ の番号の昇順（「 $GL1 \rightarrow GL2 \rightarrow \dots \rightarrow GLm$ の順」をいう）に行われる。このため、上記図12に示すように補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順も補助容量信号 $CSS(1) \sim CSS(m)$ の番号の昇順（「 $CSS(1) \rightarrow CSS(2) \rightarrow \dots \rightarrow CSS(m)$ の順」をいう）となっている。ただし、本発明のゲートライン $GL1 \sim GLm$ の走査順および補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順はこれに限定されるものではない。ゲートライン $GL1 \sim GLm$ の走査が、ゲートライン $GL1 \sim GLm$ の番号の降順（「 $GLm \rightarrow \dots \rightarrow GL2 \rightarrow GL1$ の順」をいう）で行われる場合には、補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順も補助容量信号 $CSS(1) \sim CSS(m)$ の番号の降順（「 $CSS(m) \rightarrow \dots \rightarrow CSS(2) \rightarrow CSS(1)$ の順」をいう）となる。また、ゲートライン $GL1 \sim GLm$ の走査順および補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順が切り替え可能となっても良い。

[0088] <1.8 休止期間の動作>

図16は、本実施形態におけるCSドライバ500の動作のうち、特に休止期間 $T2$ の動作を説明するための信号波形図である。図16に示すように、本実施形態では、1フレーム期間が走査期間 $T1$ と、当該走査期間 $T1$ の後に設けられた休止期間 $T2$ とからなっている。すなわち、走査期間 $T1$ と休止期間 $T2$ とが1フレーム期間を周期として交互に現れる。CSドライバ500の動作についての説明の前に、まず、ゲートドライバ400の動作に

ついて説明する。ここで、休止期間 T_2 における、第1ゲートクロック信号 GCK_1 および第2ゲートクロック信号 GCK_2 のそれぞれの周期（以下「休止期間ゲート周期」という）を符号 t_{gck2} で表す。また、休止期間 T_2 における、第1ゲートクロック信号 GCK_1 および第2ゲートクロック信号 GCK_2 のそれぞれの周波数（以下「休止期間ゲート周波数」という）を符号 f_{gck2} で表す。

[0089] 本実施形態では、休止期間 T_2 が走査期間 T_1 よりも長く設けられている。ただし、本発明はこれに限定されるものではなく、休止期間 T_2 が走査期間 T_1 よりも短くても良い。

[0090] 走査期間 T_1 では、ゲートドライバ400は走査期間ゲート周波数 f_{gck1} で駆動され、1段目40(1)～ m 段目40(m)からそれぞれ出力される状態信号 Z である走査信号 $GOUT(1) \sim GOUT(m)$ が、第1ゲートクロック信号 GCK_1 および第2ゲートクロック信号 GCK_2 に基づいて順次にハイレベル電位になる。一方、休止期間 T_2 では、ゲートドライバ400は、走査期間ゲート周波数 f_{gck1} よりも低い休止期間ゲート周波数 f_{gck2} で駆動され、走査信号 $GOUT(1) \sim GOUT(m)$ はローレベル電位に維持される。すなわち、この休止期間 T_2 ではゲートライン $GL_1 \sim GL_m$ のいずれもが非選択状態となる。このような動作により、ゲートドライバ400を駆動するための消費電力を低減することができる。なお、休止期間 T_2 では、ゲートドライバ400へのゲートクロック信号 GCK の供給が停止されるまたはゲートクロック信号 GCK がローレベル電位に維持されるようにしても良い。

[0091] 次に、本実施形態におけるCSドライバ500の動作について説明する。走査期間 T_1 では、1段目50(1)～ $m-1$ 段目50($m-1$)からそれぞれ出力される状態信号 Z である制御信号 $COUT(1) \sim COUT(m-1)$ が、第1CSクロック信号 CLK_1 および第2CSクロック信号 CLK_2 に基づいて順次にハイレベル電位になる。なお、制御信号 $COUT(m)$ については、当該走査期間 T_1 の後の休止期間 T_2 の最初の1水平走査期間

においてハイレベル電位になる。

[0092] 一方休止期間 T_2 では、CSドライバ500の動作は走査期間 T_1 におけるものと異なるものとなる。ここで、休止期間 T_2 における、第1CSクロック信号 CCK_1 および第2CSクロック信号 CCK_2 のそれぞれの周期（以下「休止期間CS周期」という）を符号 $t_{cc k 2}$ で表す。また、休止期間 T_2 における第1CSクロック信号 CCK_1 および第2CSクロック信号 CCK_2 のそれぞれの周波数（以下「休止期間CS周波数」という）を符号 $f_{cc k 2}$ で表す。さらに、休止期間 T_2 における第1CSクロック信号 CCK_1 および第2CSクロック信号 CCK_2 のそれぞれの振幅（以下「休止期間CS振幅」という）を符号 $V_{cc k 2}$ で表す。

[0093] 図16に示すように、休止期間CS周期 $t_{cc k 2}$ は走査期間CS周期 $t_{cc k 1}$ よりも長い。すなわち、休止期間CS周波数 $f_{cc k 2}$ は走査期間CS周波数 $f_{cc k 1}$ よりも低い。ここで、走査期間CS周波数 $f_{cc k 1}$ は休止期間CS周波数 $f_{cc k 2}$ の整数倍であることが望ましい。これにより、表示制御回路200等を簡易な構成とすることができる。また、走査期間CS周波数 $f_{cc k 1}$ は休止期間CS周波数 $f_{cc k 2}$ の2倍以上であることが望ましい。言い換えると、休止期間CS周波数 $f_{cc k 2}$ は走査期間CS周波数 $f_{cc k 1}$ の $1/2$ 倍以下であることが望ましい。これにより、CSドライバ500の駆動に要する消費電力を十分に低減することができる。このようなCSクロック信号 CCK の周波数（周期）の制御は、例えば表示制御回路200において行われる。上記ゲートクロック信号 GCK の周波数（周期）の制御も、例えば表示制御回路200において行われる。なお、本実施形態では、休止期間CS振幅 $V_{cc k 2}$ および走査期間CS振幅 $V_{cc k 1}$ は互いに同じ大きさである。

[0094] 図16に示すように、休止期間 T_2 における最初の1水平走査期間においてCSスタートパルス信号 CSP がハイレベル電位になる。したがって、走査期間CS周波数 $f_{cc k 1}$ よりも低い休止期間CS周波数 $f_{cc k 2}$ に基づいて、制御信号 $COUT(1) \sim COUT(m)$ が順次にハイレベル電位

になる。このように本実施形態では、休止期間 T_2 において、走査期間 T_1 における周期よりも長い周期で制御信号 $COUT(1) \sim COUT(m)$ が順次にハイレベル電位になる。休止期間 T_2 において制御信号 $COUT(1) \sim COUT(m)$ がハイレベル電位になると、バイアス用薄膜トランジスタ $60(1) \sim (m)$ がそれぞれオン状態になる。この休止期間 T_2 における第1バイアス信号 $Vcs1$ および第2バイアス信号 $Vcs2$ は、走査期間 T_1 におけるものと同じ電位である。このため、CSライン $CL1 \sim CLm$ にそれぞれ与えられる補助容量信号 $CSS(1) \sim CSS(m)$ の電位は変化しない。

[0095] 図17は、本実施形態における i 段目のCS双安定回路 $50(i)$ の動作のうち、特に休止期間 T_2 での動作を説明するための信号波形図である。なお、他のCS双安定回路の動作も同様であるので、説明を省略する。休止期間 T_2 での動作説明においては、セット信号 S がハイレベル電位になっている1水平走査期間を「セット期間」といい、セット期間の終了時点から選択期間開始時点までの期間を「選択待ち期間」といい、選択期間終了時点からリセット信号 R がハイレベル電位に変化する時点までの期間を「リセット待ち期間」といい、リセット信号 R がハイレベル電位になっている期間を「リセット期間」という。また、休止期間 T_2 のうちの、選択期間、セット期間、選択待ち期間、リセット待ち期間およびリセット期間以外の期間のことを「通常動作期間」という。

[0096] セット期間（時点 $s_0 \sim s_1$ ）の動作については、走査期間 T_1 におけるセット期間での動作と同様であるので説明を省略する。

[0097] 選択待ち期間になると（時点 s_1 になると）、セット信号 S の電位がハイレベルからローレベルに変化するので薄膜トランジスタ $M3$ がオフ状態になる（図7を参照）。このため、第1ノード $N1$ はフローティング状態になる。また、第1CSクロック信号 $CLK1$ はローレベル電位のままである。このため、選択待ち期間では、セット期間における第1ノード $N1$ の電位が維持される。なお、第2CSクロック信号 $CLK2$ の電位がローレベルに変化

するので、薄膜トランジスタM2がオフ状態になる。

[0098] 選択期間（時点s2～s3）の動作については、走査期間T1におけるセット期間での動作と同様であるので説明を省略する。

[0099] リセット待ち期間になると（時点s3になると）、第1CSクロック信号CCK1の電位がハイレベルからローレベルに変化するので、薄膜トランジスタM1のゲートドレイン間の寄生容量の影響により第1ノードN1の電位が下降する。この電位の下降量は、上述のブーストストラップによる電位の上昇量に相当する。このため、薄膜トランジスタM1はオフ状態にはならない。したがって、上述のように第1CSクロック信号CCK1の電位がハイレベルからローレベルに変化することにより、状態信号Zの電位がローレベルに変化する。また、その後も、第1CSクロック信号CCK1の電位はローレベルを維持するので、状態信号Zの電位はローレベルを維持する。

[0100] リセット期間（時点s4からの1水平走査期間）の動作については、走査期間T1におけるセット期間での動作と同様であるので説明を省略する。

[0101] 通常動作期間（休止期間T2において、時点s0以前の期間および時点s4以降の期間）では、第2CSクロック信号CCK2の電位が休止期間CS周期 t_{cc2} 毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタM2が休止期間CS周期 t_{cc2} 期間毎にオン状態になる。このため、状態信号Zの電位をローレベルに維持することができる。

[0102] <1.9 考察>

例えば図9に示すCSドライバ500を備えるCSドライバモノリシック型の液晶表示装置に対して上記特許文献3に記載の駆動方法を適用した場合を考える。この場合、休止期間T2においてCSラインCL1～CLm（補助容量信号CSS(1)～CSS(m)）の電位を高電位Vhまたは低電位Vlに維持するためには、バイアス用薄膜トランジスタ60(1)～60(m)をオフ状態に維持する必要があるか、または、バイアス用薄膜トランジスタ60(1)～60(m)をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ60(1)～60(m)を介してCSラインCL1～C

L mに第1バイアス信号V c s 1または第2バイアス信号V c s 2を与える必要がある。

[0103] 休止期間T 2においてCSラインCL 1～CL mの電位を高電位V hまたは低電位V lに維持するためにバイアス用薄膜トランジスタ6 0 (1)～6 0 (m)をオフ状態に維持する場合、この休止期間T 2においてCSラインCL 1～CL mがフローティング状態になる。このため、休止期間T 2においてCSラインCL 1～CL mがノイズ等の影響を受けやすくなってしまう。その結果、表示品位の低下を招くおそれがある。これに対して、本実施形態では上述のように、休止期間T 2において、第1CSクロック信号CCK 1および第2CSクロック信号CCK 2に基づいてCSドライバ5 0 0が駆動されることにより制御信号COUT (1)～COUT (m)が順次にハイレベル電位になる。このため、制御信号COUT (1)～COUT (m)がハイレベル電位になるタイミングで、CSラインCL 1～CL mにそれぞれ高電位V hまたは低電位V lが与えられることとなる。これにより、本実施形態では、休止期間T 2においてCSラインCL 1～CL mがフローティング状態になることによりこれらのCSラインCL 1～CL mが受けるノイズ等の影響が低減される。その結果、表示品位の低下を抑制することができる。

[0104] 一方、休止期間T 2においてCSラインCL 1～CL mの電位を高電位V hまたは低電位V lに維持するために、バイアス用薄膜トランジスタ6 0 (1)～6 0 (m)をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ6 0 (1)～6 0 (m)を介してCSラインCL 1～CL mに第1バイアス信号V c s 1または第2バイアス信号V c s 2を与える場合、バイアス用薄膜トランジスタ6 0 (1)～6 0 (m)のゲート端子に対レベルの電位を与え続ける必要がある。このため、これらのバイアス用薄膜トランジスタ6 0 (1)～6 0 (m)ゲートバイアスストレスが長時間掛かることとなるので、これらのバイアス用薄膜トランジスタ6 0 (1)～6 0 (m)におけるしきい値変動が大きくなる。その結果、これらのバイアス用薄膜トラ

ンジスタ60(1)～60(m)の駆動能力(信頼性)が低下することになる。これに対して、本実施形態では上述のように、休止期間T2において、第1CSクロック信号CLK1および第2CSクロック信号CLK2に基づいてCSドライバ500が駆動されることにより制御信号COUT(1)～COUT(m)が順次にハイレベル電位になる。このため、休止期間T2において、バイアス用薄膜トランジスタ60(1)～60(m)のゲート端子それぞれに1水平走査期間のみハイレベル電位が与えられる。これにより、本実施形態では、バイアス用薄膜トランジスタ60(1)～60(m)に掛かるゲートバイアスストレスが低減されるので、これらのバイアス用薄膜トランジスタ60(1)～60(m)におけるしきい値変動が低減される。その結果、これらのバイアス用薄膜トランジスタ60(1)～60(m)の駆動能力(信頼性)の低下を抑制することができる。

[0105] <1.10 実現例>

本実施形態における双安定回路中の各薄膜トランジスタの半導体層には、例えば、a-Siまたは酸化物半導体等を用いることができる。なお、酸化物半導体としては、典型的には、インジウム、ガリウム、亜鉛、および酸素を主成分とする酸化物半導体であるInGaZnO_x(以下、「IGZO」という)が用いられるが本発明はこれに限定されるものではない。例えば、インジウム、ガリウム、亜鉛、銅、珪素、錫、アルミニウム、カルシウム、ゲルマニウム、および鉛のうち少なくとも1つを含む酸化物半導体であれば良い。

[0106] 図18は、a-SiTFTおよびIGZOを半導体層に用いたTFT(以下「IGZO-TFT」という)のドレイン電流-ゲート電圧特性を示す図である。図18において、横軸はゲート電圧V_gを表し、縦軸はドレイン電流I_{ds}を表している。図18に示すように、IGZO-TFTのリーク電流はa-SiTFTのリーク電流の1/1000以下であると共に、IGZO-TFTのオン電流はa-SiTFTのオン電流の約20倍である。

[0107] a-SiTFTを用いた場合、フレーム周波数を例えば45Hz程度まで

低くすることができる。これに対して、IGZOTFTを本実施形態における双安定回路の各薄膜トランジスタとして用いた場合、IGZOTFTは上述のようにリーク電流が小さいので、画素TFTからのリーク電流が小さく、画素電位の保持時間を長くすることができるため、フレーム周波数を例えば0.2Hz程度まで低くすることができる。このため、IGZOTFTを用いた場合、a-SiTFTを用いた場合に比べてCSドライバ500の駆動電力を1/100以下にすることができる。なお、より詳細には、IGZOTFTを用いた場合、走査期間CS周波数 $f_{\text{clock}1}$ を60Hzに設定すると、休止期間CS周波数 $f_{\text{clock}2}$ を1~0.1Hz程度に設定することができる。

[0108] また、IGZOTFTは上述のようにオン電流が大きいので、IGZOTFTを用いた場合、a-SiTFTを用いた場合に比べてTFTのサイズを1/20程度に小さくすることができる。

[0109] なお、a-SiTFTを用いた場合は、IGZOTFTを用いた場合よりも低コストで本実施形態を実現することができる。

[0110] <1.11 効果>

本実施形態によれば、1フレーム期間において、走査期間 T_1 の後に休止期間 T_2 が設けられる。休止期間CS周波数 $f_{\text{clock}2}$ が走査期間CS周波数 $f_{\text{clock}1}$ よりも低いので、CSドライバ500の1フレーム期間全体の駆動周波数が低減される。このため、CSドライバ500の駆動に要する消費電力が低減される。また、CSドライバ500がモノリシック化されて形成されているので、液晶表示パネル800の額縁面積が縮小されると共に、CSドライバ500のコストが低減される。

[0111] また、本実施形態によれば、休止期間 T_2 において、制御信号COUT(1)~COUT(m)がハイレベル電位になるタイミングで、CSラインCL1~CLmにそれぞれ高電位 V_h または低電位 V_l が与えられる。このため、休止期間 T_2 においてCSラインCL1~CLmがフローティング状態になることによりこれらのCSラインCL1~CLmが受けるノイズ等の影

響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間 T_2 において、バイアス用薄膜トランジスタ60(1)～60(m)のゲート端子それぞれに1水平走査期間のみハイレベル電位が与えられることとなるので、バイアス用薄膜トランジスタ60(1)～60(m)に掛かるゲートバイアスストレスが低減される。その結果、バイアス用薄膜トランジスタ60(1)～60(m)におけるしきい値変動が低減されるので、これらのバイアス用薄膜トランジスタ60(1)～60(m)の駆動能力(信頼性)の低下を抑制することができる。

[0112] また、本実施形態によれば、休止期間 T_2 が走査期間 T_1 よりも長く設けられているので、さらなる消費電力化を図ることができる。

[0113] IGZOTFTを本実施形態におけるCS双安定回路の各薄膜トランジスタとして用いた場合には、IGZOTFTのリーク電流が十分に小さいので、休止期間CS周波数 $f_{\text{clock}2}$ をさらに低くすることができる。このため、消費電力を低減することができる。また、この場合、IGZOTFTのオン電流が十分に大きいので、TFTサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

[0114] 一方、a-SiTFTを本実施形態におけるCS双安定回路の各薄膜トランジスタとして用いた場合には、さらなる低コスト化を図ることができる。

[0115] なお、本実施形態では、1フレーム期間において、走査期間 T_1 の後に休止期間 T_2 が設けられることにより、ゲートドライバ400の1フレーム期間全体の駆動周波数も低減されるので、ゲートドライバ400の駆動に要する消費電力も低減される。また、ゲートクロック信号GCKの周波数についても、走査期間 T_1 よりも休止期間 T_2 において低くなるので、ゲートドライバ400の駆動に要する消費電力も低減することができる。

[0116] <2. 第2の実施形態>

<2. 1 休止期間の動作>

図19は、本発明の第2の実施形態におけるCSドライバ500の動作のうち、特に休止期間 T_2 の動作を説明するための信号波形図である。なお、

本実施形態は、休止期間の動作を除き上記第 1 の実施形態と同様であるので、当該同様の部分についての説明を省略する。図 19 に示すように、本実施形態における休止期間 CS 振幅 $V_{cc k 2}$ は走査期間 CS 振幅 $V_{cc k 1}$ よりも小さい。なお、休止期間 T2 においてバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) を確実にオン状態にするためには、この休止期間 CS 振幅 $V_{cc k 2}$ はバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) のしきい値電圧よりも大きい必要がある。すなわち、本実施形態における休止期間 CS 振幅 $V_{cc k 2}$ は、走査期間 CS 振幅 $V_{cc k 1}$ よりも小さく且つバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) のしきい値電圧よりも大きい。

[0117] <2. 2 効果>

本実施形態によれば、休止期間 T2 における第 1 CS クロック信号 $CC K 1$ および第 2 CS クロック信号 $CC K 2$ の振幅である休止期間 CS 振幅 $V_{cc k 2}$ が、走査期間 T1 における第 1 CS クロック信号 $CC K 1$ および第 2 CS クロック信号 $CC K 2$ の振幅である走査期間 CS 振幅 $V_{cc k 1}$ よりも小さい。このため、さらなる低消費電力化を図ることができる。また、休止期間 V2 にバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) に掛かるゲートバイアスストレスが低減されるので、これらのバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) のさらなる高信頼性化を図ることができる。

[0118] <3. 第 3 の実施形態>

<3. 1 全体構成および動作>

図 20 は、本発明の第 3 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。本実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。図 20 に示すように、本実施形態に係る液晶表示装置は、上記第 1 の実施形態におけるゲートドライバ 400 および CS ドライバ 500 に代えてゲート CS ドライバ 900 を備えている。このゲート CS ドライバ 900 は、後述のように上記ゲートドライバ 400 および CS ドライバ 500 によ

り構成されている。このゲートCSドライバ900は、表示部600と一体的に液晶表示パネル800上に形成されている。すなわち、本実施形態では、CSドライバ500のみならず、ゲートドライバ400も表示部600と一体的に形成されている。このゲートドライバ400も、CSドライバ500と同様にアモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体（例えばIGZO）などを用いて、表示部600を含む液晶表示パネル800上に形成されている。

[0119] 表示制御回路200は、上記第1の実施形態と異なり、CSクロック信号CLKおよびCSスタートパルス信号CSPを出力しない。すなわち、本実施形態における表示制御回路200は、デジタル映像信号DVと、ソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、ゲートエンドパルス信号GEP、ゲートクロック信号GCK、第1バイアス信号Vcs1、および第2バイアス信号Vcs2のみを出力する。本実施形態では、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、およびクロック信号が実現されている。また、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKにより補助容量クロック信号が実現されている。

[0120] ゲートCSドライバ900内のゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、ハイレベル電位の走査信号GOUT(1)～GOUT(m)のゲートラインGL1～GLmそれぞれへの印加を1フレーム期間を周期として繰り返す。ゲートCSドライバ900内のCSドライバ500は、表示制御回路200から出力されるゲートクロック信号GCK（第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2）、第1バイアス信号Vcs1および第2バイアス信号Vcs2に基づいて、CSラインCL1～CLmに、画素電位Vdにバイアスを掛けるための補助容量信号CSS(1)～CSS(m)をそれぞれ印加する。本実施形態では、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2により

複数の第1シフト動作クロック信号が実現されている。

[0121] <3. 2 ゲートCSドライバの構成>

図21は、本実施形態におけるゲートCSドライバ900の構成を説明するためのブロック図である。このゲートCSドライバ900は、上述のようにゲートドライバ400およびCSドライバ500により構成されている。図21に示すように、ゲートドライバ400は、上記ゲートシフトレジスタ410（以下、本実施形態では単に「シフトレジスタ」という）および出力バッファ群420により構成されている。CSドライバ500は、シフトレジスタ410および上記CS出力部520により構成されている。すなわち、本実施形態では、ゲートドライバ400とCSドライバ500とがシフトレジスタ410を共有している。本実施形態では、シフトレジスタ410により第1シフトレジスタが実現されている。

[0122] 図22は、本実施形態におけるゲートドライバ400およびCSドライバ500の、最前段および最後段以外の構成を示すブロック図である。図23は、本実施形態におけるゲートドライバ400およびCSドライバ500の最前段側の構成を示すブロック図である。図24は、本実施形態におけるゲートドライバ400およびCSドライバ500の最後段側の構成を示すブロック図である。なお、上記第1の実施形態と共通する部分については適宜説明を省略する。

[0123] 図22～図24に示すように、シフトレジスタ410は、 m 個のゲート双安定回路（以下、本実施形態では単に「双安定回路」という）40(1)～40(m)と、1個のダミー用双安定回路40($m+1$)（以下単に「双安定回路40($m+1$)」ということがある）からなっている。出力バッファ群420は、 m 個の出力バッファ70(1)～70(m)からなっている。CS出力部520は、上述のように m 個のバイアス用薄膜トランジスタ60(1)～60(m)により構成されている。本実施形態では、双安定回路（ゲート双安定回路）により第1双安定回路が実現されている。

[0124] 本実施形態では上記第1の実施形態と異なり、バイアス用薄膜トランジス

タ 60 (1) ~ 60 (m) が双安定回路 40 (1) ~ 40 (m) に 1 段ずれて対応している。すなわち、本実施形態では、バイアス用薄膜トランジスタ 60 (1) ~ 60 (m) が双安定回路 40 (2) ~ 40 (m+1) にそれぞれ対応している。なお、これらのバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) は、上記第 1 の実施形態と同様に CS ライン CL 1 ~ CL m にそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には、対応する双安定回路の出力端子 49 (状態信号 Z が出力される端子) が接続され、ドレイン端子には対応する CS ラインが接続されている。奇数段目のバイアス用薄膜トランジスタのソース端子には第 1 バイアス信号 V_{cs1} が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第 2 バイアス信号 V_{cs2} が与えられる。

[0125] 出力バッファ 70 (1) ~ 70 (m) は、双安定回路 40 (1) ~ 40 (m) にそれぞれ対応すると共に、ゲートライン GL 1 ~ GL m にそれぞれ対応している。各出力バッファは、例えば図 25 に示す AND 回路により実現される。ここで、出力バッファ 70 (i) を実現する AND 回路を示している。以下では、出力バッファと、当該出力バッファを実現する AND 回路とを同一の符号で表すことがある。各 AND 回路の一方の入力端子には対応する双安定回路の出力端子 49 が接続され (制御信号が与えられ)、他方の入力端子には対応するバイアス入力信号 V_{gh} が与えられ、出力端子には対応するゲートラインが接続されている。このバイアス入力信号 V_{gh} は表示制御回路 200 から各 AND 回路に与えられる。また、このバイアス入力信号 V_{gh} は、走査期間 T1 にはハイレベル電位 (V_{dd} 電位) となり、休止期間 T2 にはローレベル電位 (V_{ss} 電位) となる。

[0126] <3. 3 ゲート CS ドライバの動作>

図 26 は、本実施形態におけるゲート CS ドライバ 900 の動作を説明するための信号波形図である。まず、走査期間 T1 における動作について説明する。走査期間 T1 では、ゲート CS ドライバ 900 は走査期間ゲート周波数 f_{gck1} で駆動される。図 26 に示すように、ゲートスタートパルス信

号G S Pがハイレベル電位になった後、第1ゲートクロック信号G C K 1および第2ゲートクロック信号G C K 2に基づいて、制御信号G O U T' (1) ~ G O U T' (m) が順次にハイレベル電位になる。この走査期間T 1ではバイアス入力信号V g hがハイレベル電位になっているので、これらの制御信号G O U T' (1) ~ G O U T' (m) がハイレベル電位になるタイミングでそれぞれ、A N D回路7 0 (1) ~ 7 0 (m) の出力信号の電位がハイレベルになる。すなわち、の制御信号G O U T' (1) ~ G O U T' (m) がハイレベル電位になるタイミングでそれぞれ走査信号G O U T (1) ~ G O U T (m) がハイレベル電位になる。

[0127] ここで、走査期間T 1では第1バイアス信号V c s 1の電位が高電位V hであり、第2バイアス信号V c s 2の電位が低電位V lになっているものとする。2段目の双安定回路4 0 (2)の出力信号である制御信号G O U T' (2)がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ6 0 (1)がオン状態になる。このバイアス用薄膜トランジスタ6 0 (1)のソース端子には第1バイアス信号V c s 1が与えられているので、C Sライン(1)に印加される補助容量信号C S S (1)の電位が高電位V hに変化する。この補助容量信号C S S (1)の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ6 0 (1)がオン状態になるまで維持される。

[0128] 3段目の双安定回路4 0 (3)の出力信号である制御信号G O U T' (3)がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ6 0 (2)がオン状態になる。このバイアス用薄膜トランジスタ6 0 (2)のソース端子には第2バイアス信号V c s 2が与えられているので、C Sライン(2)に印加される補助容量信号C S S (2)の電位が低電位V lに変化する。この補助容量信号C S S (2)の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ6 0 (2)がオン状態になるまで維持される。以下同様に、双安定回路の出力信号である制御信号に応じて各C Sラインに印加される補助容量信号の電位が順次変化する。

[0129] なお、図26に示すように、休止期間T2において補助容量信号CSS(1)～CSS(m)を順次にハイレベル電位にするために、走査期間T1の最後の1水平走査期間においてゲートスタートパルス信号GSPが再度ハイレベル電位になる。

[0130] 次に、休止期間T2における動作について説明する。休止期間T2では、ゲートCSドライバ900は、走査期間ゲート周波数fgck1よりも低い休止期間ゲート周波数fgck2で駆動される。上述のように走査期間T1の最後の1水平走査期間においてゲートスタートパルス信号GSPがハイレベル電位になっているので、走査期間CS周波数fccck1よりも低い休止期間CS周波数fccck2の第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2に基づいて、制御信号GOUT'(1)～GOUT'(m)が順次にハイレベル電位になる。しかし、この休止期間T2ではバイアス入力信号Vghがローレベル電位になっているので、AND回路70(1)～70(m)の出力信号の電位はローレベルを維持する。すなわち、休止期間T2では走査信号GOUT(1)～走査信号GOUT(m)はローレベル電位を維持する。

[0131] また、休止期間T2において制御信号GOUT'(1)～GOUT'(m)が順次にハイレベル電位になると、バイアス用薄膜トランジスタ60(1)～(m)がそれぞれオン状態になる。この休止期間T2における第1バイアス信号Vcs1および第2バイアス信号Vcs2は、走査期間T1におけるものと同じ電位である。このため、CSラインCL1～CLmにそれぞれ与えられる補助容量信号CSS(1)～CSS(m)の電位は変化しない。

[0132] なお、本実施形態における双安定回路の構成および動作は上記第1の実施形態におけるゲート双安定回路またはCS双安定回路のものと同様なので、その説明を省略する。

[0133] <3.4 効果>

本実施形態によれば、ゲートドライバ400とCSドライバ500とでシフトレジスタ410を共有化できる。このため、回路規模が縮小されるので

、例えばさらなる狭額縁化を図ることができる。また、CSドライバ500のみならずゲートドライバ400もモノリシック化されて形成されるため、ゲートドライバ400のコストが低減されると共に、さらなる狭額縁化を図ることができる。

[0134] なお、休止期間T2における第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2の振幅（以下「休止期間ゲート振幅」という）を走査期間T1における第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2の振幅（以下「走査期間ゲート振幅」という）よりも小さくした場合には、さらなる低消費電力化を図ることができる。ただし、この場合、休止期間ゲート振幅は、走査期間ゲート振幅よりも小さく、且つバイアス用薄膜トランジスタ60(1)～60(m)のしきい値電圧および出力バッファ70(1)～70(m)を実現する薄膜トランジスタのしきい値電圧よりも大きい必要がある。

[0135] なお、各出力バッファは、与えられるバッファ入力信号Vghと、対応する双安定回路の出力信号である制御信号との論理積を実質的に出力できれば良く、上記AND回路に限定されるものではない。

[0136] <4. 第4の実施形態>

<4. 1 CSドライバの構成>

図27は、本発明の第4の実施形態におけるCSドライバ500の構成を示すブロック図である。なお、本実施形態は、CSドライバ500の構造および休止期間の動作を除き上記第1の実施形態と同様であるので、当該同様の部分についての説明を省略する。図27に示すように、本実施形態におけるCSドライバ500は、m本のゲートラインGL1～GLmにそれぞれ対応して設けられた、m個の休止時動作薄膜トランジスタ（第2スイッチング素子）61(1)～61(m)をさらに備えている。また、これらの休止時動作薄膜トランジスタ61(1)～61(m)はそれぞれCS双安定回路50(1)～50(m)に対応している。

[0137] 各休止時動作薄膜トランジスタのゲート端子には休止期間動作クロック

信号 ALL_ON が与えられ、ドレイン端子には対応するゲートラインが接続されている。この休止期間動作クロック信号 ALL_ON は表示制御回路 200 から与えられる。また、この休止期間動作クロック信号 ALL_ON は、走査期間 T_1 では常にローレベル電位である。なお、以下の説明では、休止期間 T_2 における休止期間動作クロック信号 ALL_ON の周期（以下「休止期間 ALL_ON 周期」という）を符号 t_{ack2} で表す。また、休止期間 T_2 における休止期間動作クロック信号 ALL_ON の周波数（以下「休止期間 ALL_ON 周波数」という）を符号 f_{ack2} で表す。

[0138] 休止期間動作クロック信号 ALL_ON は、休止期間 ALL_ON 周期 t_{ack2} 毎にハイレベル電位になる。この休止期間 ALL_ON 周期 t_{ack2} は、走査期間 CS 周期 t_{clk1} よりも長い。すなわち、休止期間 ALL_ON 周波数 f_{ack2} は走査期間 CS 周波数 f_{clk1} よりも低い。

[0139] 奇数段目の CS 双安定回路に対応する休止動作薄膜トランジスタのドレイン端子には第 1 バイアス信号 V_{cs1} が与えられる。一方、偶数段目の CS 双安定回路に対応する休止動作薄膜トランジスタのドレイン端子には第 2 バイアス信号 V_{cs2} が与えられる。本実施形態では、休止期間動作クロック信号 ALL_ON 、 CS クロック信号 CLK 、および CS スタートパルス信号 CSP により補助容量クロック信号が実現されている。

[0140] <4. 2 CS ドライバの動作>

図 28 は、本実施形態における CS ドライバ 500 の動作のうち、特に休止期間 T_2 の動作を説明するための信号波形図である。走査期間 T_1 では、休止期間動作クロック信号 ALL_ON は上述のようにローレベル電位を維持している。

[0141] 本実施形態では、上記第 1 の実施形態と異なり、休止期間 T_2 において第 1 CS クロック信号 $CLK1$ および第 2 CS クロック信号 $CLK2$ がローレベル電位を維持している。このとき、休止期間 CS 周波数 f_{clk2} は 0 となる。また、休止期間 T_2 において CS スタートパルス信号 CSP がハイレ

ベル電位にならない。このため、休止期間T2において制御信号COUT(1)～COUT(m)はハイレベル電位にならない。また、休止期間T2では、休止期間動作クロック信号ALL_ONは休止期間ALL_ON周期tack2毎にハイレベル電位になる。休止期間動作クロック信号ALL_ONがハイレベル電位になると、休止動作薄膜トランジスタ61(1)～61(m)がオン状態になる。この休止期間T2における第1バイアス信号Vcs1および第2バイアス信号Vcs2は、走査期間T1におけるものと同じ電位である。このため、CSラインCL1～CLmにそれぞれ与えられる補助容量信号CSS(1)～CSS(m)の電位は変化しない。

[0142] なお、CSドライバ500のその他の動作については上記第1の実施形態と同様であるのでその説明を省略する。

[0143] <4.3 効果>

本実施形態によれば、休止期間T2において、制御信号COUT(1)～COUT(m)がハイレベル電位になるタイミングに代えて、休止期間動作クロック信号ALL_ONがハイレベル電位になるタイミングでCSラインCL1～CLmにそれぞれ高電位Vhまたは低電位Vlが与えられる。このため、休止期間T2においてCSラインCL1～CLmがフローティング状態になることによりこれらのCSラインCL1～CLmが受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間T2において第1CSクロック信号CLK1および第2CSクロック信号CLK2がローレベル電位を維持するので、さらなる低消費電力化を図ることができる。さらに、休止期間T2において制御信号COUT(1)～COUT(m)がハイレベル電位にならないので、バイアス用薄膜トランジスタ60(1)～60(m)に掛かるゲートバイアスストレスがさらに低減される。したがって、バイアス用薄膜トランジスタ60(1)～60(m)におけるしきい値変動がさらに低減されるので、これらのバイアス用薄膜トランジスタ60(1)～60(m)のさらなる高信頼性化を図ることができる。なお、休止動作薄膜トランジスタ61(1)～61(m)

においてしきい値変動が生じたとしても、バイアス用薄膜トランジスタ 60 (1) ~ 60 (m) においてしきい値変動が生じる場合に比べて表示に与える影響は少ない。

[0144] <5. 第5の実施形態>

<5. 1 CSシフトレジスタの構成および動作>

図29は、本発明の第5の実施形態におけるCSシフトレジスタ510の構成を説明するためのブロック図である。なお、本実施形態は、CSシフトレジスタ410の構成および動作を除き上記第1の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態では、表示制御回路200からCSドライバ500に与えられるCSクロック信号CCKが、3相のCSクロック信号CCK1~CCK3からなっている。以下では、CSクロック信号CCK3を「第3CSクロック信号」という。これらの第1CSクロック信号CCK1、第2CSクロック信号CCK2、および第3CSクロック信号CCK3は互いに1水平走査期間だけ位相がずれており、いずれも3水平走査期間中の1水平走査期間だけハイレベル電位(V_{dd}電位)になる(ただし、休止期間T₂を除く)。

[0145] CSシフトレジスタ510の各段(各CS双安定回路)の入力端子に与えられる信号は次のようになっている。i-2段目には、第1CSクロック信号CCK1が第1クロック信号CK1として与えられ、第2CSクロック信号CCK2が第2クロック信号CK2として与えられる。i-1段目には、第2CSクロック信号CCK2が第1クロック信号CK1として与えられ、第3CSクロック信号CCK3が第2クロック信号CK2として与えられる。i段目には、第3CSクロック信号CCK3が第1クロック信号CK1として与えられ、第1CSクロック信号CCK1が第2クロック信号CK2として与えられる。なお、セット信号Sおよびリセット信号Rを受け取るための端子に与えられる信号については上記第1の実施形態と同様であるので説明を省略する。

[0146] 以上のような構成において、CSシフトレジスタ510の1段目50(1

）にセット信号SとしてのCSスタートパルス信号CSPが与えられると、第1CSクロック信号CLK1、第2CSクロック信号CLK2、および第3CSクロック信号CLK3に基づいて、図30に示すように、1水平走査期間ずつ順次にハイレベル電位となる制御信号がCSドライバ500内のCS出力部520に与えられる。

[0147] <5.2 消費電力>

一般に、CSドライバの駆動に要する消費電力W（以下単に「消費電力W」という）は、下記の式（1）により求められる。

$$W = n \times f \times (C_p + C_t) \times V^2 \quad \dots (1)$$

ここで、nはCSクロック信号CLKの相数を、fはCSクロック信号CLKの周波数を、Cpは配線容量を、Ctは薄膜トランジスタの負荷容量を表す。

[0148] 上記第1の実施形態では、CSクロック信号CLKの相数が2である。このため、上記式（1）より、上記第1の実施形態における消費電力Wは下記の式（2）により表すことができる。

$$W = 2 \times f \times (C_p + C_t) \times V^2 \quad \dots (2)$$

[0149] 一方、本実施形態では、CSクロック信号CLKの相数が3である。また、CSクロック信号CLKの各相（以下単に「各相」という）に着目した場合に、本実施形態における、当該各相が与えられる双安定回路の入力端子41または42の数（以下「接続数」という）が、上記第1の実施形態における接続数よりも少なくなる。これは、各相に対する薄膜トランジスタの負荷容量が小さくなることを意味する。上記第1の実施形態では、各相が、1段毎に入力端子41または42に交互に与えられているので、接続数はmである。なお、ここでは便宜上ダミ一段50（m+1）を考慮していない。一方本実施形態では、各相が、1段おきに且つ1段毎に入力端子41または42に交互に与えられているので、接続数は $(2/3) \times m$ である。すなわち、本実施形態における各相に対する薄膜トランジスタの負荷容量は、上記第1の実施形態における負荷容量の2/3になる。したがって、上記式（1）に

より、本実施形態における消費電力 W は下記の式（３）により表すことができる。

$$W = 3 \times f \times (C_p + (2/3) \times C_t) \times V^2 \quad \dots (3)$$

[0150] ここで、 $C_p = C_t / 3$ であると仮定すると、上記式（２）および式（３）をそれぞれ下記の式（４）および（５）により表すことができる。

$$W = 2.67 \times f \times C_t \times V^2 \quad \dots (4)$$

$$W = 2 \times f \times C_t \times V^2 \quad \dots (5)$$

[0151] 上記式（４）および（５）から、本実施形態では、上記第１の実施形態よりも３０％程度消費電力 W を低減できることがわかる。

[0152] ＜５．３ 効果＞

本実施形態によれば、ＣＳクロック信号ＣＣＫの相数が３となる。このため、各相が与えられるＣＳ双安定回路の入力端子４１または４２の数（接続数）が、上記第１の実施形態における接続数よりも少なくなる。このため、各相に対する薄膜トランジスタの負荷容量が小さくなる。したがって、さらなる低消費電力化を図ることができる。

[0153] ＜６．その他＞

上記各実施形態において、ＣＳクロック信号ＣＣＫおよびゲートクロック信号ＧＣＫの周波数および振幅の制御は表示制御回路２００において行われることが望ましいが、ＣＳドライバ５００およびゲートドライバ４００においてそれぞれこのような制御が行われる構成としても良い。

[0154] 本発明におけるＣＳ双安定回路およびゲート双安定回路の構成は上記各実施形態に例示されたものに限定されるものではなく、種々変形可能である。

[0155] 上記第１の実施形態ではＣＳクロック信号ＣＣＫが２相からなり、上記第５の実施形態ではＣＳクロック信号ＣＣＫが３相からなっているが、本発明はこれに限定されるものではない。ＣＳクロック信号ＣＣＫが４相以上からなっても良い。

[0156] 上記各実施形態では、双安定回路内に設けられている薄膜トランジスタはすべて n チャネル型であるものとして説明したが、本発明はこれに限定され

るものではない。双安定回路内に設けられている薄膜トランジスタがpチャネル型であっても本発明を適用することができる。

[0157] その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

[0158] 以上により、本発明によれば、消費電力を低減したCS駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することができる。

産業上の利用可能性

[0159] 本発明は、ドライバモノリシック型の液晶表示装置に適用することができる。

符号の説明

[0160] 40(1)～40(m)…ゲート双安定回路(双安定回路)
40(m+1)…ゲート双安定回路(ダミ一段)
41～44…入力端子(入力ノード)
49…出力端子(出力ノード)
50(1)～50(m)…CS双安定回路(双安定回路)
50(m+1)…CS双安定回路(ダミ一段)
60(1)～60(m)…バイアス用薄膜トランジスタ(第1スイッチング素子)
61(1)～61(m)…休止動作用薄膜トランジスタ(第2スイッチング素子)
70(1)～70(m)…出力バッファ(AND回路)
80…画素薄膜トランジスタ(画素スイッチング素子)
300…ソースドライバ(映像信号線駆動回路)
400…ゲートドライバ(走査信号線駆動回路)
410…ゲートシフトレジスタ
420…出力バッファ群
500…CSドライバ(補助容量線駆動回路)

5 1 0…C S シフトレジスタ

5 2 0…C S 出力部

6 0 0…表示部

8 0 0…液晶表示パネル

9 0 0…ゲートC S ドライバ

E p…画素電極

C c s…補助容量

M 1 ～M 4…薄膜トランジスタ（スイッチング素子）

C 1…コンデンサ（容量素子）

N 1…第1 ノード

C S P…C S スタートパルス信号

G S P…ゲートスタートパルス信号

C C K 1 ～C C K 3…第1 C S クロック信号～第3 C S クロック信号（第1
シフト動作クロック信号）

G C K 1、G C K 2…第1 ゲートクロック信号、第2 ゲートクロック信号（
第2 シフト動作クロック信号）

S…セット信号

R…リセット信号

C S S（1）～C S S（m）…補助容量信号

C O U T（1）～C O U T（m）…制御信号

G O U T（1）～G O U T（m）…走査信号

G O U T'（1）～G O U T'（m）…制御信号

A L L _ O N…休止期間動作クロック信号

T 1…走査期間

T 2…休止期間

t c c k 1…走査期間C S 周期

t c c k 2…休止期間C S 周期

t a c k 2…休止期間A L L _ O N 周期

f_{cck1} …走査期間CS周波数
 f_{cck2} …休止期間CS周波数
 f_{ack2} …休止期間ALL__ON周波数
 V_{cck1} …走査期間CS振幅
 V_{cck2} …休止期間CS振幅
 V_{ss} …ローレベルの直流電源電位
 V_{dd} …ハイレベルの直流電源電位

請求の範囲

- [請求項1] 複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、
- オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、
- 前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、
- 前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、
- 前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第1シフト動作クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含み、
- 前記走査期間における前記複数の第1シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第1シフト動作クロック信号の周波数が低いことを特徴とする、液晶表示装置。
- [請求項2] 前記休止期間における前記複数の第1シフト動作信号の振幅が、前記走査期間における該複数の第1シフト動作信号の振幅よりも低いことを特徴とする、請求項1に記載の液晶表示装置。
- [請求項3] 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項1に記載の液晶表示装置。

[請求項4] 前記補助容量線駆動回路は、前記複数の補助容量線に第1導通端子がそれぞれ接続された複数の第1スイッチング素子をさらに含み、

前記表示制御回路が、前記フレーム期間毎に2つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第1スイッチング素子の第2導通端子に与え、

各第1スイッチング素子の制御端子には、該第1スイッチング素子の前記第1導通端子が接続された補助容量線に対応する第1双安定回路の出力信号が与えられることを特徴とする、請求項1に記載の液晶表示装置。

[請求項5] 前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第1導通端子が接続された第1スイッチング素子のうちの一方については該第1スイッチング素子の前記第2導通端子に前記バイアス信号として第1バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第1導通端子が接続された第1スイッチング素子のうちの他方については該第1スイッチング素子の前記第2導通端子に前記バイアス信号として第2バイアス信号を与え、

前記第1バイアス信号と前記第2バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする、請求項4に記載の液晶表示装置。

[請求項6] 前記補助容量線駆動回路は、前記複数の第1スイッチング素子にそれぞれ対応する複数の第2スイッチング素子をさらに含み、

前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第1シフト動作信号の周波数よりも前記休止期間における周波数が低い休止期間動作クロック信号を、各第2スイッチング素子の制御端子に与え、

各第2スイッチング素子の第1制御端子が、該第2スイッチング素

子に対応する第1スイッチング素子の前記第1導通端子に接続された補助容量線に接続され、

各第2スイッチング素子の第2制御端子には、該第2スイッチング素子に対応する第1スイッチング素子の前記第2導通端子に与えられた前記バイアス信号が与えられることを特徴とする、請求項4に記載の液晶表示装置。

[請求項7] 前記複数の第1シフト動作クロック信号が、互いに位相の異なる3相以上の第1シフト動作クロック信号であることを特徴とする、請求項1に記載の液晶表示装置。

[請求項8] 前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする、請求項1に記載の液晶表示装置。

[請求項9] 前記走査信号線駆動回路は、互いに縦続接続された複数の第2双安定回路の出力信号を、前記クロック信号に含まれる複数の第2シフト動作クロック信号に基づいて順次にオンレベルにする第2シフトレジスタを含み、該複数の第2双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする、請求項8に記載の液晶表示装置。

[請求項10] 前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第1シフトレジスタを共通に含み、

前記走査信号線駆動回路は、複数の第1双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、

前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、

前記複数の出力バッファは、前記バッファ入力信号と、対応する第1双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする、請求項8に記載の液晶表示装置。

[請求項11] 前記補助容量線駆動回路が、酸化物半導体により半導体層が形成さ

れた薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

[請求項12] 前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 8 から 10 までのいずれか 1 項に記載の液晶表示装置。

[請求項13] 前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

[請求項14] 前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 8 から 10 までのいずれか 1 項に記載の液晶表示装置。

[請求項15] 複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第1シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第1シフト動作クロック信号の周波数を低くするステップとを備え、

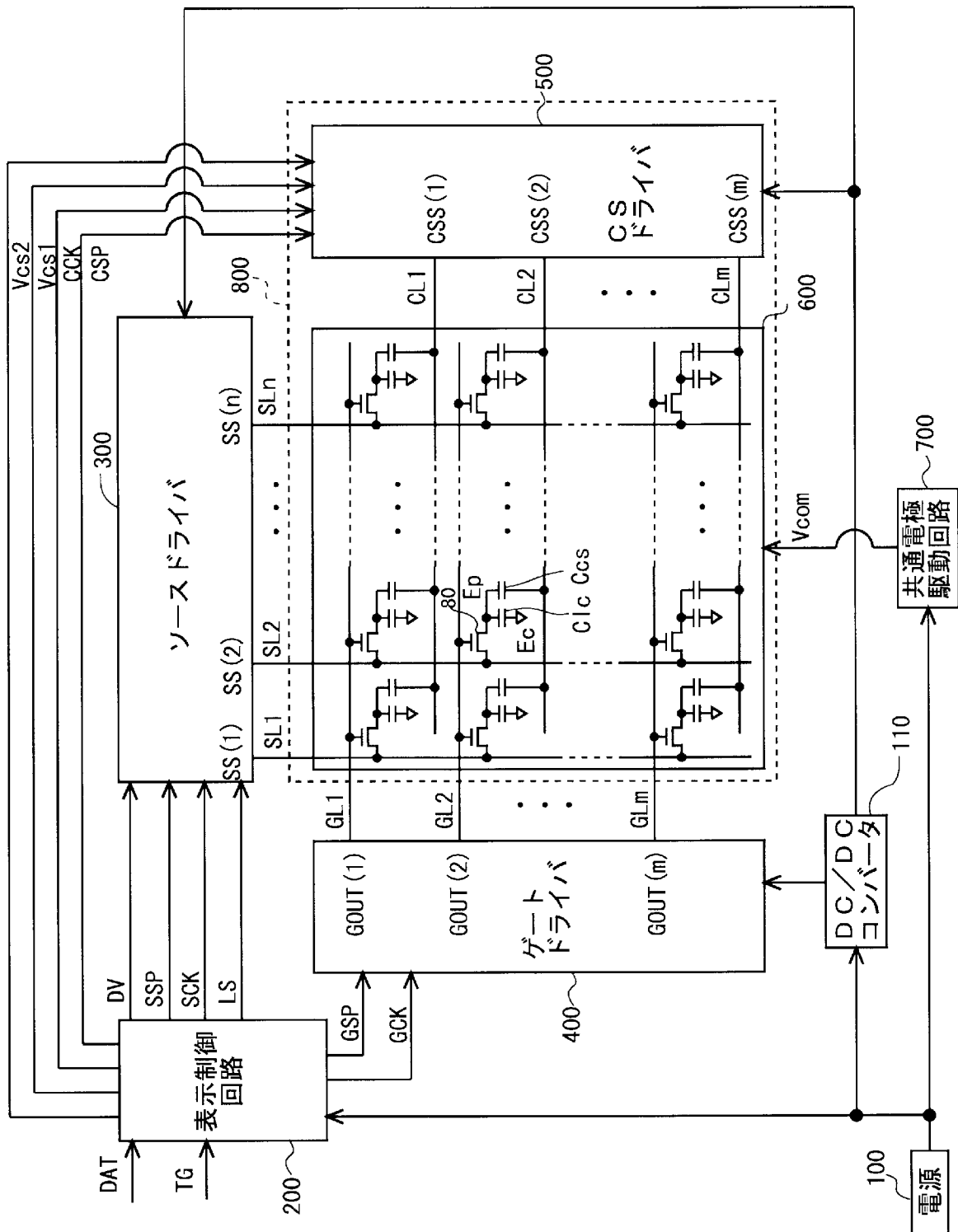
前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記複数の第1シフト動作クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含むことを特徴とする、駆動方法。

[請求項16] 前記休止期間における前記複数の第1シフト動作信号の振幅が、前記走査期間における該複数の第1シフト動作信号の振幅よりも低いことを特徴とする、請求項15に記載の駆動方法。

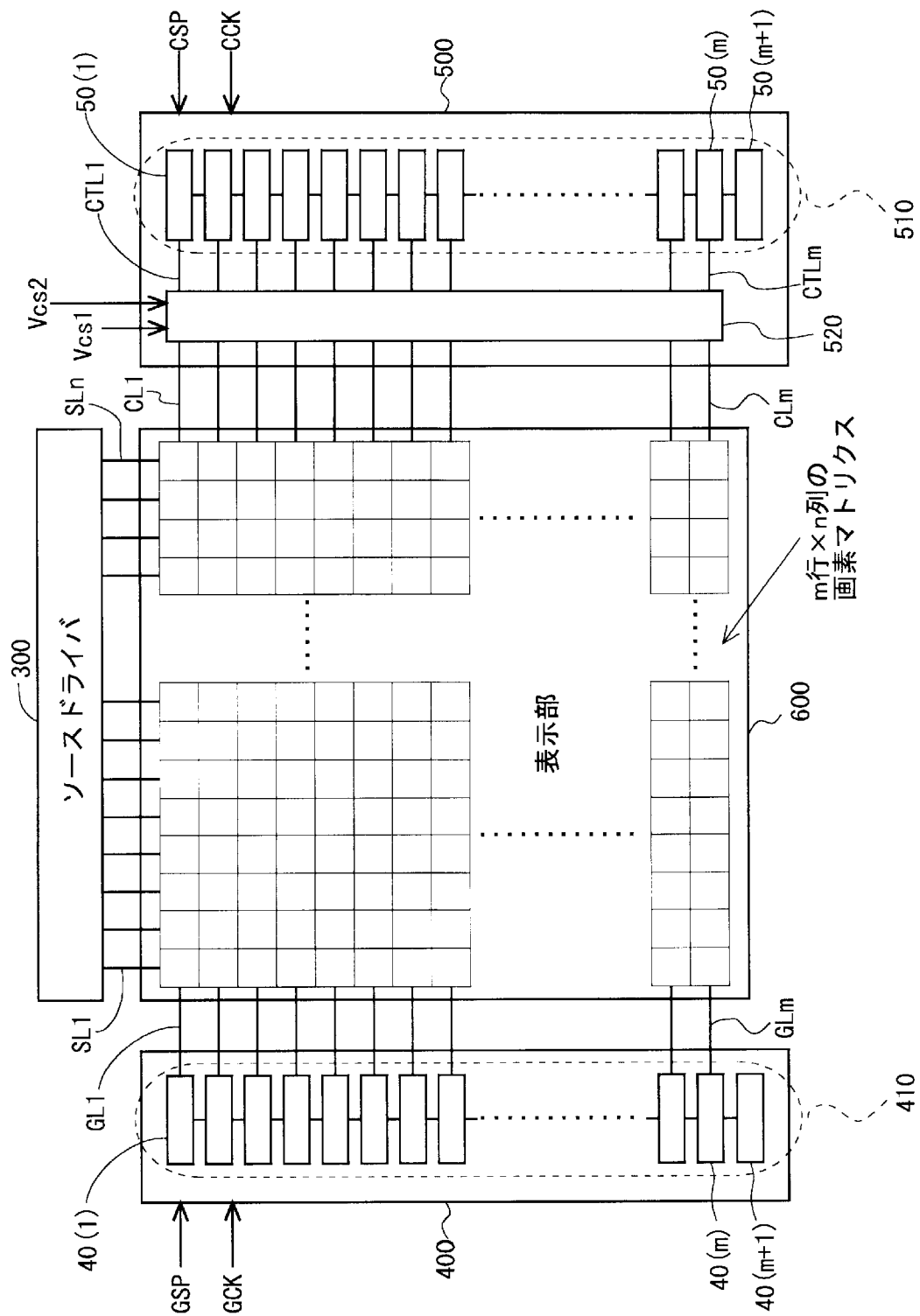
[請求項17] 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項15に記載の駆動方法。

[請求項18] 前記複数の第1シフト動作クロック信号が、互いに位相の異なる3相以上の第1シフト動作クロック信号であることを特徴とする、請求項15に記載の駆動方法。

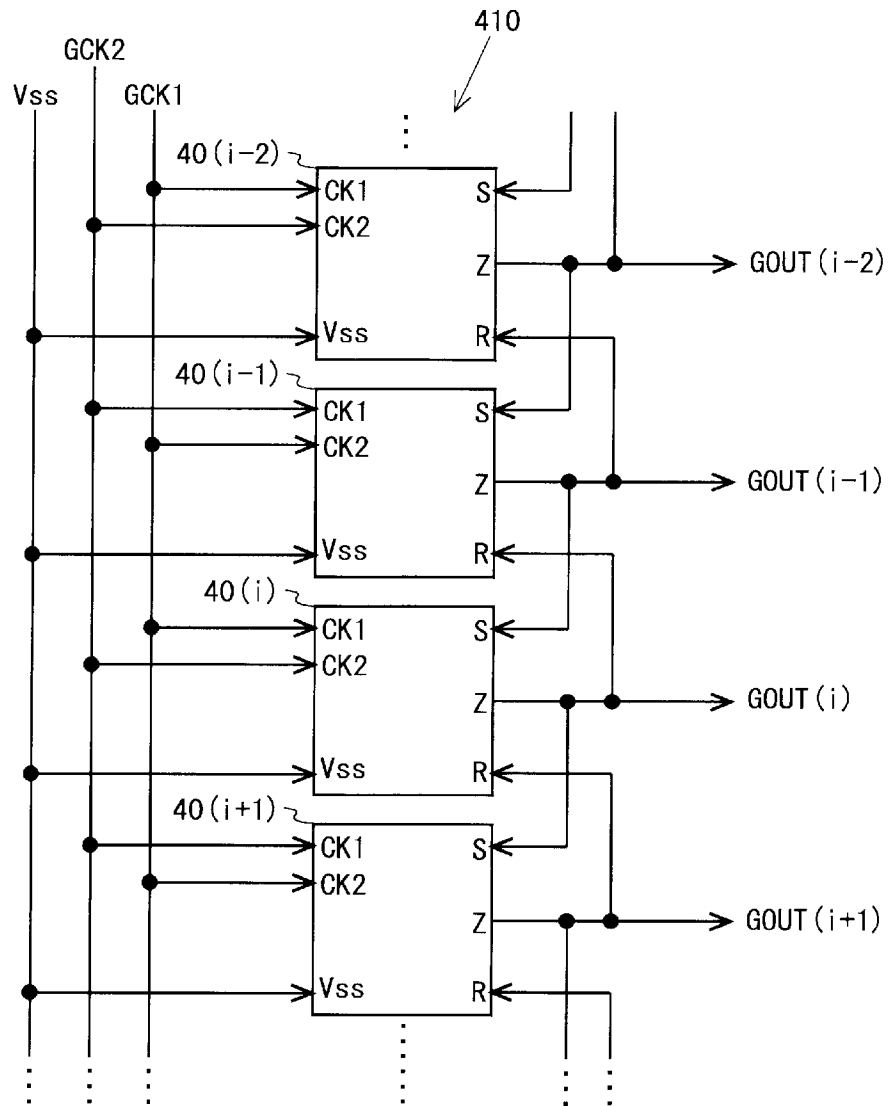
[図1]



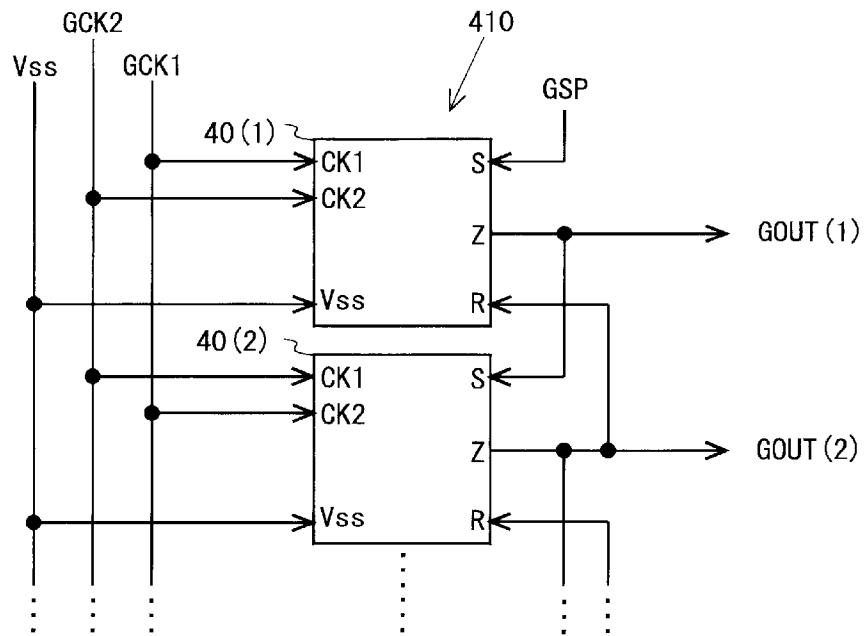
[図2]



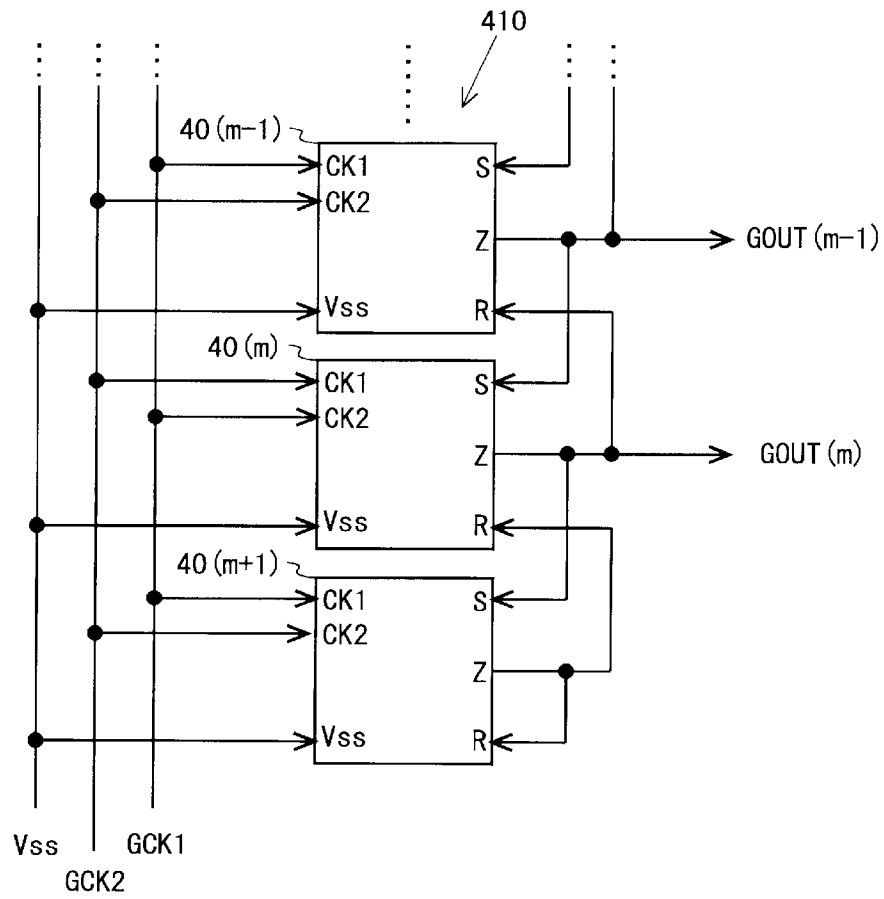
[図3]



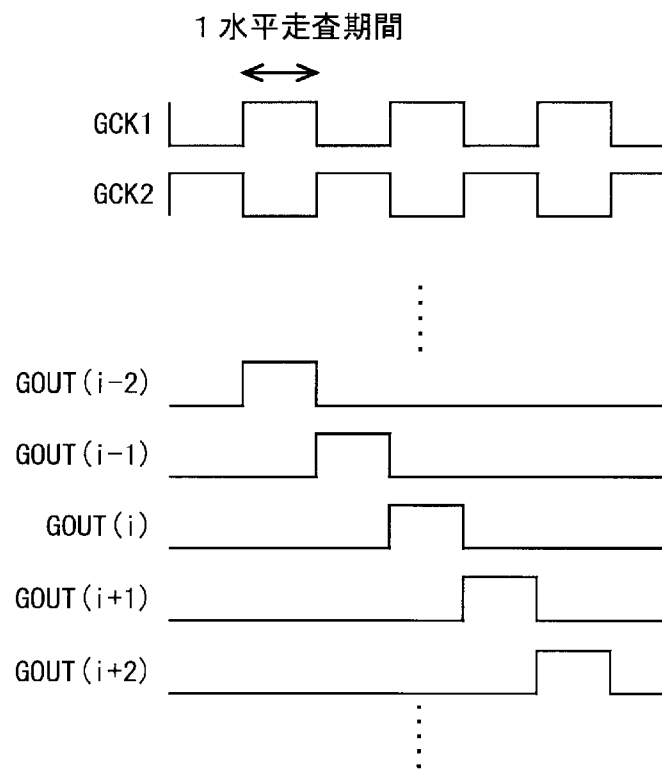
[図4]

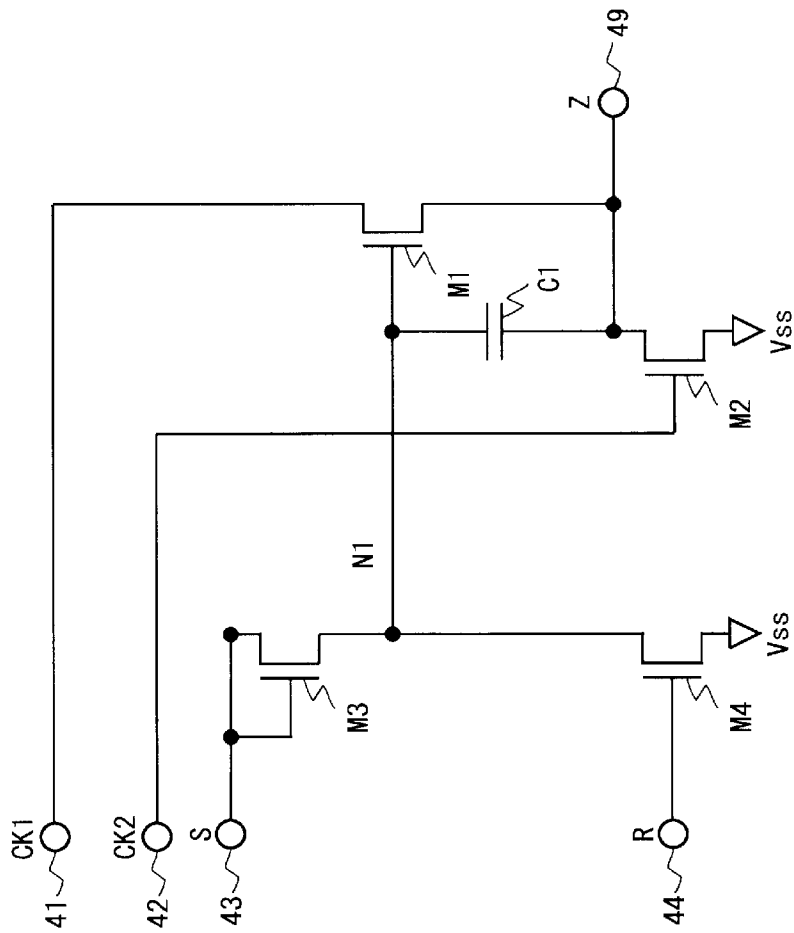


[図5]

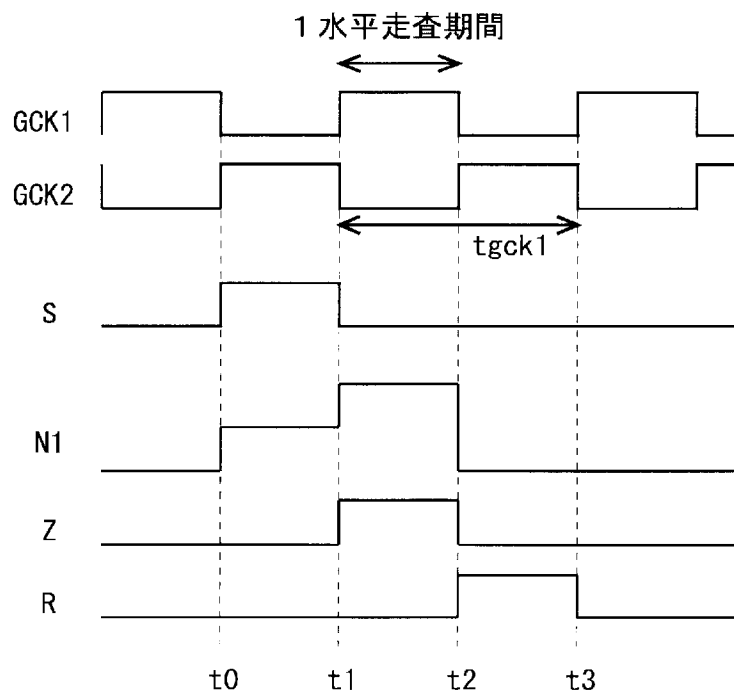


[図6]

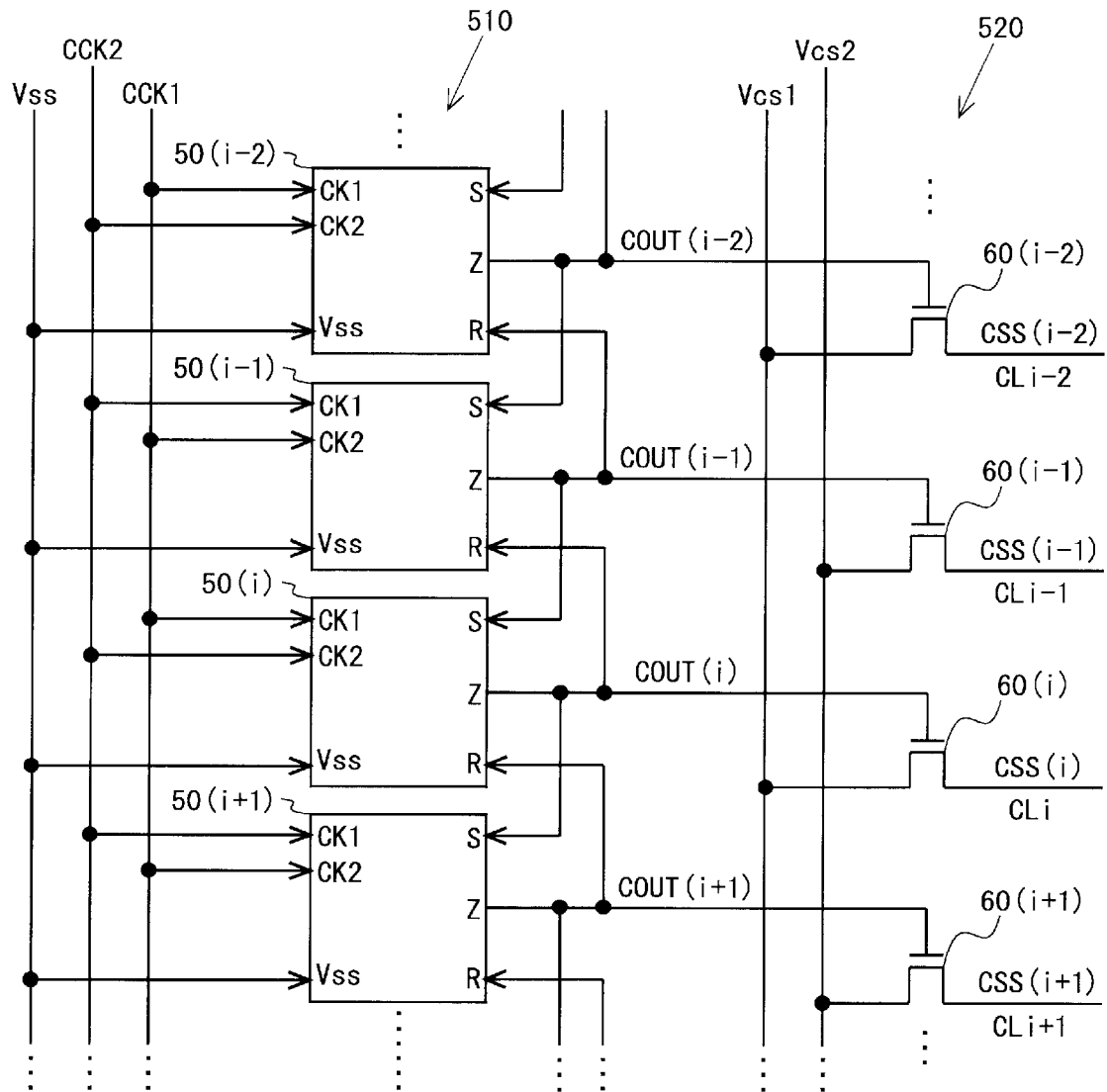




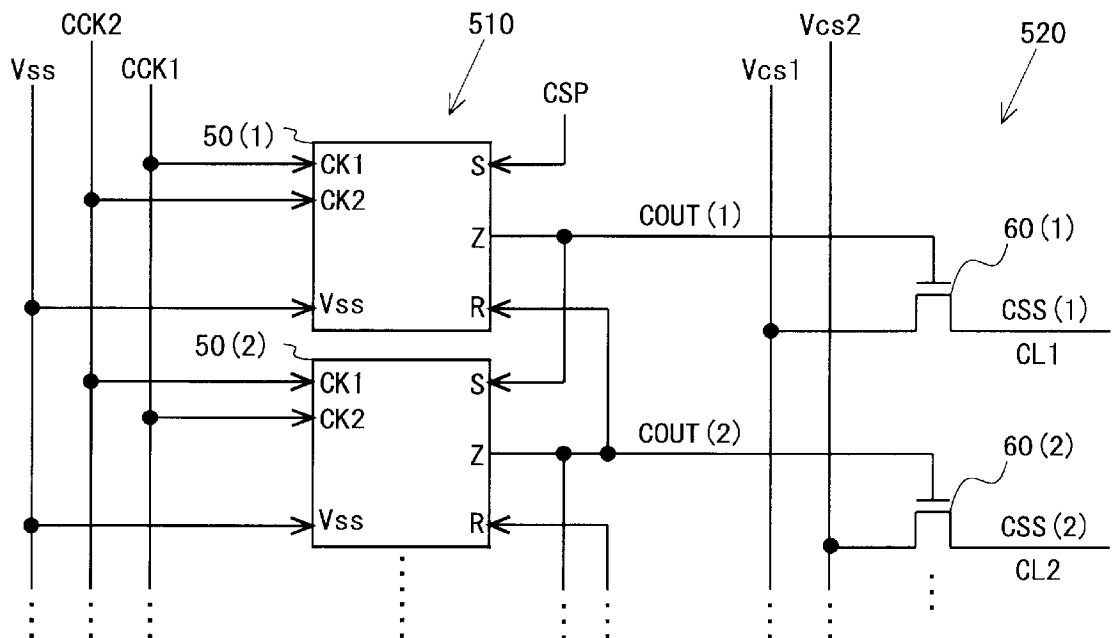
[図8]



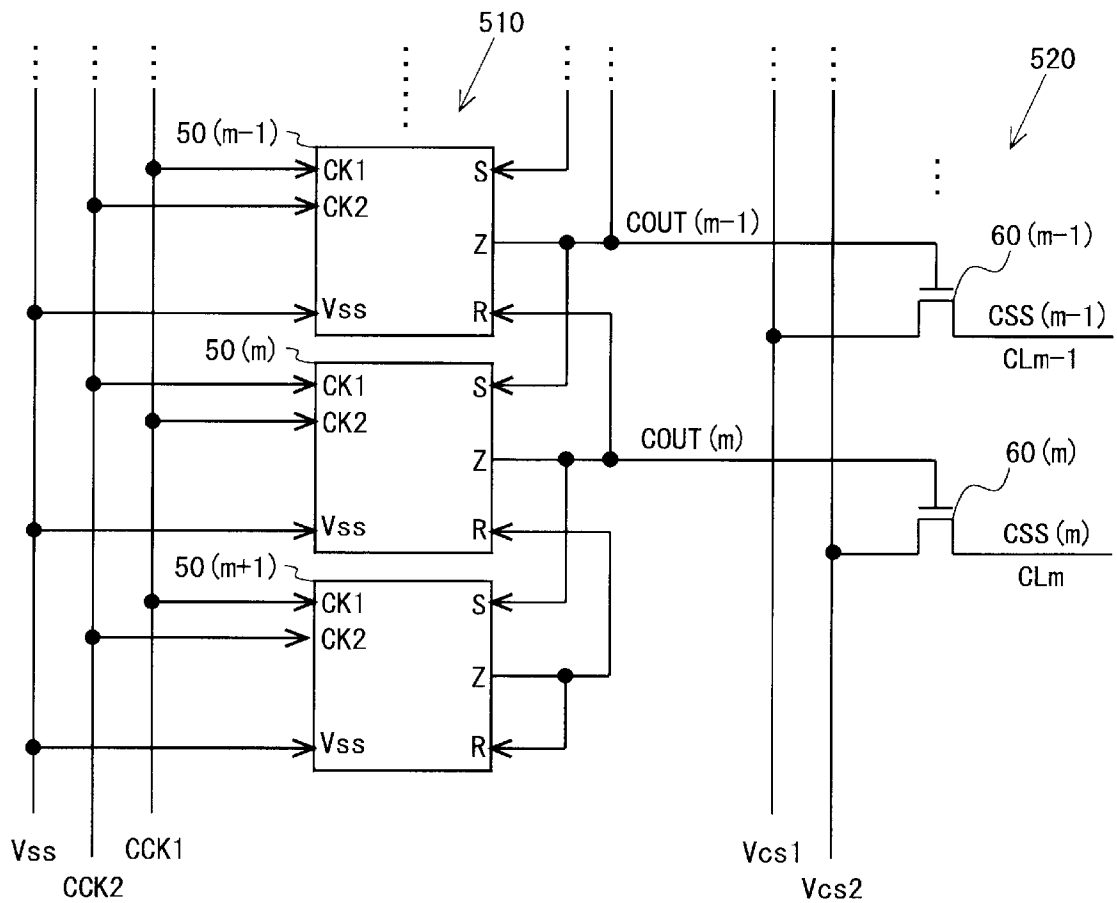
[図9]



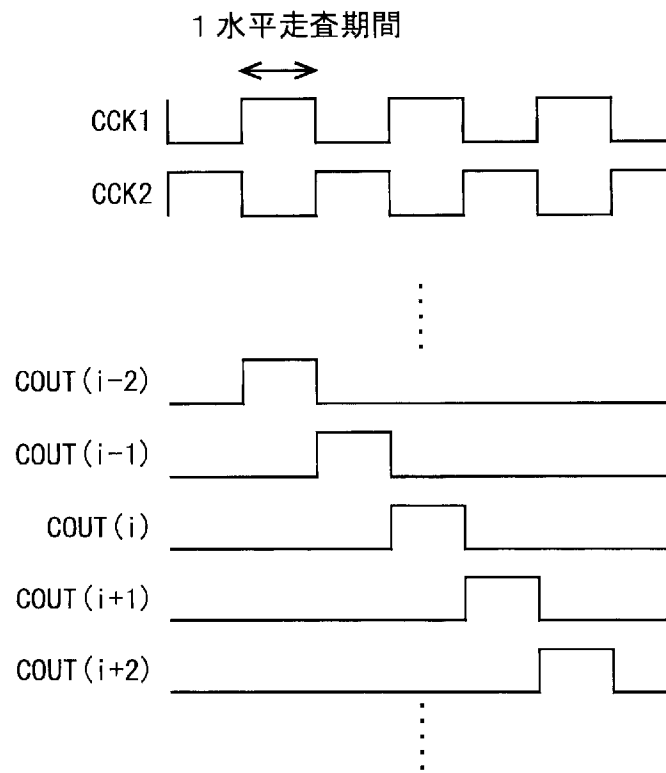
[図10]



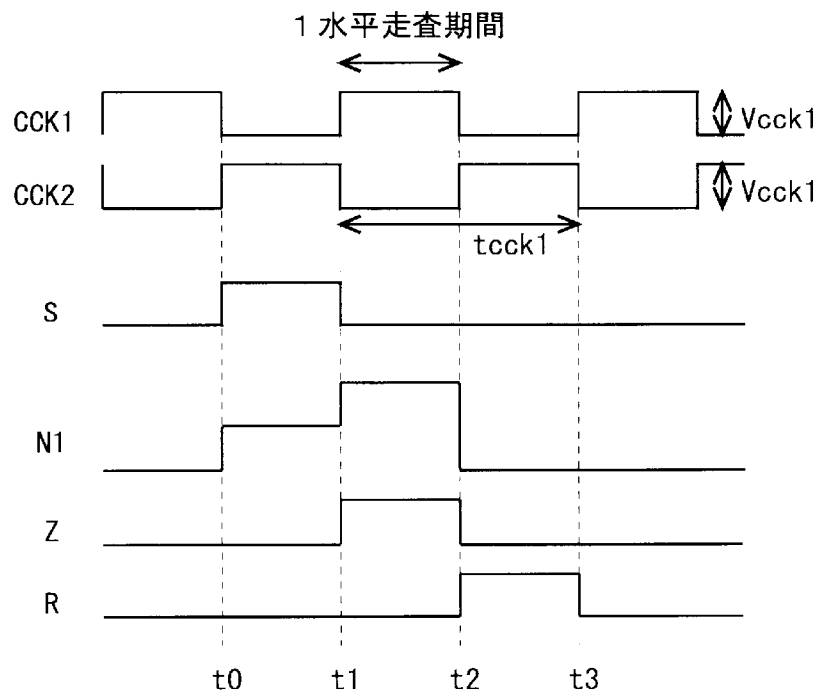
[図11]



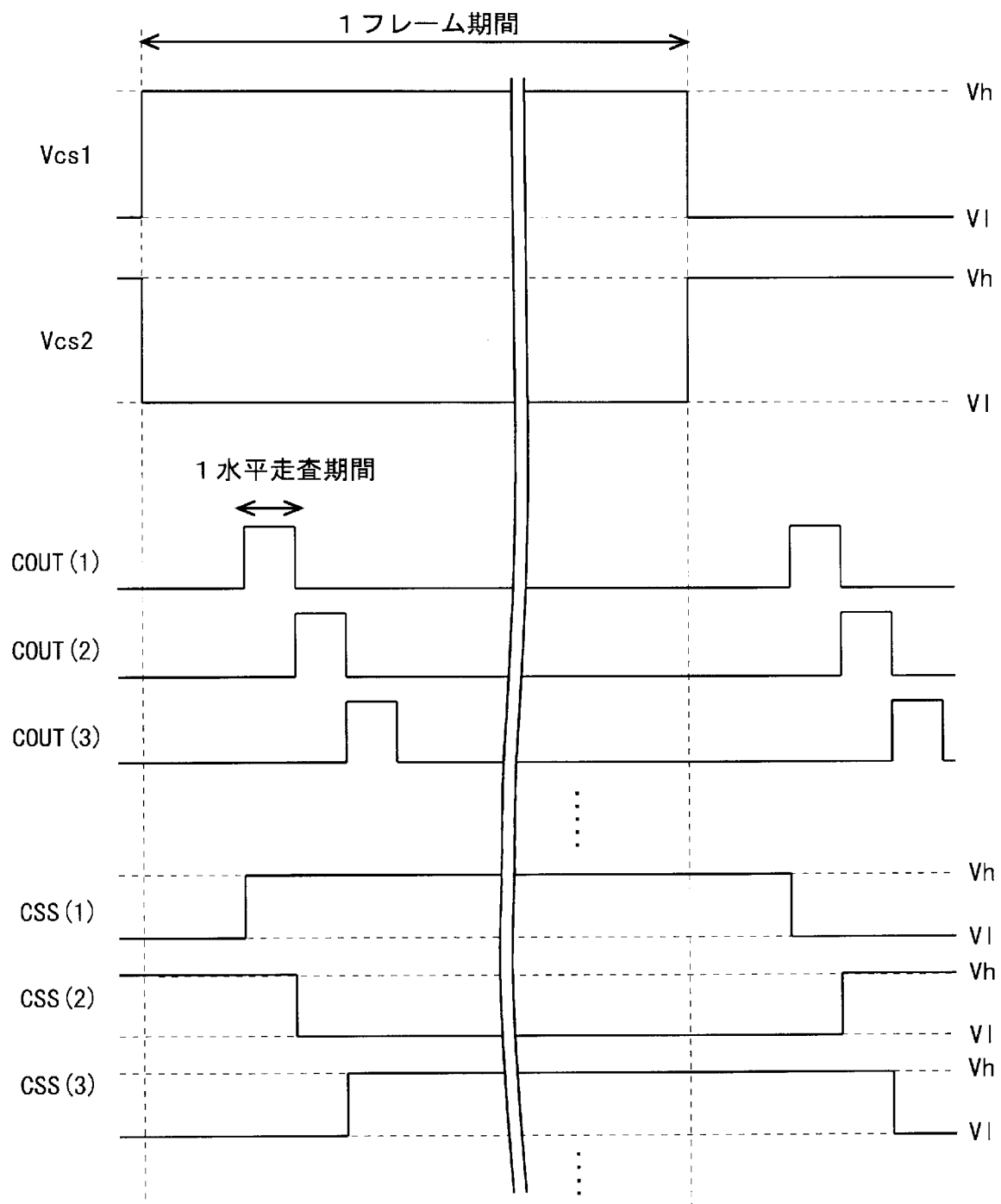
[図12]



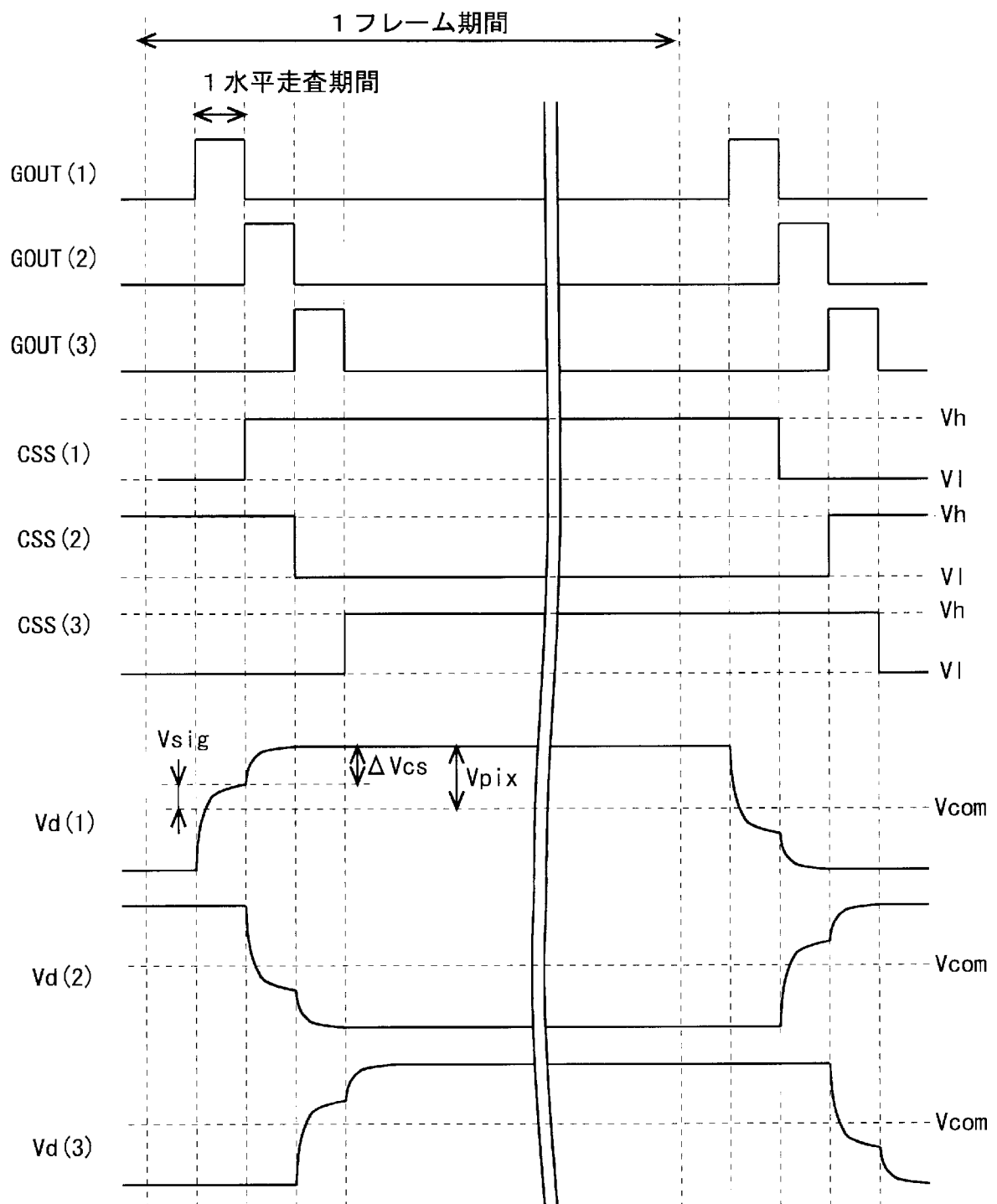
[図13]



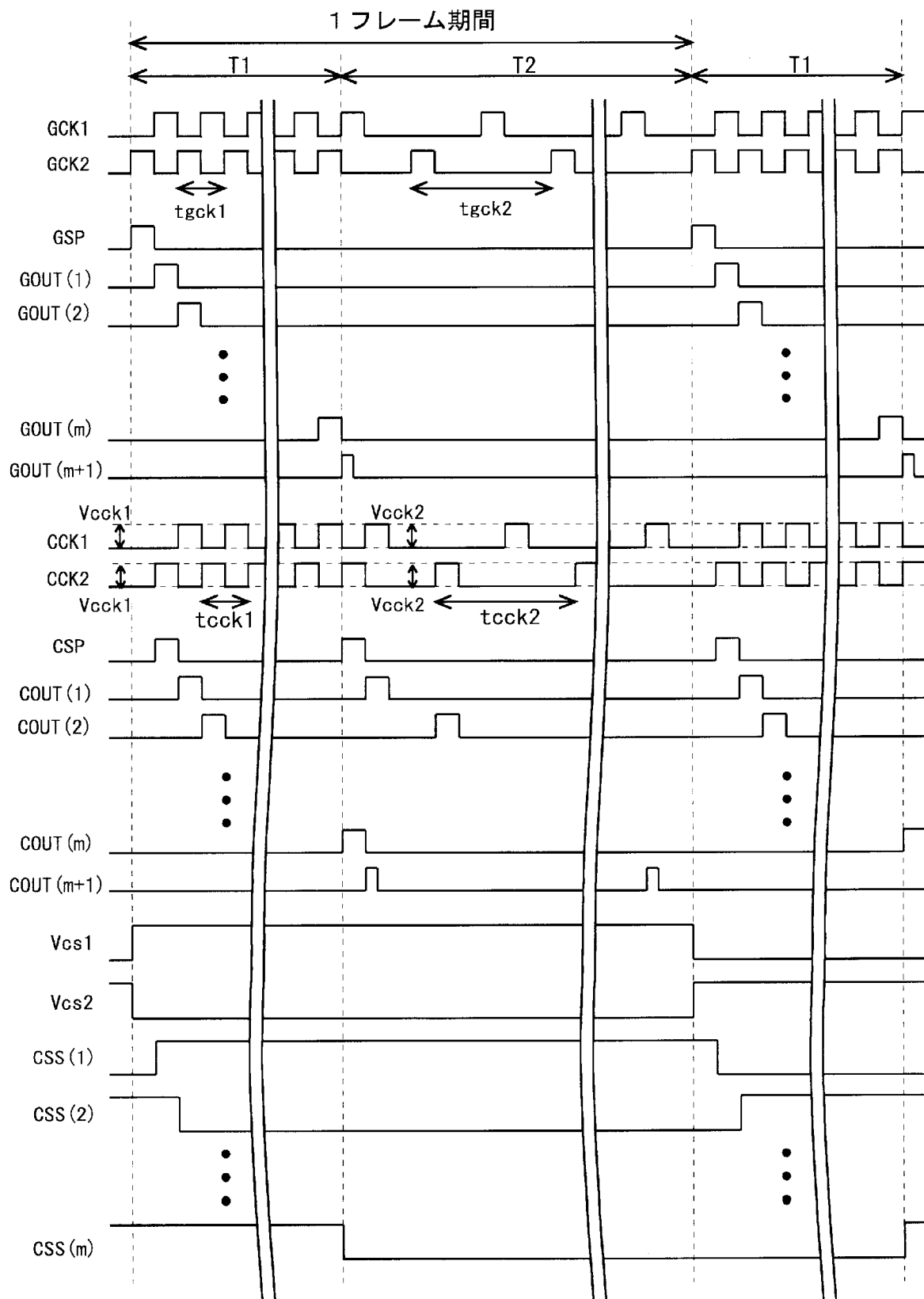
[図14]



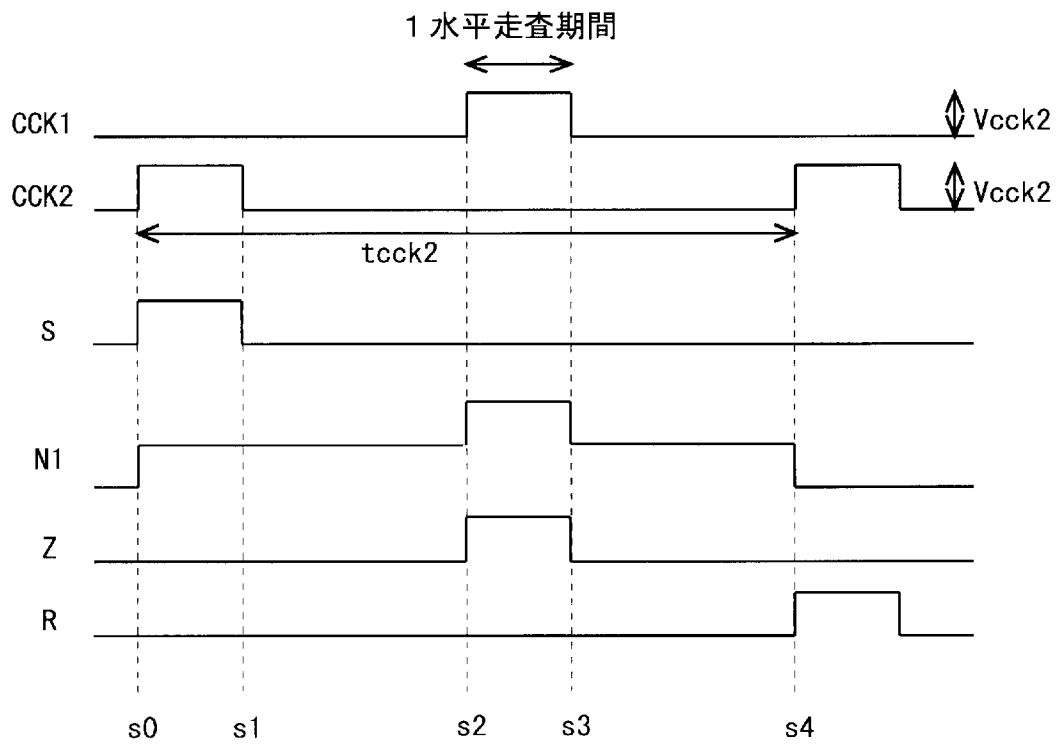
[図15]



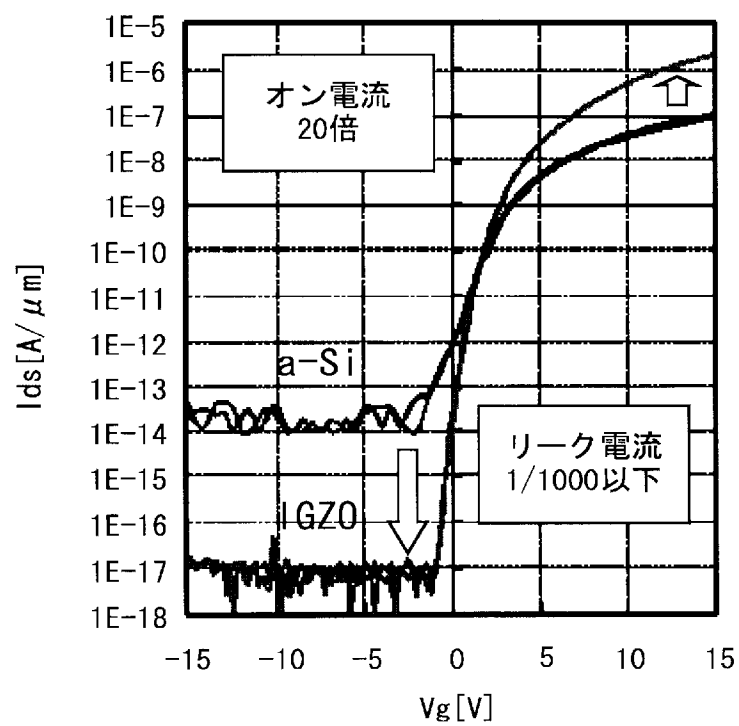
[図16]



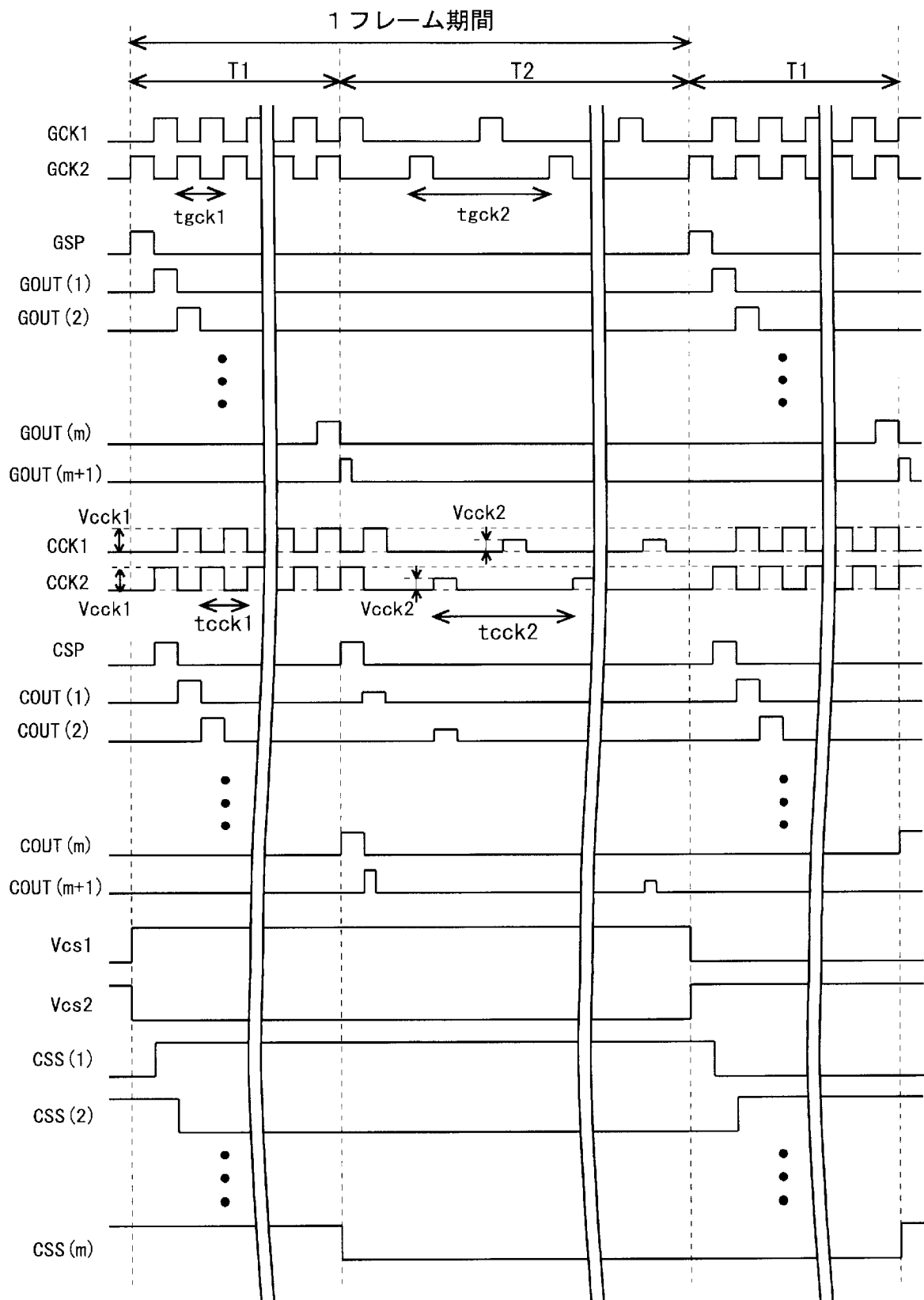
[図17]



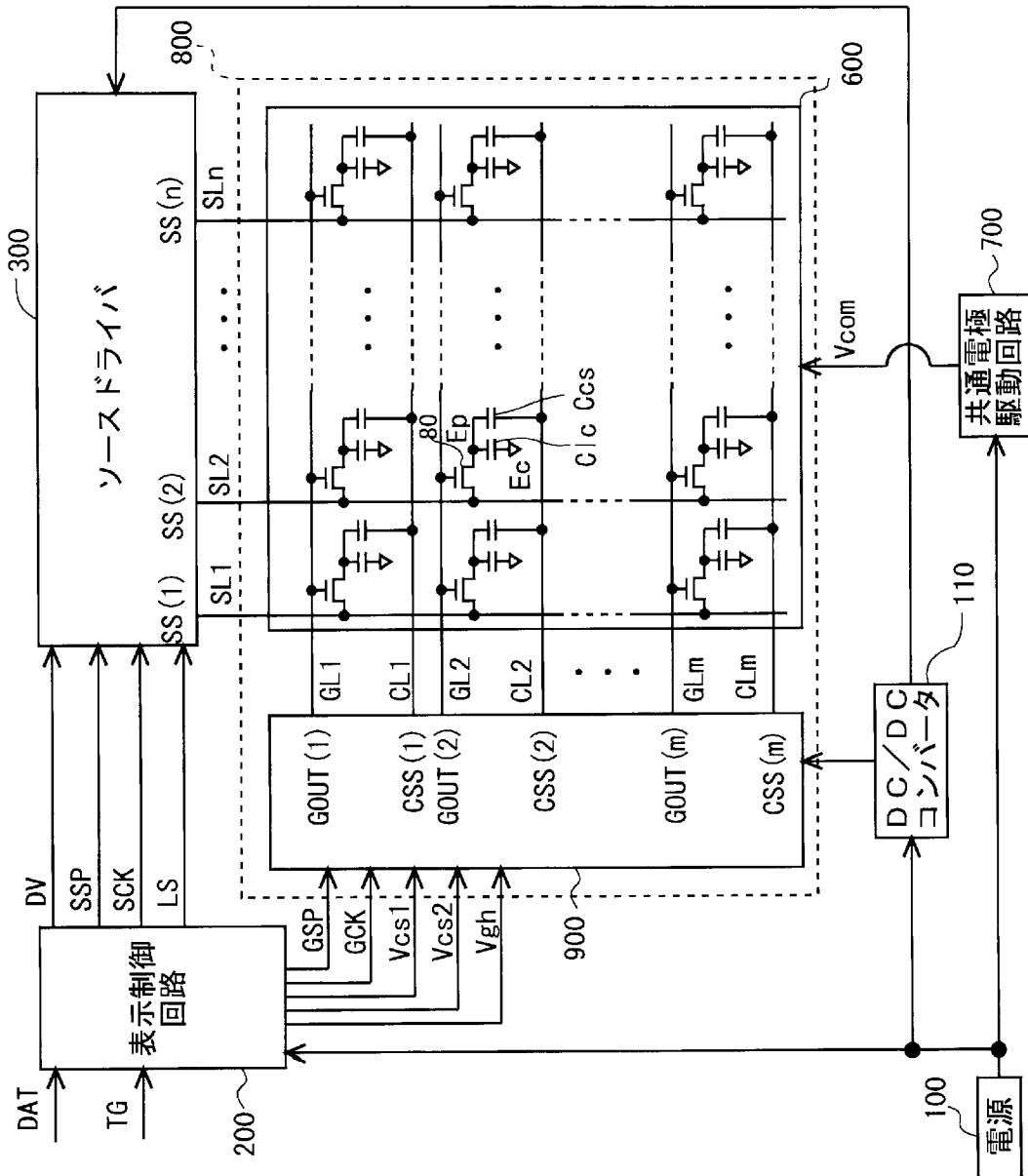
[図18]



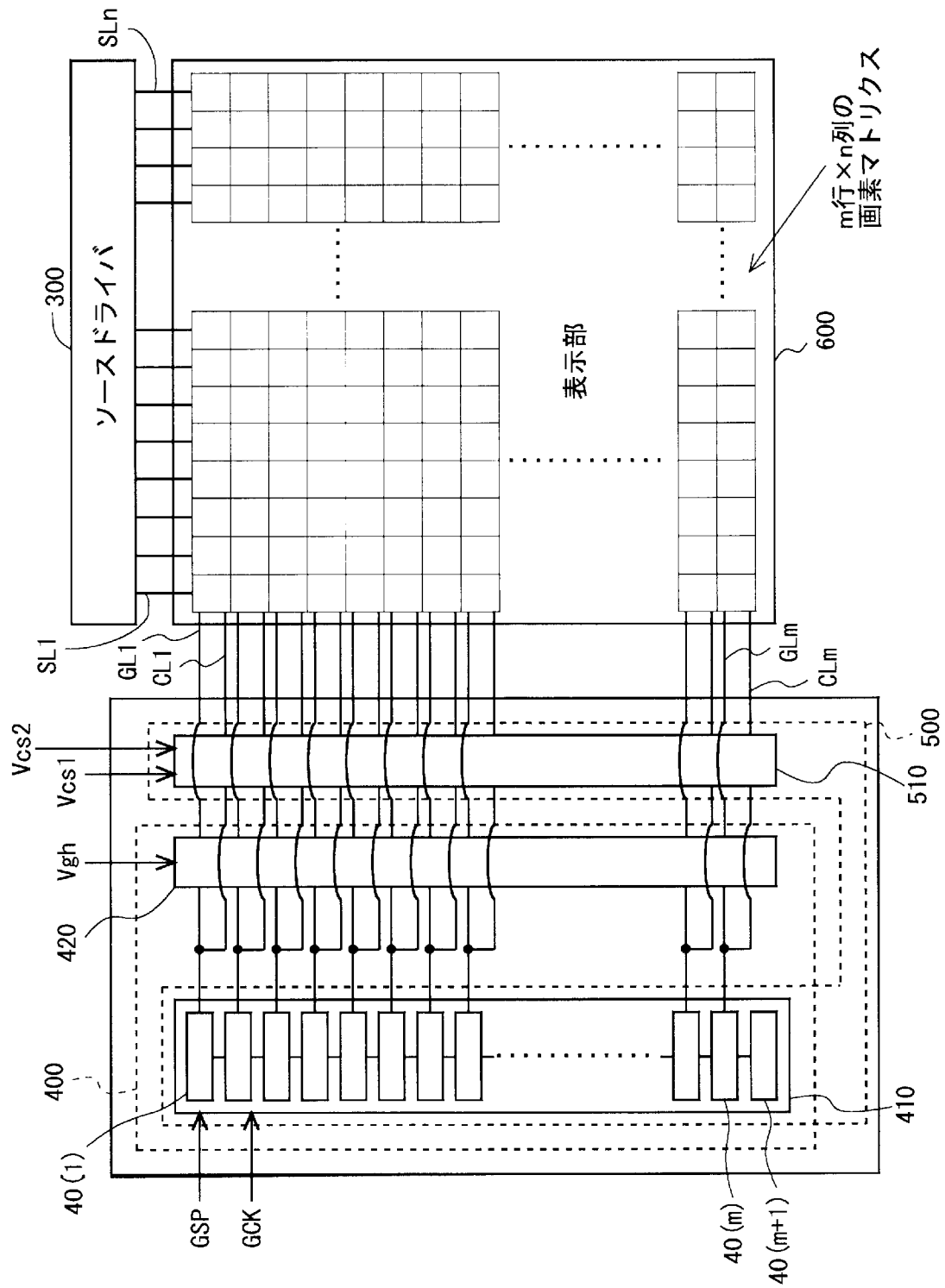
[図19]



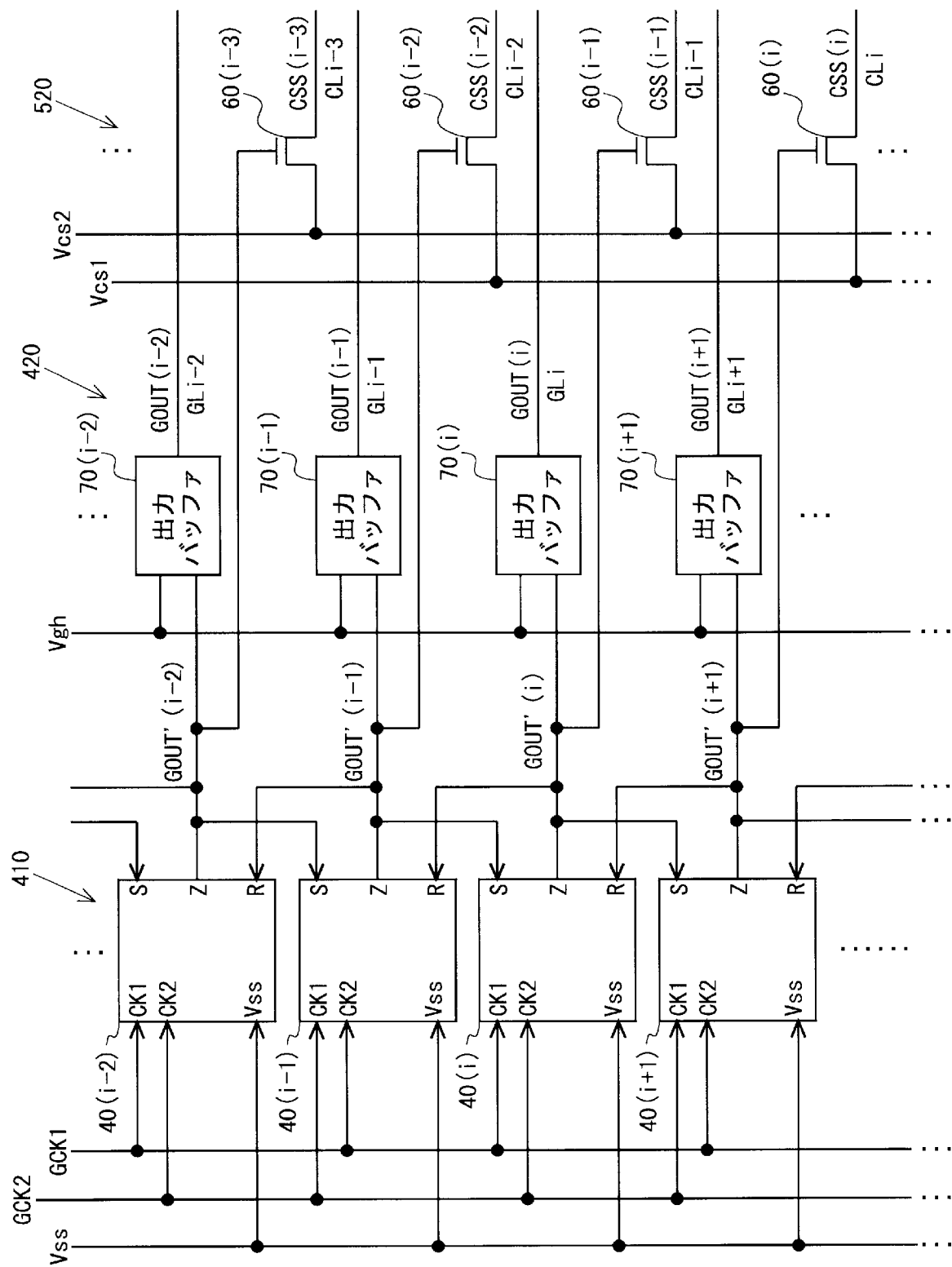
[図20]



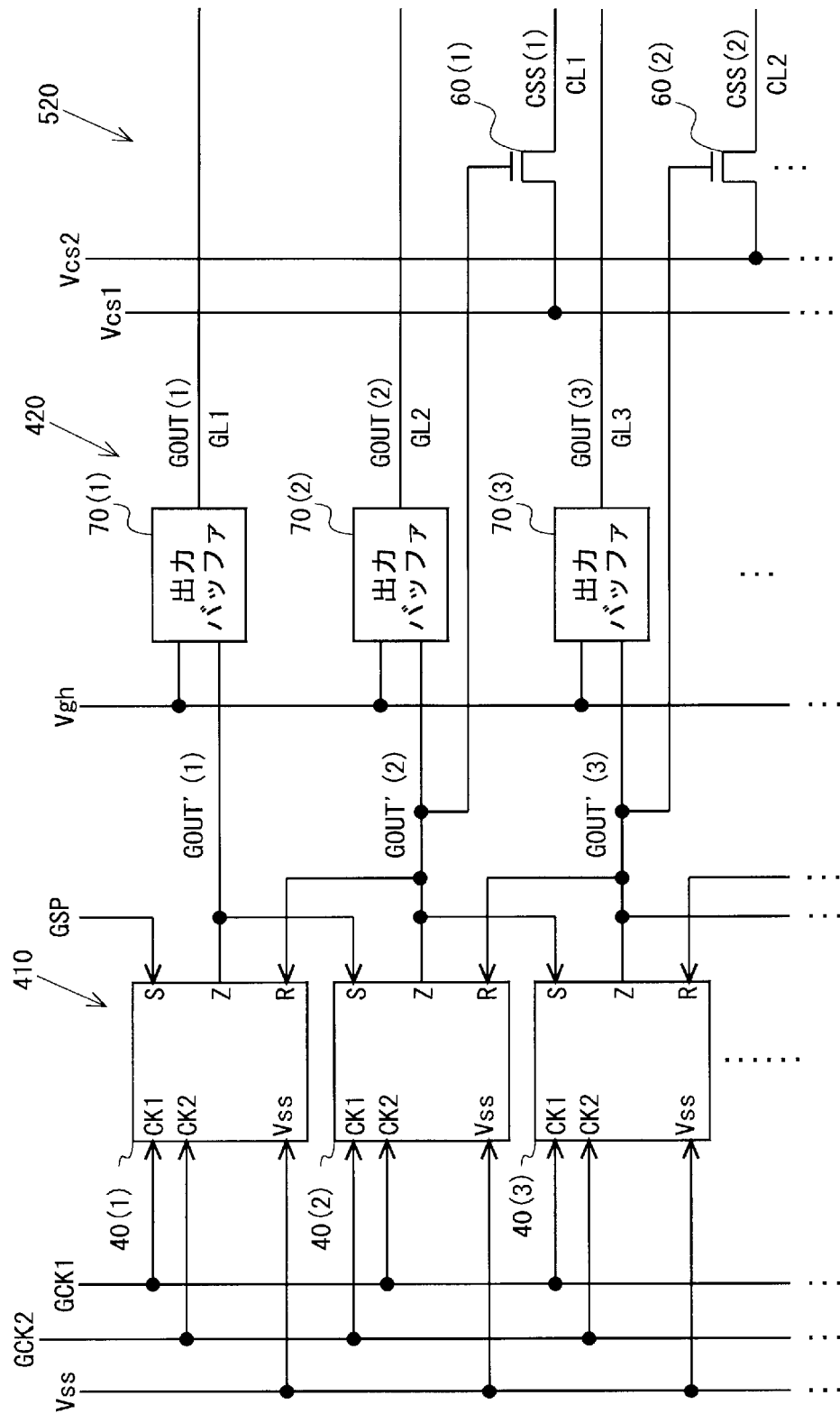
[図21]



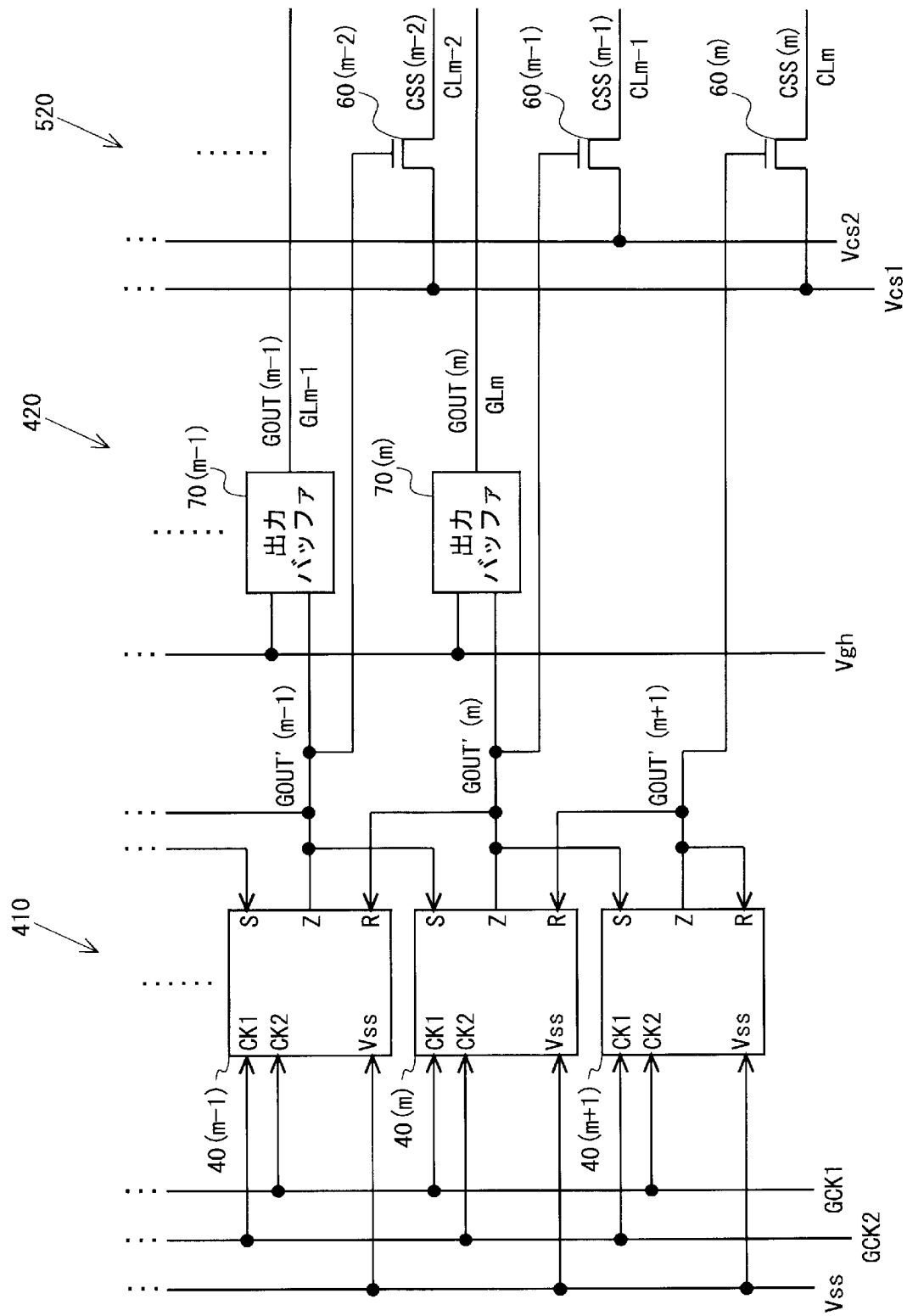
[図22]



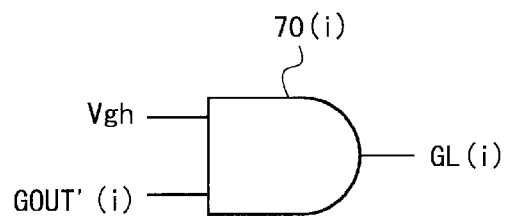
[図23]



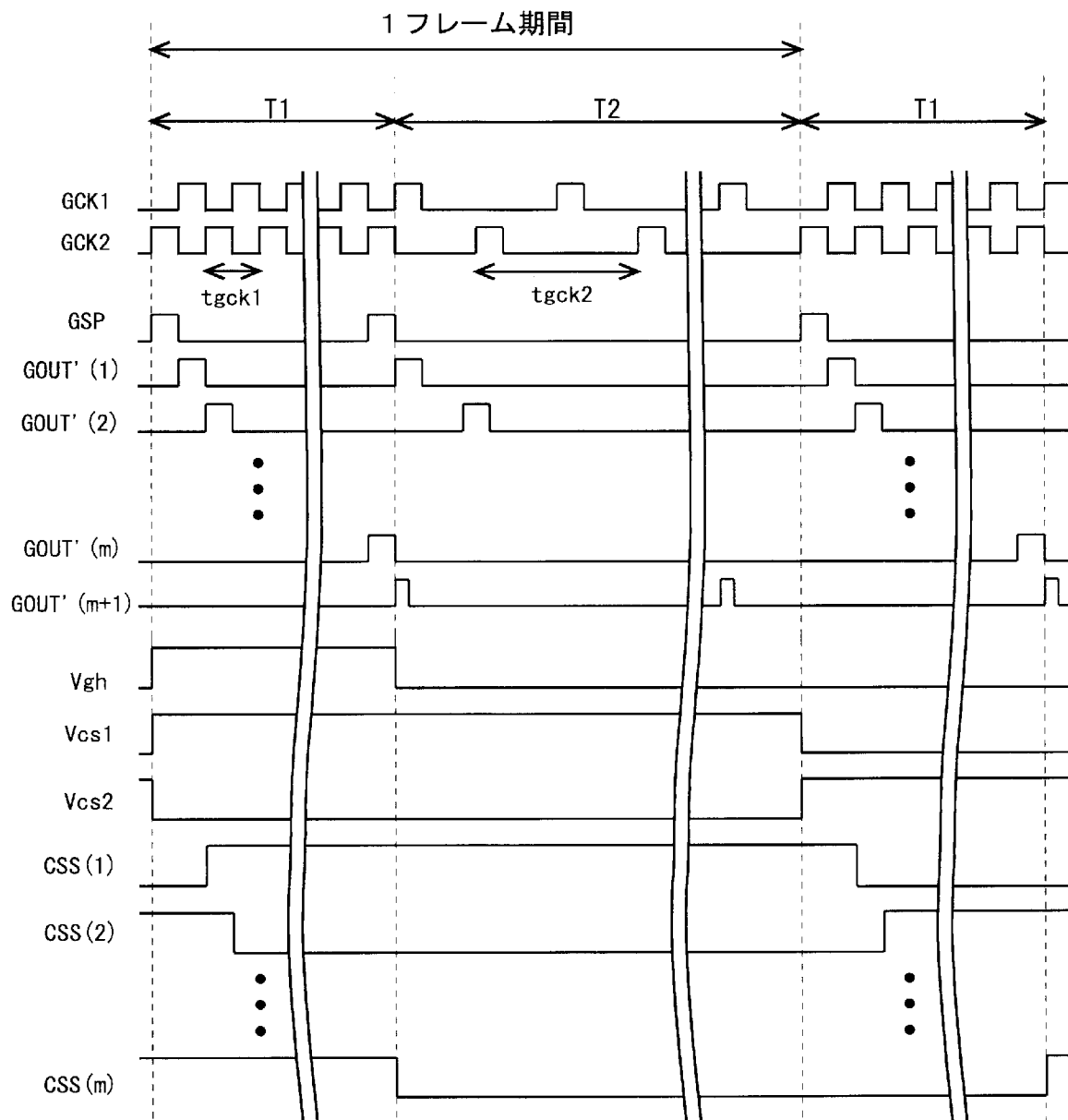
[図24]



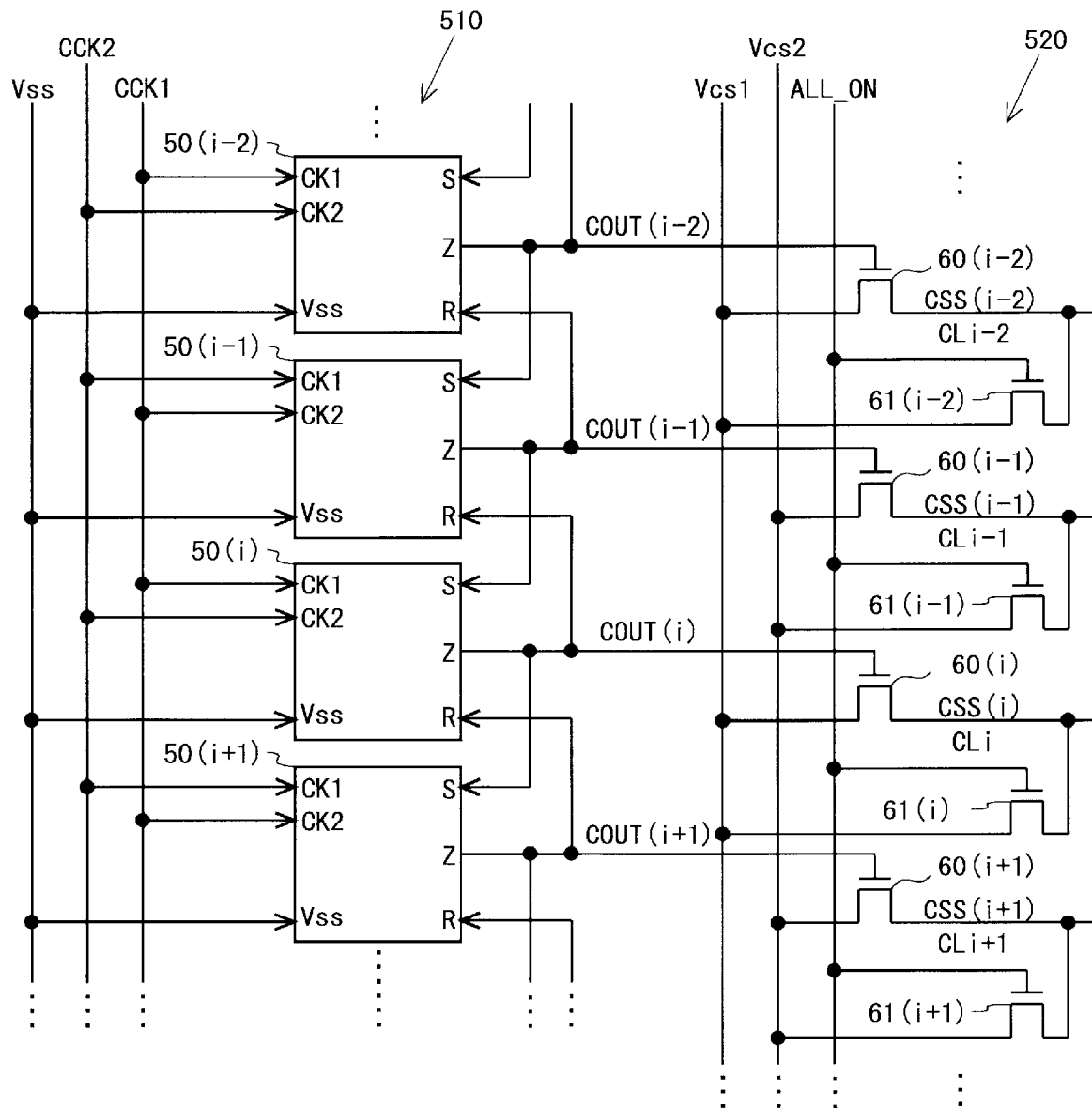
[図25]



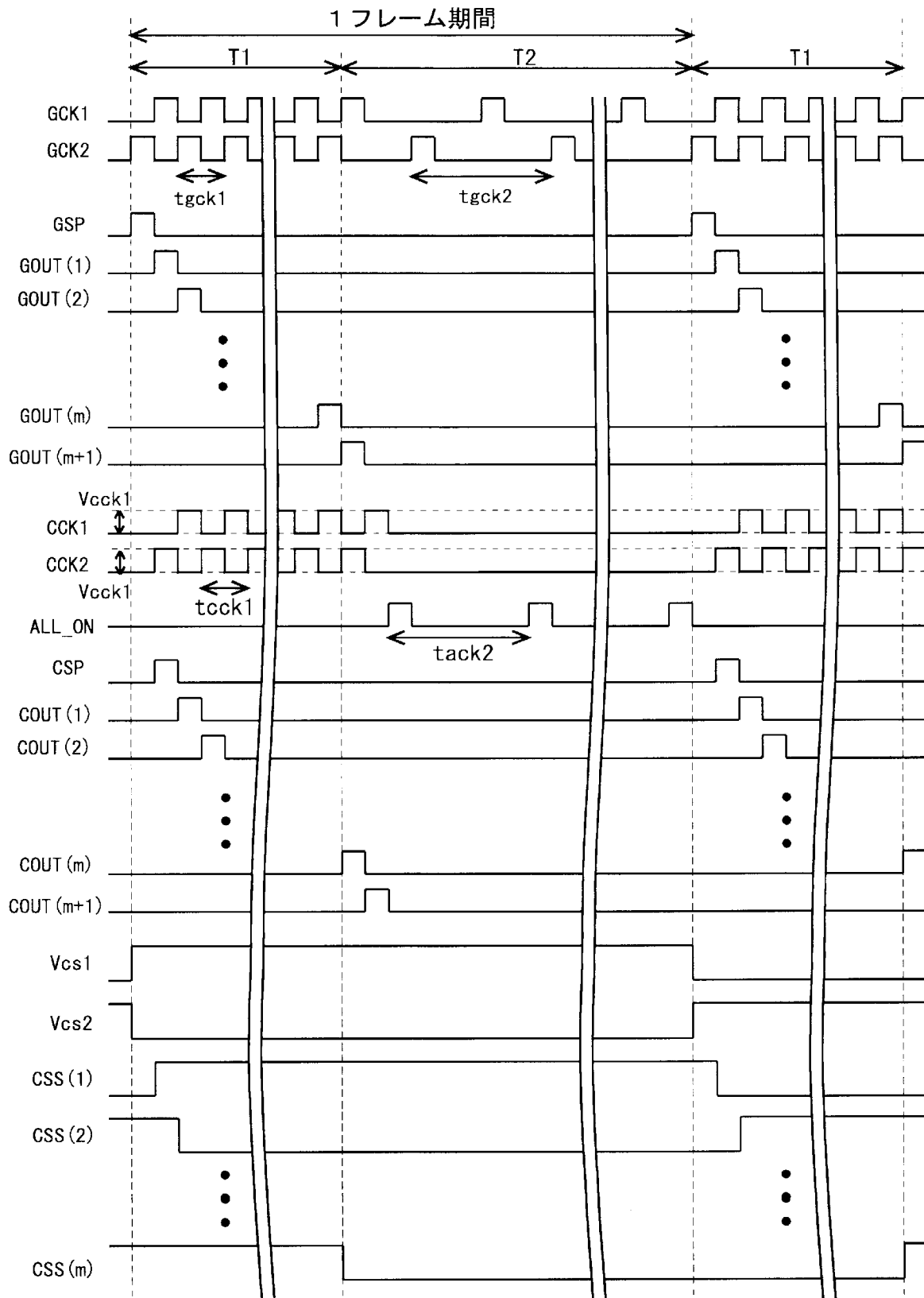
[図26]

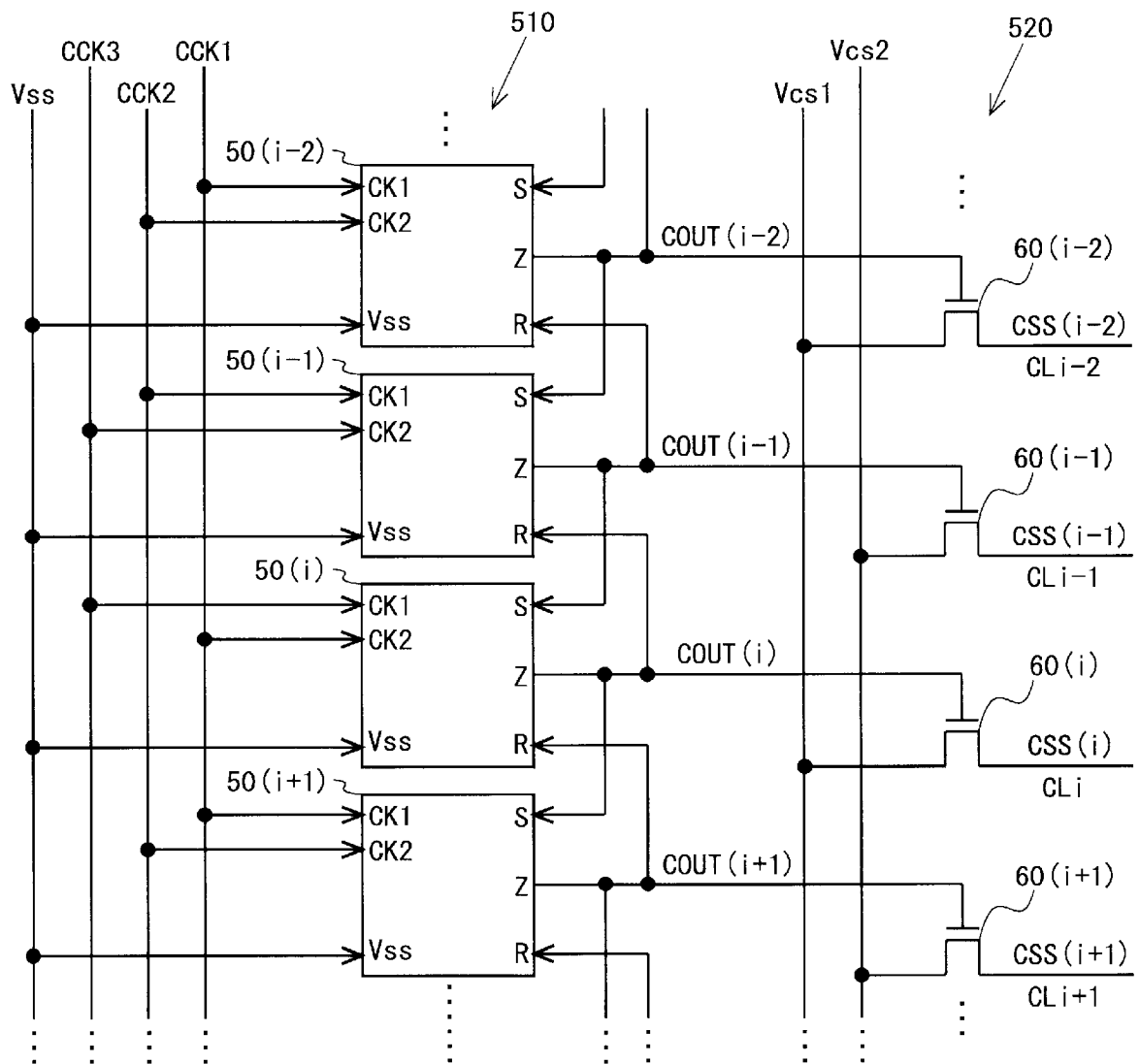


[図27]

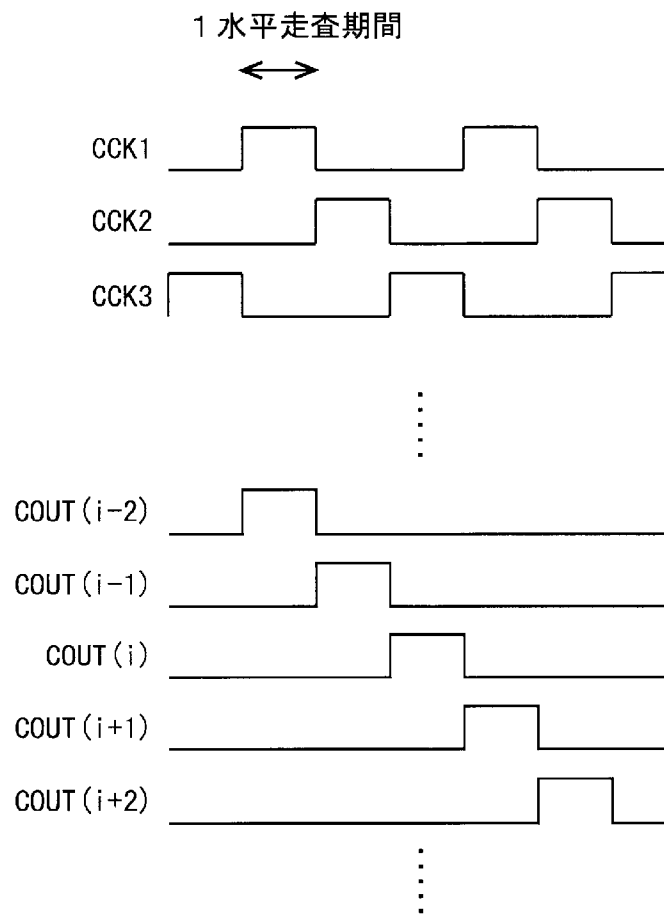


[図28]





[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/068758

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-216443 A (Toshiba Corp.), 27 August 1993 (27.08.1993), paragraphs [0046] to [0047]; fig. 1, 5 (Family: none)	1-4, 7-9, 11-18 5-6, 10
Y A	JP 2006-53349 A (Citizen Watch Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0012], [0029]; fig. 2 (Family: none)	1-4, 7-9, 11-18 5-6, 10
Y	JP 2006-267313 A (Sharp Corp.), 05 October 2006 (05.10.2006), paragraph [0043]; fig. 11 (Family: none)	2, 11, 13, 16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 October, 2012 (23.10.12)Date of mailing of the international search report
30 October, 2012 (30.10.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/068758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-182619 A (Sharp Corp.), 26 June 2002 (26.06.2002), paragraph [0075]; fig. 1, 5, 11 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3, 11, 13, 17
Y	JP 2011-123963 A (Mitsubishi Electric Corp.), 23 June 2011 (23.06.2011), paragraphs [0135] to [0139]; fig. 8 & US 2011/0142191 A1	7, 9, 11-14, 18
A	JP 2006-220947 A (Sharp Corp.), 24 August 2006 (24.08.2006), paragraphs [0045] to [0055]; fig. 4 (Family: none)	10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 5-216443 A（株式会社東芝）1993.08.27, 段落0046-0047, 図1, 5（ファミリーなし）	1-4, 7-9, 11-18 5-6, 10
Y A	JP 2006-53349 A（シチズン時計株式会社）2006.02.23, 段落0012, 0029, 第2図（ファミリーなし）	1-4, 7-9, 11-18 5-6, 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 1 0 . 2 0 1 2

国際調査報告の発送日

3 0 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山崎 仁之

電話番号 03-3581-1101 内線 3226

2 G

3 0 1 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-267313 A (シャープ株式会社) 2006.10.05, 段落 0 0 4 3 , 第 1 1 図 (ファミリーなし)	2, 11, 13, 16
Y	JP 2002-182619 A (シャープ株式会社) 2002.06.26, 段落 0 0 7 5 , 第 1 , 5 , 1 1 図 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3, 11, 13, 17
Y	JP 2011-123963 A (三菱電機株式会社) 2011.06.23, 段落 0 1 3 5 - 0 1 3 9 , 第 8 図 & US 2011/0142191 A1	7, 9, 11-14, 18
A	JP 2006-220947 A (シャープ株式会社) 2006.08.24, 段落 0 0 4 5 - 0 0 5 5 , 第 4 図 (ファミリーなし)	10