(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117043943 A
(43)申请公布日 2023.11.10

(21)申请号 202280022414.7
(22)申请日 2022.04.08
(30)优先权数据
17/237,828 2021.04.22 US
(85)PCT国际申请进入国家阶段日
2023.09.18
(86)PCT国际申请的申请数据
PCT/US2022/071621 2022.04.08
(87)PCT国际申请的公布数据
WO2022/226465 EN 2022.10.27
(71)申请人 高通股份有限公司
地址 美国加利福尼亚州
(72)发明人 J·崔 G·纳拉帕蒂 W·斯托内 J·许 金钟海 P·奇达姆巴拉姆 A·赛达
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 姚宗妮
(51)Int.Cl.
H01L 23/498(2006.01)

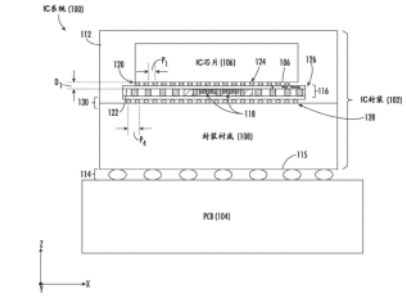
权利要求书4页 说明书16页 附图33页

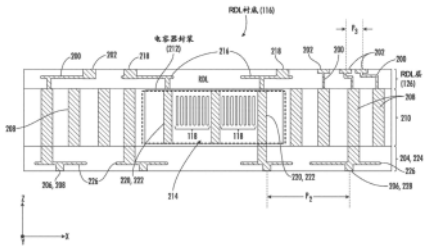
(54)发明名称

采用电容器嵌入式再分布层(RDL)衬底将(多个)IC芯片接合到封装衬底的集成电路(IC)封装及相关方法

(57)摘要

采用电容器嵌入式再分布层(RDL)衬底的集成电路(IC)封装及相关制造方法。嵌入式电容器可以耦合到配电网(PDN)以提供去耦电容以减少电流电阻(IR)下降。RDL衬底设置在(多个)IC芯片与封装衬底之间,以最小化(多个)嵌入式电容器与(多个)IC芯片之间的距离,以减少PDN中的寄生电感,从而降低PDN噪声。在RDL衬底设置在封装衬底与(多个)IC芯片之间的情况下,RDL衬底需要支持封装衬底与(多个)IC芯片之间的贯通互连。在这方面,RDL衬底包括与外部RDL层,该外部RDL层与(多个)IC芯片相邻,以支持小节距金属互连以及提供扇出能力。这提供了与更高密度的管芯互连IC芯片的增强的连接性兼容性,同时还支持PDN中更靠近定位的嵌入式电容器。





CN 117043943 A

1.一种集成电路(IC)封装,包括:

封装衬底,包括多个封装衬底互连;

IC芯片,包括多个管芯互连;

再分布层(RDL)衬底,设置在所述封装衬底与所述IC芯片之间,所述RDL衬底包括:

RDL层,包括多个再分布金属线,每个再分布金属线包括RDL互连,所述RDL互连耦合到所述多个管芯互连中的管芯互连;

衬底层,包括多个衬底互连;以及

电容器,设置在所述RDL层与所述衬底层之间;以及

至少一个竖直互连访问(过孔),电耦合到所述多个管芯互连中的管芯互连和所述电容器。

2.根据权利要求1所述的IC封装,其中所述衬底层包括第二RDL层,所述第二RDL层包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连。

3.根据权利要求2所述的IC封装,还包括至少一个第二过孔,所述至少一个第二过孔耦合到所述多个管芯互连中的管芯互连和所述衬底层中的所述多个衬底互连中的至少一个衬底互连。

4.根据权利要求1所述的IC封装,还包括钝化层,所述钝化层设置在所述电容器与所述RDL层之间。

5.根据权利要求1所述的IC封装,其中所述至少一个过孔包括至少一个贯通硅过孔(TSV),所述至少一个TSV被设置为通过所述RDL衬底并且电耦合到所述多个再分布金属线中的耦合到所述管芯互连的再分布金属线。

6.根据权利要求5所述的IC封装,其中所述至少一个TSV的高度与宽度的纵横比至少为2.0。

7.根据权利要求1所述的IC封装,还包括多个第二过孔,所述多个第二过孔被设置为通过所述RDL衬底,并且电耦合到所述RDL层中的多个RDL互连中的RDL互连和所述衬底层中的所述多个衬底互连中的衬底互连。

8.根据权利要求7所述的IC封装,其中所述多个第二过孔的高度与宽度的纵横比至少为1.0。

9.根据权利要求1所述的IC封装,还包括:

介电层,包括介电材料,所述介电材料设置在所述RDL层与所述衬底层之间;以及

电容器封装,嵌入所述介电层中,所述电容器封装包括所述电容器。

10.根据权利要求9所述的IC封装,其中所述至少一个过孔包括至少一个贯通硅过孔TSV,所述至少一个TSV被设置为通过所述电容器封装并且电耦合到所述多个再分布金属线中的耦合到所述管芯互连的再分布金属线。

11.根据权利要求9所述的IC封装,还包括多个第二过孔,所述多个第二过孔被设置为通过所述RDL衬底,并且电耦合到所述RDL层中的多个RDL互连中的RDL互连和所述衬底层中的所述多个衬底互连中的衬底互连;

其中所述多个第二过孔被设置为通过所述电容器封装外部的所述RDL衬底的所述介电层。

12.根据权利要求1所述的IC封装,其中所述多个再分布金属线中的至少一个再分布金

属线在其相应RDL互连的竖直路径外部呈扇形散开。

13.根据权利要求1所述的IC封装,其中

所述多个管芯互连具有第一节距;

所述衬底层中的所述多个衬底互连具有第二节距,所述第二节距大于所述第一节距;以及

所述多个封装衬底互连具有所述第二节距。

14.根据权利要求13所述的IC封装,还包括多个第二过孔,所述多个第二过孔被设置为通过所述RDL衬底,并且电耦合到所述RDL层中的所述多个RDL互连中的RDL互连和所述衬底层中的所述多个衬底互连中的耦合到所述多个封装衬底互连中的封装衬底互连的衬底互连。

15.根据权利要求1所述的IC封装,其中

所述封装衬底还包括第一外部表面,所述多个封装衬底互连被设置为通过所述第一外部表面;

所述IC芯片还包括有源表面,所述多个管芯互连被设置为通过所述有源表面;以及

所述第一外部表面与所述有源表面之间的距离至少为两(2)微米(μm)。

16.根据权利要求1所述的IC封装,被集成到选自由以下各项组成的组的设备中:机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板电话、服务器、计算机、便携式计算机、移动式计算设备、可穿戴式计算设备、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频盘(DVD)播放器、便携式数字视频播放器、机动车、车辆组件、航空电子系统、无人机和多旋翼直升机。

17.一种制造IC封装的方法,包括:

形成封装衬底,所述封装衬底包括多个封装衬底互连;

在所述封装衬底上形成再分布层(RDL)衬底,包括:

形成RDL层,所述RDL层包括多个再分布金属线,每个再分布金属线包括RDL互连;

形成衬底层,所述衬底层包括多个衬底互连;以及

在所述RDL层与所述衬底层之间设置电容器;

形成至少一个竖直互连访问(过孔),所述至少一个竖直互连访问电耦合到所述电容器并且被配置为电耦合到所述IC芯片的多个管芯互连中的至少一个管芯互连;以及

将IC芯片的多个管芯互连中的至少一个管芯互连耦合到所述多个再分布金属线中的至少一个RDL互连。

18.根据权利要求17所述的方法,其中形成所述衬底层包括:形成第二RDL层,所述第二RDR层包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连;以及

所述方法还包括:

将所述多个封装衬底互连中的至少一个封装衬底互连耦合到多个第二RDL互连中的至少一个第二RDL互连;以及

在所述RDL层与所述衬底层之间设置所述电容器包括在所述RDL层与第二RDL层之间设置所述电容器。

19.根据权利要求17所述的方法,还包括:形成至少一个第二过孔,所述至少一个第二过孔电耦合到所述多个管芯互连中的至少一个管芯互连和所述多个衬底互连中的至少一个衬底互连。

20.根据权利要求19所述的方法,其中形成所述至少一个第二过孔还包括:在所述电容器的竖直路径外部形成所述至少一个第二过孔。

21.根据权利要求17所述的方法,其中形成所述衬底层包括:在所述封装衬底上形成第二RDL层,所述封装衬底包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连,以将所述多个第二再分布金属线中的所述第二RDL互连电耦合到所述第二RDL互连中的至少一个第二RDL互连。

22.根据权利要求21所述的方法,还包括:在与所述电容器的第二侧相对的所述电容器的第一侧上方形成钝化层,所述电容器的所述第二侧与所述第二RDL层相邻。

23.根据权利要求19所述的方法,还包括:在所述至少一个过孔、所述至少一个第二过孔和所述电容器上形成包括介电材料的介电层。

24.根据权利要求23所述的方法,还包括:向下研磨所述介电层的表面以从所述介电层暴露所述至少一个过孔中的每个过孔的顶部表面。

25.根据权利要求24所述的方法,还包括:在所述介电层的与所述第二RDL层相对的第一侧上的所述介电层上方形成所述RDL层,以将所述至少一个过孔电耦合到所述多个再分布金属线中的至少一个RDL互连。

26.根据权利要求17所述的方法,还包括:

提供载体;以及

在所述载体上形成多个第二过孔。

27.一种再分布层(RDL)衬底,包括:

RDL层,包括多个再分布金属线,每个再分布金属线包括RDL互连;

衬底层,包括多个衬底互连;

介电层,包括介电材料,所述介电材料设置在所述RDL层与所述衬底层之间;

电容器封装,嵌入所述介电层中,所述电容器封装包括电容器;以及

多个贯通硅竖直互连访问(过孔)TSV,所述TSV被设置为通过所述电容器封装并且电耦合到多个RDL互连中的RDL互连。

28.根据权利要求27所述的RDL衬底,其中

所述电容器封装还包括金属层,所述金属层包括至少一个金属线,所述至少一个金属线耦合到电容器;以及

所述多个TSV中的至少一个TSV耦合到所述至少一个金属线,所述至少一个金属线耦合到所述电容器。

29.根据权利要求27所述的RDL衬底,其中所述多个TSV中的至少一个TSV耦合到所述衬底层中的所述多个衬底互连中的至少一个衬底互连。

30.根据权利要求27所述的RDL衬底,其中所述衬底层包括第二RDL层,所述第二RDL层包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连。

31.根据权利要求27所述的RDL衬底,其中所述RDL层包括外部表面,并且所述多个再分布金属线的所述RDL互连被设置为通过所述外部表面。

32.根据权利要求27所述的RDL衬底,还包括钝化层,所述钝化层设置在所述电容器封装与所述RDL层之间。

33.根据权利要求32所述的RDL衬底,其中所述多个TSV延伸通过所述钝化层。

34.根据权利要求27所述的RDL衬底,其中所述多个TSV的高度与宽度的纵横比至少为两(2)微米(μm)。

35.根据权利要求27所述的RDL衬底,还包括多个过孔,所述多个过孔被设置为通过所述介电层并且电耦合到多个RDL互连中的RDL互连和所述多个衬底互连中的衬底互连。

36.根据权利要求27所述的RDL衬底,还包括多个第二过孔,所述多个第二过孔被设置为通过所述RDL衬底的所述介电层,并且电耦合到所述RDL层中的多个RDL互连中的RDL互连和所述衬底层中的所述多个衬底互连中的衬底互连。

37.根据权利要求36所述的RDL衬底,其中所述多个第二过孔的高度与宽度的纵横比至少为1.0。

38.根据权利要求36所述的RDL衬底,其中所述多个第二过孔被设置为通过所述电容器封装外部的所述RDL衬底的所述介电层。

39.根据权利要求27所述的RDL衬底,其中所述电容器封装包括所述介电层,所述介电层包括所述介电材料,其中所述电容器嵌入所述介电层中。

采用电容器嵌入式再分布层(RDL)衬底将(多个)IC芯片接合到封装衬底的集成电路(IC)封装及相关方法

[0001] 优先权申请

[0002] 本申请要求于2021年4月22日提交的题为“INTEGRATED CIRCUIT(IC)PACKAGES EMPLOYING A CAPACITOR-EMBEDDED,REDISTRIBUTION LAYER(RDL)SUBSTRATE FOR INTERFACING AN IC CHIP(S)TO A PACKAGE SUBSTRATE,AND RELATED METHODS”的美国专利申请序列号17/237,828的优先权,该申请通过引用整体并入本文。

技术领域

[0003] 本公开的领域涉及集成电路(IC)封装,更具体地涉及在IC封装的配电网(PDN)中提供去耦电容,用于减少电流电阻(IR)下降和电压下垂。

背景技术

[0004] 集成电路(IC)是电子设备的基石。IC通常封装在IC封装中,也被称为“半导体封装”或“芯片封装”。IC封装包括封装衬底和一个或多个IC芯片或安装到封装衬底上的其他电子模块,以提供到IC芯片的电连接。例如,IC封装中的IC芯片可以是片上系统(SoC)。IC芯片通过电耦合到封装衬底中的金属线而电耦合到IC封装中的其他IC芯片和/或其他部件。IC芯片还可以通过IC封装的外部金属互连(例如,焊料凸块)的电连接电耦合到IC封装外部的其他电路。

[0005] IC封装中的高性能计算芯片需要高效配电网(PDN)来将功率高效分配给IC芯片中的电路和其他部件。例如,IC封装可以包括单独的功率管理芯片(PMC),该单独的PMC包括电压调节器电路系统,该电压调节器电路系统被配置为将电压分配给IC封装中的其他IC芯片。在PDN中可能会出现噪声应归因于由于PDN中的串联电阻和电感而致的PMC与上电的IC芯片之间的电流电阻(IR)下降。从上电的IC芯片到PDN提取的电流的改变可能在PDN中会引起噪声。如果PDN中的噪声幅度超过某个阈值,则它将递送到IC芯片及其电路的电压更改为低于可接受值,这可能会导致电路故障。即使PDN在容差内向IC芯片施加电压,PDN噪声仍然可能会导致其他问题。它可能在信号线上引起串扰或表现为串扰。进一步地,由于PDN互连通常携带更高的电流,所以高频PDN噪声有可能产生电磁辐射干扰,从而可能导致其他故障。

[0006] 因此,控制PDN中的噪声非常重要。在这方面,去耦电容器用于分流PDN中的PDN噪声,以减少其对由PDN供电的IC芯片的影响。去耦电容器可以安装在封装衬底上或嵌入在IC封装的封装衬底内,以在功率源与IC芯片之间提供去耦电容。然而,去耦电容器与IC芯片之间的电路径连接具有寄生电感,该寄生电感可能以非期望方式导致IR下降和PDN噪声。

发明内容

[0007] 本文中所公开的各方面包括集成电路(IC)封装,该IC封装采用嵌入式电容器、再分布层(RDL)衬底,用于将(多个)IC芯片接合到封装衬底。RDL衬底是包括RDL层的衬底,该

RDL层包括支持金属互连的扇出的一个或多个金属再分布线。作为示例,(多个)嵌入式电容器可以为IC封装中的配电网(PDN)提供去耦电容,以减少电流电阻(IR)下降。还公开了相关制造方法。IC封装包括封装衬底和一个或多个IC芯片,该一个或多个IC芯片电耦合到封装衬底。封装衬底包括一个或多个衬底层,其中嵌入有金属迹线或线以提供去往路由到(多个)IC芯片并且从(多个)IC芯片路由的电信号。封装衬底支持PDN,该PDN携带给定电压下的电功率信号以分配到(多个)IC芯片以进行操作。在各示例性方面中,支撑嵌入式电容器的RDL衬底设置在(多个)IC芯片与封装衬底之间,以使(多个)嵌入式电容器与(多个)IC芯片之间的距离最短。这可以减少(多个)嵌入式电容器与(多个)IC芯片之间的配电线中的寄生电感,以减少PDN中的IR下降,这又减少PDN噪声。然而,在RDL衬底设置在封装衬底与(多个)IC芯片之间的情况下,RDL衬底需要支持用于封装衬底与(多个)IC芯片之间的电接口的贯通互连。(多个)IC芯片可以具有需要电耦合到封装衬底的高密度的管芯互连。在这方面,RDL衬底被提供为包括与(多个)IC芯片相邻的第一外部RDL层。从RDL过程形成的第一外部RDL层允许第一外部RDL层支撑小节距金属互连以及提供扇出能力。这允许RDL衬底提供与更高密度的管芯互连IC芯片的增强的连接性兼容性,同时支持与IC芯片更靠近定位的嵌入式电容器以使IR下降最小化。

[0008] 在一个示例性方面中,RDL衬底还可以包括第二外部RDL层,该第二外部RDL层与封装衬底相邻。第二外部RDL层的金属互连可以以与第一外部RDL层的金属互连不同的节距形成,以在IC封装中提供兼容封装衬底时实现更大的灵活性。例如,IC芯片的管芯互连节距可以比封装衬底的金属互连节距紧密得多(即,更小)。在这方面,RDL层可以促进IC芯片与具有不同节距的金属互连的封装衬底之间的电耦合,以增强兼容性和简化制造过程。作为示例,这还可以在选取用于IC封装的封装衬底时提供更大的灵活性,以实现(多个)IC芯片与封装衬底之间的节距兼容性,以降低成本和/或便于制造。

[0009] 在另一示例性方面中,嵌入式电容器可以包括在嵌入RDL衬底中的电容器封装中。在另一示例性方面中,为了在嵌入式电容器的竖直路径中使(多个)IC芯片与封装衬底之间的竖直互连路径干扰最小化,可以采用贯通硅竖直互连访问(过孔)(TSV)。TSV被设置为通过嵌入式电容器封装的封装介电来提供在(多个)IC芯片与封装衬底之间和/或到(多个)嵌入式电容器的电贯通连接。以这种方式,RDL衬底不限于仅在嵌入式电容器封装的区域外部支持(多个)IC芯片与封装衬底之间的竖直互连。在另一示例性方面中,IC封装还包括贯通互连,诸如贯通模制过孔(TMV),该贯通互连延伸通过嵌入电容器封装外部的RDL衬底。这些其他贯通互连提供(多个)IC芯片与封装衬底之间的贯穿电连接(例如,输入/输出(I/O)连接)。RDL衬底还可以更容易地促进具有更大直径和/或更高纵横比的贯通互连,需要更大直径和/或更高纵横比的贯通互连可能归因于由于设置在其间的RDL衬底而导致封装衬底与(多个)IC芯片之间增加的距离。

[0010] 在这方面,在一个示例性方面中,提供了一种集成电路(IC)封装。IC封装包括封装衬底,该封装衬底包括多个封装衬底互连。IC封装还包括IC芯片,该IC芯片包括多个管芯互连。IC封装还包括RDL衬底,该RDL衬底设置在封装衬底与IC芯片之间。RDL衬底包括RDL层,该RDL层包括多个再分布金属线,每个再分布金属线包括耦合到多个管芯互连中的管芯互连的RDL互连。RDL衬底还包括衬底层,该衬底层包括多个衬底互连。RDL衬底还包括设置在RDL层与衬底层之间的电容器。IC封装还包括至少一个过孔,该至少一个过孔电耦合到多个

管芯互连中的管芯互连和电容器。

[0011] 在另一示例性方面中，提供了一种IC封装的制造方法。该方法包括：形成封装衬底，该封装衬底包括多个封装衬底互连。该方法还包括：在封装衬底上形成RDL衬底，包括：形成RDL层，该RDL层包括多个再分布金属线，每个再分布金属线包括RDL互连；形成衬底层，该衬底层包括多个衬底互连；以及在RDL层与衬底层之间设置电容器。该方法还包括：形成至少一个过孔，该至少一个过孔电耦合到电容器并且被配置为电耦合到IC芯片的多个管芯互连中的至少一个管芯互连。该方法还包括：将IC芯片的多个管芯互连中的至少一个管芯互连耦合到多个再分布金属线中的至少一个RDL互连。

[0012] 在另一示例性方面种，提供了RDL衬底。该RDL衬底包括RDL层，该RDL层包括多个再分布金属线，每个再分布金属线包括RDL互连。RDL衬底还包括衬底层，该衬底层包括多个衬底互连。RDL衬底还包括介电层，该介电层包括设置在RDL层与衬底层之间的介电材料。RDL衬底还包括电容器封装，该电容器封装嵌入介电层中，该电容器封装包括电容器。RDL衬底还包括多个TSV，该多个TSV被设置为通过电容器封装并且电耦合到多个RDL互连中的RDL互连。

附图说明

[0013] 图1是示例性集成电路(IC)系统的侧视图，该示例性IC系统包括IC封装，该IC封装安装到印刷电路板(PCB)上，其中IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式再分布层(RDL)衬底，该电容器嵌入式RDL衬底可以在IC封装中为配电网(PDN)提供去耦电容；

[0014] 图2是可以用于图1中的IC封装的示例性RDL衬底的侧视图，其中RDL衬底包括嵌入式电容器封装，该嵌入式电容器封装包括电容器；

[0015] 图3是图2中的另一示例性电容器嵌入式RDL衬底的另一侧视图；

[0016] 图4是图示了IC封装的示例性制造过程的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3中的IC封装和RDL衬底；

[0017] 图5A至图5G图示了IC封装的另一示例性制造过程的示例性制造阶段，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3中的IC封装和RDL衬底，其中RDL衬底的RDL层在电容器封装嵌入RDL衬底中之前形成；

[0018] 图6A至图6D是根据图5A至图5G中的示例性制造阶段制造IC封装的示例性过程的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底；

[0019] 图7A至图7C图示了制造嵌入式电容器封装的示例性过程的示例性制造阶段，该嵌入式电容器封装可以嵌入IC封装的RDL衬底中，该RDL衬底包括但不限于图1至图3和图5G中的IC封装和RDL衬底；

[0020] 图8为根据图7A至图7C中的示例性制造阶段制造嵌入式电容器封装的示例性过程的流程图；

[0021] 图9A至图9H图示了制造IC封装的另一示例性过程的另一示例性制造阶段，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3中的IC封装和RDL衬底，其中RDL衬底的RDL层在电容器封装嵌入RDL衬底中之前形成；

[0022] 图10A至图10D是根据图9A至图9H中的示例性制造阶段的制造IC封装的示例性过程的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底；

[0023] 图11A至图11L图示了制造IC封装的另一示例性过程的示例性制造阶段，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3中的IC封装和RDL衬底，其中RDL衬底的RDL层在嵌入式电容器封装嵌入RDL衬底中之后形成；

[0024] 图12A至图12F是根据图11A至图11L中的示例性制造阶段的制造IC封装的示例性过程的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底；以及

[0025] 图13是示例性无线通信设备的框图，该示例性无线通信设备包括由一个或多个IC封装形成的电气部件，该一个或多个IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3、图5G、图9H和图11L中的IC封装。

具体实施方式

[0026] 现在参考附图，对本公开的几个示例性方面进行描述。词汇“示例性”在本文中用于意指“用作示例、实例或说明”。在本文中被描述为“示例性”的任何方面不一定被解释为比其他方面更优选或更有利。

[0027] 本文中所公开的各方面包括集成电路(IC)封装，该IC封装采用嵌入式电容器再分布层(RDL)衬底，用于将(多个)IC芯片接合到封装衬底。RDL衬底是包括RDL层的衬底，该RDL层包括支持金属互连扇出的一个或多个金属再分布线。作为示例，(多个)嵌入式电容器可以为IC封装中的配电网(PDN)提供去耦电容，以减少电流电阻(IR)下降。还公开了相关制造方法。IC封装包括封装衬底和电耦合到封装衬底的一个或多个IC芯片。封装衬底包括一个或多个衬底层，其中嵌入有金属迹线或线以提供路由到(多个)IC芯片并且从(多个)IC芯片路由的电信号。封装衬底支持配电网(PDN)，该PDN携带给定电压下的电功率信号以用于分配到(多个)IC芯片以进行操作。在各示例性方面中，支撑嵌入式电容器的RDL衬底设置在(多个)IC芯片与封装衬底之间，以使(多个)嵌入式电容器与(多个)IC芯片之间的距离最短。这可以减少(多个)嵌入式电容器与(多个)IC芯片之间的配电线中的寄生电感，以减少PDN中的IR下降，这又减少PDN噪声。然而，在RDL衬底设置在封装衬底与(多个)IC芯片之间的情况下，RDL衬底需要支持用于封装衬底与(多个)芯片之间的电接口的贯通互连。(多个)IC芯片可以具有需要电耦合到封装衬底的高密度的管芯互连。在这方面，RDL衬底被提供为包括与(多个)IC芯片相邻的第一外部RDL层。从RDL过程形成的第一外部RDL层允许第一外部RDL层支撑小节距金属互连以及提供扇出能力。这允许RDL衬底提供与更高密度的管芯互连IC芯片的增强的连接性兼容性，同时支持与IC芯片更靠近定位的嵌入式电容器以使IR下降最小。

[0028] 在这方面，图1是示例性IC系统100的侧视图，该示例性IC系统100包括IC封装102，该IC封装102安装在印刷电路板(PCB)104上。IC封装102包括IC芯片106，该IC芯片106由封装衬底108支撑。在该示例中，IC芯片106和封装衬底108由包覆成型材料112灌封。IC芯片106可以包括用于特定类型的应用的电路系统，诸如作为非限制性示例的射频(RF)收发器或基于计算机的片上系统(SoC)。封装衬底108支撑IC封装102的IC芯片106，并且包括金属

线的一个或多个金属层以提供IC芯片106与PCB 104之间的电耦合路径，以支持IC芯片106与IC封装102外部的其他电路之间的信令。封装衬底108可以由与在其中形成的金属迹线层压的有机材料层形成，然后，将这些有机材料层层压在一起作为一个示例。作为另一示例，封装衬底108还可以包括RDL层，以支持电连接扇出。IC芯片106通过外部封装互连114(也被称为“互连凸块”)电耦合到其他外部电路，该外部封装互连形成在封装衬底108的底部表面115上，并且电耦合到其中的金属线，这些金属线电耦合到IC芯片106。

[0029] 如下文所更详细讨论的，IC封装102包括设置在IC芯片106与封装衬底108之间的电容器嵌入式RDL衬底116(也被称为“RDL衬底”)。如下文所讨论的，RDL衬底116是包括RDL层的衬底，该RDL层包括支持金属互连扇出的一个或多个金属再分布线。RDL衬底116包括一个或多个电容器118。作为示例，(多个)电容器118可以为IC封装102中的PDN提供去耦电容以减少IR下降。例如，IC芯片106的接地功率导体可以通过其管芯互连120中的一个管芯互连120通过RDL衬底116耦合到(多个)电容器118，以提供用于功率信号(例如，电压信号)到接地的去耦电容。RDL衬底116支撑要设置在IC芯片106与封装衬底108之间的(多个)嵌入式电容器118，以使(多个)嵌入式电容器118与IC芯片106之间的距离D_1最小化。距离D_1在图1中被示为封装衬底108的外部表面122与IC芯片106的有源表面124之间的距离。例如，距离D_1可以是至少两(2)微米(μm)。这可以减少(多个)嵌入式电容器118与IC芯片106之间的PDN的配电线中的寄生电感，以减少PDN中的IR下降，这又减少了PDN噪声。

[0030] 然而，在RDL衬底116设置在封装衬底108与IC芯片106之间的情况下，RDL衬底16需要支持用于封装衬底108与IC芯片106间的电接口的贯通互连。IC芯片106可以具有需要电耦合到封装衬底108的高密度的管芯互连120。在这方面，如图2所示，图2图示了图1的RDL衬底116的更详细的侧视图，RDL衬底16被提供为包括外部RDL层126。如图1所示，外部RDL层126与IC芯片106的有源表面124相邻。在一个示例中，由RDL过程形成的外部RDL层126包括多个再分布金属线200，每个再分布金属线包括相应RDL互连202，当IC芯片106设置在RDL衬底116上时，该相应RDL互连可以耦合到IC芯片106的管芯互连120。作为示例，焊料凸块可以形成并耦合到RDL互连220，以耦合到管芯互连120。以这种方式，RDL衬底116的外部RDL层126可以支撑IC芯片106的小型高密度节距的管芯互连120，以及在管芯互连120与RDL衬底116之间提供扇出能力。这又允许RDL衬底116提供与更高密度的管芯互连IC芯片(诸如IC芯片106)的增强的连接性兼容性，同时支持更靠近IC芯片106定位的嵌入式电容器(诸如电容器118)以当耦合到IC封装102中的PDN时，使IR下降最小化。

[0031] 参考图2，RDL衬底116包括外部RDL层126(在图2中被示为Z轴方向上的顶层)，该外部RDL层126包括再分布金属线200，该再分布金属线可以包括可以耦合到IC芯片106(如图1所示)的相应管芯互连120的相应RDL互连202。返回参考图1，封装衬底108包括封装衬底层130中的多个封装衬底互连128，该封装衬底层可以电耦合到RDL衬底116，以通过RDL衬底116在封装衬底108与IC芯片106之间提供电接口。返回参考图2，RDL衬底116还包括衬底层204，该衬底层204是位于RDL层126下面的底层。衬底层204包括衬底互连206，该衬底互连206被配置为耦合到封装衬底108的顶部相邻封装衬底层130中的相应封装衬底互连128，如图1所示。这提供了封装衬底108与RDL衬底116之间的电接口。通过在RDL层126中的RDL互连202与衬底层204中的衬底互连206之间通过相应过孔208的电耦合，在RDL衬底116中提供电接口，相应过孔208延伸通过RDL层126与衬底层204之间的介电层210。在这方面，过孔208可

以被认为是延伸通过介电层210的贯通模具过孔(TMV)。例如,过孔208可以是铜柱。过孔208在电容器封装212的区域之外延伸通过RDL衬底116的介电层210。衬底互连206可以耦合到封装衬底108的相应封装衬底互连128,如图1所示。外部封装互连114可以电耦合到封装衬底108的封装衬底层130中的封装衬底互连128。

[0032] 以这种方式,在图1中的IC封装102中提供了到IC芯片106的电接口。电接口包括外部封装互连114及其到封装衬底互连128、RDL衬底116的衬底互连206、RDL衬底116的过孔208和RDL互连202的电耦合以及到IC芯片106的管芯互连120的电耦合(参见图1)。

[0033] 在图2中的RDL衬底116的示例中,电容器118包括在电容器封装212中。电容器封装212包括介电层214,该介电层214包括设置在RDL层126与衬底层204之间的介电材料。电容器118嵌入在电容器封装212的介电层214中。电容器封装212嵌入在RDL衬底116的介电层210中。电容器封装212可以被形成为单独封装,诸如芯片组,如下文所更详细地讨论的。在图2中的该示例RDL衬底116中,为了在IC芯片106与电容器封装212中的电容器118之间提供电接口,封装衬底108的RDL层126还包括再分布金属线216,该再分布金属线216可以包括可以耦合到IC芯片106的相应管芯互连120的相应RDL互连218(参见图1)。然而,在该示例中,RDL互连218通过过孔220耦合到电容器118。例如,过孔220可以是延伸通过电容器封装212的介电层214的贯通硅过孔(TSV)222。以这种方式,RDL衬底116的RDL层126的再分布金属线216及其相应RDL互连218提供电容器118与IC芯片106之间的接口,以例如向IC芯片106中的PDN提供去耦电容。例如,电容器118可以耦合到IC芯片106中的PDN中的接地节点,该接地节点耦合到管芯互连120,该管芯互连120耦合到RDL互连218(也参见图1)。

[0034] 此外,参考图2,注意,图2中的RDL衬底116的衬底层204还可以作为第二RDL层224提供。在一个示例中,第二RDL层224可以从RDL过程形成。第二RDL层224可以包括多个再分布金属线226,每个再分布金属线包括相应RDL互连228,当RDL衬底116设置在封装衬底108上时,相应RDL互连228可以耦合到封装衬底108的封装衬底互连128。作为一个示例,过孔208、220可以通过RDL沉积和凸块下金属化(UBM)形成而耦合到第二RDL层224中的第二RDL互连228。焊料凸块可以形成并耦合到第二RDL互连228以将对应过孔208、220耦合到第二RDL层224中的第二RDR互连228。作为另一备选方案,过孔208、220也可以是与第二RDL层228直接接触而形成的铜柱。这允许RDL衬底116的第二RDL层224支持到封装衬底108的封装衬底互连128的扇出连接。这可以允许RDL衬底116提供与不同封装衬底108的进一步增强的连接性兼容性,同时支持更靠近IC芯片106定位的嵌入式电容器,诸如电容器118,以当耦合到IC封装102中的PDN时,使IR下降最小化。例如,制造成本较低的封装衬底可以仅支持具有较大节距的衬底互连。作为备选方案,注意,图2中的RDL衬底116的衬底层204还可以作为层压衬底提供,该层压衬底包括不包括RDL的有机材料层压层。

[0035] 图3是可以作为图1和图2中的IC封装102中的RDL衬底116提供的另一RDL衬底316的侧视图。RDL衬底316包括现在将要讨论的附加示例性特征。图3中的RDL衬底316与图1和图2中的RDL衬底116之间的公共元件使用公共元件编号表示。

[0036] 如图3所示,钝化层302可以设置在RDL衬底316中,并且设置在电容器封装212与RDL衬底316的RDL层126之间。提供介电材料的钝化层302可以提供TSV 222的顶部表面304与再分布金属线216之间的增强对齐,用于减少电阻,并且因此减少通过电容器118的IR下降。钝化层302可以被图案化并且被打开,以允许在开口中形成再分布金属线216,用于TSV

222与再分布金属线216之间的增强对齐，如稍后所更详细描述的。在该示例中，TSV 222延伸穿过钝化层302以与RDL层126的再分布金属线216接触。

[0037] 继续参考图3，注意，过孔220可以用于提供到电容器封装212中的电容器118和RDL层126中的RDL互连218的连接。此外，注意，过孔220还可以被制造为贯穿电容器封装212及其介电层214，作为要耦合到衬底互连206的贯通过孔，以提供到图1中的封装衬底108的耦合。在这方面，可以提供过孔220作为TSV 222，如先前所讨论的，以延伸通过电容器封装212。这允许在电容器封装212的路径中在Z轴方向上的竖直路径空间允许RDL层126与衬底层204之间的连接，以使RDL衬底116中的电容器封装212的竖直路径互连干扰最小化。提供过孔220作为TSV 222可以允许更大的高度H_1与宽度W_1的纵横比，以允许RDL衬底316支撑更大密度的过孔220，从而提供IC芯片106、RDL衬底316和封装衬底108之间的连接。这可能是特别有利的，由于RDL衬底316设有其RDL层126以支持RDL互连202、218扇出，这又可以支持与具有更高密度的管芯互连120的IC芯片106的互连兼容性。此外，用于支撑电容器封装212和嵌入式电容器118的RDL衬底316的总高度宽度H_2可能需要TSV 222的特定期望高度H_1与宽度W_1的纵横比，以支持在RDL衬底316中提供的互连的密度。例如，TSV 222的高度H_1与宽度W_1的纵横比可以至少为2.0。此外，还可以提供过孔208作为TSV，并且出于与上文针对TSV 222所讨论的原因相同的原因，还可以包括至少1.0的更高的H_1与宽度W_2的纵横比。

[0038] 如上文所讨论的，向RDL衬底116、316提供RDL层126允许再分布金属线200、216扇出，以支持它们相应的RDL互连202、218的更高密度。例如，如图2和图3所示，在RDL衬底116、316中，再分布金属线200在其相应的RDL互连202的竖直路径V_1外部呈扇形散开。类似地，如图2和图3所示，在RDL衬底116、316中，再分布金属线216在其相应的RDL互连218的竖直路径V_2外部呈扇形散开。这允许图1中的IC芯片106中的管芯互连120具有比衬底层204中的衬底互连206的节距P_2更紧密(即，更小)的节距P_1。RDL衬底116、316的RDL层126的RDL互连202的节距P_3可以与封装衬底108的封装衬底互连128的节距P_4相同。RDL衬底116、316的衬底层204的衬底互连206的节距P_2可以被配置为与封装衬底108的封装衬底互连128的节距P_4兼容，如先前所讨论的。RDL衬底116、316的衬底层204的衬底互连206的节距P_2可以与封装衬底108的封装衬底互连128的节距P_4相同。

[0039] 此外，注意，RDL衬底116、316还可以被配置为充当两个或更多个IC芯片(如IC芯片106)之间的中介层，该两个或更多个IC芯片设在IC封装(如图2中的IC封装102)中。可以在IC封装102中提供附加IC芯片，该附加IC芯片包括如上文所描述的IC芯片106之类的部件。RDL衬底116、316可以设置在封装衬底108与(多个)附加IC芯片之间。RDL衬底116、316还可以包括附加第二再分布金属线，每个第二再分布金属线包括耦合到(多个)附加IC芯片的管芯互连的附加第二RDL互连。附加第二再分布金属线中的一个或多个第二再分布金属线可以耦合到RDL衬底116中的再分布金属线200中的一个或多个再分布金属线，以将IC芯片106电连接到(多个)另一IC芯片。

[0040] 图4是图示了IC封装的示例性制造过程400的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1中的IC封装102及其图1至图3中的RDL衬底。参考图2中的IC封装102以及图2和图3中的RDL衬底116、316，将在图2中引用示例性过程400。

[0041] 在这方面，在制造过程400中制造IC封装102的第一步骤可以是形成封装衬底108，

该封装衬底108包括多个封装衬底互连128(图4中的框402)。制造过程400中制造IC封装102的下一步骤可以是在封装衬底108上形成RDL衬底116、316(图4中的框404)。形成RDL衬底116、316的过程可以包括:形成RDL层126,该RDL层包括多个再分布金属线200、216,每个再分布金属线包括RDL互连202、218(图4中的框406)。形成RDL衬底116、316的过程还可以包括:形成衬底层204,该衬底层204包括多个衬底互连206(图4的框408)。形成RDL衬底116316的过程还可以包括:在RDL层126与衬底层204之间设置电容器118(图4中的框410)。制造过程400中制造IC封装102的下一步骤可以是形成至少一个过孔220、222,该至少一个过孔220、222电耦合到电容器118,并且被配置为电耦合到IC芯片106的多个管芯互连120中的至少一个管芯互连120(图4中的框412)。制造过程400中制造IC封装102的下一步骤可以是将IC芯片106的多个管芯互连120中的至少一个管芯互连120耦合到多个再分布金属线200、216中的至少一个RDL互连202、218(图4中的框414)。

[0042] 可以在其他制造过程中制造IC封装,该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底,包括但不限于图1中的IC封装102及其图1至图3中的RDL衬底。例如,图5A至图5G图示了制造IC封装的图6A至图6D中的另一示例性过程600的示例性制造阶段500A-500G,该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底,包括但不限于图1至图3中的IC封装和RDL衬底。图6A至图6D是图示了根据图5A至图5G中的示例性制造阶段500A-500G制造IC封装的示例性过程600的流程图,该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底。在图6A至图6D中的示例性过程600中以及根据图5A至图5G中的示例制造阶段500A-500G,如下文所讨论的,在电容器封装嵌入RDL衬底之前,形成IC封装的RDL衬底的RDL层。下文参考图5A至图5G中的制造阶段500A-500G对图6A至图6D中的示例性过程600进行讨论。作为示例,还参考图1中的IC封装102以及图2和图3中的RDL衬底116、316对图6A至图6D中的示例性过程600进行了讨论。

[0043] 在这方面,图5A图示了图1中的IC封装102的第一制造阶段500A。在该制造阶段500A中,提供了载体502。RDL层224形成在载体502上,以被提供在最终形成的RDL衬底116、316中(图6A中的框602)。在电容器封装212嵌入RDL衬底116、316中之前,载体502用于允许形成IC封装102的RDL层224和RDL衬底116、316。图5B图示了图1中的IC封装102的下一制造阶段500B。如图5B中的下一制造阶段500B所示,过孔208形成在RDL层224上并且与RDL层的再分布金属线226电接触,该过孔208可以是TMV,并且在将其中设置电容器封装212的区域504之外(图6A中的框604)。

[0044] 如图5C中的下一制造阶段500C所示,电容器封装212设置在RDL层224上,以准备在最终形成的RDL衬底116、316中嵌入电容器封装212,该RDL衬底116、316包括RDL层224(图6B中的框606)。注意,TSV 222通过单独的过程通过钝化层302暴露,以制造电容器封装212,如下文参考图7A至图8所描述的。如图5D中的下一制造阶段500D所示,作为形成RDL衬底的一部分,介电层210然后设置在过孔208、电容器封装212和所暴露的TSV 222之上(图6B中的框608)。如图5E中的下一制造阶段500E所示,将介电层210向下研磨到顶部表面505,以暴露过孔208和TSV 222的顶部表面506、508,以准备这些过孔208和TSV 222用于针对RDL衬底116、316将要形成的到RDL层126的连接(图6C中的框610)。如图5F中的下一制造阶段500F所示,RDL层126形成在介电层210的顶部表面505上,介电层210被向下研磨以形成RDL衬底116、316。作为形成RDL层126的一部分,再分布金属线200、216电耦合到过孔208和TSV 222的相

应顶部表面506、508(图6C中的框612)。如图5G中的下一制造阶段500G所示,IC芯片106然后耦合到RDL衬底116、316的RDL层126以形成IC封装102(图6D中的框614)。

[0045] 图7A至图7C图示了制造电容器封装212的示例性过程的示例性制造阶段700A-700C,该电容器封装212可以嵌入IC封装的RDL衬底中,包括但不限于图1至图3和图5G中的IC封装102和RDL衬底116、316。图8是图示了根据图7A至图7C中的示例性制造阶段700A-700C制造电容器封装212的示例性过程800的流程图。将对图7A至图7C和图8进行结合讨论。

[0046] 在这方面,如图7A中的制造阶段700A所示,电容器118和TSV 222形成,其中介电层214设置在电容器118与TSV 222上方(图8中的框802)。如图7B中的下一制造阶段700B所示,将介电层214向下研磨到顶部表面702,以暴露TSV 222的顶部表面704。然后,钝化层302设置在介电层214的顶部表面702和TSV 222上(图8中的框804)。如图7C中的下一制造阶段700C所示,蚀刻钝化层302以暴露TSV 222的顶部表面704,以准备同样的动作用于到RDL衬底116、316的RDL层126的再分布金属线216的电连接(图8中的框806)。

[0047] 图9A至图9H图示了图10A至图10D中的制造IC封装的另一示例性过程1000的示例性制造阶段900A-900H,该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底,包括但不限于图1至图3中的IC封装和RDL衬底。图10A至图10D是图示了根据图9A至图9H中的示例性制造阶段900A-900H的制造IC封装的示例性过程1000的流程图,该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底。在图10A至图10D中的示例性过程1000中并且根据图9A至图9H中的示例制造阶段900A-900H,如下文所讨论的,在电容器封装嵌入RDL衬底之前,形成IC封装的RDL衬底的RDL层,就像上文所讨论的图8A至图8D中的过程800中一样。然而,在图10A至图10D中的过程1000中,钝化层302不包括在电容器封装312中。下文参考图9A至图9H中的制造阶段900A-900H对图10A至图10D中的示例性过程1000进行讨论。作为示例,还参考图1中的IC封装102和图2和图3中的RDL衬底116、316对图10A至图10D的示例性过程1000进行讨论。

[0048] 在这方面,图9A图示了根据备选制造过程的图1中的IC封装102的第一制造阶段900A。在该制造阶段900A中,提供了载体902。RDL层224形成在载体902上,以被提供在最终形成的RDL衬底116、316中(图10A中的框1002)。在电容器封装212嵌入RDL衬底116、316中之前,载体902用于允许形成IC封装102的RDL层224和RDL衬底116、316。图9B图示了图1中的IC封装102的下一制造阶段900B。如图9B中的下一制造阶段900B所示,过孔208形成在RDL层224上,并且与RDL层224的再分布金属线226电接触(图10A中的框1004),过孔208可以是TMV并且在其中将设置电容器封装212的区域904之外。如图9C中的下一制造阶段900C所示,电容器封装212设置在RDL层224上,以准备在最终形成的RDL衬底116、316中嵌入电容器封装212,该RDL衬底116、316包括RDL层224(图10A中的框1006)。注意,电容器封装212中不包括钝化层302,如上文在图5A至图8中的过程所描述的。

[0049] 如图9D中的下一制造阶段900D所示,作为形成RDL衬底的一部分,介电层210然后设置在过孔208和电容器封装212之上(图10B中的框1008)。如图9E中的下一制造阶段900E所示,将介电层210向下研磨到顶部表面906,以暴露过孔208和TSV 222的顶部表面908、910,以准备这些过孔208和TSV 222用于针对RDL衬底116、316将要形成的到RDL层126的连接(图10B中的框1010)。如图9F中的下一制造阶段900F所示,RDL层126形成在介电层210的顶部表面906上,介电层210被向下研磨以形成RDL衬底116、316。作为形成RDL层126的一部

分，再分布金属线200、216电耦合到过孔208和TSV 222的相应顶部表面908、910(图10C中的框1012)。

[0050] 如图9G中的下一制造阶段900G所示，翻转设置在载体902上的RDL衬底116、316，以准备移除载体902(图10D中的框1014)。如图9H中的下一制造阶段900H所示，IC芯片106然后耦合到RDL衬底116、316的RDL层126，以形成IC封装102(图10D中的框1016)。

[0051] 图11A至图11L图示了图12A至图12F中的制造IC封装的另一示例性过程1200的示例性制造阶段1100A-1100L，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底，包括但不限于图1至图3中的IC封装和RDL衬底。图12A至图112F是图示了根据图11A至图11L中的示例性制造阶段1100A-1100L制造IC封装的示例性过程1200的流程图，该IC封装包括设置在(多个)IC芯片与封装衬底之间的电容器嵌入式RDL衬底。在图12A至图12F中的示例性过程1200中并且根据图11A至图11L中的示例性制造阶段1100A-1100L，如下文所讨论的，在电容器封装嵌入RDL衬底中之后，形成IC封装的RDL衬底的RDL层。下文参考图11A至图11L中的制造阶段1100A-1100L对图12A至图12F中的示例性过程1200进行讨论。作为示例，还参考图1中的IC封装102和图2和图3中的RDL衬底116、316对图12A至图12F的示例性过程1200进行讨论。

[0052] 如图11A中的制造阶段1100A所示，开始准备载体1102的封装衬底108。提供载体1102，诸如层压衬底，并且涂层通过光热转换(LTHC)释放层1104设置在载体1002上(图12A中的框1202)。如图11B中的下一制造阶段1100B所示，层压聚酰亚胺层1106设置在LTHC释放层1104上(图12A中的框1204)。如图11C中的下一制造阶段1100C所示，种子层1108(例如，TiCu层)设置在层压聚酰亚胺层1106上，以准备形成过孔208(图12A中的框1206)。如图11D中的下一制造阶段1100D所示，光致抗蚀剂层1110设置在种子层1108上，以准备将要图案化的光致蚀剂层1100以形成开口1112，如所示出的以形成过孔208(图12B中的框1208)。如图11E中的下一制造阶段1100E所示，过孔208形成在开口1112中(图12B中的框1210)。例如，过孔208可以是铜柱。

[0053] 如图11F中的下一制造阶段1100F所示，电容器封装212然后设置在过孔208之间的区域1114中，以最终成为所制造的RDL衬底116、316的一部分(图12C中的框1212)。如图11G中的下一制造阶段1100G所示，介电层210设置在过孔208和电容器封装212上(图12D中的框1214)。如图11H中的下一制造阶段1100H所示，将介电层210向下研磨到顶部表面1116，以暴露电容器封装212的TSV 222和过孔208的顶部表面1118、1120(图12D中的框1216)。如图11I中的下一制造阶段1100I所示，RDL层126形成在介电层210的顶部表面1116上，以形成RDL衬底116、316的一部分(图12E中的框1218)。如图11J中的下一制造阶段1100J所示，载体1102被翻转并移除，其中嵌有电容器封装212的介电层210与RDL层126分离，以准备形成RDL衬底116、316的第二RDL层224(图12E中的框1220)。

[0054] 如图11K中的下一制造阶段1100K所示，形成RDL衬底116、316的第二RDL层224以形成RDL衬底116、316(图12E中的框1222)。如图11L中的下一制造阶段11L所示，IC芯片106然后耦合到RDL衬底116、316的RDL层126以形成IC封装102(图12F中的框1224)。

[0055] 应当理解，本文中所使用的术语“顶部”、“上方”、“底部”、“下方”是相对术语，并不意味着限制或暗示严格的方位。相对于地面，“顶部”引用元件并不总是被定向为在“底部”引用元件上方，反之亦然。被引用为“顶部”或“底部”的元件可以仅相对于该示例和所图示

的特定示例位于顶部或底部。一个元件被称为在另一元件的“上方”或“下方”不必相对于地面，反之亦然。被引用为“上方”或“下方”的元件可以仅相对于该示例和所图示的特定示例位于其他引用元件的上方或下方。

[0056] IC封装包括但不限于图1至图3、图5G、图9H和图11L中的IC封装并且根据本文中所公开的任何方面可以提供在任何基于处理器的设备中或集成在任何基于处理器的设备中，该IC封装包括具有设置在(多个)IC芯片与封装衬底之间的(多个)嵌入式电容器的RDL衬底。示例包括但不限于机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板电话，服务器、计算机、便携式计算机、移动式计算设备、可穿戴式计算设备(例如，智能手表、健康或健身追踪器、眼镜等)、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频盘(DVD)播放器、便携式数字视频播放器、机动车、车辆组件、航空电子系统、无人机和多旋翼直升机。

[0057] 图13图示了示例性无线通信设备1300，该示例性无线通信设备1300包括由一个或多个IC 1302形成的电气部件，其中IC 1302中的任一IC 1302都可以包括在IC封装1303中。IC封装1303可以包括IC封装，该IC封装包括具有设置在(多个)IC芯片与封装衬底之间的(多个)嵌入式电容器的RDL衬底，包括但不限于图1至图3、图5G、图9H和图11L中并且符合本文中所公开的任何方面的IC封装。

[0058] 作为示例，无线通信设备1300可以包括或提供在上文所引用的设备中的任一设备。如图13所示，无线通信设备1300包括收发器1304和数据处理器1306。数据处理器1306可以包括用于存储数据和程序代码的存储器。收发器1304包括支持双向通信的传输器1308和接收器1310。一般而言，无线通信设备1300可以包括用于任何数目的通信系统和频带的任何数目的传输器1308和/或接收器1310。可以在一个或多个模拟IC、RF IC(RFIC)、混合信号IC等上实现收发器1304的全部或一部分。

[0059] 可以使用超外差架构或直接转换架构来实现传输器1308或接收器1310。在超外差架构中，信号在多个阶段中在RF与基带之间进行频率转换，例如，对于接收器1310，在一个阶段中从RF转换到中频(IF)，然后在另一阶段中从IF转换到基带。在直接转换架构中，信号在一个阶段中在RF与基带之间进行频率转换。超外差架构和直接转换架构可以使用不同的电路块和/或具有不同的要求。在图13中的无线通信设备1300中，使用直接转换架构来实现传输器1308和接收器1310。

[0060] 在传输路径中，数据处理器1306处理要传输的数据，并且向传输器1308提供I和Q模拟输出信号。在示例性无线通信设备1300中，数据处理器1306包括数模转换器(DAC)1312(1)、1312(2)，用于将数据处理器1308所生成的数字信号转换为I和Q模拟输出信号，例如，I和Q输出电流，以供进一步处理。

[0061] 在传输器1308内，低通滤波器1314(1)、1314(2)分别对I和Q模拟输出信号进行滤波，以移除由先前数模转换引起的非期望的信号。放大器(AMP)1316(1)、1316(2)分别放大来自低通滤波器1314(1)和1314(2)的信号，并且提供I和Q基带信号。上变频器1318通过混频器1320(1)、1320(2)将I和Q基带信号与来自TX LO信号生成器1322的I和Q传输(TX)本地振荡器(LO)信号进行上变频，以提供经上变频的信号1324。滤波器1326对经上变频的信号

1324进行滤波，以移除由上变频引起的非期望的信号以及接收频带中的噪声。功率放大器(PA)1328放大来自滤波器1326的经上变频的信号1324以获得期望的输出功率电平，并且提供传输RF信号。传输RF信号通过双工器或开关1330进行路由，并且经由天线1332传输。

[0062] 在接收路径中，天线1332接收基站所传输的信号，并且提供所接收到的RF信号，该RF信号通过双工器或开关1330进行路由，并且提供给低噪声放大器(LNA)1334。双工器或开关1330被设计为以特定接收(RX)到TX双工器频率分离来操作，使得RX信号与TX信号隔离。所接收到的RF信号由LNA 1334放大并且由滤波器1336滤波，以获得期望的RF输入信号。下变频混频器1338(1)、1338(2)将滤波器1336的输出与来自RX LO信号生成器1340的I和Q RX LO信号(即，LO_I和LO_Q)混合，以生成I和Q基带信号。I和Q基带信号由AMP 1342(1)、1342(2)放大，并且由低通滤波器1344(1)和1344(2)进一步滤波，以获得I和Q模拟输入信号，该I和Q模拟输入信号被提供给数据处理器1306。在该示例中，数据处理器1306包括模数转换器(ADC)1346(1)、1346(2)，用于将模拟输入信号转换为数字信号以供由数据处理器1306进一步处理。

[0063] 在图13的无线通信设备1300中，TX LO信号生成器1322生成用于上变频的I和Q TX LO信号，而RX LO信号生成器1340生成用于下变频的I或Q RX LO信号。每个LO信号是具有特定基频的周期性信号。TX锁相环(PLL)电路1348从数据处理器1306接收定时信息，并且生成用于调整来自TX LO信号产生器1322的TX LO信号的频率和/或相位的控制信号。类似地，RX PLL电路1350从数据处理器1306接收定时信息，并且生成用于调整来自RX LO信号生成器1340的RX LO信号的频率和/或相位的控制信号。

[0064] 本领域技术人员将进一步领会，结合本文中所公开的方面所描述的各种说明性逻辑块、模块、电路和算法可以被实现为电子硬件、存储在存储器或另一计算机可读介质中并且由处理器或其他处理设备执行的指令、或两者的组合。作为示例，本文中所描述的主设备和从设备可以用于任何电路、硬件部件、IC或IC芯片中。本文中所公开的存储器可以是任何类型和尺寸的存储器，并且可以被配置为存储所需的任何类型的信息。为了清楚地说明这种互换性，上文已经就其功能性大体上描述了各种说明性部件、块、模块、电路和步骤。如何实现这种功能取决于特定应用、设计选项和/或强加在整个系统上的设计约束。所属领域的技术人员可以针对每个特定应用以不同方式实现所描述的功能，但这样的实现决策不应被解释为导致偏离本公开的范围。

[0065] 结合本文中所公开的各方面所描述的各种说明性逻辑块、模块和电路可以使用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑设备、离散门或晶体管逻辑、离散硬件部件或其被设计为执行本文中所描述的功能的任何组合来实现或执行。处理器可以是微处理器，但在备选方案中，处理器可以是任何传统的处理器、控制器、微控制器或状态机。处理器也可以被实现为计算设备的组合(例如，DSP和微处理器的组合、多个微处理器、与DSP核结合的一个或多个微处理器、或任何其他这种配置)。

[0066] 本文中所公开的方面可以实施在硬件和存储在硬件中的指令中，并且可以驻留在例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电擦除可编程ROM(EEPROM)、寄存器、硬盘、可移除盘、CD-ROM或本领域已知的任何其他形式的计算机可读介质。示例性存储介质耦合到处理器，使得处理器可以从存储介质中读取信息并且向存储

介质写入信息。在备选方案中，存储介质可以集成到处理器中。处理器和存储介质可以驻留在ASIC中。ASIC可以驻留在远程站中。在备选方案中，处理器和存储介质可以作为分立部件驻留在远程站、基站或服务器中。

[0067] 还应当注意，对本文中的示例性方面中的任一示例性方面中所描述的操作步骤进行描述以提供示例和讨论。所描述的操作可以按除了所图示的序列之外的许多不同序列执行。此外，在单个操作步骤中描述的操作实际上可以在若干个不同步骤中执行。附加地，可以组合在示例性方面中讨论的一个或多个操作步骤。应当理解，对于本领域的技术人员而言，显而易见的是，流程图中所图示的操作步骤可能会受制于许多不同的修改。本领域技术人员还将理解，可以使用多种不同技术和技巧中的任一技术和技巧来表示信息和信号。例如，可以通过电压、电流、电磁波、磁场或粒子、光场或粒子、或其任何组合来表示可以在整个上述描述中引用的数据、指令、命令、信息、信号、位、符号和芯片。

[0068] 提供本公开的先前描述是为了使本领域的任何技术人员能够制作或使用本公开。对本领域技术人员而言，对本公开的各种修改将是显而易见的，并且本文中所定义的一般原理可以应用于其他变型。因此，本公开不旨在局限于本文中所描述的示例和设计，而是应符合本文中所公开的原理和新颖特征的最宽范围。

[0069] 还在以下带有编号的条款中描述了实现方式示例。

[0070] 1.一种集成电路(IC)封装，包括：

[0071] 封装衬底，包括多个封装衬底互连；

[0072] IC芯片，包括多个管芯互连；

[0073] 再分布层(RDL)衬底，设置在封装衬底与IC芯片之间，RDL衬底包括：

[0074] RDL层，包括多个再分布金属线，每个再分布金属线包括RDL互连，RDL互连耦合到多个管芯互连中的管芯互连；

[0075] 衬底层，包括多个衬底互连；以及

[0076] 电容器，设置在RDL层与衬底层之间；以及

[0077] 至少一个竖直互连访问(过孔)，电耦合到多个管芯互连中的管芯互连和电容器。

[0078] 2.根据条款1的IC封装，其中衬底层包括第二RDL层，第二RDL层包括多个第二再分布金属线，每个第二再分布金属线包括第二RDL互连。

[0079] 3.根据条款2的IC封装，还包括至少一个第二过孔，至少一个第二过孔耦合到多个管芯互连中的管芯互连和衬底层中的多个衬底互连中的至少一个衬底互连。

[0080] 4.根据条款1至3中任一项的IC封装，还包括钝化层，钝化层设置在电容器与RDL层之间。

[0081] 5.根据条款1至4中任一项的IC封装，其中至少一个过孔包括至少一个贯通硅过孔(TSV)，至少一个TSV被设置为通过RDL衬底并且电耦合到多个再分布金属线中的耦合到管芯互连的再分布金属线。

[0082] 6.根据条款5的IC封装，其中至少一个TSV的高度与宽度的纵横比至少为2.0。

[0083] 7.根据条款1至6中任一项的IC封装，还包括多个第二过孔，多个第二过孔被设置为通过RDL衬底，并且电耦合到RDL层中的多个RDL互连中的RDL互连和衬底层中的多个衬底互连中的衬底互连。

[0084] 8.根据条款7的IC封装，其中多个第二过孔的高度与宽度的纵横比至少为1.0。

[0085] 9.根据条款1至8中任一项的IC封装,还包括:

[0086] 介电层,包括介电材料,介电材料设置在RDL层与衬底层之间;以及

[0087] 电容器封装,嵌入介电层中,电容器封装包括电容器。

[0088] 10.根据条款9的IC封装,其中至少一个过孔包括至少一个贯通硅过孔TSV,至少一个TSV被设置为通过电容器封装并且电耦合到多个再分布金属线中的耦合到管芯互连的再分布金属线。

[0089] 11.根据条款9的IC封装,还包括多个第二过孔,多个第二过孔被设置为通过RDL衬底,并且电耦合到RDL层中的多个RDL互连中的RDL互连和衬底层中的多个衬底互连中的衬底互连;

[0090] 其中多个第二过孔被设置为通过电容器封装外部的RDL衬底的介电层。

[0091] 12.根据条款1至11中任一项的IC封装,其中多个再分布金属线中的至少一个再分布金属线在其相应RDL互连的竖直路径外部呈扇形散开。

[0092] 13.根据条款1至12中任一项的IC封装,其中

[0093] 多个管芯互连具有第一节距;

[0094] 衬底层中的多个衬底互连具有第二节距,第二节距大于第一节距;以及

[0095] 多个封装衬底互连具有第二节距。

[0096] 14.根据条款13的IC封装,还包括多个第二过孔,多个第二过孔被设置为通过RDL衬底,并且电耦合到RDL层中的多个RDL互连中的RDL互连和衬底层中的多个衬底互连中的耦合到多个封装衬底互连中的封装衬底互连的衬底互连。

[0097] 15.根据条款1至14中任一项的IC封装,其中

[0098] 封装衬底还包括第一外部表面,多个封装衬底互连被设置为通过第一外部表面;

[0099] IC芯片还包括有源表面,多个管芯互连被设置为通过有源表面;以及

[0100] 第一外部表面与有源表面之间的距离至少为两(2)微米(μm)。

[0101] 16.根据条款1至15中任一项的IC封装,被集成到选自由以下各项组成的组的设备中:机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板电话、服务器、计算机、便携式计算机、移动式计算设备、可穿戴式计算设备、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频盘(DVD)播放器、便携式数字视频播放器、机动车、车辆组件、航空电子系统、无人机和多旋翼直升机。

[0102] 17.一种制造IC封装的方法,包括:

[0103] 形成封装衬底,封装衬底包括多个封装衬底互连;

[0104] 在封装衬底上形成再分布层(RDL)衬底,包括:

[0105] 形成RDL层,RDL层包括多个再分布金属线,每个再分布金属线包括RDL互连;

[0106] 形成衬底层,衬底层包括多个衬底互连;以及

[0107] 在RDL层与衬底层之间设置电容器;

[0108] 形成至少一个竖直互连访问(过孔),至少一个竖直互连访问电耦合到电容器并且被配置为电耦合到IC芯片的多个管芯互连中的至少一个管芯互连;以及

[0109] 将IC芯片的多个管芯互连中的至少一个管芯互连耦合到多个再分布金属线中的至少一个RDL互连。

[0110] 18.根据条款17的方法,其中形成衬底层包括:形成第二RDL层,第二RDR层包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连;以及

[0111] 该方法还包括:

[0112] 将多个封装衬底互连中的至少一个封装衬底互连耦合到多个第二RDL互连中的至少一个第二RDL互连;以及

[0113] 在RDL层与衬底层之间设置电容器包括在RDL层与第二RDL层之间设置电容器。

[0114] 19.根据条款17至18中任一项的方法,还包括:形成至少一个第二过孔,至少一个第二过孔电耦合到多个管芯互连中的至少一个管芯互连和多个衬底互连中的至少一个衬底互连。

[0115] 20.根据条款19的方法,其中形成至少一个第二过孔还包括:在电容器的竖直路径外部形成至少一个第二过孔。

[0116] 21.根据条款17和19至20中任一项的方法,其中形成衬底层包括:在封装衬底上形成第二RDL层,以将多个第二再分布金属线中的第二RDL互连电耦合到第二RDL互连中的至少一个第二RDL互连,封装衬底包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连。

[0117] 22.根据条款21的方法,还包括:在与与电容器的第二侧相对的电容器的第一侧上方形成钝化层,电容器的第二侧与第二RDL层相邻。

[0118] 23.根据条款19至22中任一项的方法,还包括:在至少一个过孔、至少一个第二过孔和电容器上形成包括介电材料的介电层。

[0119] 24.根据条款23的方法,还包括:向下研磨介电层的表面以从介电层暴露至少一个过孔中的每个过孔的顶部表面。

[0120] 25.根据条款24的方法,还包括在介电层的与第二RDL层相对的第一侧上的介电层上方形成RDL层,以将至少一个过孔电耦合到多个再分布金属线中的至少一个RDL互连。

[0121] 26.根据条款17至25中任一项的方法,还包括:

[0122] 提供载体;以及

[0123] 在载体上形成多个第二过孔。

[0124] 27.一种再分布层(RDL)衬底,包括:

[0125] RDL层,包括多个再分布金属线,每个再分布金属线包括RDL互连;

[0126] 衬底层,包括多个衬底互连;

[0127] 介电层,包括介电材料,介电材料设置在RDL层与衬底层之间;

[0128] 电容器封装,嵌入介电层中,电容器封装包括电容器;以及

[0129] 多个贯通硅竖直互连访问(过孔)TSV,TSV被设置为通过电容器封装并且电耦合到多个RDL互连中的RDL互连。

[0130] 28.根据条款27的RDL衬底,其中

[0131] 电容器封装还包括金属层,金属层包括至少一个金属线,至少一个金属线耦合到电容器;以及

[0132] 多个TSV中的至少一个TSV耦合到至少一个金属线,至少一个金属线耦合到电容

器。

[0133] 29.根据条款27的RDL衬底,其中多个TSV中的至少一个TSV耦合到衬底层中的多个衬底互连中的至少一个衬底互连。

[0134] 30.根据条款27至29中任一项的RDL衬底,其中衬底层包括第二RDL层,第二RDL层包括多个第二再分布金属线,每个第二再分布金属线包括第二RDL互连。

[0135] 31.根据条款27至30中任一项的RDL衬底,其中RDL层包括外部表面,并且多个再分布金属线的RDL互连被设置为通过外部表面。

[0136] 32.根据条款27至31中任一项的RDL衬底,还包括钝化层,钝化层设置在电容器封装与RDL层之间。

[0137] 33.根据条款32的RDL衬底,其中多个TSV延伸通过钝化层。

[0138] 34.根据条款27至33中任一项的RDL衬底,其中多个TSV的高度与宽度的纵横比至少为两(2)微米(μm)。

[0139] 35.根据条款27至34中任一项的RDL衬底,还包括多个过孔,多个过孔被设置为通过介电层并且电耦合到多个RDL互连中的RDL互连和多个衬底互连中的衬底互连。

[0140] 36.根据条款27至35中任一项的RDL衬底,还包括多个第二过孔,多个第二过孔被设置为通过RDL衬底的介电层并且电耦合到RDL层中的多个RDL互连中的RDL互连和衬底层中的多个衬底互连中的衬底互连。

[0141] 37.根据条款36的RDL衬底,其中多个第二过孔的高度与宽度的纵横比至少为1.0。

[0142] 38.根据条款36至37中任一项的RDL衬底,其中多个第二过孔被设置为通过电容器封装外部的RDL衬底的介电层。

[0143] 39.根据条款27至38中任一项的RDL衬底,其中电容器封装包括介电层,介电层包括介电材料,其中电容器嵌入介电层中。

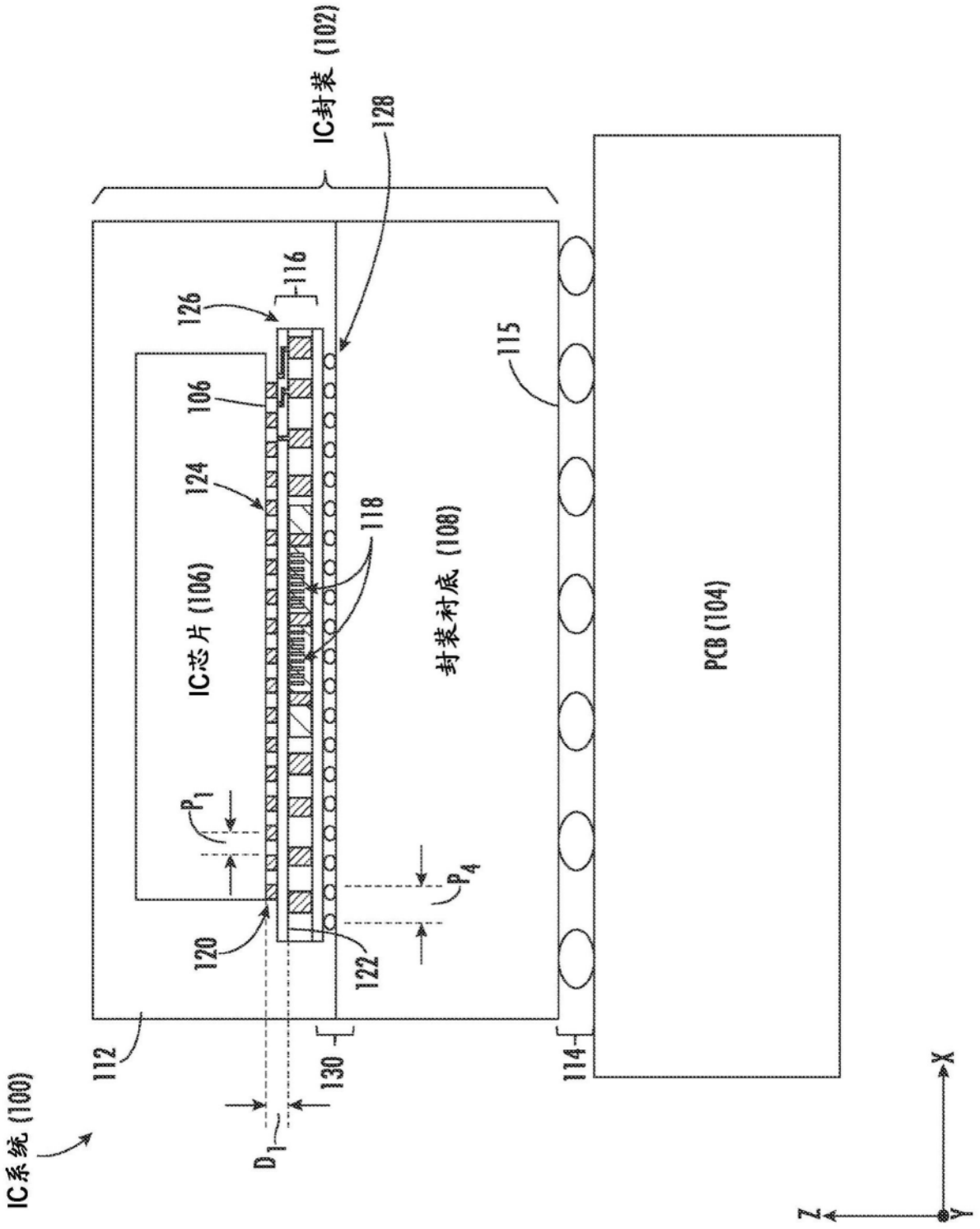

IC封装 (102)
128
116
126
106
124
118
115
IC芯片 (106)
封装衬底 (108)
PCB (104)
P_1
P_4
120
122
112
130
114
D_1
IC系统 (100)
X
Y
Z

图1

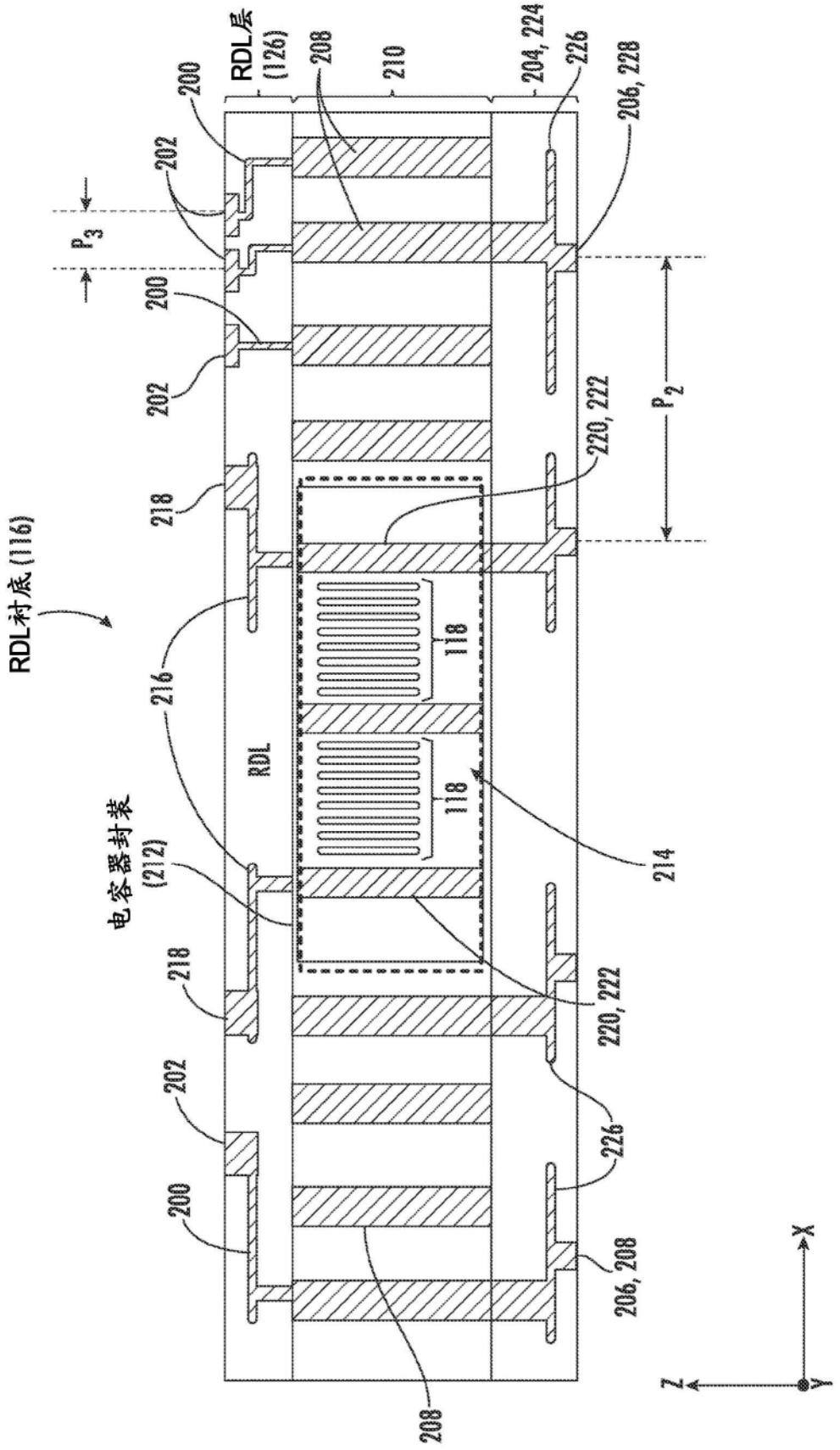

RDL层
(126)
208
210
204, 224
226
206, 228
200
202
P_3
200
202
P_2
220, 222
218
RDL衬底 (116)
216
118
RDL
118
214
电容器封装
(212)
218
220, 222
202
226
200
206, 208
208
Z
X
Y

图2

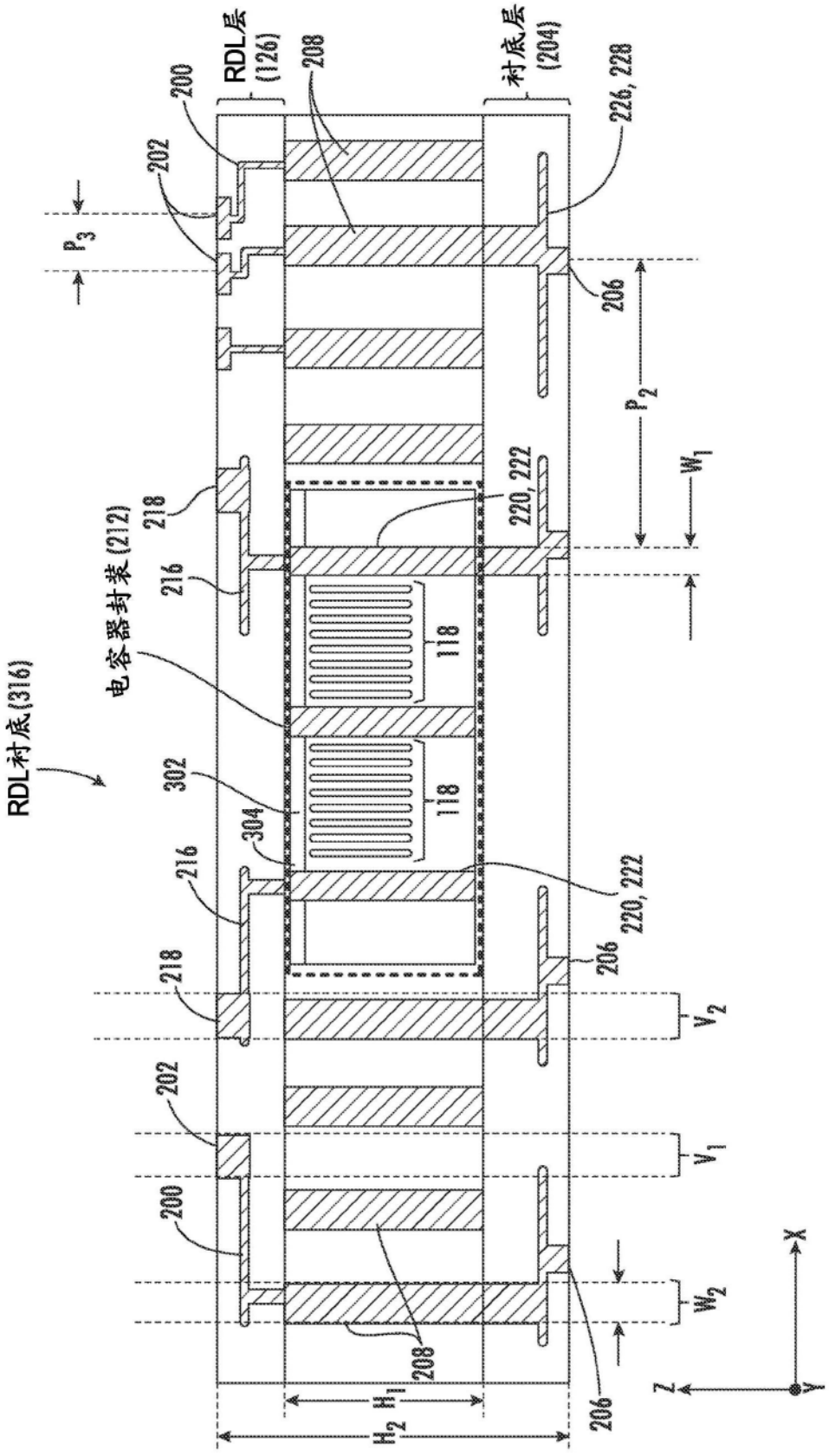

RDL层
(126)
衬底层
(204)
200
208
226, 228
202
P_3
206
P_2
W_1
220, 222
218
216
电容器封装(212)
118
RDL衬底(316)
302
304
V_2
V_1
W_2
H_1
H_2
Z
X
Y

图3

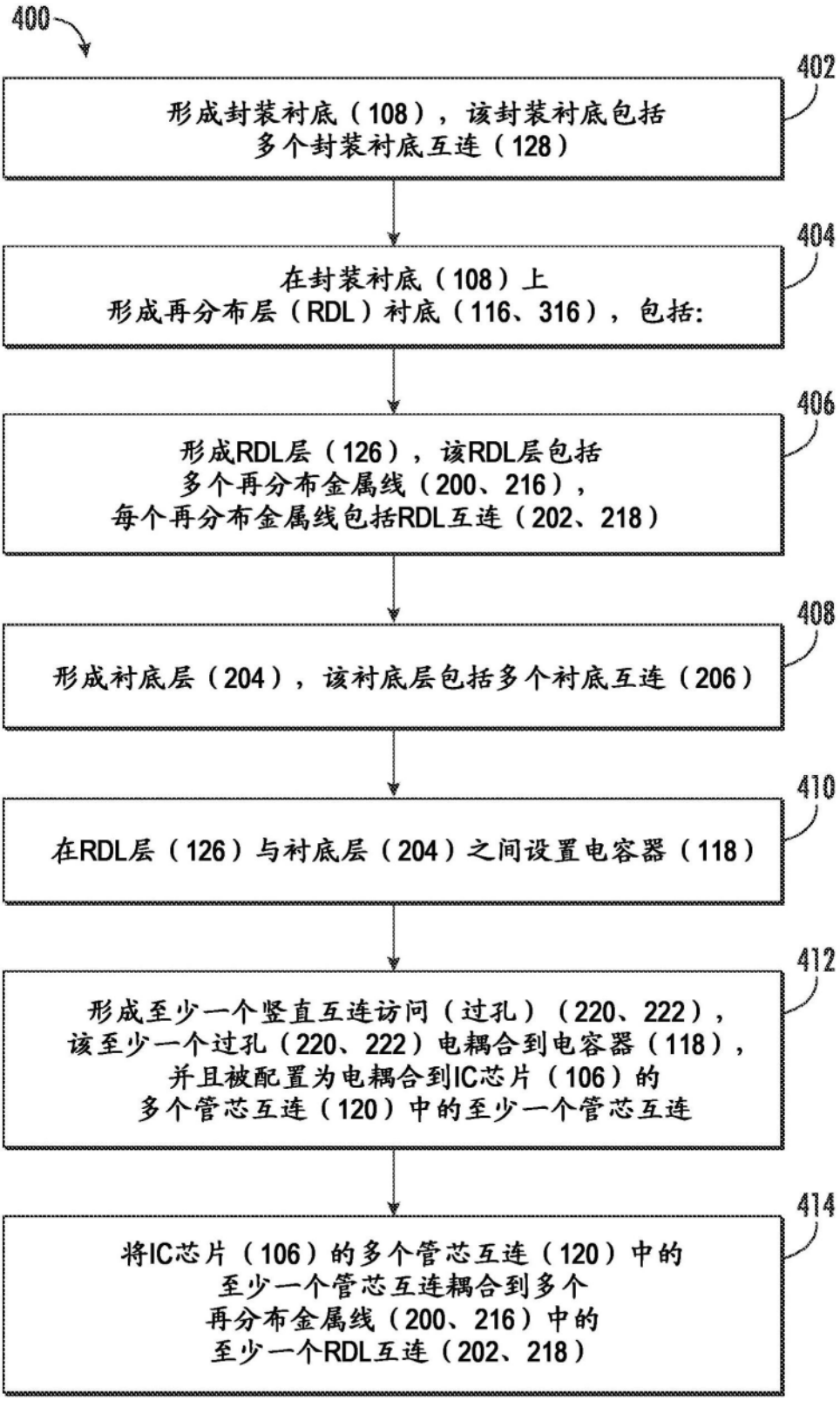

400
402
形成封装衬底（108），该封装衬底包括
多个封装衬底互连（128）
404
在封装衬底（108）上
形成再分布层（RDL）衬底（116、316），包括:
406
形成RDL层（126），该RDL层包括
多个再分布金属线（200、216），
每个再分布金属线包括RDL互连（202、218）
408
形成衬底层（204），该衬底层包括多个衬底互连（206）
410
在RDL层（126）与衬底层（204）之间设置电容器（118）
412
形成至少一个竖直互连访问（过孔）（220、222），
该至少一个过孔（220、222）电耦合到电容器（118），
并且被配置为电耦合到IC芯片（106）的
多个管芯互连（120）中的至少一个管芯互连
414
将IC芯片（106）的多个管芯互连（120）中的
至少一个管芯互连耦合到多个
再分布金属线（200、216）中的
至少一个RDL互连（202、218）

图4

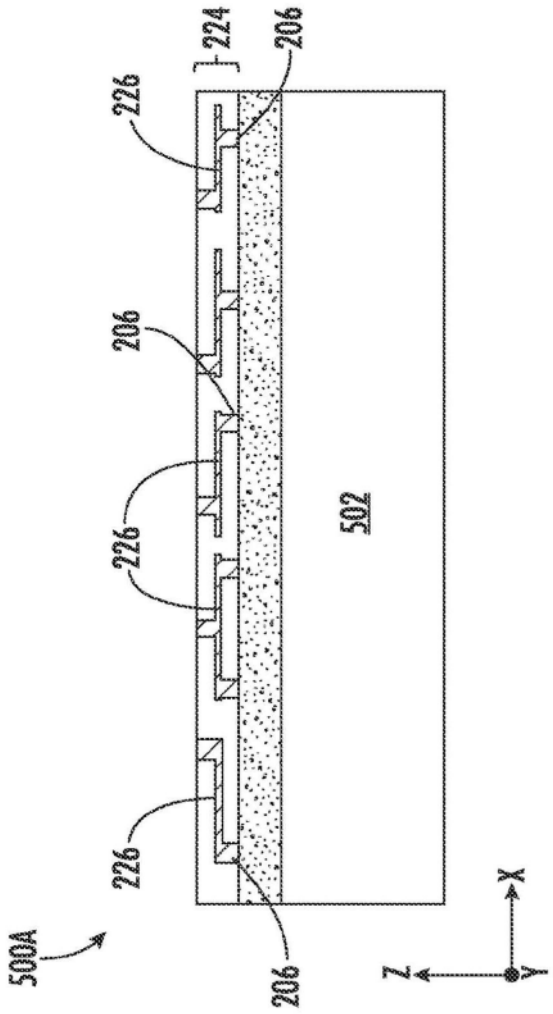


图5A

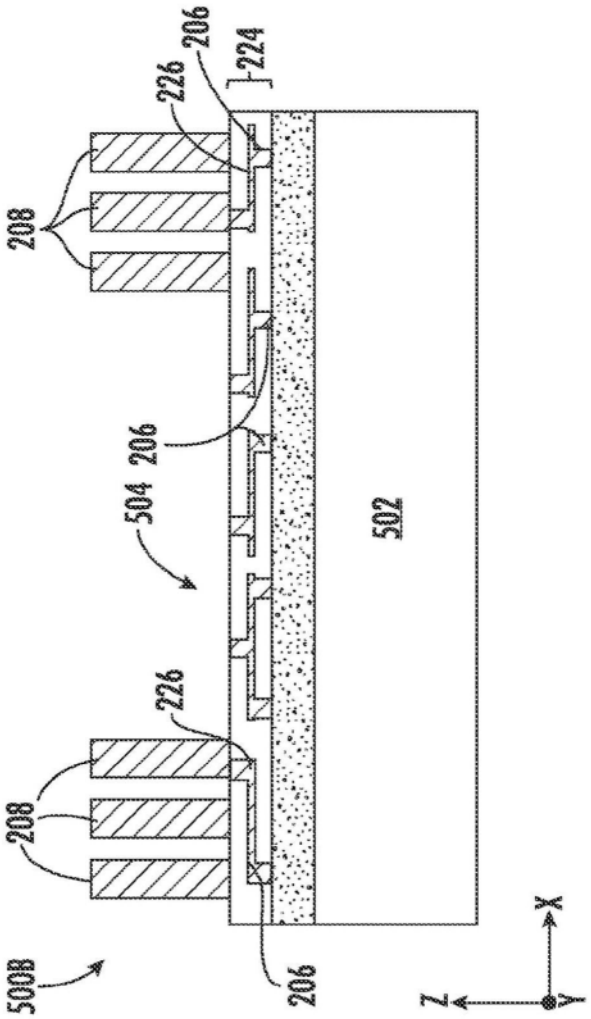

206
224
226
208
504
206
502
226
208
500B
206
Z
X
Y

图5B

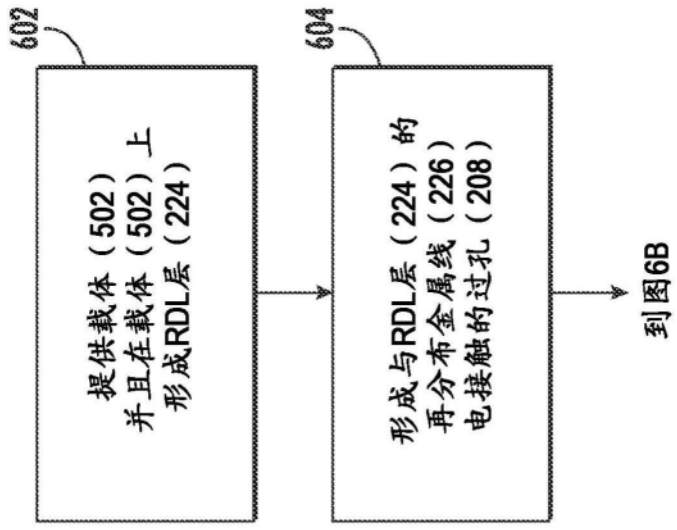

602
提供载体（502）
并且在载体（502）上
形成RDL层（224）
604
形成与RDL层（224）的
再分布金属线（226）
电接触的过孔（208）
到图6B

图6A

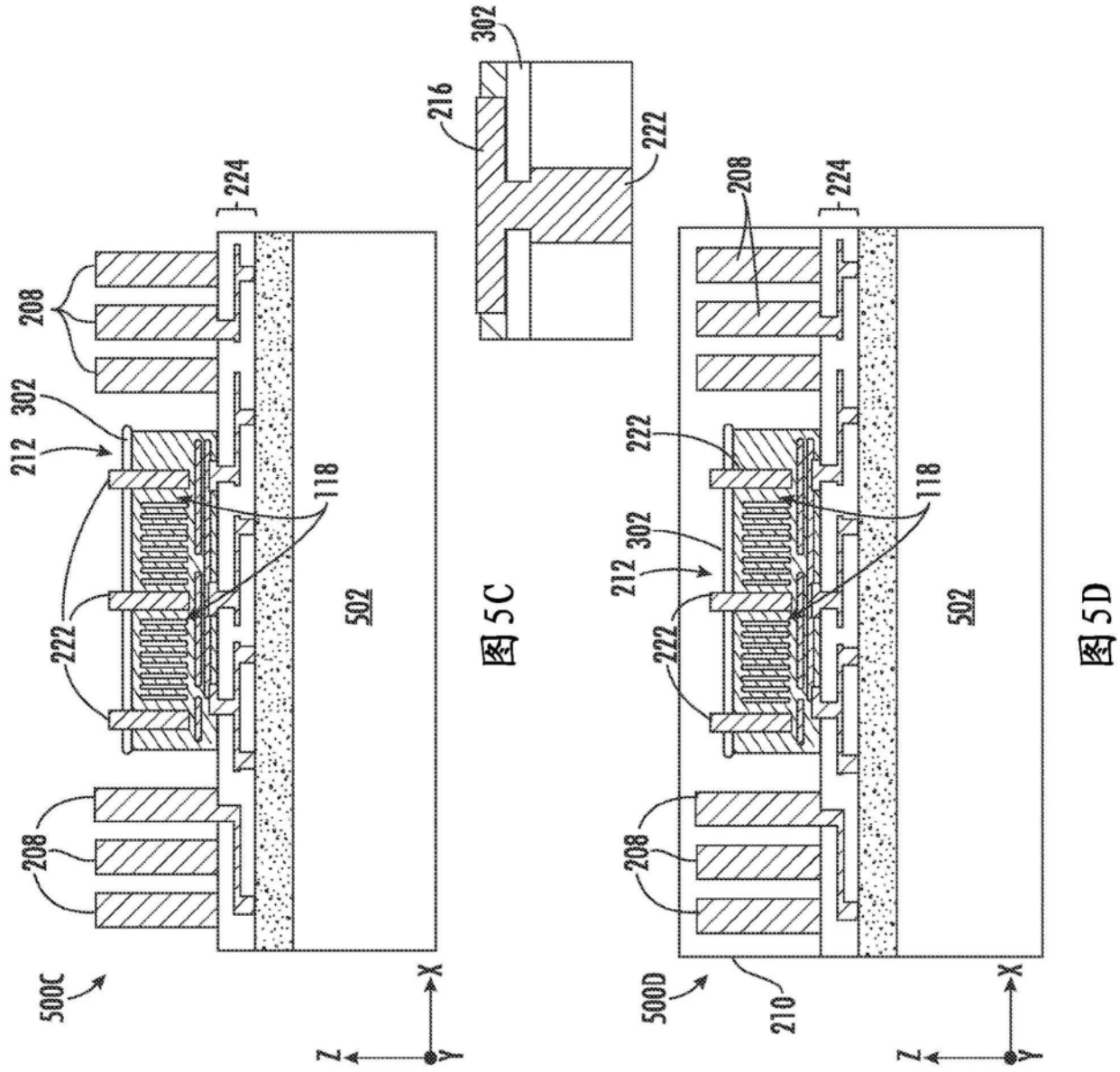


图 5C

图 5D

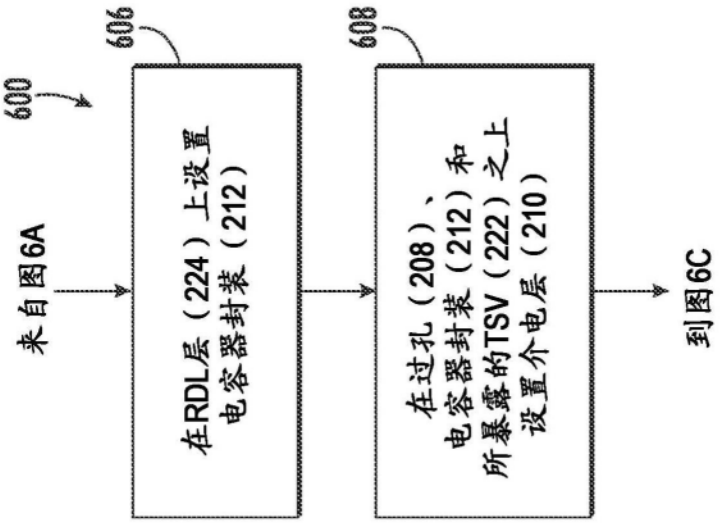

600
606
608
来自图6A
在RDL层（224）上设置电容器封装（212）
在过孔（208）、电容器封装（212）和所暴露的TSV（222）之上设置介电层（210）
到图6C

图6B

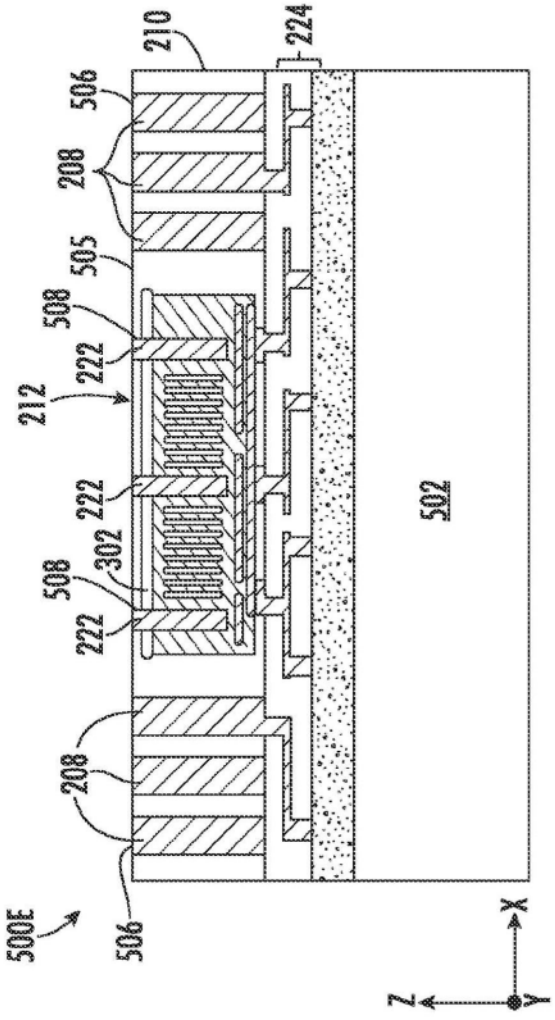

210
224
506
208
505
508
222
212
222
302
508
222
208
506
500E
502
X
Y
Z

图5E

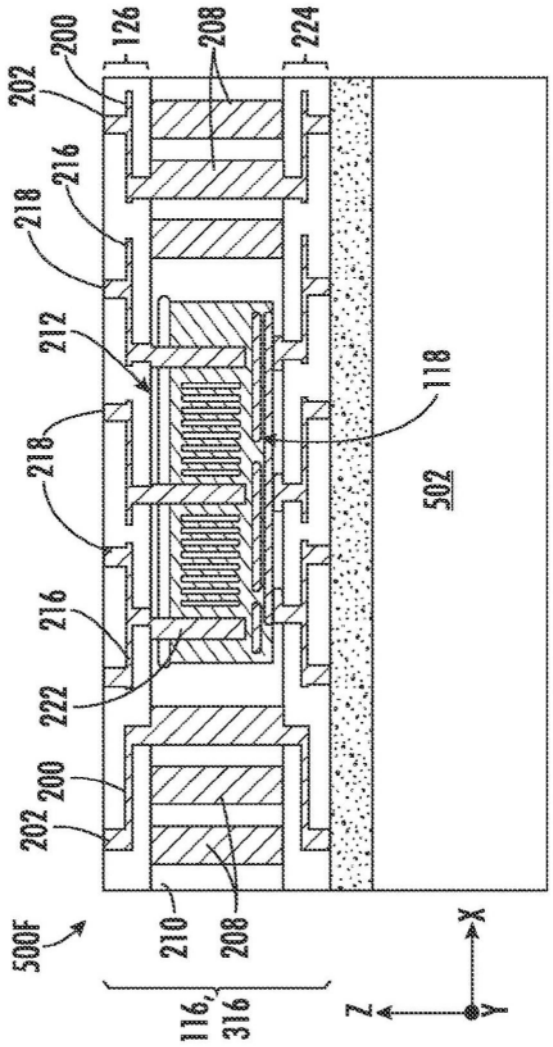

126
208
224
200
202
216
218
212
118
502
218
216
222
200
202
210
208
500F
116、316
Z
X
Y

图5F

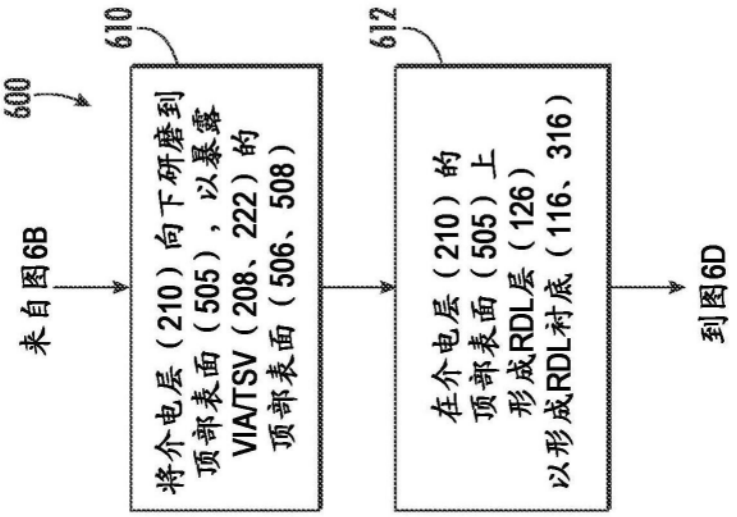

600
610
612
来自图6B
将介电层（210）向下研磨到顶部表面（505），以暴露VIA/TSV（208、222）的顶部表面（506、508）
在介电层（210）的顶部表面（505）上形成RDL层（126）以形成RDL衬底（116、316）
到图6D

图6C

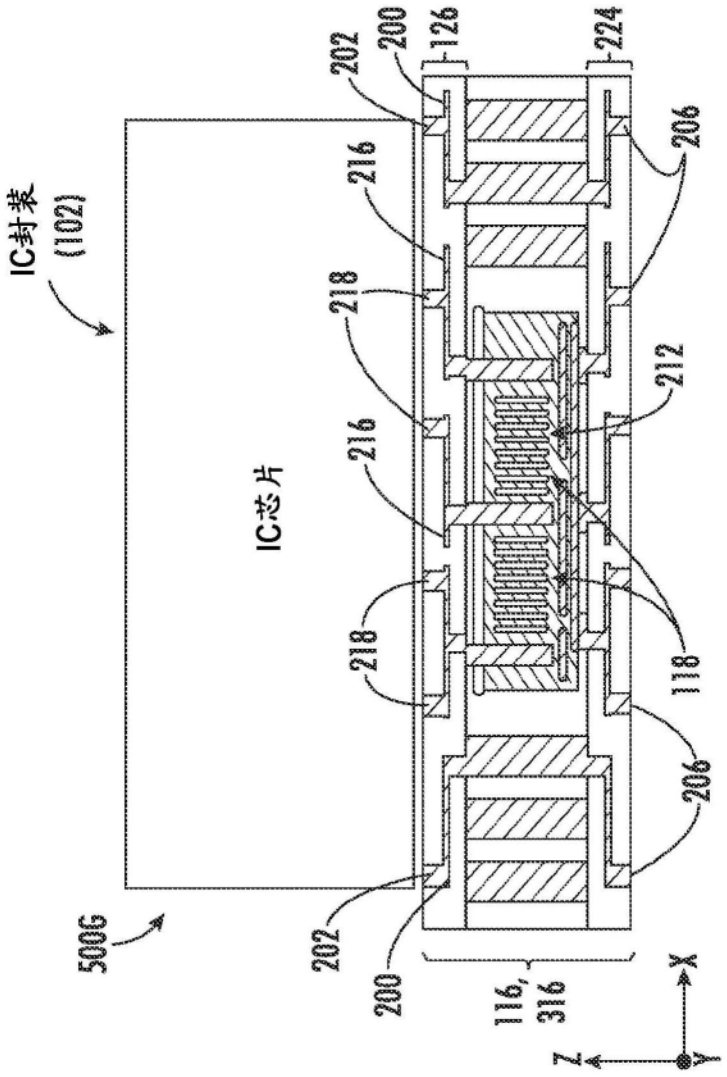

IC封装
(102)
IC芯片
500G
202
200
126
224
206
216
218
212
118
116,
316
X
Y
Z

图5G

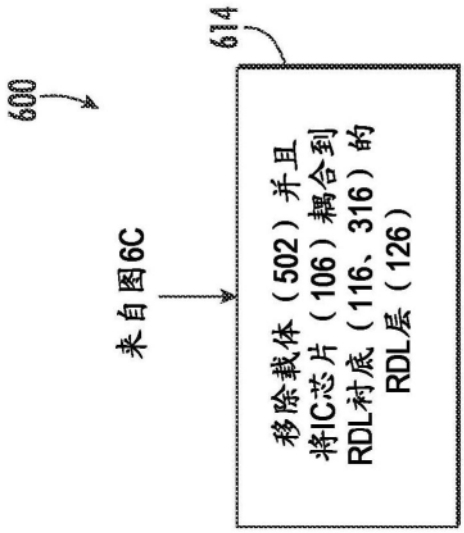

600
614
来自图6C
移除载体（502）并且
将IC芯片（106）耦合到
RDL衬底（116、316）的
RDL层（126）

图6D

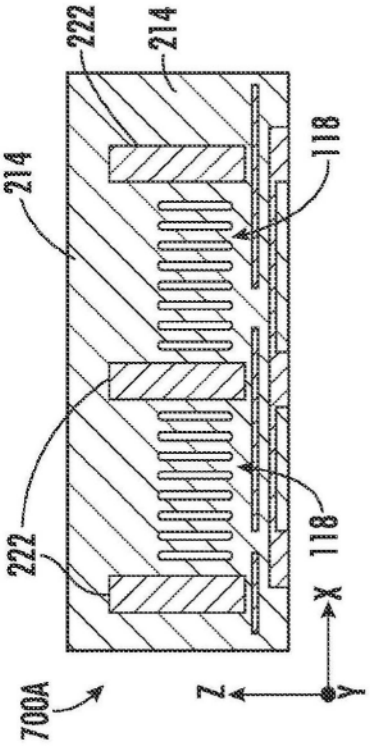

222
214
214
118
222
118
700A
Z
X
Y

图7A

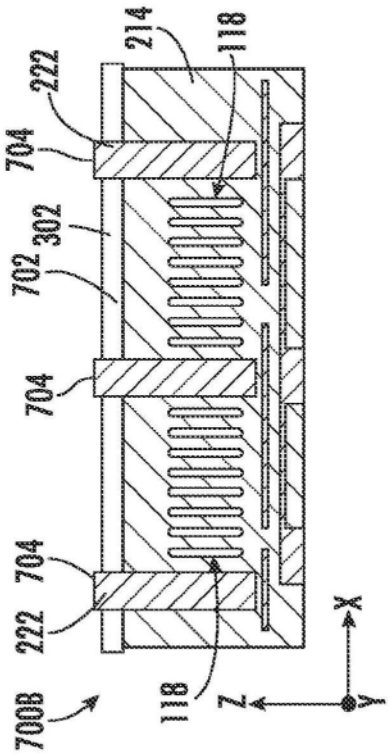

214
118
222
704
302
702
704
704
222
118
700B
Z
X
Y

图7B

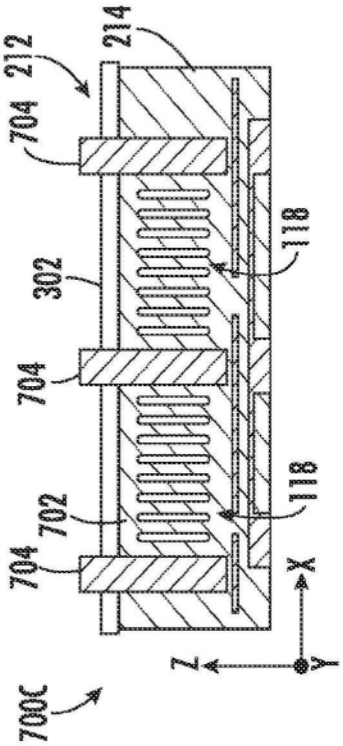

212
214
704
118
302
704
118
702
704
700C
Z
X
Y

图7C

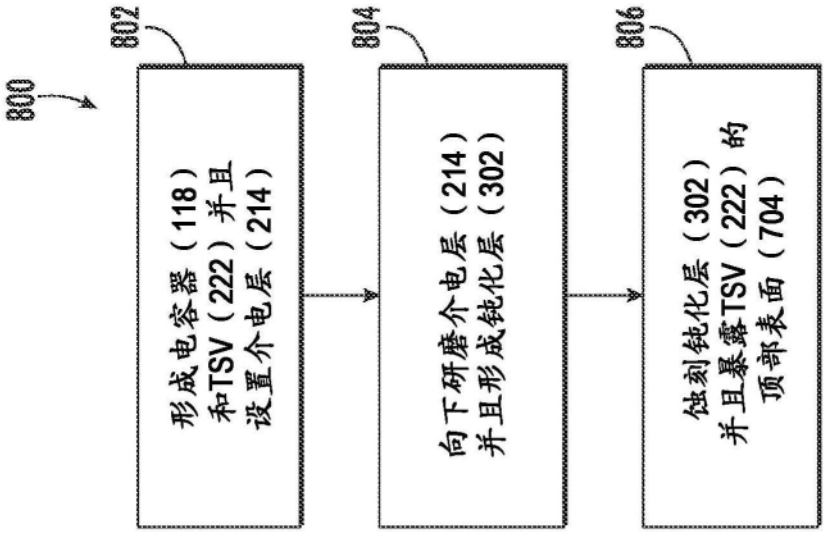
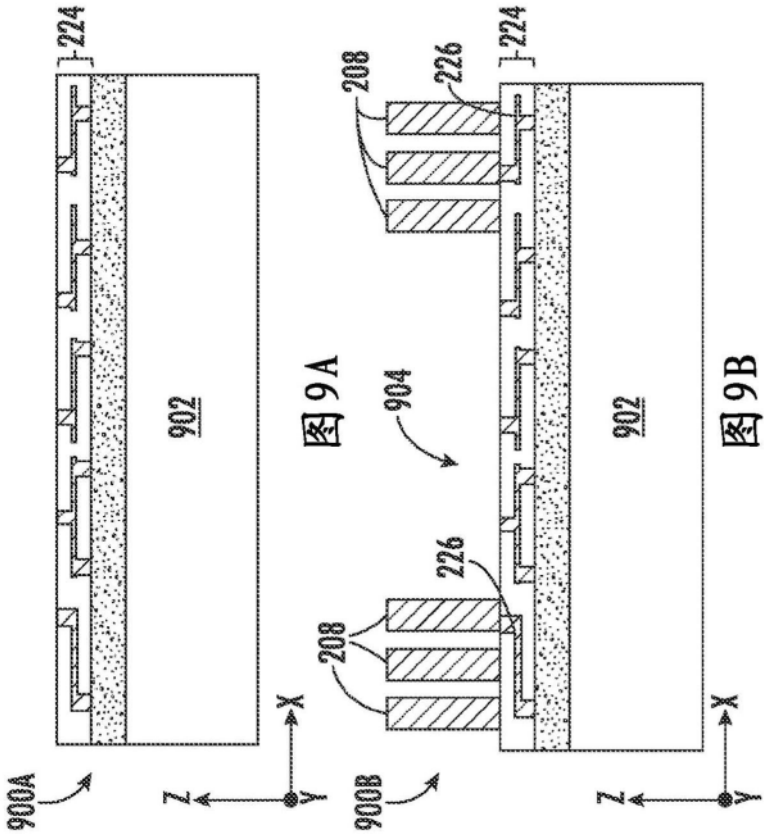

800
802
形成电容器（118）和TSV（222）并且设置介电层（214）
804
向下研磨介电层（214）并且形成钝化层（302）
806
蚀刻钝化层（302）并且暴露TSV（222）的顶部表面（704）

图8


224
902
900A
Z
X
Y
图9A
904
208
226
224
902
900B
Z
X
Y
图9B

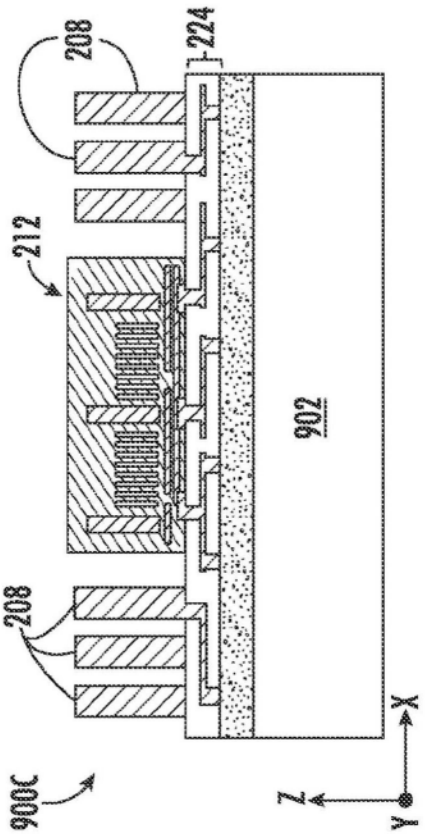

208
224
212
902
208
900C
Z
X
Y

图9C

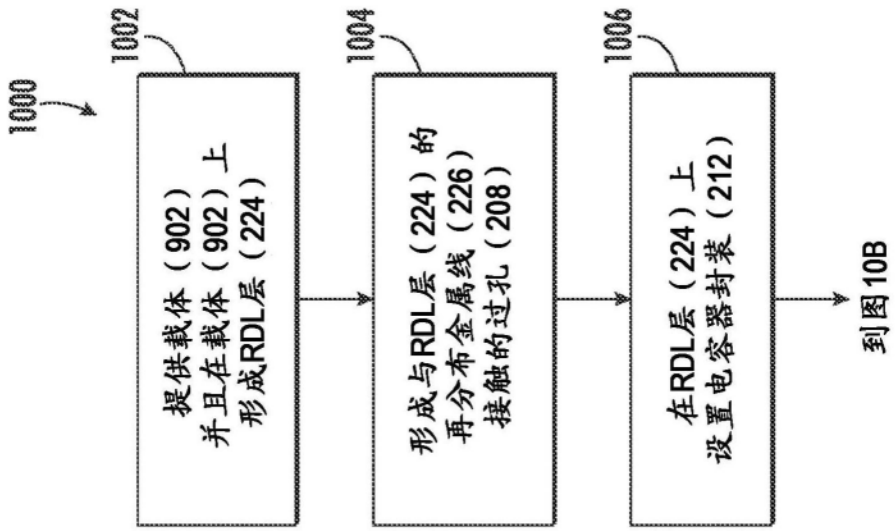

1000
1002
提供载体（902）
并且在载体（902）上
形成RDL层（224）
1004
形成与RDL层（224）的
再分布金属线（226）
接触的过孔（208）
1006
在RDL层（224）上
设置电容器封装（212）
到图10B

图10A

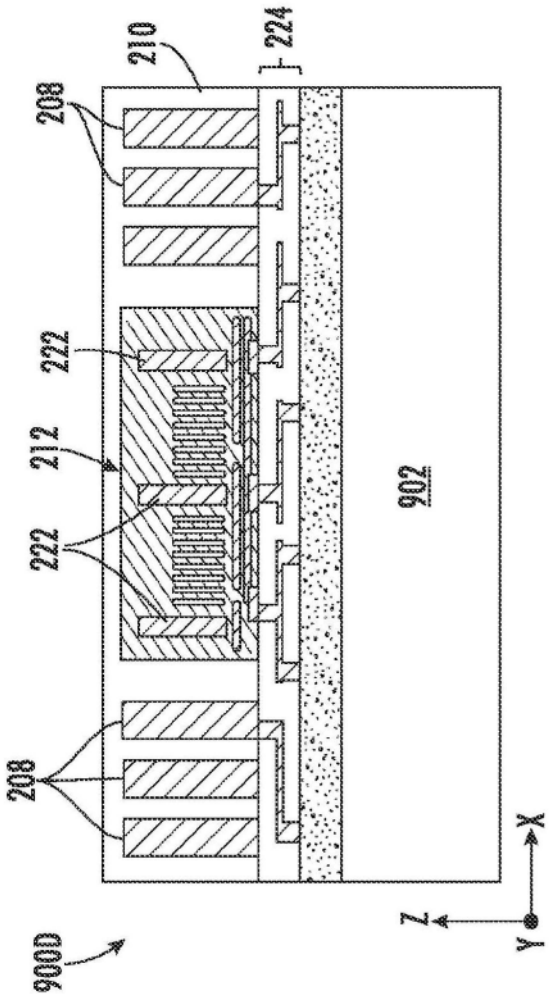


图9D

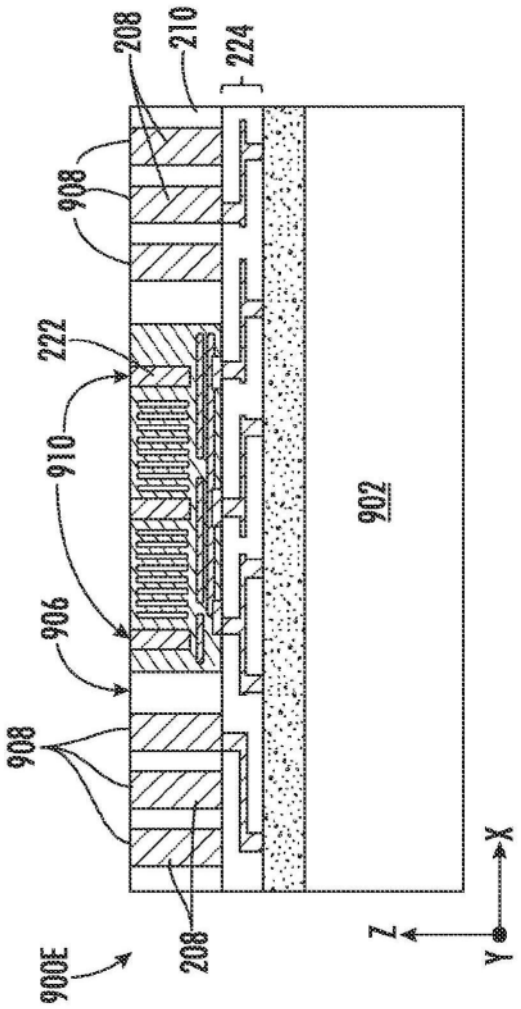

208
210
224
908
222
910
906
902
908
900E
208
Z
X
Y

图9E

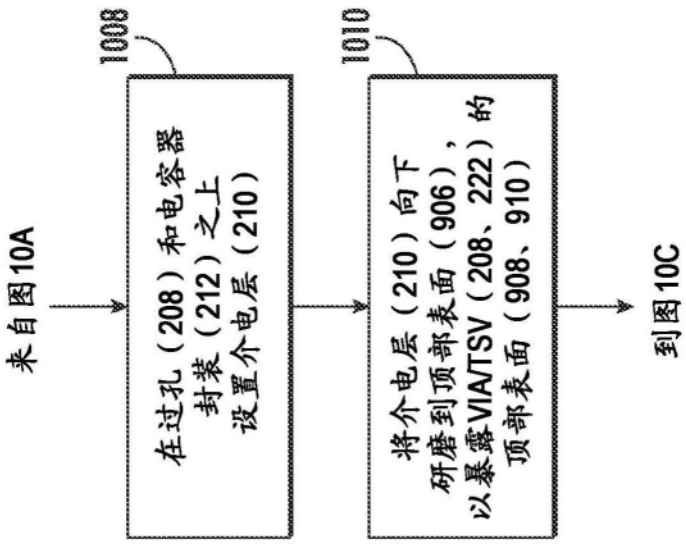

来自图10A
1008
在过孔（208）和电容器封装（212）之上设置介电层（210）
1010
将介电层（210）向下研磨到顶部表面（906），以暴露VIA/TSV（208、222）的顶部表面（908、910）
到图10C

图10B

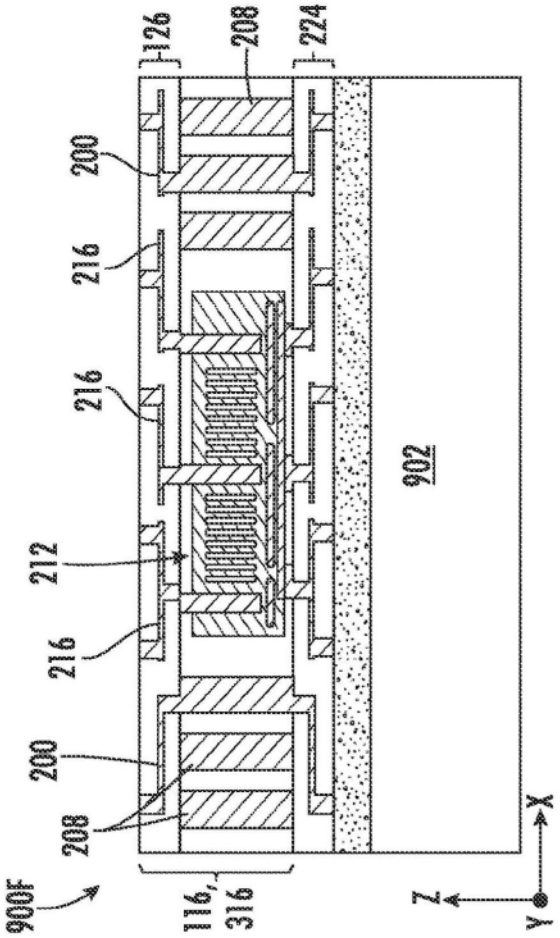


图9F

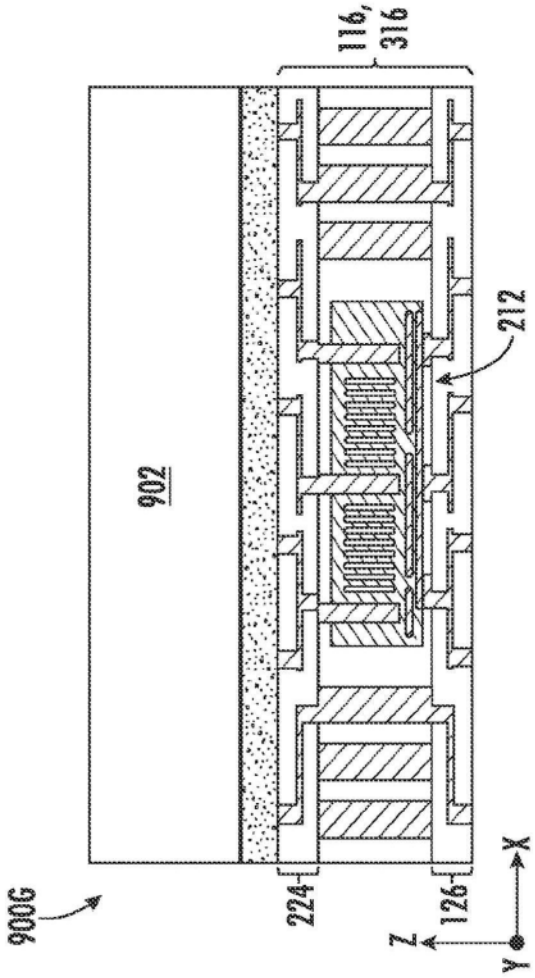

116,
316
212
902
900G
224
126
Z
X
Y

图9G

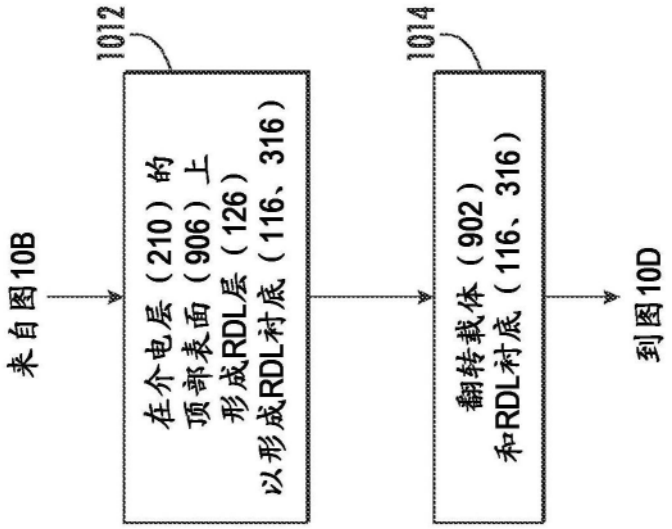

1012
在介电层（210）的
顶部表面（906）上
形成RDL层（126）
以形成RDL衬底（116、316）
1014
翻转载体（902）
和RDL衬底（116、316）
来自图10B
到图10D

图10C

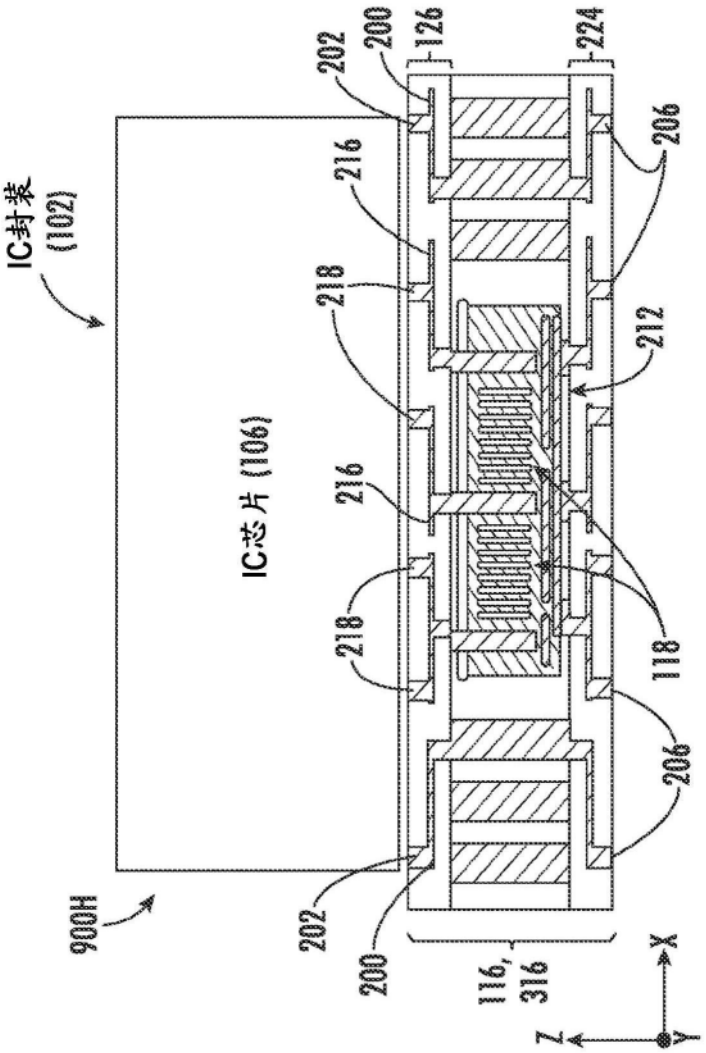

IC封装
(102)
IC芯片(106)
900H
202
200
126
224
206
216
218
212
118
116,
316
Z
X
Y

图9H

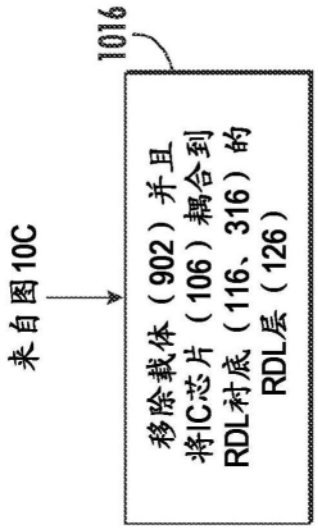

1016
来自图10C
移除载体（902）并且
将IC芯片（106）耦合到
RDL衬底（116、316）的
RDL层（126）

图10D

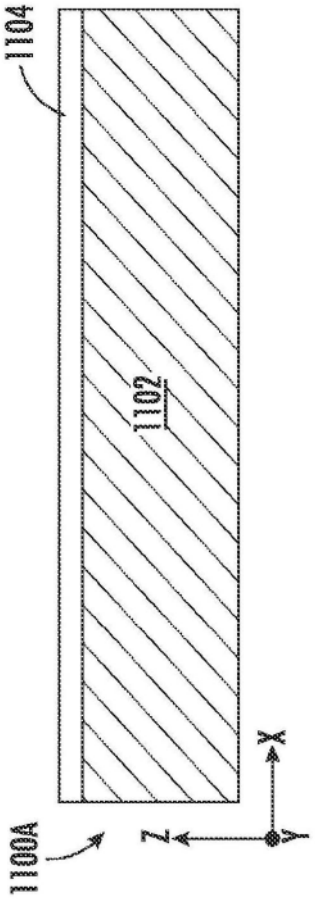


图11A

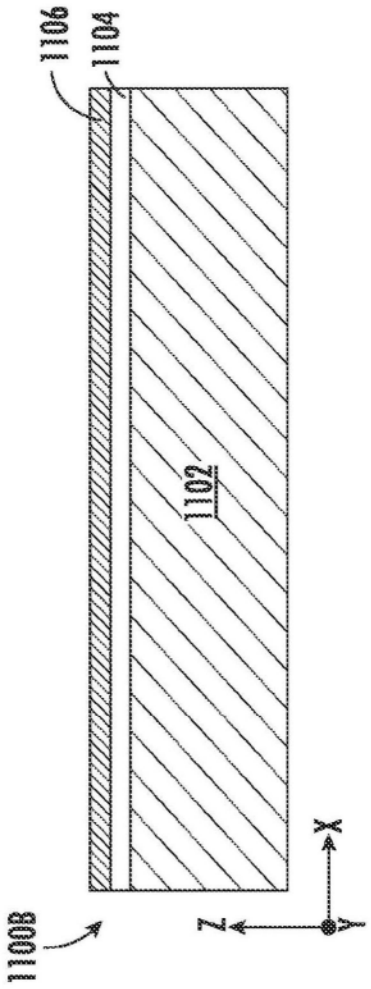


图11B

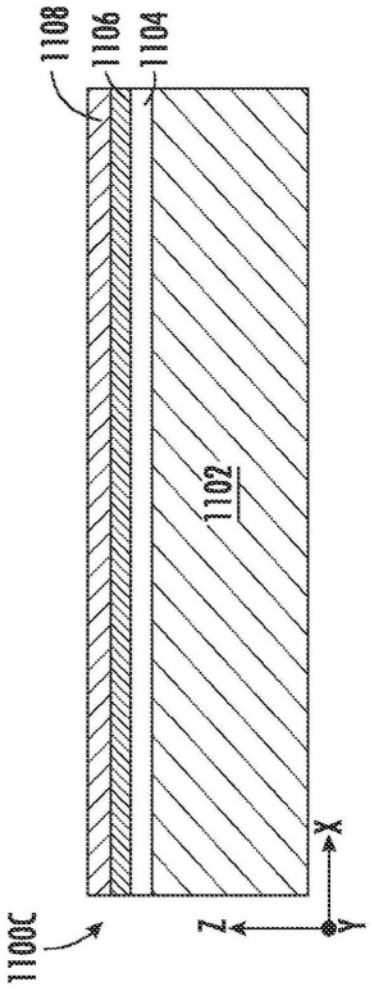

1108
1106
1104
1102
1100C
Z
X
Y

图11C

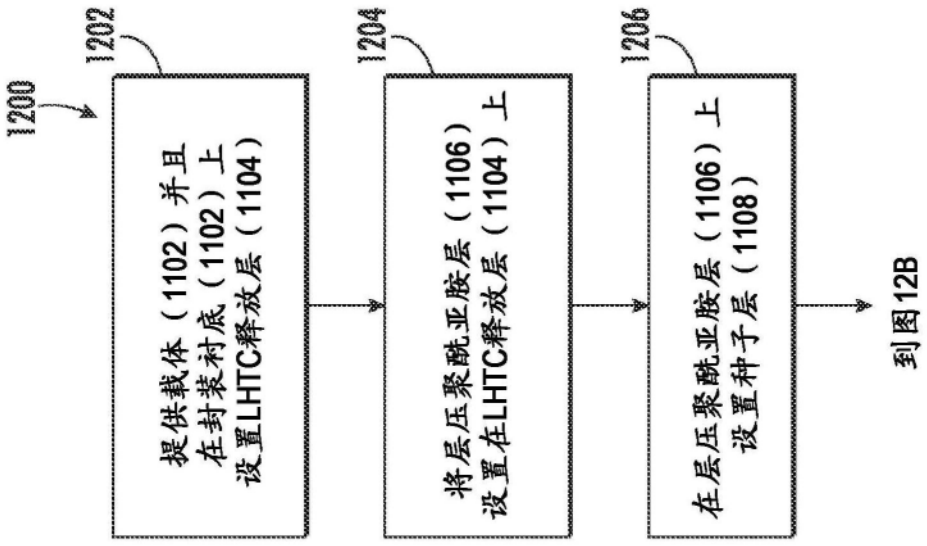

1200
1202
提供载体（1102）并且
在封装衬底（1102）上
设置LHTC释放层（1104）
1204
将层压聚酰亚胺层（1106）
设置在LHTC释放层（1104）上
1206
在层压聚酰亚胺层（1106）上
设置种子层（1108）
到图12B

图12A

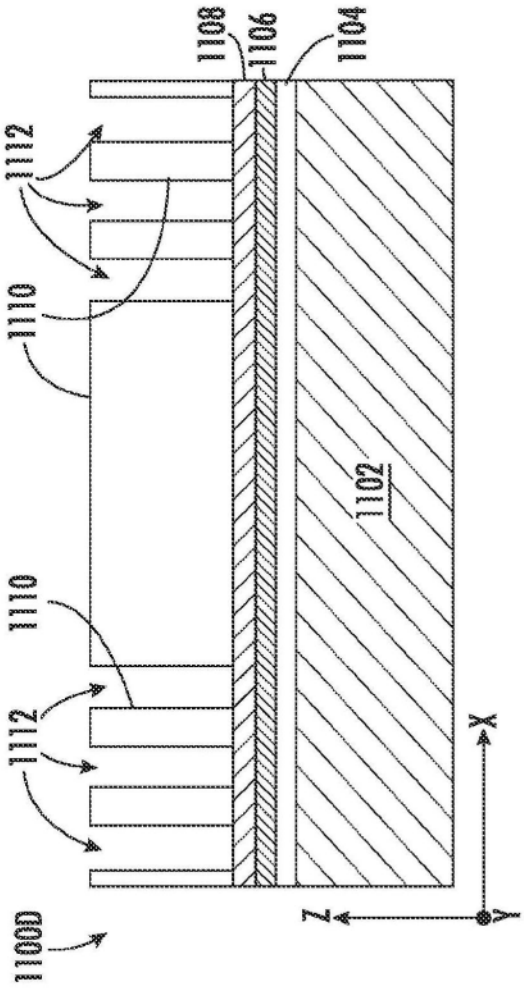


图11D

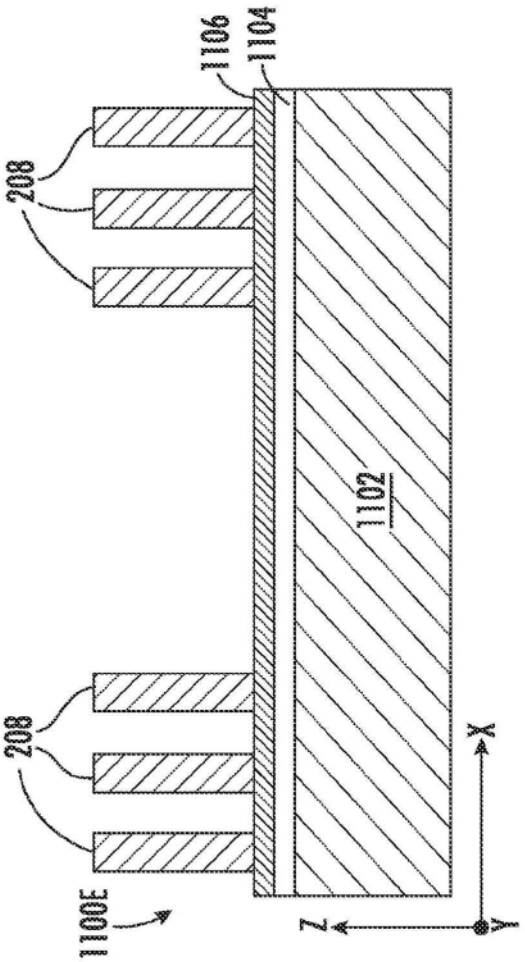

1106
1104
208
208
1102
X
Z
Y
1100E

图11E

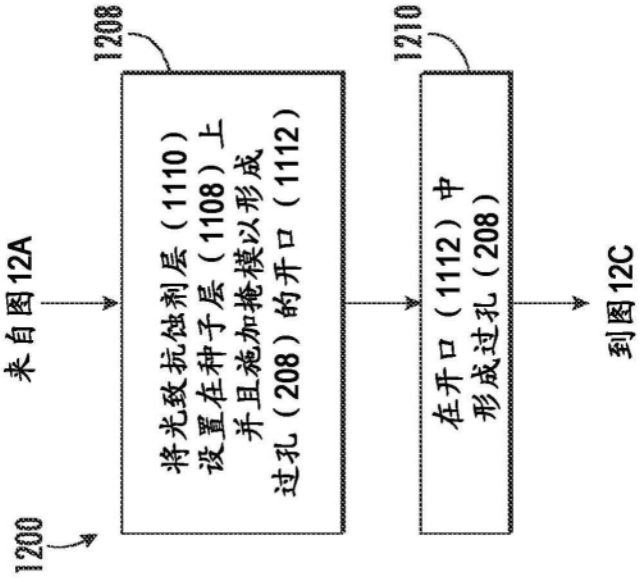

1208
1210
来自图12A
将光致抗蚀剂层（1110）
设置在种子层（1108）上
并且施加掩模以形成
过孔（208）的开口（1112）
在开口（1112）中
形成过孔（208）
到图12C
1200

图12B

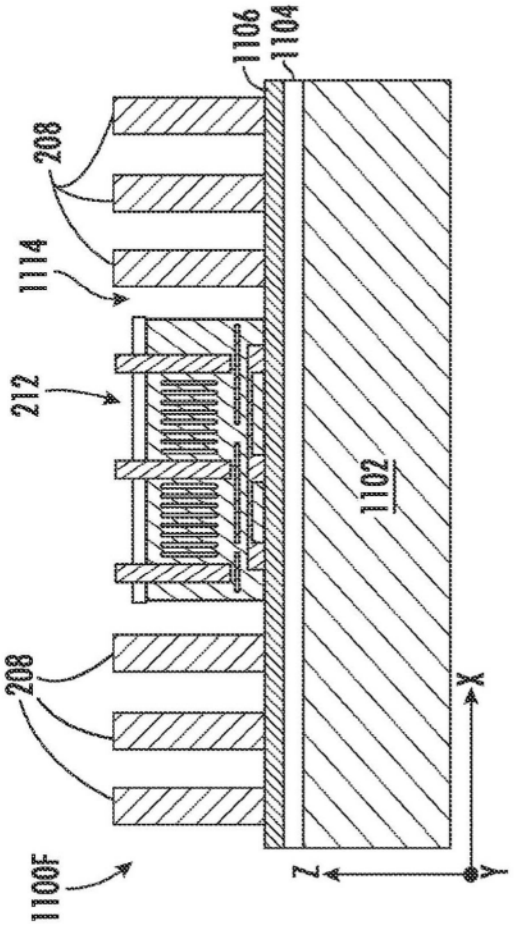


图11F

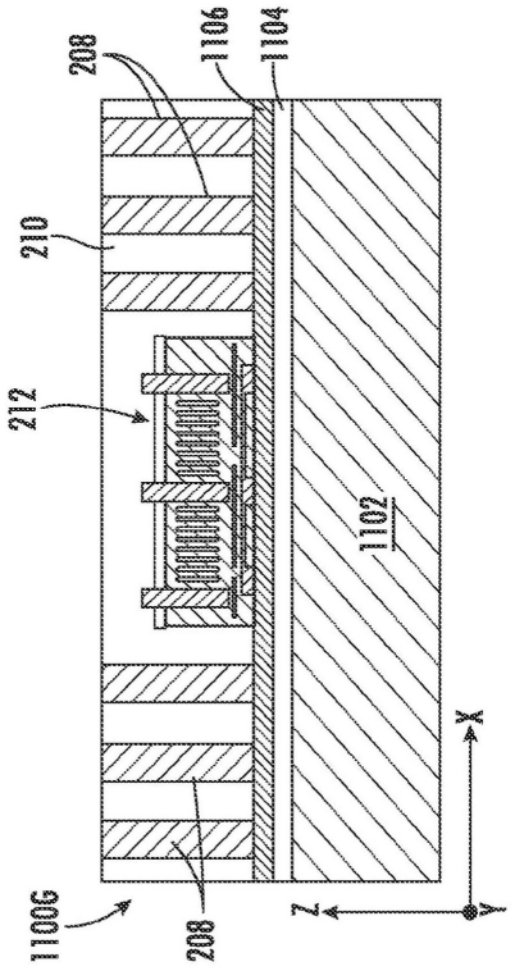

208
1106
1104
210
212
1102
X
Z
Y
1100G
208

图11G

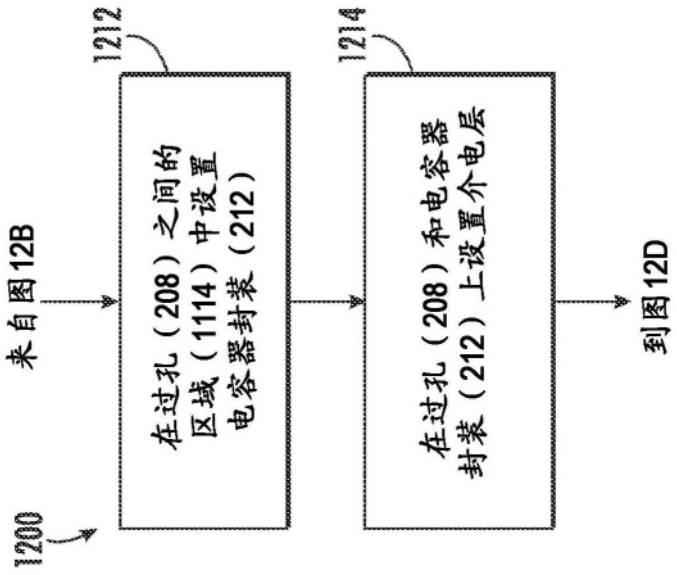

1212
1214
来自图12B
在过孔（208）之间的区域（1114）中设置电容器封装（212）
在过孔（208）和电容器封装（212）上设置介电层
到图12D
1200

图12C

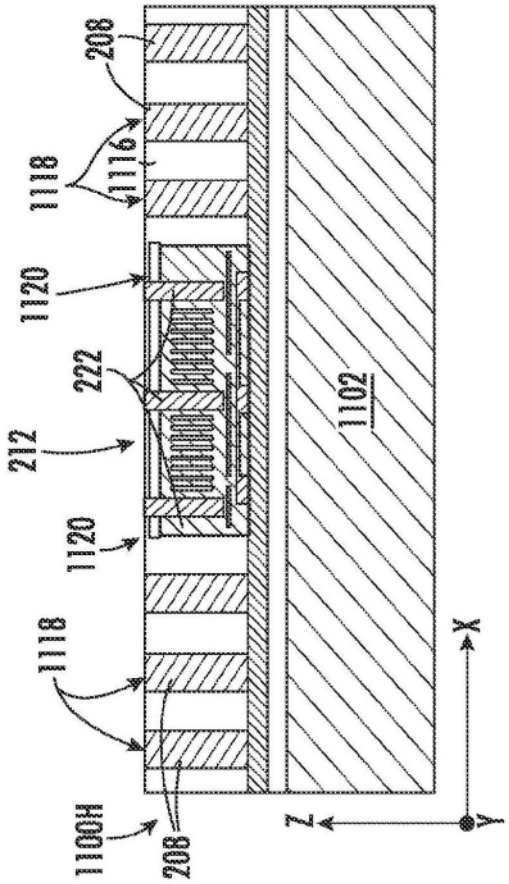


图11H

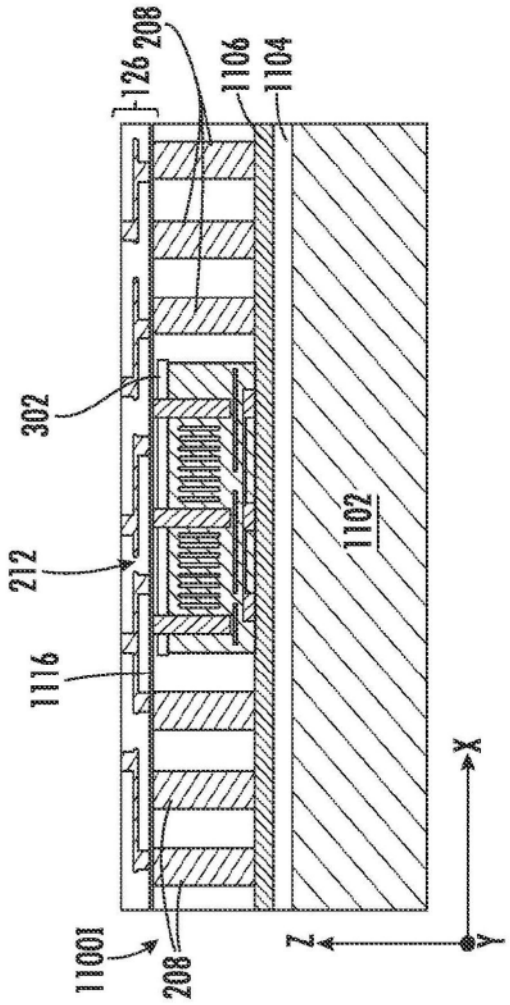

1126
208
1106
1104
302
212
1102
1116
X
Z
Y
11001
208

图11I

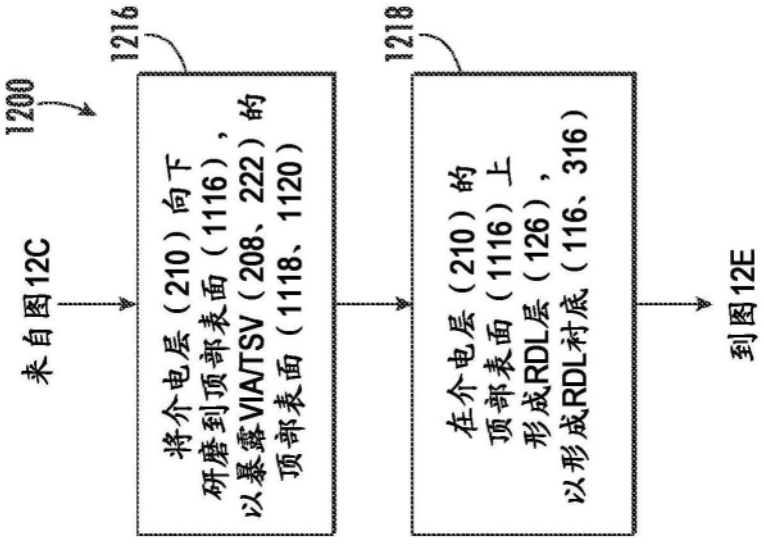

1200
来自图12C
1216
将介电层（210）向下
研磨到顶部表面（1116），
以暴露VIA/TSV（208、222）的
顶部表面（1118、1120）
1218
在介电层（210）的
顶部表面（1116）上
形成RDL层（126），
以形成RDL衬底（116、316）
到图12E

图12D

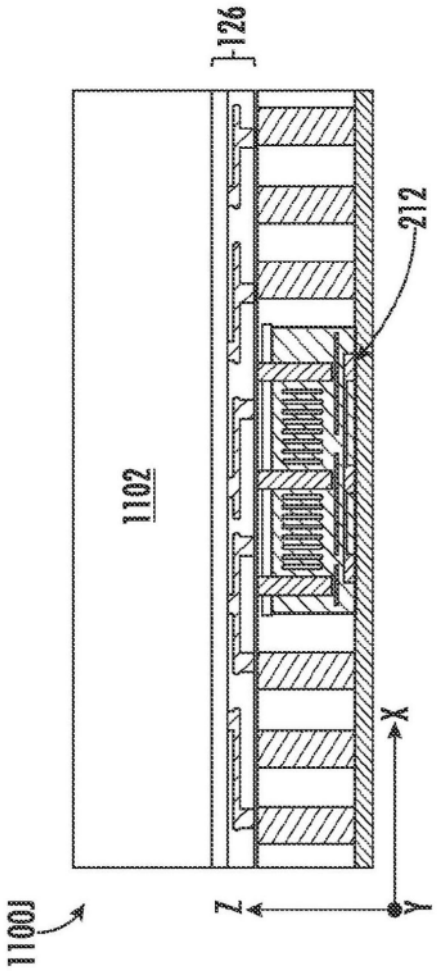


图11J

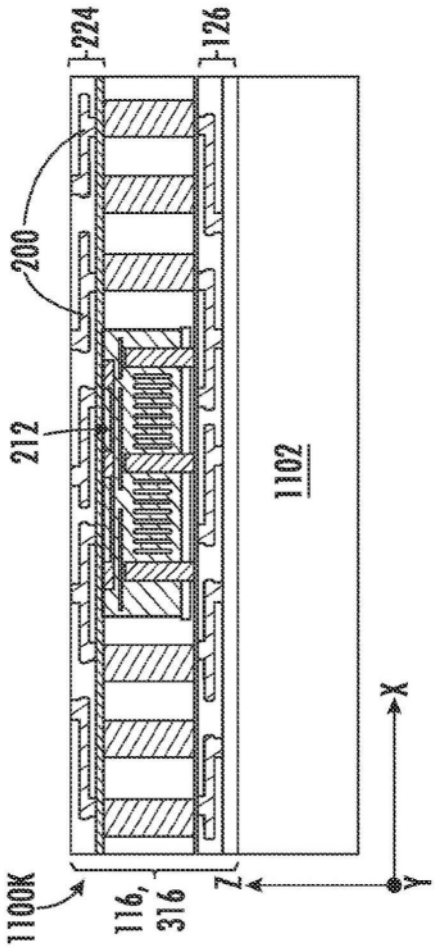

224
126
200
212
1102
X
Y
Z
1100K
116,
316

图11K

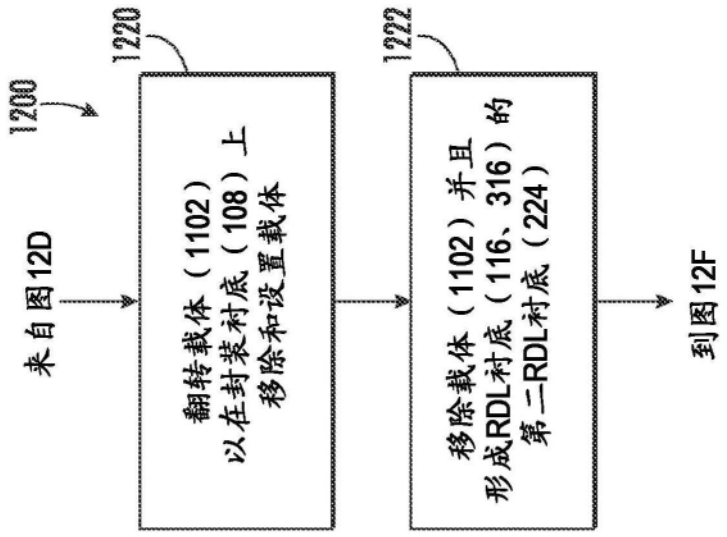

1200
来自图12D
1220
翻转载体（1102）
以在封装衬底（108）上
移除和设置载体
1222
移除载体（1102）并且
形成RDL衬底（116、316）的
第二RDL衬底（224）
到图12F

图12E

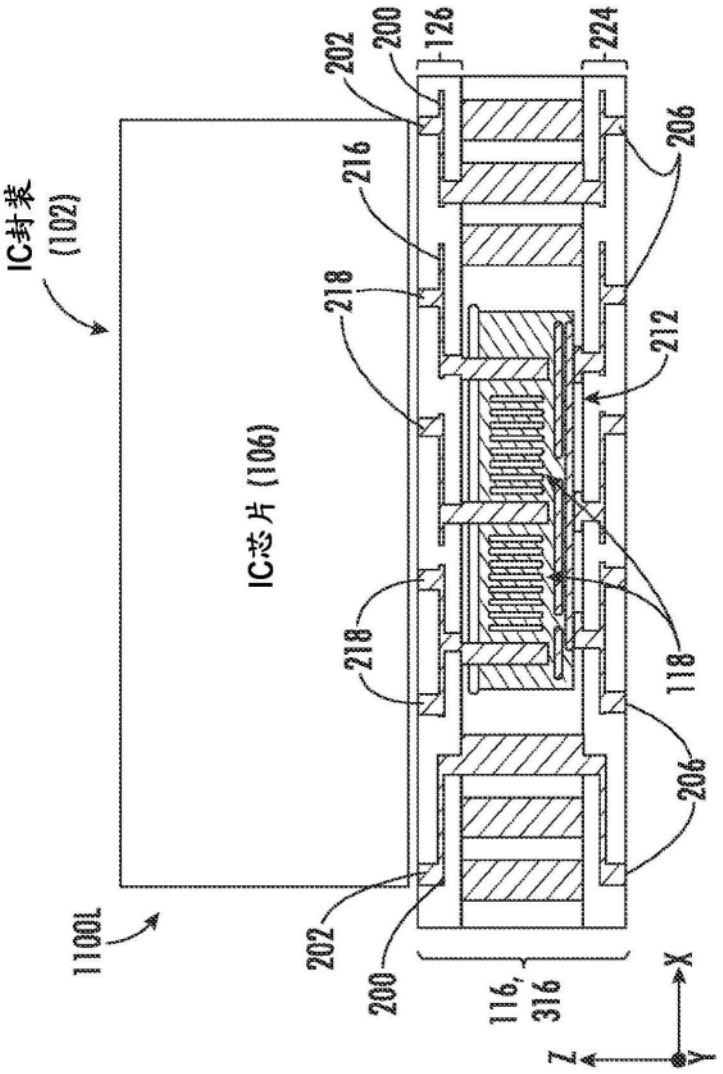

IC封装
(102)
IC芯片 (106)
1100L
202
200
126
224
206
216
218
212
118
116,
316
X
Y
Z

图11L

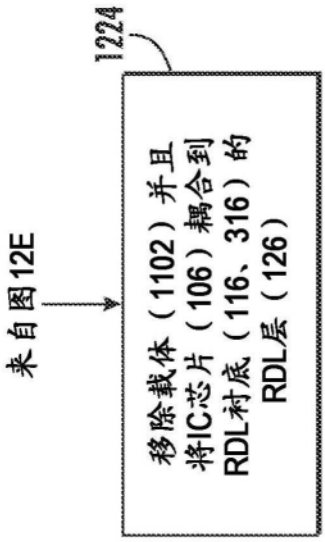

1224
移除载体（1102）并且
将IC芯片（106）耦合到
RDL衬底（116、316）的
RDL层（126）
来自图12E

图12F

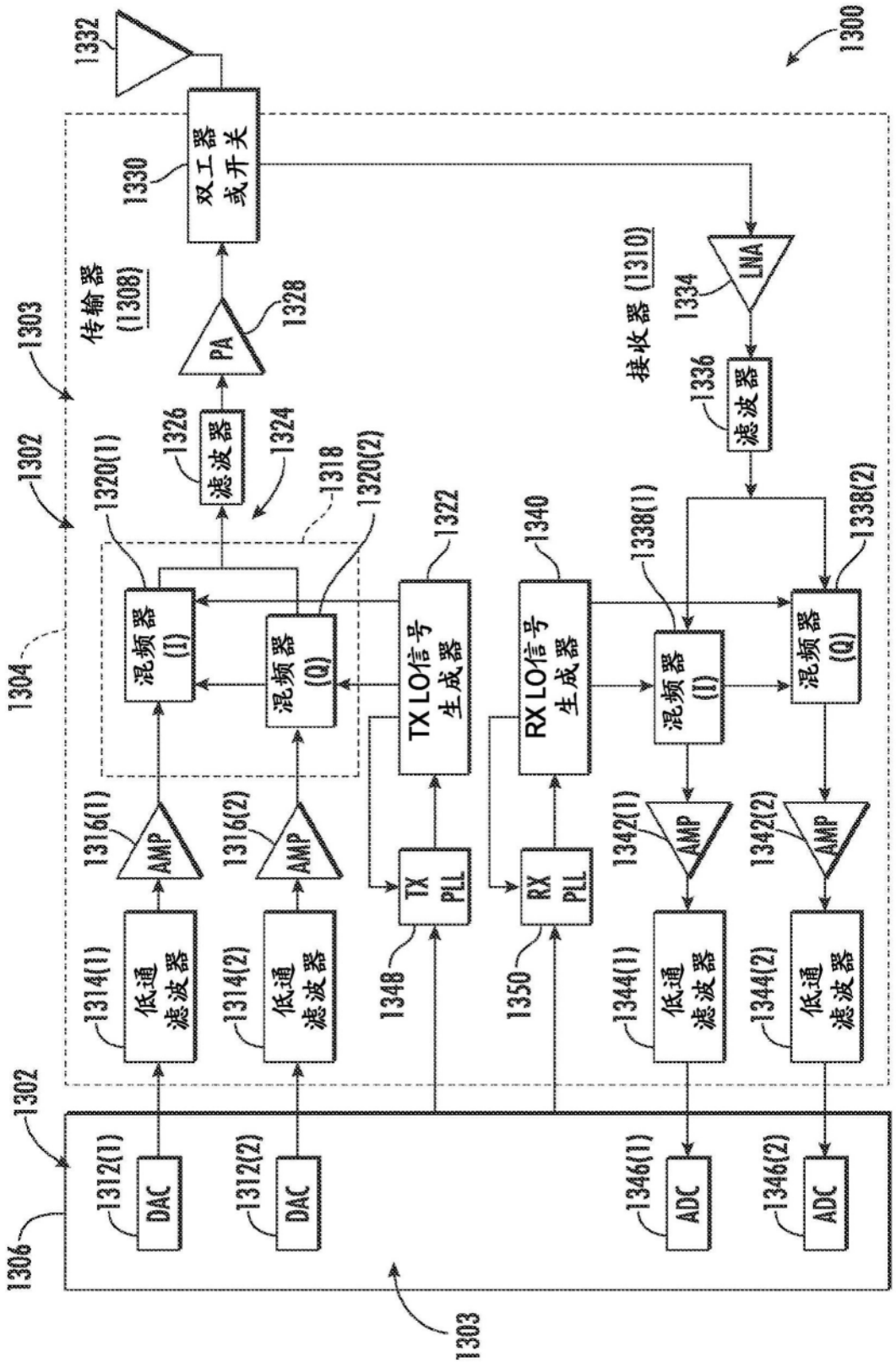

1300
1332
1330
双工器或开关
传输器(1308)
1328
PA
1326
滤波器
1324
1303
1302
1320(1)
1318
1320(2)
1322
1340
1338(1)
1338(2)
1304
混频器(I)
混频器(Q)
TX LO信号生成器
RX LO信号生成器
混频器(I)
混频器(Q)
接收器(1310)
1334
LNA
1336
滤波器
1316(1)
1316(2)
AMP
AMP
1342(1)
1342(2)
AMP
AMP
1314(1)
1314(2)
低通滤波器
低通滤波器
TX PLL
RX PLL
1348
1350
1344(1)
1344(2)
低通滤波器
低通滤波器
1302
1312(1)
1312(2)
DAC
DAC
1346(1)
1346(2)
ADC
ADC
1306
1303

图13