

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2004年12月2日(02.12.2004)

PCT

(10)国際公開番号
WO 2004/104819 A1

(51)国際特許分類⁷:

G06F 7/00

(21)国際出願番号:

PCT/JP2004/001526

(22)国際出願日: 2004年2月13日(13.02.2004)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:

特願2003-146723 2003年5月23日(23.05.2003) JP
特願2003-271037 2003年7月4日(04.07.2003) JP

(71)出願人(米国を除く全ての指定国について):日本電信電話株式会社(NIPPON TELEGRAPH AND TELEPHONE CORPORATION)[JP/JP];〒1008116 東京都千代田区大手町二丁目3番1号 Tokyo (JP).

(72)発明者;および

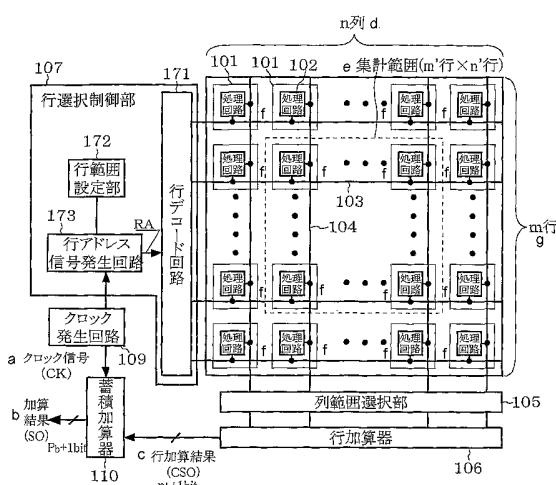
(75)発明者/出願人(米国についてのみ):島村俊重(SHI-MAMURA, Toshishige)[JP/JP];〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 森村浩季(MORIMURA, Hiroki)[JP/JP];〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 藤井孝治(FUJII, Koji)[JP/JP];〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 重松智志(SHIGEMATSU, Satoshi)[JP/JP];〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 町田克之(MACHIDA, Katsuyuki)[JP/JP];〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

(74)代理人:山川政樹(YAMAKAWA, Masaki);〒1000014 東京都千代田区永田町2丁目4番2号秀和溜池ビル8階 山川国際特許事務所内 Tokyo (JP).

[続葉有]

(54)Title: PARALLEL PROCESSING DEVICE AND PARALLEL PROCESSING METHOD

(54)発明の名称:並列処理装置及び並列処理方法



- 107...ROW SELECTION CONTROL UNIT
- 171...ROW DECODE CIRCUIT
- 172...ROW RANGE SETTING SECTION
- 173...ROW ADDRESS SIGNAL GENERATING CIRCUIT
- 109...CLOCK GENERATING CIRCUIT
- a...CLOCK SIGNAL (CK)
- b...RESULT OF ADDITION (SO) Pb+1bit
- 110...ACCUMULATION ADDER
- c...RESULT OF ROW ADDITION (CSO) nb+1bit
- d.. n COLUMNS
- 102...PROCESSING CIRCUIT
- e...CALCULATION RANGE (m' ROWS × n' COLUMNS)
- f...PROCESSING CIRCUIT
- g...m ROWS
- 105...COLUMN RANGE SELECTION SECTION
- 106...ROW ADDER

(57)Abstract: One of select signal lines (103) is selected by a select signal outputted from a row decode circuit (171) in relation to the row set by a row range setting section (172). The result of processing of the row by a processing circuit (102) is outputted to a data output line (104). The result of processing of a column set by a column range selecting section (105) is outputted to the data output line (104) and added by a column adder (106).

(57)要約: 行範囲設定部(172)に設定されている行に対応し、行コード回路(171)よりセレクト信号が出力されていすれかのセレクト信号線(103)を選択し、この行の処理回路(102)の処理結果をデータ出力線(104)に出力させ、列範囲選択部(105)に設定されている列のデータ出力線(104)に出力された処理結果を行加算器(106)で加算する。



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

並列処理装置及び並列処理方法

技術分野

本発明は、マトリクス状に配列された複数のセルに備えられた処理部による複数の処理結果を集計することで並列処理を行う並列処理装置に関わり、特に、高速にかつ正確に集計結果を集計する並列処理装置及び並列処理方法に関する。

背景技術

高速な情報処理を行うために、個別の処理を単純化して並列に処理する並列処理装置が開発されている。並列処理装置の一例として、単体で簡易な処理を行うセルをマトリクス状に配置したセルアレイとし、このセルアレイ内の各セルを並列に動作させるものがある。このような並列処理装置の応用例として、各セル内に指紋センサと指紋認証回路を持ち、全セルの並列動作により指紋センサで採取した指紋が登録されている指紋と同一であるかを判定する処理装置（特開2001-242771号公報参照）がある。また、各セルが画像処理回路を持ち、全セルの並列動作で、光学センサ等により取得した画像に対する各種画像処理を行う装置（J.C. Gealow ら "System Design for Pixel-Parallel Image Processing", IEEE Transaction on very large scale integration systems, vol. 4, no. 1, 1996参照）などがある。

上記のセルアレイで構成された並列処理装置に関して簡単に説明する。この並列処理装置は図21に示すように、処理回路を備えたセルがマトリクス状に複数配置され、各セルは制御回路から与えられたデータと命令を元に並列に処理を行う。各セルの並列処理が終了すると、制御回路は各セルの処理回路が出力した処理結果を集計し、全体の処理結果を生成して出力する。

セルを大量に備えている場合、各セル内の処理回路は簡略化され、各セル内の処理回路の処理結果は、真・偽もしくは数ビット程度のデータとなる。

セルアレイ構成の並列処理装置がよく用いられる応用例としては、画像処理がある。画像処理に並列処理を適用する場合、各セルが処理対象の画像を構成している数ドットに対して所定の処理を行う。例えば、パターンマッチングなどの画像処理を行う場合、各セルは、各セルに割り当てられた画像内のドットに対して画像処理を行い、照合結果として真・偽などを出力する。各処理の並列処理が終了した後、制御回路は、真の出力数を計数して集計し、集計した真の数により画像の一一致率などを計算し、パターンマッチング処理結果を生成する。

このように、大量の処理回路が独立・分散している並列処理装置では、各処理回路が処理した結果を収集する必要がある。このため、並列処理では、真・偽の集計などの収集を行う処理が高速でない場合、並列処理による演算高速化の効果が失われてしまう。

処理したデータを収集する並列処理装置の集計処理には、まず、DRAM (Dynamic Random Access Memory) などと同様にし、各セルから処理結果を読み出して集計する第1の方式がある。また、可変遅延時間回路を搭載したセルを直列に接続し、処理結果が出力される可変遅延回路の遅延時間をまとめて計測することで、処理結果の集計処理を高速に行う第2の方式（特開2001-166917号公報参照）も提案されている。

まず、DRAMなどと同様にして各セルから処理結果を読み出して集計する第1の方式について説明する。この方式では、図22に示すように、n行m列に配列された複数のセル2201を備えている。各セル2201の処理回路2202の入力が、セレクト信号線2203に接続され、出力がデータバス2204に接続されている。セレクト信号線2203は、配列された処理回路2202の行毎に共通に接続され、データバス2204は、配列された処理回路2202の列毎に共通に接続されている。

行選択制御部2205内のアドレス信号発生回路2206では、クロック発生回路2210が出力するクロック信号に合わせ、1行ずつ異なる行を逐次指定するアドレス信号を生成する。このようにして生成されるアドレス信号が、デコード回路2207を介して所定セレクト信号線2203に送出されることで、アドレス信号が送出されたセレクト信号線2203のある行のセルが選択される。選

択された行においては、各々の処理回路 2202 より、処理回路 2202 の処理結果（真OR偽）が output され、データバス 2204 を介してセレクタ回路 2208 に入力される。従って、上記行クロック信号に合わせ、一行毎に複数の処理回路 2202 から処理結果が output される。

以上のように各処理回路 2202 より出力された処理結果は、データバス 2204 によりセレクタ回路 2208 に送出される。セレクタ回路 2208 では、データバス 2204 より 1 行毎に複数の処理結果を受け付け、受け付けた複数の処理結果を、1 行毎にカウンタ 2209 に送出する。このようにして送出された各処理回路 2202 の処理結果は、カウンタ 2209 にカウントされる。カウンタ 2209 では、各処理回路 2202 の処理結果（例えば真）を全て集計し、処理結果の加算結果を output する。

これらのことにより、カウンタ 2209 より、各処理回路 2202 より出力された処理結果（例えば真の数）の合計が得られる。

例えば、予め記録されている基準凹凸と検出した凹凸とが一致した場合、処理回路 2202 が上述した真を出力するようにすれば、図 22 に示す構成により、セル 2201 を配列した領域で検出される表面（指紋）形状を照合することができる。この場合、真が出力されたセルの数が、全セルの 80% を超えていれば、検出された指紋形状と、予め記録されている指紋データとが一致したものと判断（認証）できる。なお、全てのセルの基準凹凸を合わせたものが、指紋データである。

次に、前述した第 2 の方式について説明する。この方式では、図 23 に示すように、各セル 2301 は、処理回路 2302 とこの処理結果により進行の通過時間を変化させる可変遅延回路 2303 とを備えている。複数のセル 2301 は、可変遅延回路 2303 を介して直列に接続されている。可変遅延回路 2303 は、例えば、駆動力の異なるインバータ回路で構成され、各セル 2301 の処理回路 2302 の出力結果（真OR偽）は、各遅延回路 2303 の信号伝播時間に反映される。

このように直接に接続された複数のセル 2301 に対し、制御回路 2304 より測定入力信号が送出されると、送出された測定入力信号は、まず、先頭のセル

2301の可変遅延回路2303に入力され、各セル2301の可変遅延回路2303を通過し、最後のセル2301の可変遅延回路2303を通過し、測定出力信号として遅延カウンタ2305に入力する。

ここで、可変遅延回路2303は、処理回路2302の処理結果が真のとき、通過する信号の基本遅延に、所定の追加遅延を与えるものとする。すると、全てのセル2301を通過した測定出力信号は、上記基本遅延時間に全てのセルの数を乗じた基本遅延時間に、上記追加遅延に「処理回路2302が真を出力したセル2301の数（真のセル数）」を乗じた追加遅延時間だけ遅れて、遅延カウンタ2305に入力されることになる。一方、制御回路2304より出力される測定入力信号は、セル2301を通過せずに、遅延カウンタ2305にも出力される。

遅延カウンタ2305では、直接入力される測定入力信号の入力時刻と、最後のセル2301を通過した測定出力信号と入力時刻との差を取り、この時間差により真となったセル2301の数を計数する。

測定出力信号が遅延カウンタ2305に入力する時刻は、測定入力信号が出力されてから、基本遅延×セル数+追加遅延×真のセル数だけ遅れることになり、この遅れが計測されることになる。基本遅延、追加遅延、セルの数は予め既知であるので、計測された遅れから基本遅延×セル数を減じ、この値を追加遅延で除すれば、真のセル数が算出できる。

例えば、処理回路2302が、予め記録されている基準凹凸と、検出した凹凸とが一致した場合、上述した真を出力するようにすれば、図23に示す構成により、セル2301を配列した領域で検出される表面（指紋）形状を照合することができる。この場合、真が出力されたセルの数が、全セルの80%を超えていれば、検出された指紋形状と、予め記録されている指紋データとが一致したものと判断（認証）できる。なお、全てのセルの基準凹凸を合わせたものが指紋データである。

しかしながら、前述した従来の第1の方式では、各行毎にセルの処理結果をカウンタに転送しているが、カウンタではセル毎に処理結果を集計していることになる。このため、従来の第1の方式では、配列の数が増えてセルの数が増加すれ

ば、これに連動して集計のためにより多くの時間が必要になる。例えば、第1の方式を、前述したように指紋の認証を行う装置に適用した場合、精度を上げるためにセル数を増加させると、真となったセルの集計に要する時間が増大して認証処理に多くの時間を要し、利便性が低下するという問題があった。

また、上記の第2の方式では、可変遅延回路に駆動力の異なるインバータ回路の信号伝播の違いを利用していているため、精度を確保するのが困難であり、集計結果に誤差が生じていた。例えば、図23に示した第2の方式を指紋認証を行う装置に適用した場合、真となったセルの数により認証を行っているため、集計結果に誤差が生じると、認証率を低下させ、高いセキュリティーを保てなくなるという問題があった。

さらに、上述したいずれの方式においても、配列された複数のセルの任意のセルを対象として集計を行うことができない。従って、上述した従来の技術では、例えば指紋認証に適用させた場合、検出した指紋の一部の範囲を比較照合することができない。

本発明は、以上のような問題点を解消するためになされたものであり、並列処理される複数のセルの処理結果を、従来より高速にかつ正確に集計できるようにし、また、任意のセルを対象とした処理の集計を可能とすることを目的とする。

発明の開示

本発明に係る並列処理装置は、マトリクス状に配列された複数のセルと、配列の行毎に設けられた複数のセレクト信号線と、設定されている行範囲に従っていざれかのセレクト信号線を選択する行範囲設定手段と、この行範囲設定手段によって選択されたセレクト信号線を選択するためのアドレス信号を所定の間隔で出力する行アドレス信号発生手段と、この行アドレス信号発生手段が出力したアドレス信号により指定されるセレクト信号線に対してセレクト信号を出力する行コード手段と、セル毎に設けられ、配列の行毎にセレクト信号線に接続し、所定の処理を行ってセレクト信号線を介したセレクト信号の入力により処理の結果を出力する処理部と、配列の列毎に設けられて各列の処理部に共通に接続し、処理部より出力される処理の結果を伝搬するデータ出力線と、設定されている列範囲

に従っていざれかのデータ出力線を選択する列範囲選択手段と、この列範囲選択手段によって選択されたデータ出力線に出力された処理結果を配列の行毎に加算して行加算結果を出力する行加算手段と、この行加算手段が出力した各行の行加算結果を、所定の間隔に同期して加算し、この加算結果を集計結果として出力する蓄積加算手段とを少なくとも備えるようにしたものである。

この装置によれば、マトリクス状に配列されたセルが備える処理部の処理結果が、所定の間隔で各セル毎に加算されるのではなく、所定の間隔で配列の行毎に一度加算され、これら行加算結果が上記所定の間隔に同期して加算されることで、処理部の処理結果が集計される。加えて、配列されたセルの中で、設定されている行範囲及び列範囲の中の処理部の処理結果が、集計される。

また、本発明に係る並列処理方法は、マトリクス状に配列された複数のセルに設けられた処理部が所定の処理を行う第1ステップと、上記配列の行毎に設けられた複数のセレクト信号線の中より設定されている行範囲に従っていざれかのセレクト信号線を選択する第2ステップと、選択されたセレクト信号線を選択するためのアドレス信号を生成する第3ステップと、生成されたアドレス信号により指定されるセレクト信号線に対してセレクト信号を出力する第4ステップと、セレクト信号が出力されたセレクト信号線に接続する複数の処理部より、配列の列毎に設けられた複数のデータ出力線に処理の結果を出力する第5ステップと、設定されている列範囲に従っていざれかのデータ出力線を選択し、選択したデータ出力線に出力された処理結果を加算して行加算結果を出力する第6ステップとを少なくとも備え、第2～第6ステップを配列の行毎に繰り返し、行毎に得られた行加算結果を加算するようにしてものである。

この方法によれば、マトリクス状に配列されたセルが備える処理部の処理結果が、所定の間隔で各セル毎に加算されるのではなく、所定の間隔で配列の行毎に一度加算され、これら行加算結果が所定の間隔に同期して加算されることで、全ての処理部の処理結果が集計されるようになる。加えて、配列されたセルの中で、設定されている行範囲及び列範囲の中の処理部の処理結果が、集計される。

図1は、本発明の実施例における並列処理装置の構成例を示す構成図である。

図2は、図1の処理回路102の構成例を示す構成図である。

図3は、図1の並列処理装置の動作例を示すタイミングチャートである。

図4は、図1の列範囲選択部105の構成例を示す構成図である。

図5Aは、図4の出力許可回路153の構成例を示す回路図である。

図5Bは、図4の出力許可回路153の構成例を示す回路図である。

図6は、図4の出力許可信号生成回路151の構成例を示す構成図である。

図7は、図6の記憶回路504の構成例を示す回路図である。

図8は、出力許可信号生成回路の他の構成例を示す構成図である。

図9は、反転回路701の構成例を示す回路図である。

図10は、出力許可信号生成回路の一部構成例を示す回路図である。

図11は、図1の行加算器106の構成例を示す構成図である。

図12は、ツリー型加算器の構成例を示す構成図である。

図13は、桁上げ加算器の構成例を示す構成図である。

図14は、行加算器の構成例を示す構成図である。

図15は、CS型加算器の構成例を示す構成図である

図16は、蓄積加算器の構成例を示す構成図である。

図17は、桁上げ加算器の構成例を示す構成図である。

図18は、行加算器と蓄積加算器の構成例を示す構成図である。

図19は、蓄積加算器のより詳細な構成例を示す構成図である

図20は、蓄積加算器のより詳細な構成例を示す構成図である

図21は、一般的な並列処理装置の構成を簡単に示す構成図である。

図22は、マトリクスに配列されたセルから構成された従来よりある並列処理装置の構成を示す構成図である。

図23は、従来よりある並列処理装置の構成を示す構成図である。

発明を実施するための最良の形態

以下、本発明の実施例について図を参照して説明する。

[実施例1]

図1は、本発明の第1の実施例における並列処理装置の構成例を示す構成図である。この並列処理装置は、まず、 m 行 n 列配列されたセル101、列範囲選択部105、行加算器106、行選択制御部107、及び蓄積加算器110から構成されている。各セル101は、所定の処理を行う処理回路102を備えている。行選択制御部107は、各セレクト信号線103に接続する行デコード回路171と、行範囲設定部172と行アドレス信号発生回路173とを備えている。また、各処理回路102の入力が、セレクト信号線103に接続され、出力がデータバス（データ出力線）104に接続されている。

行毎に設けられたセレクト信号線103は、行選択制御部107が備える行デコード回路171に接続し、列ごとに設けられたデータバス104は、列範囲選択部105を介して行加算器106に接続している。

処理回路102の例を示す。処理回路102は、図2に示すように、静電容量を検出するセンサ素子201と、センサ素子201で検出された容量を電気信号に変換してデジタルデータを出力するセンサ回路202と、登録形状（画像）の1セル（画素）分のデータを記憶するフリップ・フロップ204と、センサ回路202の出力およびフリップ・フロップの出力を比較して同一である場合「真」、異なる場合「偽」を出力する比較回路203とから構成されている。センサ素子201が検出した部分と、フリップ・フロップ204に記憶されている登録部分データとは、各セル毎に並列に比較され、この比較結果が、セレクト信号により制御されるスイッチ素子205を介してデータバス104に出力される。各セル101より得られる上述した処理結果を集計することで、例えば、指紋形状の一致度を求めることができる。

図1に示すように、複数のセル101は、マトリクス状に配列されており、センサ素子201も、マトリクス状に配列されることになる。したがって、これらで、2次元のセンサとなる。センサ素子201は、例えば、 $50 \mu m$ 角程度の寸法の静電容量型のセンサ素子であり、図1に示す並列処理装置は、複数のセンサ素子201がマトリクス状に配列された検出面を備えた指紋認証装置である。

マトリクス状に配列された複数の静電容量型のセンサ素子から検出面が構成された表面形状認識用センサによれば、検出面に接触している指の表面（指紋）の

各部分と、各センサ素子との間には各々容量が形成され、形成された容量がセンサ素子に検出される。各センサ素子に検出される容量は、指紋の凹凸に対応して変化し、センサ素子の配列に対応して凹凸による容量が検出される。従って、各センサ素子の箇所で検出されて各々の容量に対応して濃淡データを設ければ、指紋形状が再現できることになる。

ここで、センサ素子が配置されている各セル毎に、センサ素子が検出した値と登録されている値とを比較し、これら比較結果を集計することで、検出面により検出した指紋（形状）の認証を行うことが可能となる。

従って、図1、2に示す装置によれば、1チップで指紋認証装置が構成できる。また、本装置によれば、加算機能を各セル毎に設ける必要がないので、セルサイズの増大を抑制でき、一定面積内により多くのセル（センサ素子）を配置させることができるとなる。

以下、 m 行 n 列配列された複数のセルの中で、 m' 行 n' 列の範囲（図中点線で示す矩形の領域）で集計する場合について説明する。

セレクト信号線103に送出されるセレクト信号は、行選択制御部107内の行アドレス信号発生回路173から出力される行アドレス信号（RA）により

行アドレス信号発生回路173は、図3に示すように、クロック発生回路109より出力されるクロック信号（CK）に同期し、配列されているセル101の行を選択するための行アドレス信号（RA）を、行範囲設定部172に設定されている範囲内で、逐次選択して生成して出力する。出力された行アドレス信号（RA）は、行デコード回路171に入力する。行アドレス信号（RA）を入力した行デコード回路171は、行アドレス信号により指定される行に対してセレクト信号を出力する。

従って、行範囲設定部172に設定されている範囲外のセレクト信号線103は、選択対象外となる。ここでは、点線で示す集計範囲以外のセレクト信号線103が、選択対象外となる。

以上のようにしてセレクト信号が出力されたセレクト信号線103の行では、各セル101の処理回路102から、接続しているデータバス104に処理結果が出力される。この処理結果は、例えば真・偽のいずれかに対応する信号である。

以上のことにより、1行目の各処理回路102の処理結果、2行目の各処理回路102の処理結果、・・・が、クロック信号(CK)に同期して行毎に、列範囲選択部105を介して行加算器106に出力される。列範囲選択部105は、予め設定されている、選択された列だけのデータバスの値を出力する。各データバス104が接続している行加算器106は、同じ行の中の列範囲選択部105に選択された列にあるセル101の処理結果を、データバス104を介して受け付けて加算し、加算した結果を蓄積加算器110に出力する。従って、行加算器106は、図3に示すように、クロック信号(CK)に同期し、行毎の加算結果(行加算結果:CSO)を出力する。

また、蓄積加算器110は、図3に示すように、クロック信号(CK)に同期し、行加算器106よりクロック信号(CK)に同期して出力される行加算結果を加算する。行アドレス信号発生回路173から、最後の行を選択するための行アドレス信号(RA)が出力されると、蓄積加算器110より、設定された範囲内(m' 行× n' 列)のセル101の処理回路102より出力された処理結果の集計結果(最終結果)が出力される。

以下、図3に従って動作例を説明する。以下では、行範囲設定部172には、アドレスaの行から m' 行選択することが設定されているものとし、列範囲選択部105には、アドレスbの列から n' 列選択することが設定されているものとする。クロック発生回路109より出力されるクロック信号に同期し、行アドレス信号(RA)が変更され、行アドレスaから、セレクト信号線103(行)が選択されていく。

行アドレスが変更された後、行加算器106の処理時間の経過後に、行加算結果(CSO)が確定する。ここで、列範囲選択部105は、アドレスbの列から n' 列選択し、選択した列の出力のみを行加算器106に出力する。従って、行加算器106は、アドレスbの列から n' 列の範囲のみの加算結果を出力する。

蓄積加算器110は、行アドレス変更前までの加算結果(SO)に、行アドレスが変更されたときの行加算結果(CSO)を加算する。以上のことを、行アドレス $a+m'-1$ まで行うことで、 m' 行× n' 列の範囲の集計結果が確定される。

なお、例えば、行範囲設定部 172 には、行アドレス信号発生回路 173 によるスタートアドレスと行範囲 m' とが設定されていても良く、終了アドレスと行範囲 m' とが設定されていても良い。行範囲設定部 172 は、上述した範囲を示す設定値を保持するレジスタ回路などで構成できる。また、論理回路とカウンタ回路などにより、行アドレス信号発生回路 173 を構成することが可能である。

以上に説明したように、本実施例によれば、配列された各セル 101 の処理回路 102 より出力される処理結果を、クロック信号に同期して行毎に加算し、行毎の加算結果をさらに加算するようにした。この結果、従来のように、クロック信号に同期してセル毎に加算する場合に比較し、処理時間を $1/(1\text{行のセル数})$ すなわち $1/\text{列数}$ に低減することができる。また、デジタル信号のみで処理することで、集計結果の誤差を生じることなく、集計処理を行うことができる。

また、任意の（所定の）範囲のセルを選択して集計することが可能である。なお、上述では、 m' 行 $\times n'$ 行の範囲で集計する場合を例に説明したが、これに限るものではない。行範囲設定部 172 及び列範囲選択部 105 への設定により、分割された複数の範囲を集計することも可能である。

[実施例 2]

次に、列範囲選択部 105 についてより詳細に説明する。図 4 は、図 1 に示した並列処理回路における列選範囲選択部 105 の構成例を示す構成図である。図 4 に示す列範囲選択部 105 は、出力許可信号生成回路 151 と、列範囲設定部 152 と、各データバス 104 毎に対応して設けられた出力許可回路 153 とから構成されていることが特徴である。

出力許可回路 153 は、出力許可信号生成回路 151 から出力される出力許可信号に従い、データバス 104 からの信号の出力を制御する。出力許可信号が「許可」のときは、データバス 104 からの信号をそのまま出力し、出力許可信号が「不許可」の場合は、「0」（零）を出力する。これらのことにより、行加算器 106 の構成を変更することなく、指定された集計範囲（列範囲）のセル 101 の処理回路 102 の処理結果だけを加算することができる。

出力許可信号生成回路 151 は、列範囲設定部 152 に設定されている集計範囲に対応し、「許可」もしくは「不許可」のいずれかの出力許可信号を出力許可

回路 153 に出力する。図 5A、図 5B に、出力許可回路 153 の回路例を示す。図 5A、図 5B に示すように出力許可回路 153 は、AND ゲートを用いて実現できる。図 5A は、出力が許可される場合の状態を示し、図 5B は、出力が許可されない場合を示している。図 5A に示すように、出力許可信号が「1」のときは、データバスからの信号「a」が出力され、図 5B に示すように、出力許可信号が「0」のときは、信号「0」が出力されてデータバスからの信号「a」は出力されない。

なお、列範囲設定部 152 は、上述した列範囲の設定値を保持するレジスタ回路などで構成できる。また、出力許可信号生成回路 151 は、列範囲設定部 152 に設定されている設定値に対応した列の出力許可回路 153 のみが、「1」を出力するような回路を構成すればよい。

図 4 に示す列範囲選択部 105 により、列範囲設定部 152 に設定された列範囲のデータバス 104 のみの値だけを行加算器 106 に出力し、これら以外の列は「0」を出力するようにしたので、行加算器 106 の構成を変更することなく、指定された列のセルのデータだけを加算することができる。

[実施例 3]

次に、出力許可信号生成回路について、より詳細に説明する。図 6 は、図 4 に示した列範囲選択部 105 における出力許可信号生成回路 151 の構成例を示す構成図である。図 6 に示す出力許可信号生成回路 151 は、列デコード回路 501 と列アドレス信号発生回路 502 と初期化回路 503 と、各々の出力許可回路 153 に対応する複数の記憶回路 504 とから構成されていることが特徴である。

各記憶回路 504 は、出力許可回路 153 への出力許可信号を保持する。記憶回路 504 への出力許可信号の設定は、次に示すことにより行うことができる。まず記憶回路 504 を初期化回路 503 で初期化する。この後、出力を許可する列を列デコード回路 501 により選択することで、対応する記憶回路 504 へ各々の出力許可信号を設定する。出力を許可する列は、列範囲設定部 152 に設定されており、この設定値に対応した列アドレスが、列アドレス信号発生回路 502 から出力される。この出力される列アドレスに対応し、列デコード回路 501 は、例えば、出力を許可する制御の出力許可信号を記憶回路 504 に設定する。

図7に、記憶回路504の構成例を示す。図7に示すように、記憶回路504は、SRフリップフロップから構成することが可能である。SRフリップフロップは、リセット端子(R)に「1」が入力されると「0」が書き込まれ、出力(Q)からは「0」が出力される。また、セット端子(S)に「1」が入力されると、「1」が書き込まれて出力(Q)からは「1」が出力される。

このような記憶回路504を用いれば、列デコード回路501により選択された記憶回路504に、「1」を書き込むことで、対応する出力許可回路153に所定の出力許可信号を設定することができる。

なお、上述では、出力を許可する列の出力許可回路153に対し、列を特定するための信号として、出力許可信号「1」を設定する例を示したが、これらに限るものではない。例えば、初期化をするときに、全ての列が出力が許可された状態とし、出力を許可しない列に対応する出力許可回路だけに、所定の出力許可信号を設定するようにしてもよい。列範囲設定部152に設定されている状態に従い、選択された列に対応する記憶回路504と、他の記憶回路504とに設定する出力許可信号の状態が異なっていればよい。

以上に説明した本実施例の並列処理装置によれば、規則的なレイアウトが可能な列デコード回路を用い、また各列毎に記憶回路を配設するようにしたので、規則的なレイアウトが可能になり、小面積かつ簡略に出力許可信号生成回路を実現することができる。

[実施例4]

次に、他の形態の出力許可信号生成回路について、図8を用いて説明する。図8に示す出力許可信号生成回路151aは、図6の出力許可信号生成回路151に、反転回路701と初期値設定回路703を加えたものである。反転回路701は、記憶回路504より出力された反転許可信号が「許可」すなわち「1」のとき、入力した信号を反転して出力する。また、反転回路701は、記憶回路504より出力された反転許可信号が「不許可」すなわち「0」のとき、入力した信号と同じ信号を出力する。

反転回路701は、例えば、図9に示すように、排他的論理和(EOR)ゲートにより実現できる。図9に示すように各記憶回路より反転許可信号が出力され

る場合、出力許可信号が連續する列で比較した場合に変化する列に対応する反転回路 701 に、「許可」すなわち「1」の反転許可信号を設定すればよい。これら以外の列に対応する反転回路 701 には、「不許可」すなわち「0」の反転許可信号を設定する。

このようにすることで、出力許可をする全ての列の記憶回路に対して「1」を設定する必要が無くなる。

従って、例えば、 n' 列の範囲を選択する場合、この範囲の境界領域の列に対応する 2 つの記憶回路にのみ「1」を設定すれば良く、図 6 に示した例に比較して、設定回数が $2/n'$ に低減できる。このように、本実施例によれば、列範囲設定部 152 に設定されている状態に従い、選択された列に対応する記憶回路 504 と、他の記憶回路 504 とに設定する反転許可信号の状態が異なるようになることで、反転回路 701 を制御するようにしたので、出力許可信号生成回路の選択範囲の設定手順を、簡略化することが可能となる。

ところで、初期値設定回路 703 は、フリップフロップなどで実現することができ、信号の極性が予め決定されていれば、「0」又は「1」に対応する電位、すなわち接地電位や電源電位に短絡しておくようにしてもよい。なお、上述した実施例では、信号の極性が限定されるものではない。

また、図 10 に示すように、反転回路 801 に加えて論理回路 802 を設け、論理回路 802 により、反転許可信号と反転信号とを論理演算した結果を、出力許可回路に出力許可信号として出力してもよい。このようにすることで、列アドレスの設定範囲と列デコード回路の指定範囲とを同一とすることができます、利便性が向上する。論理回路 802 は、OR ゲートに限らず他の回路構成としてもよい。

次に、行加算器についてより詳細に説明する。図 11 は、図 1 に示した並列処理回路における行加算器の構成例を示す構成図である。図 11 に示す行加算器 106 は、ツリー型加算器 1101 と桁上げ型加算器 1102 とから構成されていることが特徴である。行加算器 106 は、配列された各セル 101 が接続する各データバス 104 に出力される 1 ビット信号を加算する。

配列されたセル 101 の列数を n 列とすると、行加算器 106 には、 n ビットの 2 進数の各ビットを加算して、 $n_b + 1$ ($= \log_2(n) + 1$) ビットの結果を

出力する機能が必要とされる。

ツリー型加算器 1101 は、この機能を満たすものである。図 12 は、 $n = 16$ とした場合のツリー型加算器 1101 の構成例を示す構成図である。ツリー型加算器 1101 は、入力側の 1 段目に 8 個の全加算器 1111 を備え、2 段目に 4 個の全加算器 1112 を備え、3 段目に 2 個の全加算器 1113 を備え、4 段目に 1 個の全加算器 1114 を備える。

ツリー型加算器 1101において、入力側より入力される 16 ビットの入力信号の各ビットは、8 個の全加算器 1111 の各々の入力端子 (X 、 Y 、 C_i のいずれか) に入力される。この中の 7 個の全加算器 1111 より出力される和信号 (S) は、隣の全加算器 1111 の入力端子に入力し、残りの 1 個の全加算器 1111 より出力される和信号 (S) は、ツリー型加算器 1101 より出力される信号の最下位ビット (S_0) となる。

1 段目の 8 個の全加算器 1111 より出力される点線で示す桁上げ信号 (C_o) は、2 段目の 4 個の全加算器 1112 の入力端子に入力される。これらは、前述した 1 段目の全加算器 1111 と同様に接続され、2 段目の中の 3 個の全加算器 1112 より出力される和信号 (S) は、隣 (3 段目) の全加算器 1113 の入力端子に入力し、残りの 1 個の全加算器 1112 より出力される和信号 (S) は、ツリー型加算器 1101 より出力される信号の 2 ビット目の出力 (S_1) となる。

ツリー型加算器 1101 は、このように桁上げ信号を加算するために、3 段目は 2 個の全加算器 1113、4 段目は 1 個の全加算器 1114 で構成する。 $n = 16$ とする場合のツリー型加算器 1101 は、合計 15 個の全加算器で構成すればよく、16 ビットの入力に対し、5 ビット ($= \log_2(16) + 1$) を出力する。

ところで、ツリー型加算器は、全加算器の接続に規則性がないため、設計者が全ての配線を結線しなければならない。上述では、 $n = 16$ の場合について例示したが、画像処理等に用いられる並列処理装置では、 n が数百から数千となるため、これに対応するツリー型加算器の回路は複雑となり、設計時間が膨大となるだけでなく、設計者のミスが入りやすくなるという問題がある。

この問題を解決するために、図 11 に示すように、 n 列のデータバスを、 a 列

を1組としてb組に分割し、1組毎に、aビット入力、 $a_b + 1 (= \log_2(a) + 1)$ ビット出力のツリー型加算器1101と、 $n_b + 1 (= \log_2(n) + 1)$ ビットの桁上げ型加算器1102とを設けるようにした。図13は、 $n_b + 1$ ビットの桁上げ型加算器1102の構成例を示す構成図である。桁上げ型加算器1102は、 $n_b + 1$ 個の全加算器1121から構成されている。各々の全加算器1121の和信号（実線）は、このまま各ビットの出力信号となり、各々の全加算器1121の桁上げ信号（点線）は、下位ビットの全加算器1121から順に上位ビットの全加算器1121に伝播する。また、ツリー型加算器1101の出力は、最下位ビットから $a_b + 1$ ビットまでの全加算器1121に入力される。

図11に示す行加算器106では、a列のデータバスの組からの各信号を、各々ツリー型加算器1101で $a_b + 1$ ビットの信号にまとめ、これらの各信号を $n_b + 1$ ビットの桁上げ型加算器1102により、図11の右側から順に加算することで、m行n列に配列されたセル101の処理結果を加算している。なお、全加算器の入力端子が1つあまる場合は、半加算器から構成するようにしても良い。また、全ての桁上げ型加算器1102が、 $n_b + 1$ ビットである必要はなく、例えば、図11において、最も右側の桁上げ型加算器1102は $a_b + 1$ ビットとし、右から2組目の桁上げ型加算器1102を $(\log_2(2 \times a) + 1)$ ビットとし、b組目の桁上げ型加算器1102を $(\log_2(b \times a) + 1)$ ビット、すなわち、 $n_b + 1$ ビットとしても良い。

次に、他の行加算器の構成例について説明する。図14は、図1に示した並列処理装置を構成する行加算器の他の構成例を示す構成図である。図14に示す行加算器106aは、複数のツリー型加算器1101と、CS型（キャリーセーブ型）加算器1401と、桁上げ型加算器1102とから構成したものである。ツリー型加算器1101及び桁上げ型加算器1102は、図11、12、13と同様であり、ここでは説明を省略する。

以下、CS型加算器1401について説明する。CS型加算器1401は、図15に示すように、1つのツリー型加算器1101の出力に対して、 $n_b + 1$ 個の全加算器1411を備えるようにしたものである。また、1つのツリー型加算器1101の出力に対応する各全加算器1411より出力される和信号（実線）は、

同じビットとなる左隣の全加算器 1411 に入力される。また、1つのツリー型加算器 1101 の出力に対応する各全加算器 1411 より出力される桁上げ信号（点線）は、1ビット上位となる左隣の全加算器 1411 に入力される。各ツリー型加算器 1101 の出力は、最下位ビットから $a_b + 1$ ビットまでの全加算器 1411 に入力される。

図 14 に示すように、桁上げ型加算器 1102 は、CS 型加算器 1401 の出力の和信号 (n_b ビット) と、桁上げ信号 (n_b ビット) とを入力し、 $n_b + 1$ ビットの行加算結果を出力する。図 14 に示す行加算器 106a は、CS 型加算器 1401 を用いる。このため、図 11 に示した行加算器 106 のように、桁上げ型加算器 1102 の桁上げ信号を下位ビットから上位ビットまで伝播させることができない。この結果、CS 型加算器 1401 では、クリティカルパスを大幅に短くすることができ、図 11 に示す行加算器 106 に比べて高速化を図ることができる。

また、CS 型加算器 1401 は、結線に規則性があるため、図 11 に示した行加算器 106 のように構成する場合に比べて、設計作業が行いやすいという特徴も有する。なお、全加算器 1411 の入力端子が 1 つあまる場合は、これらを半加算器にしても良い。また、CS 型加算器 1401 の全ての段を $n_b + 1$ ビットとする必要はなく、例えば、図 15 の最も右側の段の全加算器 1411 の列を $a_b + 1$ ビットとし、右から 2 番目の段の全加算器 1411 の列を $(1 \circ g_2 (2 \times a) + 1)$ ビットとし、 b 番目の段の全加算器 1411 の列を $(1 \circ g_2 (b \times a) + 1)$ ビット、すなわち、 $n_b + 1$ ビットとしても良い。

ところで、上述した各構成において、蓄積加算器 110 は、図 16 に示すように、桁上げ型加算器 1601 とレジスタ 1602 とから構成すればよい。配列されたセル 101 のセル数を P とすると、桁上げ型加算器 1601 は、 $P_b + 1 (= 1 \circ g_2 (P) + 1)$ ビットの桁上げ型加算器であり、レジスタ 1602 は、 $P_b + 1$ ビットのレジスタである。

行加算器 106（行加算器 106a）より出力された行加算結果は、桁上げ型加算器 1601 により、レジスタ 1602 の出力とクロック発生回路出力（CK）に同期し、逐次加算される。CK をレジスタ 1602 に入力し、CK に同期して行加算結果が変化する毎に、レジスタ 1602 に一時的に保存されるデータ

を更新することで、各行の行加算結果を加算していき、複数のセル 101 の処理結果を加算する。

桁上げ型加算器 1601 は、例えば図 17 に示すように、 $P_b + 1$ 個の全加算器 1611 から構成すればよい。桁上げ型加算器 1601において、まず、行加算器 106 (行加算器 106a) より出力された行加算結果は、最下位ビットから $n_b + 1$ ビットまでの全加算器 1611 に入力される。各々の全加算器 1611 の和信号 (実線) は、このまま各ビットの出力信号となり、各々の全加算器 161 の桁上げ信号 (点線) は、下位ビットの全加算器 1611 から順に上位ビットの全加算器 1611 に伝播する。また、レジスタ 1602 より出力された $P_b + 1$ ビットの信号が、 $P_b + 1$ 個の全加算器 1611 に入力される。

また、図 1 に示した並列処理装置の行加算器 106 と蓄積加算器 110 とを、図 18 に示すように、複数のツリー型加算器 1101 及び CS 型加算器 1401 から構成された行加算器 106b と、桁上げ型加算器 1601 とレジスタ 1602 と CS 型加算器 1603 とから構成された蓄積加算器 110a から構成してもよい。ツリー型加算器 1101, CS 型加算器 1401, 桁上げ型加算器 1601 は、図 12, 図 15, 図 17 に示した構成と同様である。

図 18 に示すように、蓄積加算器 110a は、図 16 に示した蓄積加算器 110 に CS 型加算器 1603 を加えたものである。蓄積加算器 110a では、まず、行加算器 106a における CS 型加算器 1401 から出力された和信号と桁上げ信号、及び、レジスタ 1602 より出力された信号の 3 つのデータを CS 型加算器 1603 で処理する。

CS 型加算器 1603 は、図 19 に示すように、 $P_b + 1$ 個の全加算器 1631 から構成されたものである。

まず、行加算器 106b の CS 型加算器 1401 より出力された各々 n_b ビットの和信号 (実線) と桁上げ信号 (点線) とが、CS 型加算器 1603 の最下位ビットから $n_b + 1$ ビットまでの全加算器 1631 に入力される。また、レジスタ 1602 より出力された $P_b + 1$ ビットの信号が、全ての全加算器 1631 に入力される。

全加算器 1631 から出力される和信号 (実線) と桁上げ信号 (点線) とは、

桁上げ型加算器 1601 の $P_b + 1$ 個の全加算器 1611 に入力する。なお、最下位ビットの和信号は、そのまま出力されてレジスタ 1602 に入力される。

全加算器 1631 からの信号を入力した全加算器 1611 では、各々の全加算器 1611 の桁上げ信号（点線）が、下位ビットの全加算器 1611 から順に上位ビットの全加算器 1611 に伝播し、各々の全加算器 1611 の和信号（実線）が、各ビットの信号としてレジスタ 1602 に出力される。

図 18 に示す行加算器 106b と蓄積加算器 110a との構成では、蓄積加算器 110a が CS 型加算器 1603 を備えているため、図 14 に示した行加算器 106a に比較し、桁上げ型加算器 1102 が不要となる。このように、図 18 に示す構成によれば、桁上げ型加算器を CS 型加算器で置き換えることができるため、クリティカルパスを短くすることができ、より加算処理を高速化できるようになる。

なお、図 19 に示す蓄積加算器 110aにおいて、全加算器の入力端子が 1 つあまる場合は、半加算器から構成しても良い。また、図 20 示すように、 n_b 個の全加算器 1631 から構成された CS 型加算器 1603a を用いるようにしても良い。図 19 に示すように、CS 型加算器 1603 の $n_b + 1$ 個目から $P_b + 1$ 個目までの全加算器 1631 は加算処理をしていないため、これらを除く図 20 に示すような構成としても良い。

以上に説明したように、本発明では、設定されている行のセレクト信号線を選択してこの行の処理部の処理結果をデータ出力線に出力させ、設定されている列のデータ出力線に出力された処理結果を加算するようにした。この結果、本発明によれば、並列処理される複数のセルの処理結果を、従来より高速にかつ正確に集計でき、任意のセルを対象とした処理の集計ができるという優れた効果が得られる。

以上に説明した本発明に係る並列処理装置は、例えば、指紋の形状を検出して検出した形状と登録されている形状とを比較する指紋認証装置に適用できる。

請求の範囲

1. マトリクス状に配列された複数のセルと、

前記配列の行毎に設けられた複数のセレクト信号線と、

設定されている行範囲に従っていずれかの前記セレクト信号線を選択する行範囲設定手段と、

この行範囲設定手段によって選択されたセレクト信号線を選択するためのアドレス信号を所定の間隔で出力する行アドレス信号発生手段と、

この行アドレス信号発生手段が出力したアドレス信号により指定されるセレクト信号線に対してセレクト信号を出力する行デコード手段と、

前記セル毎に設けられ、前記配列の行毎に前記セレクト信号線に接続し、所定の処理を行って前記セレクト信号線を介した前記セレクト信号の入力により前記処理の結果を出力する処理部と、

前記配列の列毎に設けられて各列の前記処理部に共通に接続し、前記処理部より出力される前記処理の結果を伝搬するデータ出力線と、

設定されている列範囲に従っていずれかの前記データ出力線を選択する列範囲選択手段と、

この列範囲選択手段によって選択されたデータ出力線に出力された処理結果を前記配列の行毎に加算して行加算結果を出力する行加算手段と、

この行加算手段が出力した各行の行加算結果を、前記所定の間隔に同期して加算し、この加算結果を集計結果として出力する蓄積加算手段と
を少なくとも備えることを特徴とする並列処理装置。

2. 請求の範囲第1項に記載の並列処理装置において、

前記列範囲選択手段は、

前記配列の列毎に配置され、前記データ出力線から前記行加算手段への信号出力を制御する出力許可回路と、

前記列範囲が設定されている列範囲設定手段と、

この列範囲設定手段に設定されている列範囲に従って、前記出力許可回路の出

力を制御する出力許可信号を生成して出力する出力許可信号生成回路と
を備え、

前記出力許可回路は、

前記出力許可信号により、前記データ出力線からの信号の前記行加算手段への
出力を制御する

ことを特徴とする並列処理装置。

3. 請求の範囲第2項に記載の並列処理装置において、

前記出力許可信号生成回路は、

前記配列の列毎に設けられて設定されている出力許可信号を同一列の前記出力
許可回路に出力する記憶回路と、

この記憶回路を初期化する初期化回路と、

前記記憶回路に出力許可信号を設定する列デコード回路と、

前記列範囲設定手段に設定されている前記列範囲に従って列アドレスを指定す
る列アドレス信号を発生する列アドレス信号発生回路と

を備え、

前記列デコード回路は、前記列アドレス信号発生回路が発生した列アドレス信
号に対応する前記記憶回路に対して設定する出力許可信号と、他の前記記憶回路
に対して設定する出力許可信号と異なる状態とする

ことを特徴とする並列処理装置。

4. 請求の範囲第2項に記載の並列処理装置において、

前記出力許可信号生成回路は、

前記配列の列毎に設けられて設定されている反転許可信号を出力する記憶回路
と、

この記憶回路を初期化する初期化回路と、

前記記憶回路に反転許可信号を設定する列デコード回路と、

前記配列毎に設けられ、同一の列の前記記憶回路より出力された反転許可信号
を一方の入力信号とした2つの入力信号を入力し、前記一方の入力信号として入
力した前記反転許可信号をもとに他方の入力を反転して前記出力許可回路に前記
出力許可信号として出力する反転回路と、

前記配列の一端の前記反転回路の他方の入力信号として初期値を出力する初期値設定回路と、

前記列範囲設定手段に設定されている前記列範囲に従って列アドレスを指定する列アドレス信号を発生する列アドレス信号発生回路と
を備え、

前記列デコード回路は、前記列アドレス信号発生回路が発生した列アドレス信号に対応する前記記憶回路に対応して設定する反転許可信号と、他の前記記憶回路に対して設定する反転許可信号とを異なる状態とし、

前記反転回路は、出力する信号を前記配列の他端側の次の列の反転回路の他方の入力信号とし、前記配列の一端側の前の列の反転回路より出力された出力許可信号を前記他方の入力信号として入力する

ことを特徴とする並列処理装置。

5. 請求の範囲第2項に記載の並列処理装置において、

前記出力許可信号生成回路は、

反転許可信号を出力する記憶回路と、

この記憶回路を初期化する初期化回路と、

前記記録回路に前記反転許可信号を設定する列デコード回路と、

同一の列の前記記憶回路より出力された反転許可信号を一方の入力信号とした2つの入力信号を入力し、前記一方の入力信号として入力した前記反転許可信号をもとに他方の入力を反転した反転信号を出力する反転回路と、

前記反転許可信号と前記反転信号とを論理演算した結果を前記出力許可回路に出力許可信号として出力する論理回路と、

前記配列の一端の前記反転回路の他方の入力信号として初期値を出力する初期値設定回路と、

前記列範囲設定手段に設定されている前記列範囲に従って列アドレスを指定する列アドレス信号を発生する列アドレス信号発生回路と
を備え、

前記列デコード回路は、前記列アドレス信号発生回路が発生した列アドレス信号に対応する前記記憶回路に対応して設定する反転許可信号と、他の前記記憶回

路に対して設定する反転許可信号とを異なる状態とし、

前記反転回路は、出力する信号を前記配列の他端側の次の列の反転回路の他方の入力信号とし、前記配列の一端側の前の列の反転回路より出力された反転信号を前記他方の入力信号として入力する

ことを特徴とする並列処理装置。

6. 請求の範囲第1項に記載の並列処理装置において、

前記行加算手段は、複数の前記データ出力線より入力した処理結果を集計する複数のツリー型加算器と、このツリー型加算器毎に設けられ、前記ツリー型加算器より出力される複数の集計結果を加算する桁上げ型加算器とから構成されるものであることを特徴とする並列処理装置。

7. 請求の範囲第1項に記載の並列処理装置において、

前記行加算手段は、複数の前記データ出力線より入力した処理結果を集計する複数のツリー型加算器と、この複数のツリー型加算器より出力される複数の集計結果を加算するキャリーセーブ型加算器と、このキャリーセーブ型加算器より出力される和信号及び桁上げ信号を加算する桁上げ型加算器とから構成されるものであることを特徴とする並列処理装置。

8. 請求の範囲第1項に記載の並列処理装置において、

前記行加算手段は、複数の前記データ出力線より入力した処理結果を集計する複数のツリー型加算器と、この複数のツリー型加算器より出力される複数の集計結果を加算する第1キャリーセーブ型加算器とから構成され、

前記蓄積加算手段は、加算結果が格納されるレジスタと、このレジスタから出力させる信号、第1キャリーセーブ型加算器より出力された和信号、及び桁上げ信号を加算する第2キャリーセーブ型加算器と、この第2キャリーセーブ型加算器が出力する和信号及び桁上げ信号を加算する桁上げ型加算器とから構成され、

前記桁上げ型加算器による加算結果は、前記レジスタに出力されることを特徴とする並列処理装置。

9. マトリクス状に配列された複数のセルに設けられた処理部が所定の処理を行う第1ステップと、

前記配列の行毎に設けられた複数のセレクト信号線の中より設定されている行

範囲に従っていづれかのセレクト信号線を選択する第2ステップと、

選択されたセレクト信号線を選択するためのアドレス信号を生成する第3ステップと、

生成されたアドレス信号により指定されるセレクト信号線に対してセレクト信号を出力する第4ステップと、

前記セレクト信号が出力された前記セレクト信号線に接続する複数の前記処理部より、前記配列の列毎に設けられた複数のデータ出力線に前記処理の結果を出力する第5ステップと、

設定されている列範囲に従っていづれかの前記データ出力線を選択し、選択したデータ出力線に出力された処理結果を加算して行加算結果を出力する第6ステップと

を少なくとも備え、

前記第2～第6ステップを前記配列の行毎に繰り返し、前記行毎に得られた前記行加算結果を加算する

ことを特徴とする並列処理方法。

10. 請求の範囲第1項に記載の並列処理装置において、

前記処理部は、

静電容量を検出するセンサ素子と、

このセンサ素子で検出された容量を電気信号に変換してデジタルデータを出力するセンサ回路と、

登録形状が記録された記録部と、

前記センサ回路の出力と前記記録部に記録された登録形状とを比較して比較結果を出力する比較回路と

から構成されたものであることを特徴とする並列処理装置。

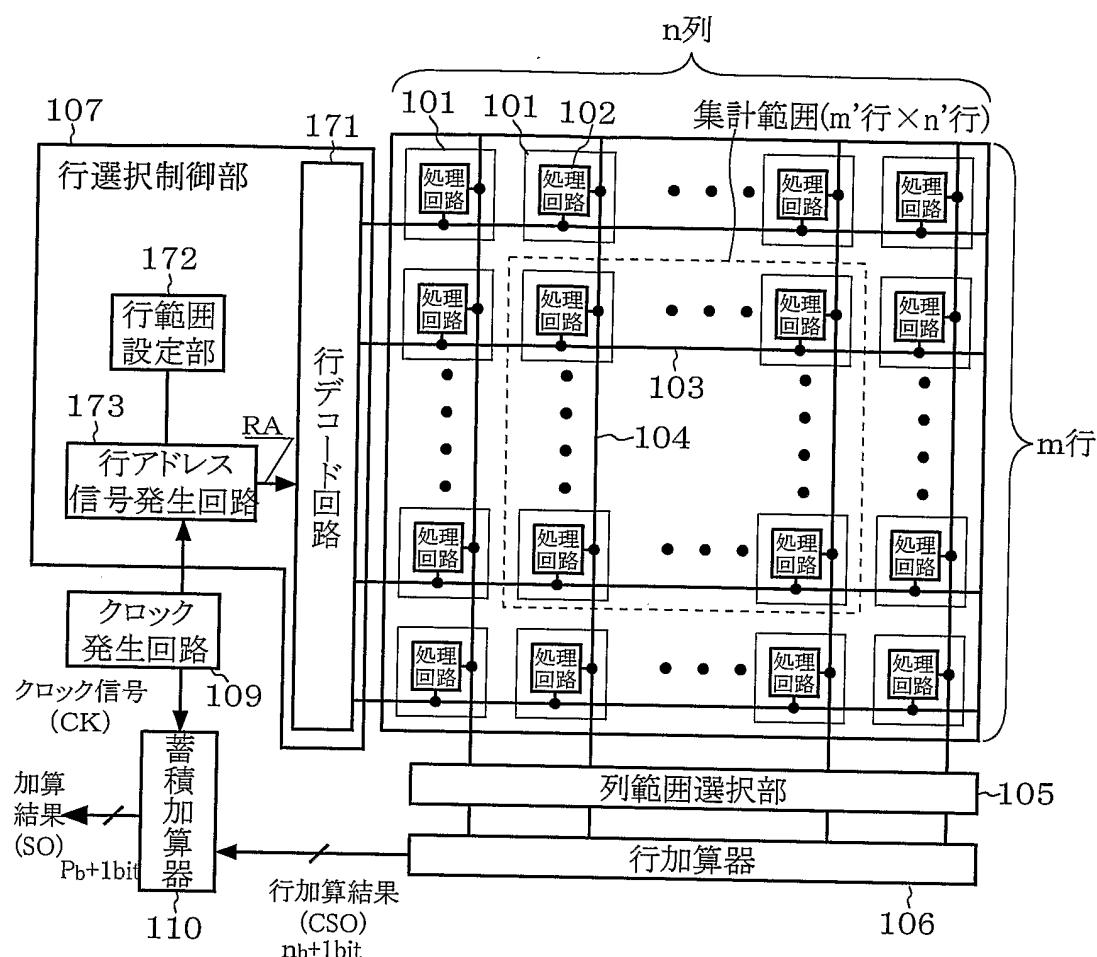


図 1

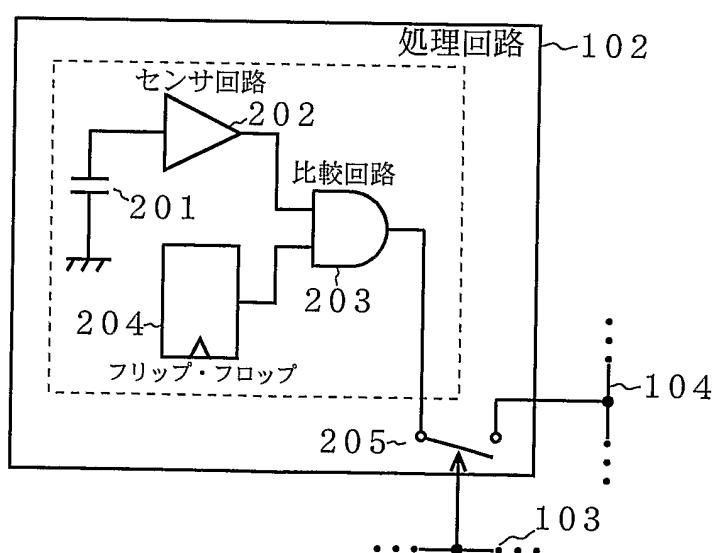


図 2

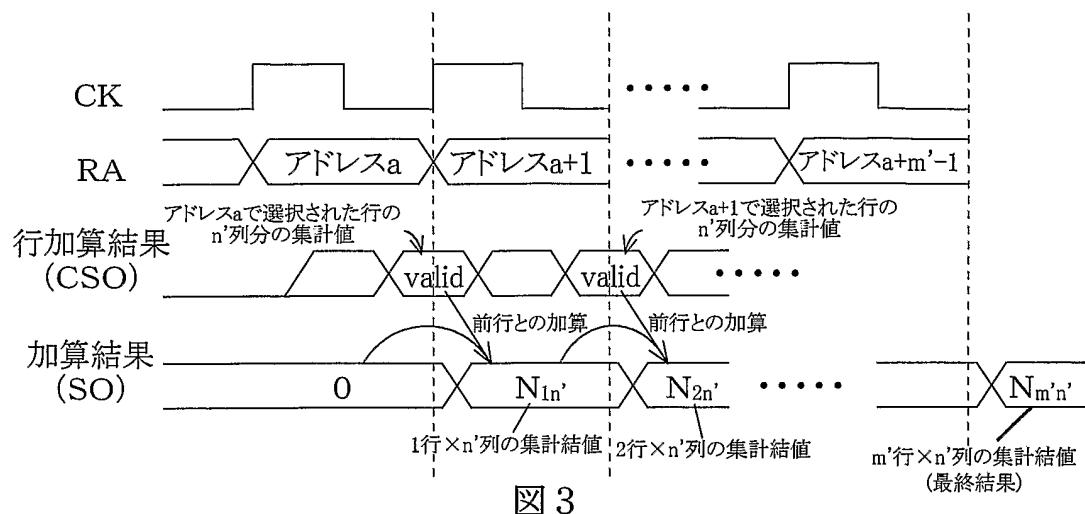


図 3

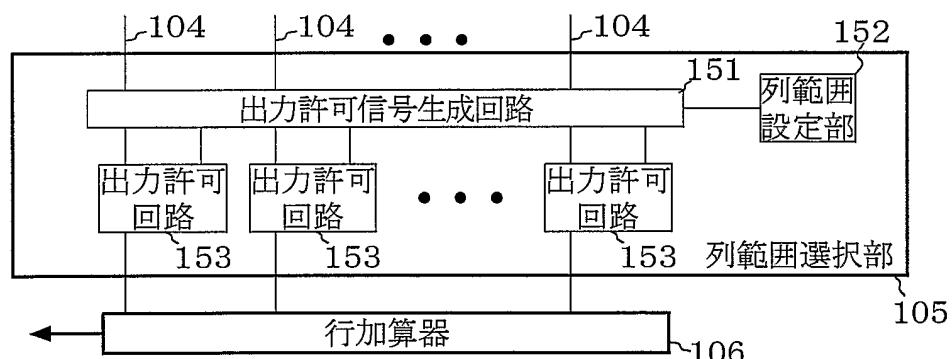
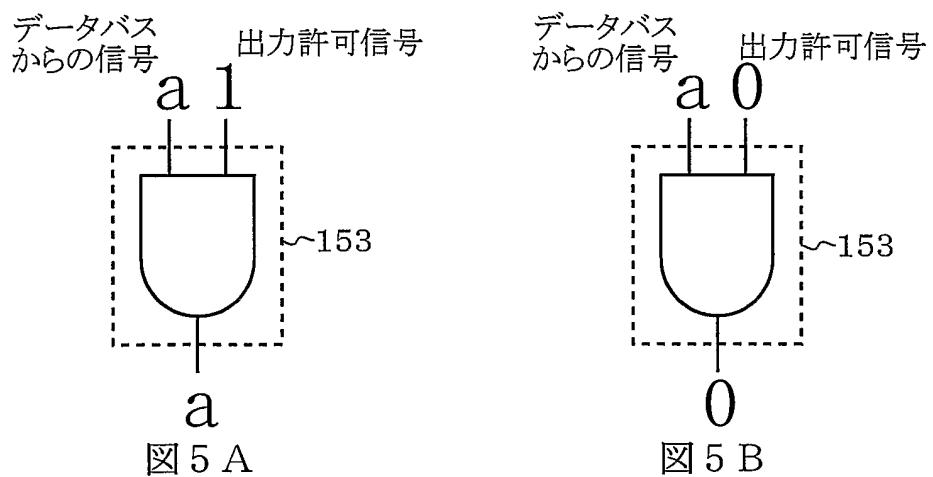


図 4



3/14

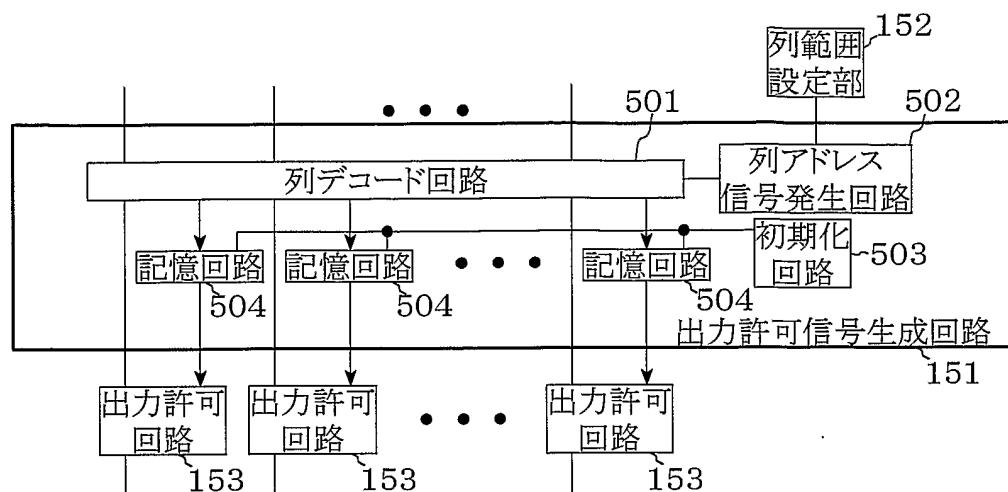


図 6

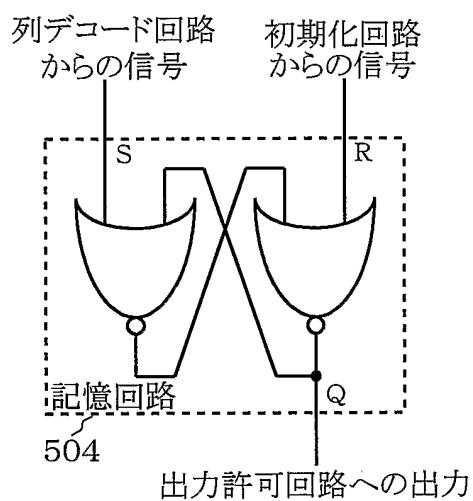


図 7

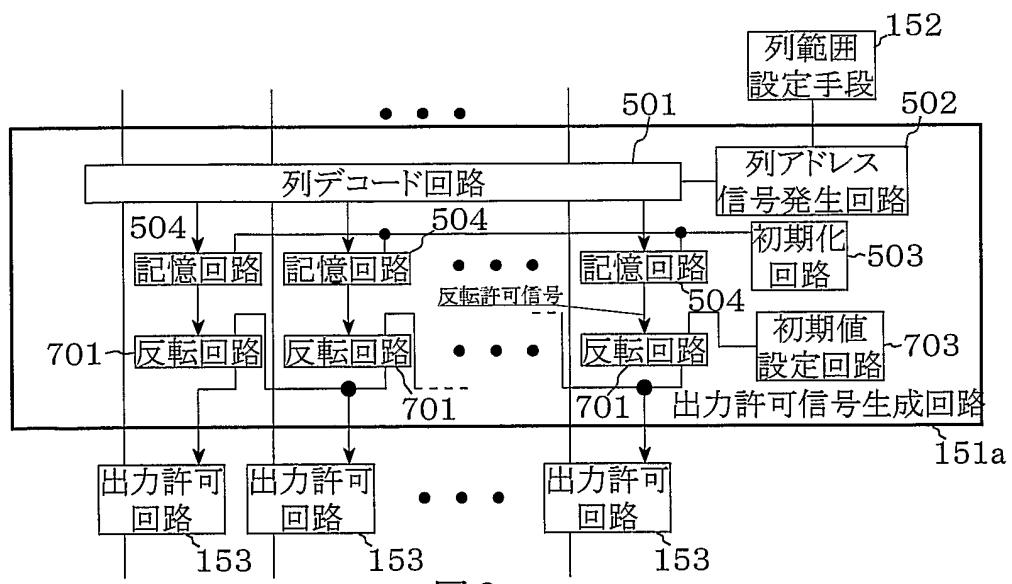


図 8

4/14

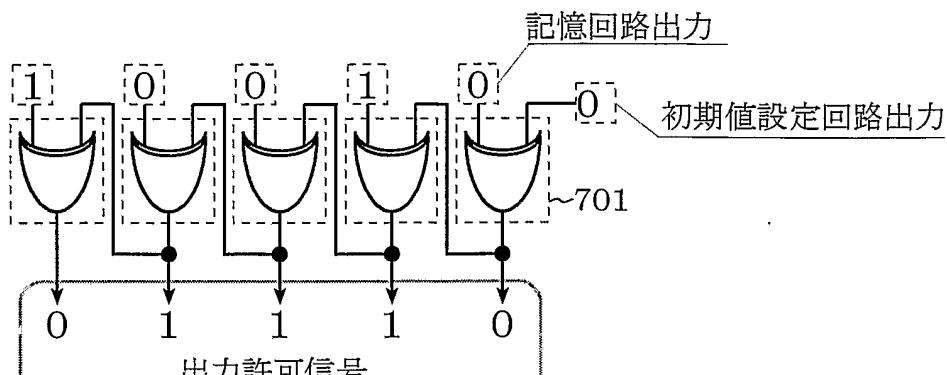


図 9

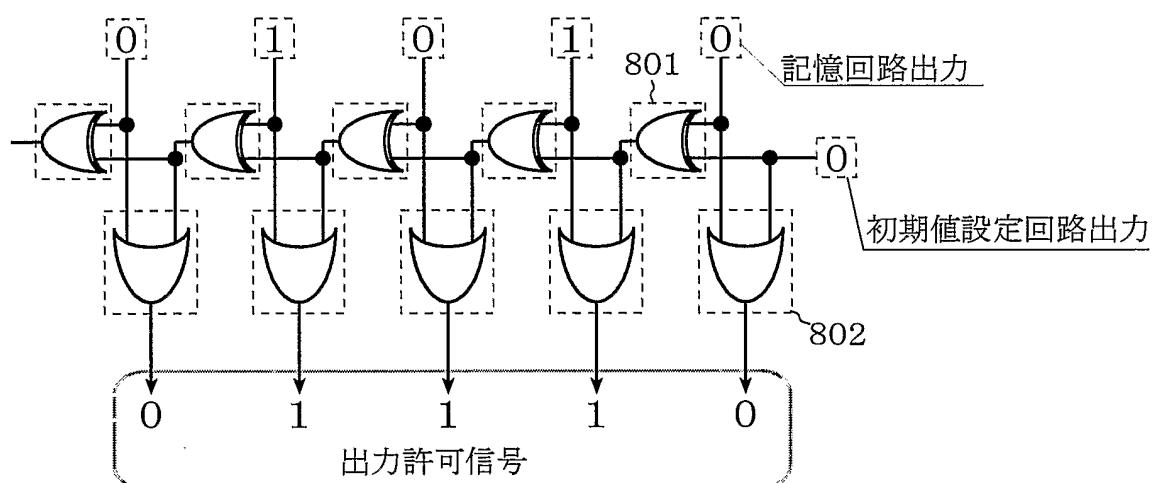


図 10

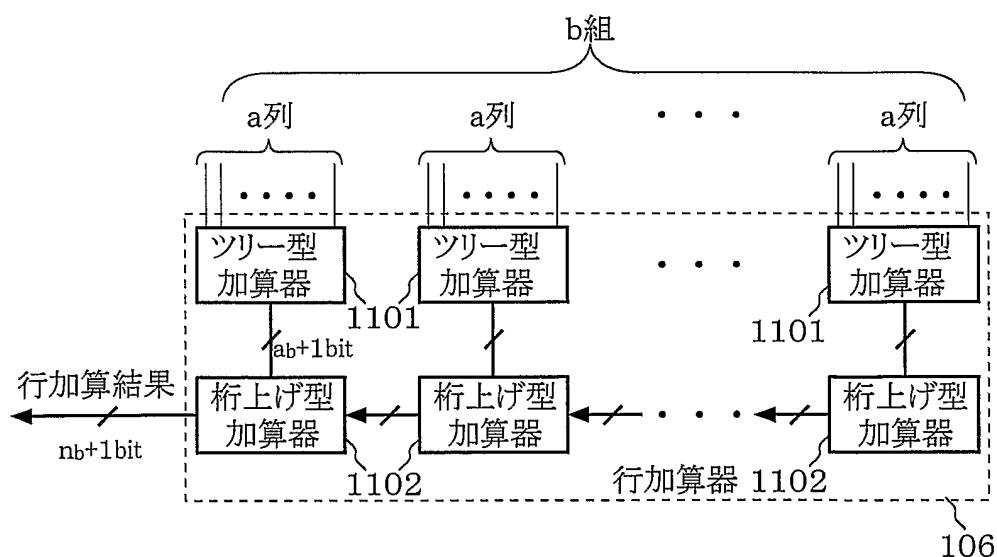


図 11

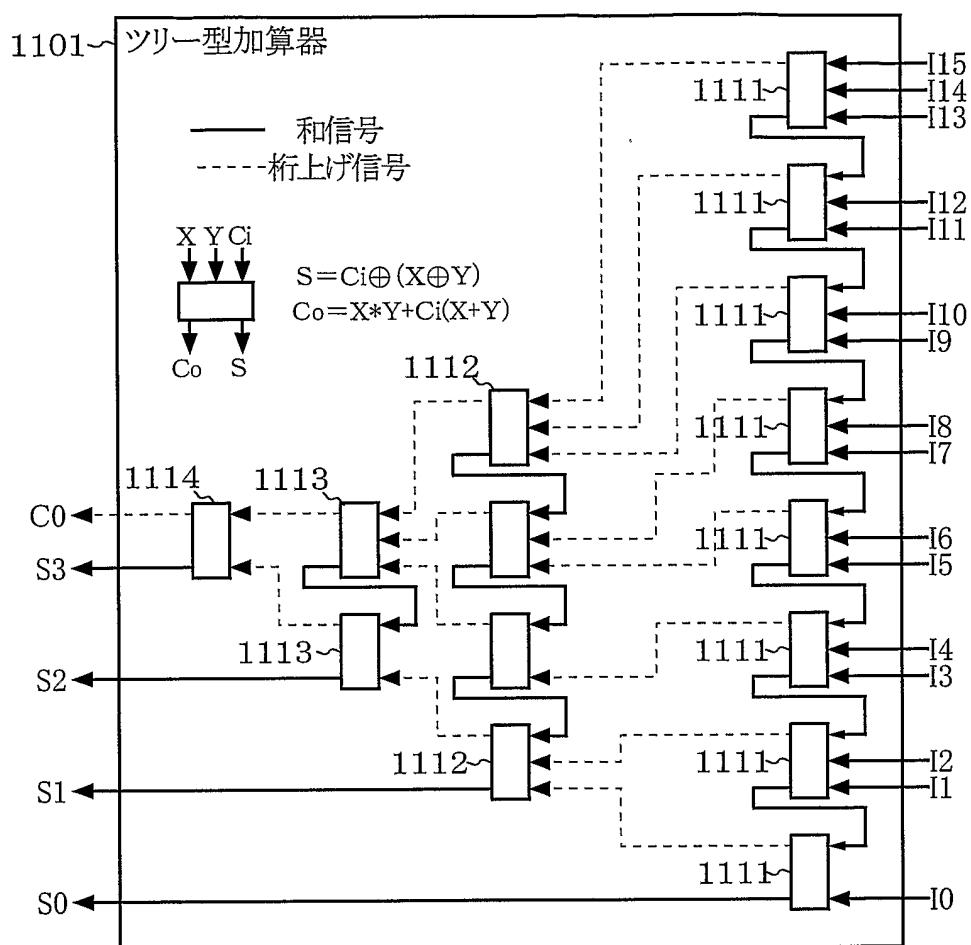


図 1 2

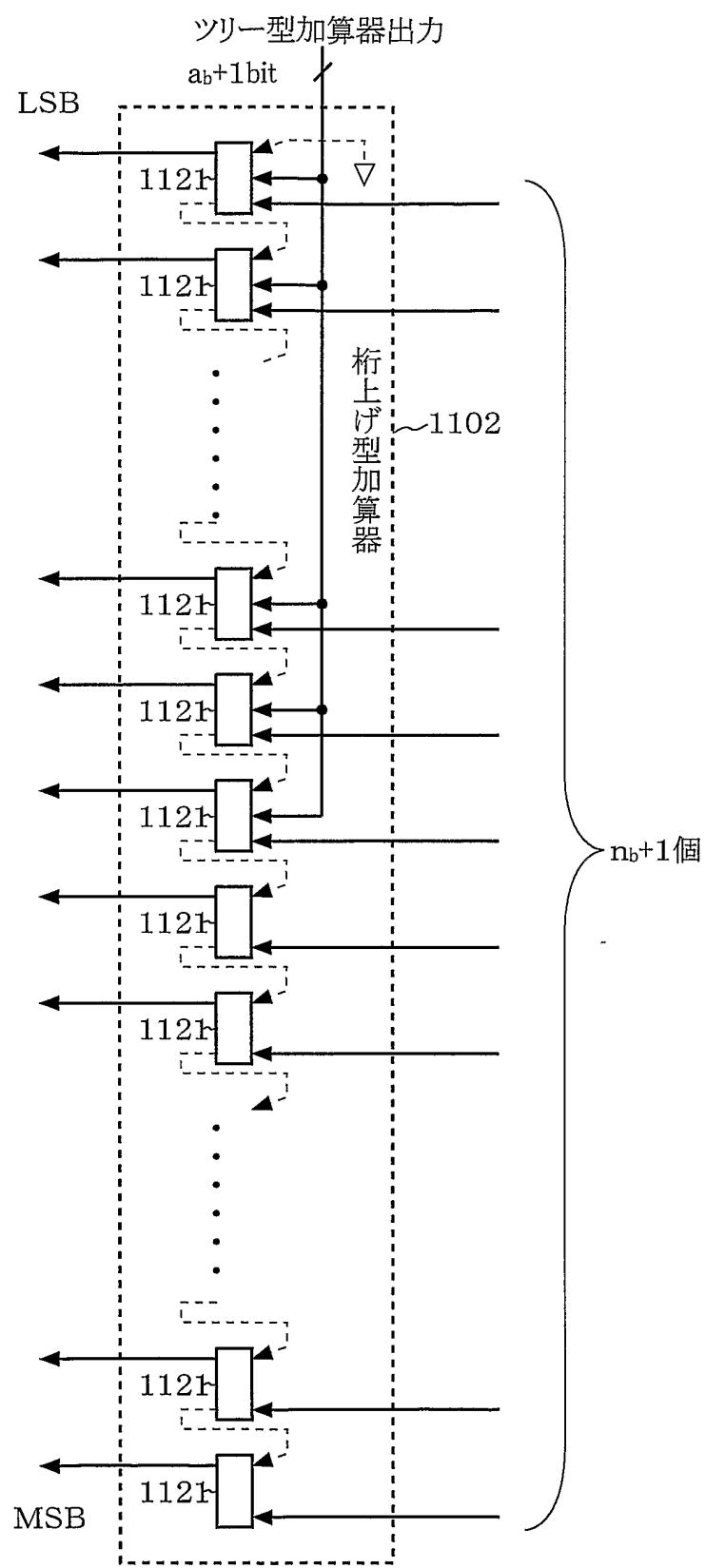


図 1 3

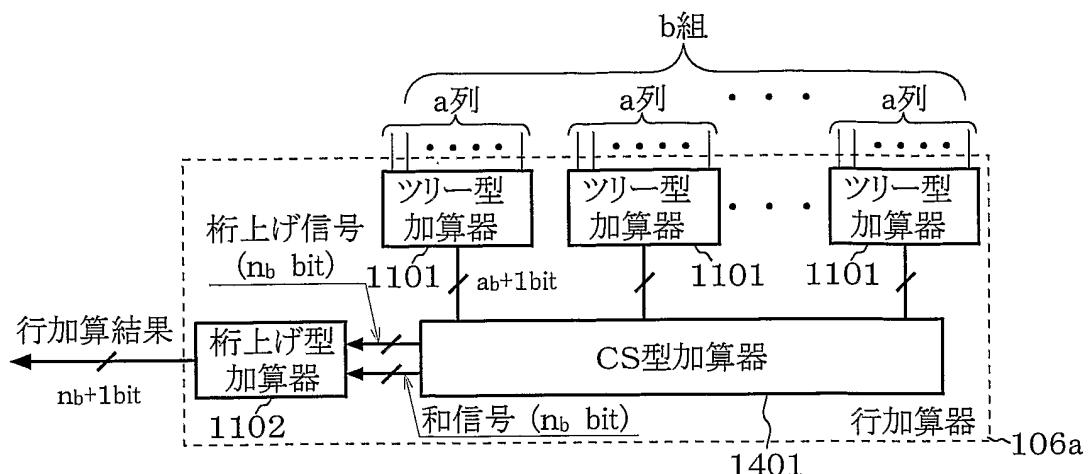


図 1 4

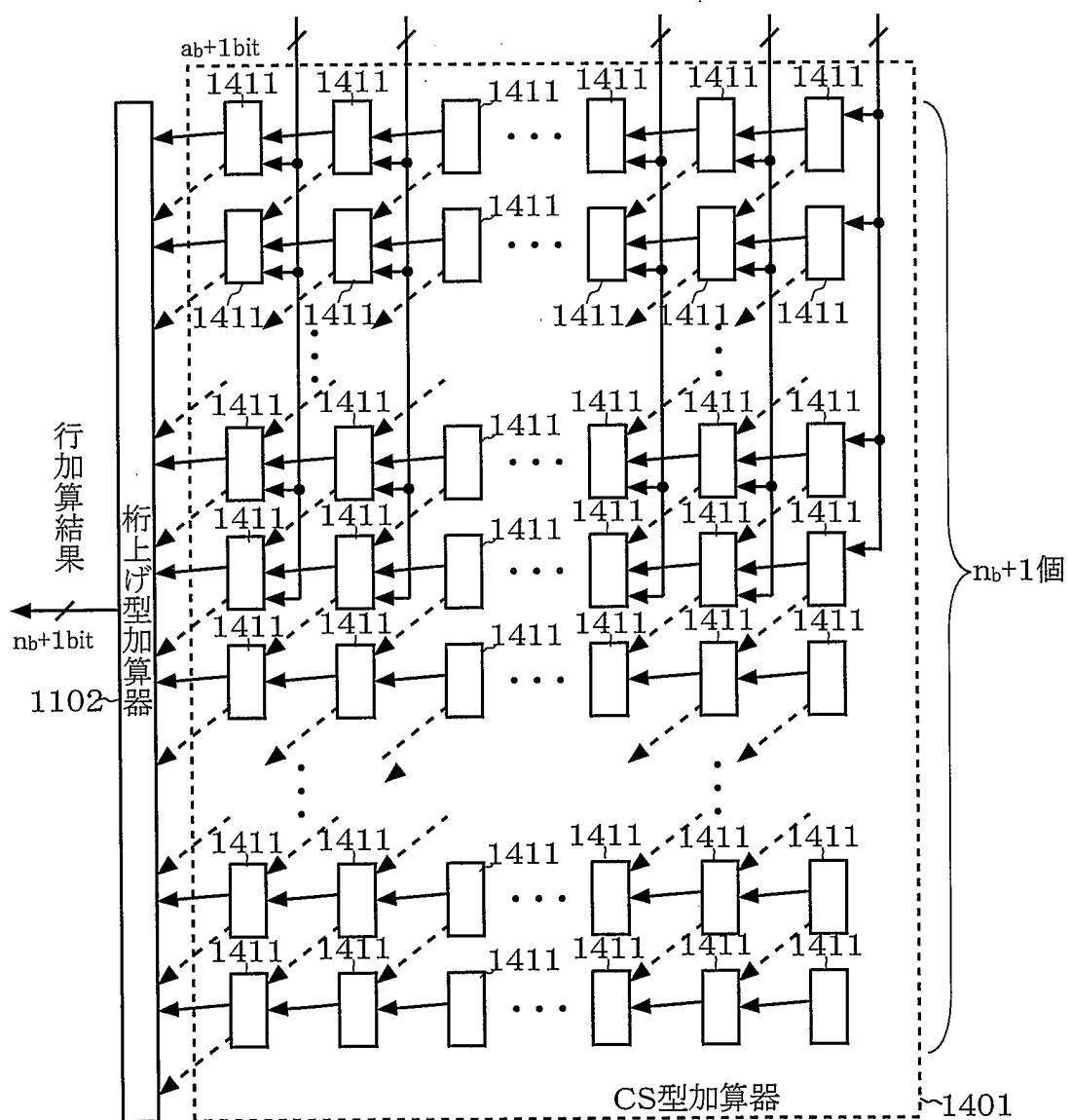


図 1 5

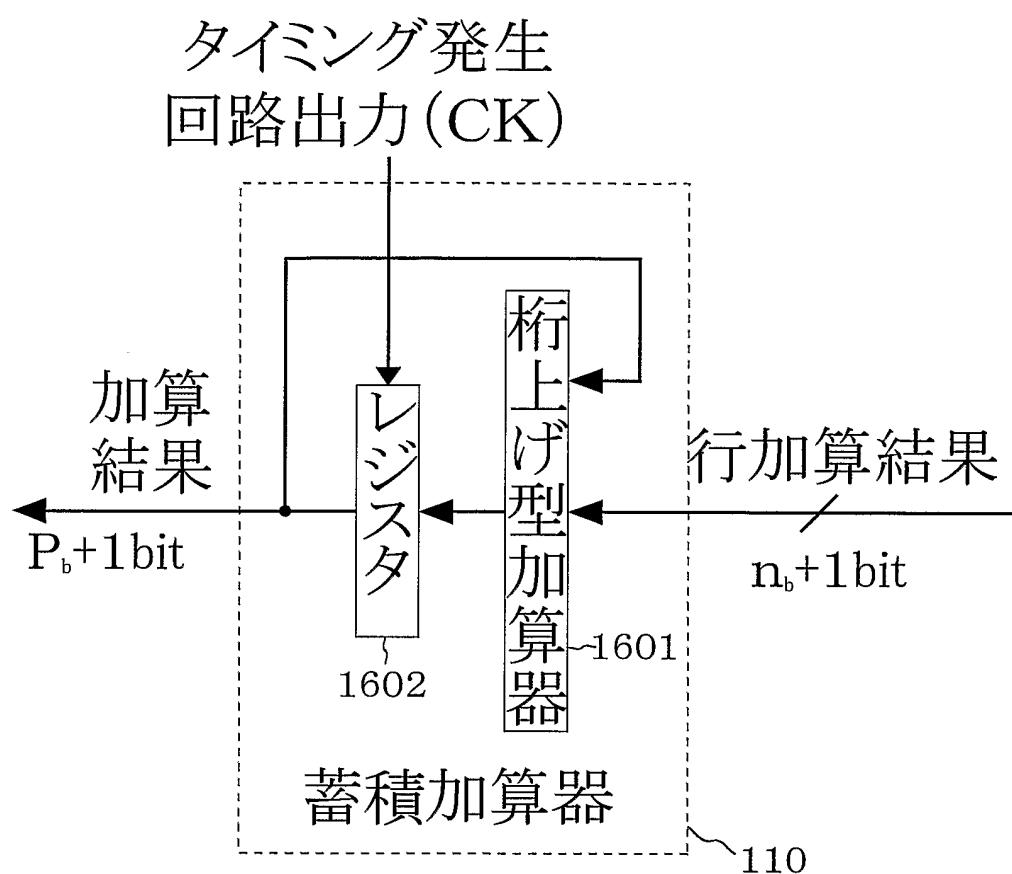


図 16

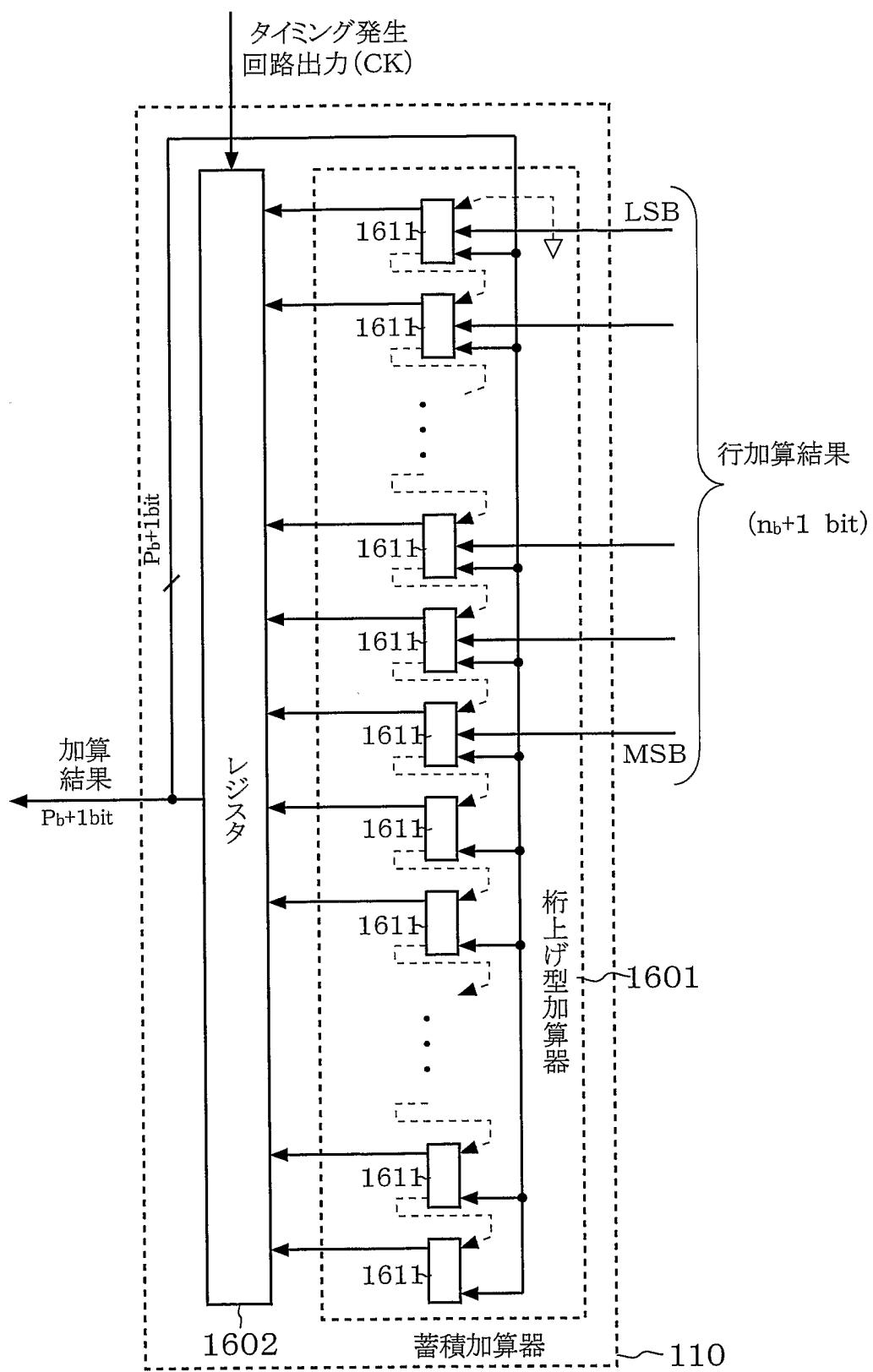


図 17

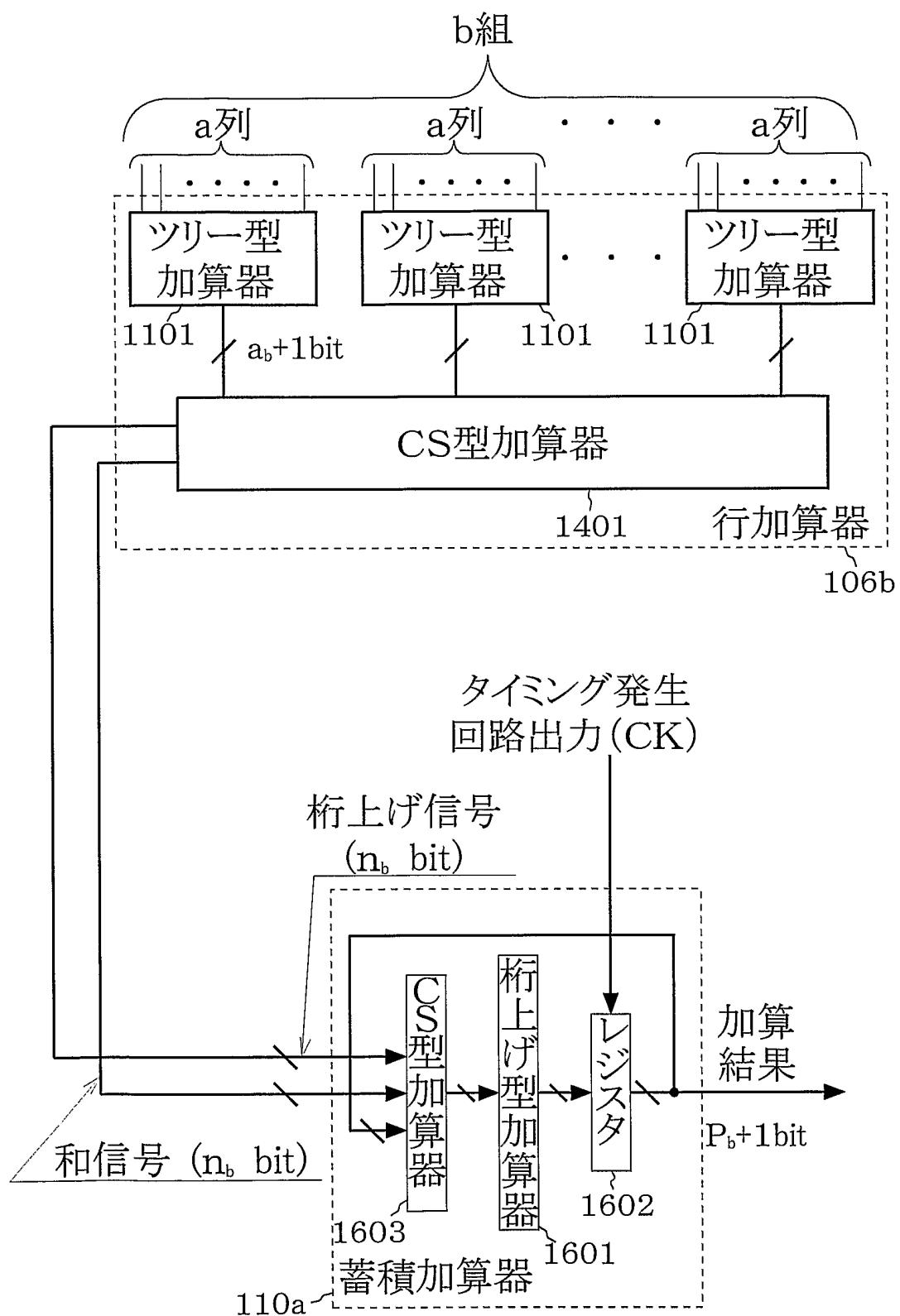


図18

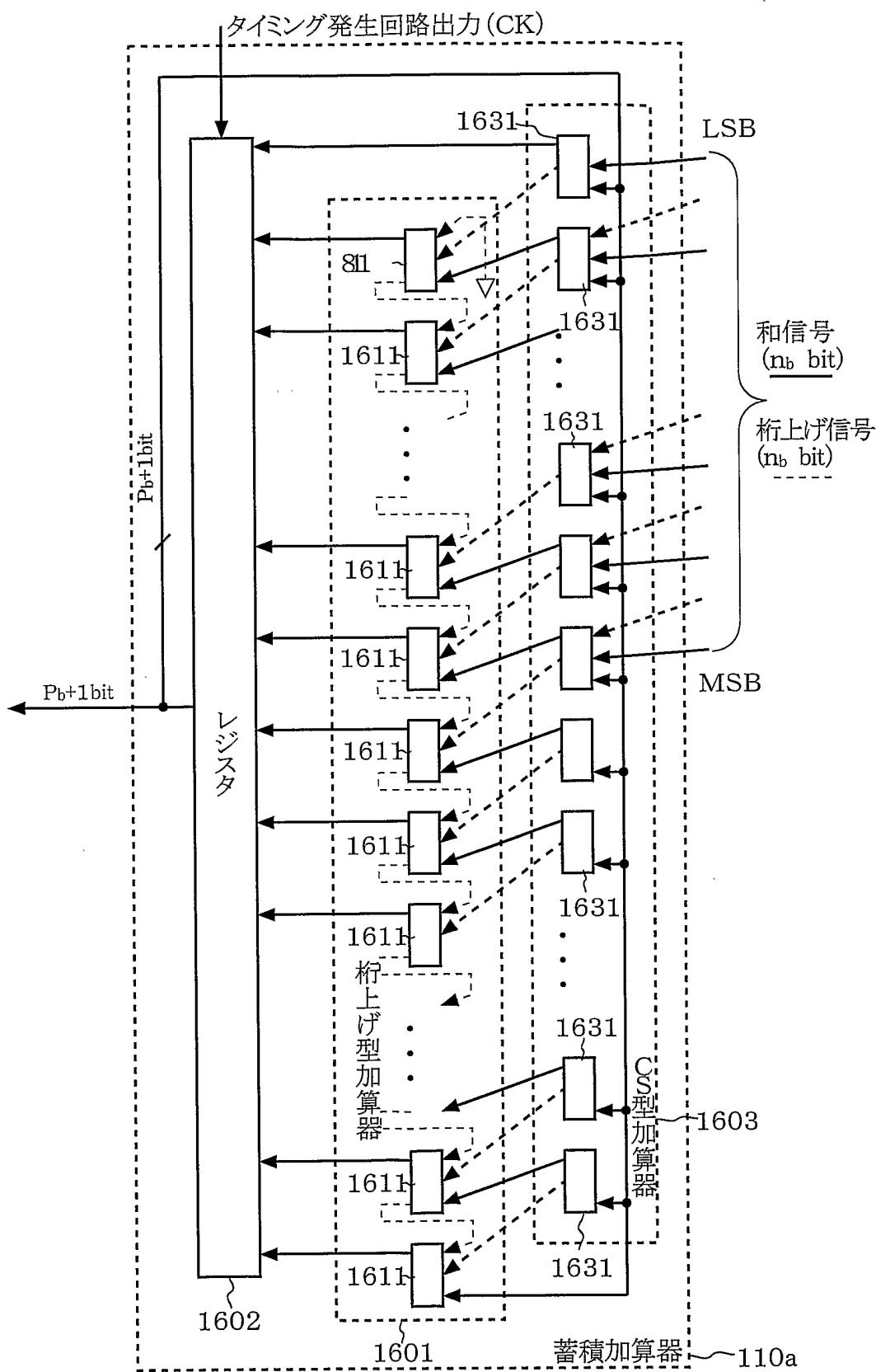


図19

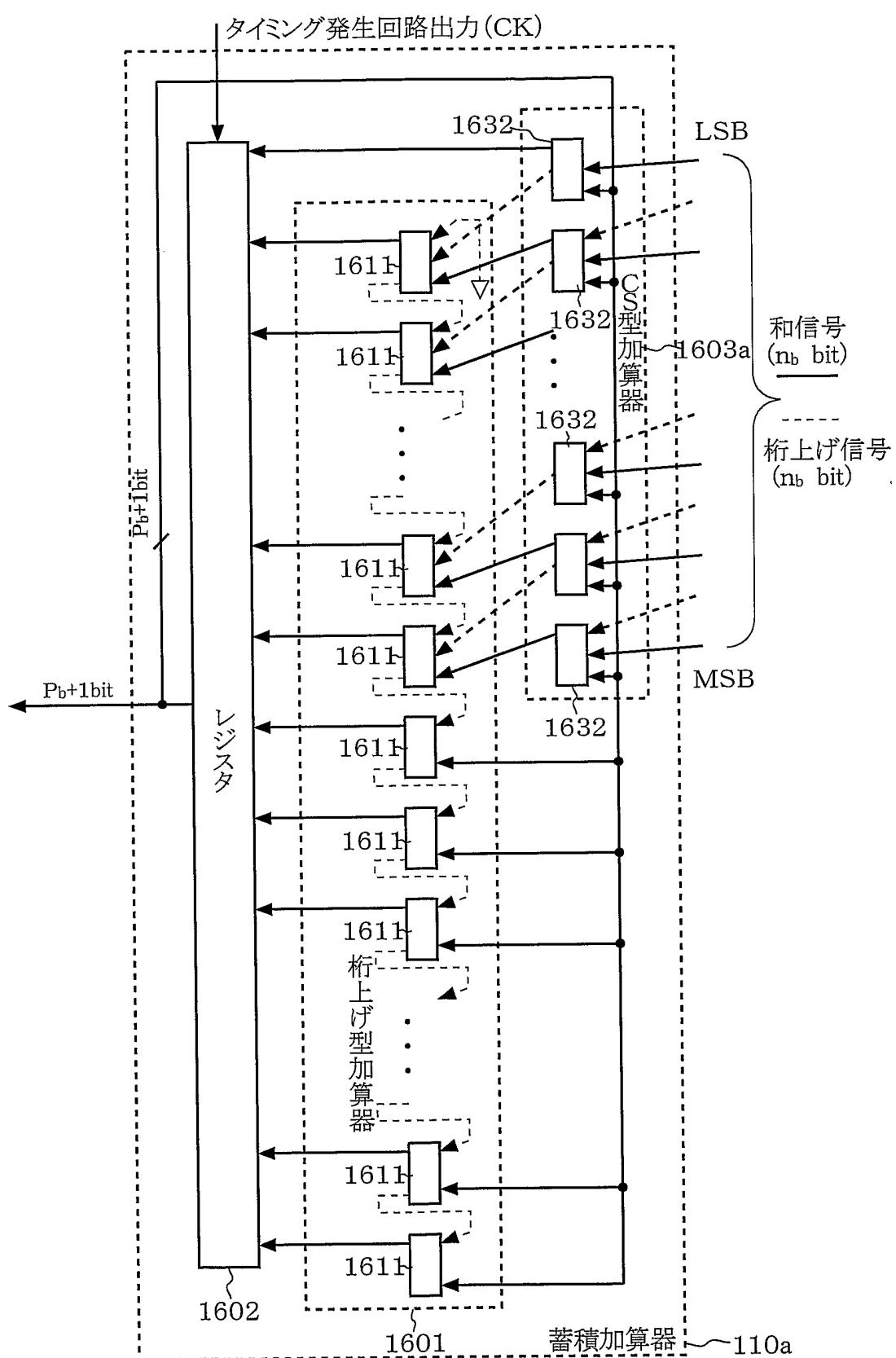


図20

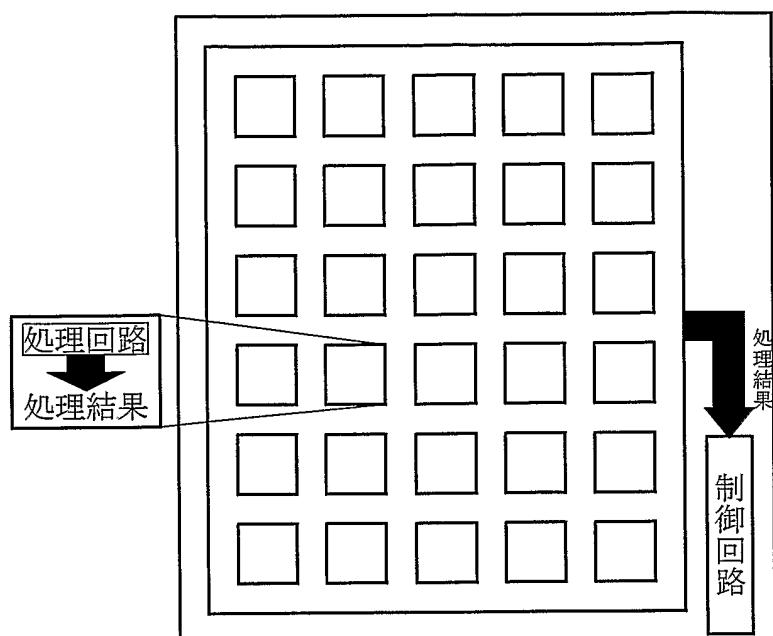


図 2 1

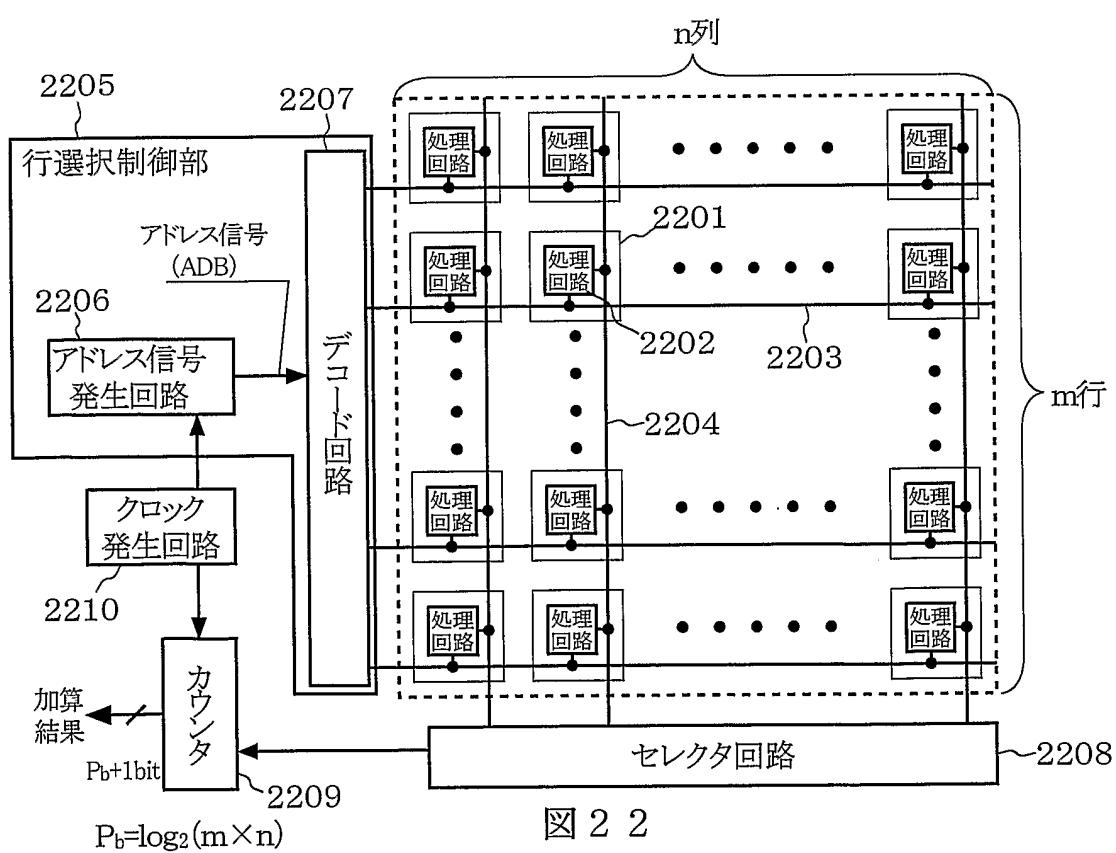


図 2 2

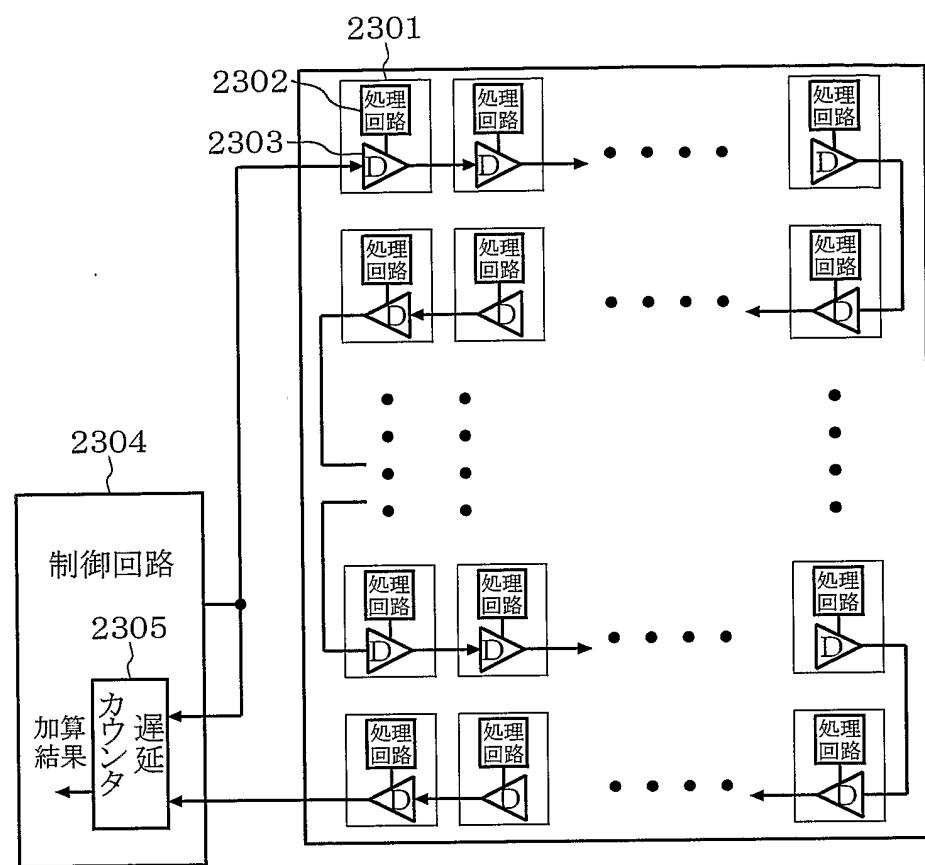


図 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001526

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F7/00, G06T1/00, G11C11/413

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-84370 A (Nippon Telegraph And Telephone Corp.), 30 March, 2001 (30.03.01), Claim 1; Par. No. [0019] & EP 1018695 A2	1-10
A	US 6075876 A1 (Draganoff), 13 June, 2000 (13.06.00), Column 2, line 63 to column 4, line 11 & WO 98/50877 A1 & CA 2229586 A1	1-10
A	JP 6-187405 A (Hitachi, Ltd.), 08 July, 1994 (08.07.94), Par. No. [0013] (Family: none)	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 16 April, 2004 (16.04.04)	Date of mailing of the international search report 11 May, 2004 (11.05.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C17 G06F 7/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C17 G06F 7/00, G06T 1/00, G11C11/413

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-84370 A (日本電信電話株式会社) 2001.03.30, 請求項1, 段落0019 & EP 1018695 A2	1-10
A	US 6075876 A1 (Draganoff) 2000.06.13, 第2欄第63行～第4欄第11行 & WO 98/50877 A1 & CA 2229586 A1	1-10
A	JP 6-187405 A (株式会社日立製作所) 1994.07.08, 段落0013 (ファミリーなし)	1-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 16.04.2004	国際調査報告の発送日 11.5.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 田中 友章 電話番号 03-3581-1101 内線 3520