

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-539633
(P2010-539633A)

(43) 公表日 平成22年12月16日(2010.12.16)

(51) Int.Cl.		F I		テーマコード (参考)	
G 1 1 C 29/12	(2006.01)	G 1 1 C	29/00	6 7 1 B	5 L 1 0 6
G 1 1 C 29/10	(2006.01)	G 1 1 C	29/00	6 5 7 B	

審査請求 有 予備審査請求 未請求 (全 58 頁)

(21) 出願番号 特願2010-525982 (P2010-525982)
 (86) (22) 出願日 平成20年9月18日 (2008. 9. 18)
 (85) 翻訳文提出日 平成22年5月18日 (2010. 5. 18)
 (86) 国際出願番号 PCT/US2008/076911
 (87) 国際公開番号 W02009/039316
 (87) 国際公開日 平成21年3月26日 (2009. 3. 26)
 (31) 優先権主張番号 60/973, 432
 (32) 優先日 平成19年9月18日 (2007. 9. 18)
 (33) 優先権主張国 米国 (US)

(71) 出願人 505330125
 メンター グラフィックス コーポレイ
 ヨン
 アメリカ合衆国, オレゴン州 97070
 -7777, ウィルソンビル, サウスウ
 エスト ベックマン ロード 8005番
 地
 (74) 代理人 100087701
 弁理士 稲岡 耕作
 (74) 代理人 100101328
 弁理士 川崎 実夫
 (74) 代理人 100110799
 弁理士 丸山 温道

最終頁に続く

(54) 【発明の名称】 メモリ BIST 環境における故障診断

(57) 【要約】

【課題】メモリ・ビルトイン・セルフテスト環境において不成功のメモリテストのテスト応答符号を時間的に圧縮することにより、時間に関連する複数のメモリテスト障害を検出した場合であっても、メモリ・ビルトイン・セルフテスト動作を継続できる方法および装置を開示する。

【解決手段】適用されたメモリテストに対してテスト応答符号を有するテスト応答を生成するように構成された組み込みメモリアレイ204と、一連のメモリテストを前記組み込みメモリアレイ204に適用するように構成されたメモリ・ビルトイン・セルフテスト制御装置206と、不成功のメモリテストのテスト応答符号を時間的に圧縮するように構成された線形フィードバック構造を具備する。集積回路装置207は、欠陥テスト応答のメモリ位置情報を収集するため、欠陥ワード計数器211、欠陥列指示器213、および欠陥行指示器214を具備している。

【選択図】 図 2

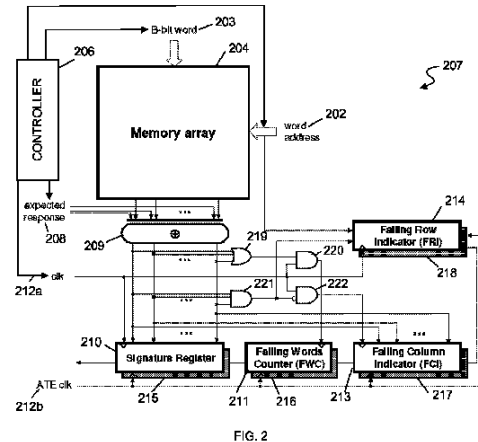


FIG. 2

【特許請求の範囲】**【請求項 1】**

集積回路装置の組み込みメモリをテストする方法であって、当該集積回路装置のメモリ・ビルトイン・セルフテスト制御装置を動作させてテストステップを適用し、不成功のメモリテストに対する複数のテスト応答符号を生成し、線形フィードバック構造を用いて前記テスト応答符号を時間的に圧縮し、不成功のメモリテストに関連するメモリ位置情報を収集し、時間的に圧縮した前記テスト応答符号および収集した前記メモリ位置情報を診断ツールに提供して、メモリ故障診断プロセスに使用する、ことを含む、組み込みメモリのテスト方法。

10

【請求項 2】

時間的に圧縮した前記テスト応答符号および収集した前記メモリ位置情報を診断ツールに提供することが、

時間的に圧縮した前記テスト応答符号および収集した前記メモリ位置情報を自動テスト装置に提供し、

時間的に圧縮した前記テスト応答符号および収集した前記メモリ位置情報を前記自動テスト装置から前記診断ツールに転送して、メモリ故障診断プロセスに使用する、

ことを含む、請求項 1 に記載の方法。

【請求項 3】

時間的に圧縮した前記テスト応答符号をシャドーレジスタに転送することをさらに含む、請求項 1 に記載の方法。

20

【請求項 4】

不成功のメモリテストと関連する収集した前記メモリ位置情報をシャドーレジスタに転送することをさらに含む、請求項 1 に記載の方法。

【請求項 5】

メモリ位置情報の収集が、不成功のワード数を収集することを含む、請求項 1 に記載の方法。

【請求項 6】

メモリ位置情報の収集が、前記組み込みメモリの欠陥列を識別する情報を収集することを含む、請求項 1 に記載の方法。

30

【請求項 7】

メモリ位置情報の収集が、前記組み込みメモリの欠陥行を識別する情報を収集することを含む、請求項 1 に記載の方法。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の方法を実施するためにコンピュータシステムによって実行可能な一連のプログラム命令が格納されたコンピュータ可読の記憶媒体。

【請求項 9】

適用されたメモリテストに対してテスト応答符号を有するテスト応答を生成するように構成された組み込みメモリアレイと、

一連のメモリテストを前記組み込みメモリアレイに適用するように構成されたメモリ・ビルトイン・セルフテスト制御装置と、

不成功のメモリテストのテスト応答符号を時間的に圧縮するように構成された線形フィードバック構造と、

不成功のメモリテストと関連するメモリ位置情報を収集するように構成された位置データ収集器と、

を備えた集積回路装置。

40

【請求項 10】

前記線形フィードバック構造がリング発生器であることを特徴とする、請求項 9 に記載の集積回路装置。

【請求項 11】

50

前記位置データ収集器が、欠陥ワード計数器、欠陥列指示器、または欠陥行指示器であることを特徴とする、請求項 9 に記載の集積回路装置。

【請求項 12】

欠陥行検出器をさらに備えた、請求項 9 に記載の集積回路装置。

【請求項 13】

前記組み込みメモリからテスト応答を受信してテスト応答符号を生成するように構成された比較器をさらに備えた、請求項 9 に記載の集積回路装置。

【請求項 14】

前記テスト応答符号がエラーベクトルであることを特徴とする、請求項 9 に記載の集積回路装置。

【請求項 15】

時間的に圧縮した前記テスト応答符号を受信するように構成されたシャドーレジスタをさらに備えた、請求項 9 に記載の集積回路装置。

【請求項 16】

前記位置データ収集器から位置データを受信するように構成されたシャドーレジスタをさらに備えた、請求項 9 に記載の集積回路装置。

【請求項 17】

メモリテストのテストステップを実行し、
符号データを時間的に圧縮する線形フィードバック構造を含む符号レジスタにおいて、
前記テストステップに対するテスト応答に基づいて符号データを生成し、
時間的に圧縮した符号データを前記符号レジスタから当該符号レジスタと関連するシャドーレジスタにアップロードし、
前記メモリテストの次のテストステップを実行し、
時間的に圧縮した前記符号データを前記シャドーレジスタから自動テスト装置に転送する、
ことを含む、組み込みメモリのテスト方法。

【請求項 18】

位置データ収集器において、メモリテストの不成功のテストステップと関連するメモリ位置情報を収集し、
収集した前記メモリ位置情報を位置データ収集器から当該位置データ収集器と関連するシャドーレジスタにアップロードする、
ことをさらに含む、請求項 17 に記載の方法。

【請求項 19】

収集した前記メモリ位置情報を位置データ収集器と関連する前記シャドーレジスタから自動テスト装置に転送することをさらに含む、請求項 18 に記載の方法。

【請求項 20】

時間的に圧縮した前記符号データおよび収集した前記メモリ位置情報を前記自動テスト装置から診断ツールにアップロードすることをさらに含む、請求項 19 に記載の方法。

【請求項 21】

前記メモリテストがマーチテストであることを特徴とする、請求項 17 に記載の方法。

【請求項 22】

請求項 17 ~ 21 のいずれか 1 項に記載の方法を実施するためにコンピュータシステムによって実行可能な一連のプログラム命令が格納されたコンピュータ可読の記憶媒体。

【請求項 23】

メモリテストのテストステップを実行し、
符号データを時間的に圧縮する線形フィードバック構造を含む符号レジスタにおいて、
前記テストステップに対するテスト応答に基づいて符号データを生成し、
位置データ収集器において、メモリテストの不成功のテストステップと関連するメモリ位置情報を収集し、
前記メモリテストの次のテストステップを実行する前に、時間的に圧縮した符号データ

10

20

30

40

50

を前記符号レジスタから自動テスト装置にアップロードし、

前記メモリテストの次のテストステップを実行する前に、収集した前記メモリ位置情報を位置データ収集器から前記自動テスト装置にアップロードし、

前記メモリテストの次のテストステップを実行する、
ことを含む、組み込みメモリのテスト方法。

【請求項 2 4】

時間的に圧縮した前記符号データおよび収集した前記メモリ位置情報を前記自動テスト装置から診断ツールにアップロードすることをさらに含む、請求項 2 3 に記載の方法。

【請求項 2 5】

前記メモリテストがマーチテストであることを特徴とする、請求項 2 3 に記載の方法。

10

【請求項 2 6】

請求項 2 3 ~ 2 5 のいずれか 1 項に記載の方法を実施するためにコンピュータシステムによって実行可能な一連のプログラム命令が格納されたコンピュータ可読の記憶媒体。

【請求項 2 7】

データ値を格納するための組み込みメモリアレイ手段と、

それぞれがテストステップを含む一連のメモリテストを前記組み込みメモリアレイ手段に適用するための制御手段と、

テストステップ中に線形フィードバックを用いて不成功のメモリテストのテスト応答符号を時間的に圧縮するための圧縮手段と、

テストステップ中に不成功のメモリテストと関連する障害位置情報を収集するための収集手段と、

20

を備えた集積回路装置。

【請求項 2 8】

前記圧縮手段が多入力シフトレジスタであることを特徴とする、請求項 2 7 に記載の集積回路装置。

【請求項 2 9】

前記多入力シフトレジスタが多入力リング発生器であることを特徴とする、請求項 2 8 に記載の集積回路装置。

【請求項 3 0】

前記収集手段が、欠陥ワード計数器として構成された線形フィードバックシフトレジスタを含むことを特徴とする、請求項 2 7 に記載の集積回路装置。

30

【請求項 3 1】

テストステップの最後に前記圧縮手段から時間的に圧縮した前記テスト応答符号を受信するための手段と、

テストステップの最後に前記収集手段から収集した前記障害位置情報を受信するための手段と、

をさらに備えた、請求項 2 7 に記載の集積回路装置。

【請求項 3 2】

集積回路装置において、メモリ・ビルトイン・セルフテスト中に組み込みメモリ障害を診断する方法であって、

40

障害位置データを受信し、

複数の不成功のメモリテストの時間的に圧縮されたテスト応答符号を受信し、

前記障害位置データを用いて所定の診断手順群から 1 つを選択し、

前記診断手順を実行して、時間的に圧縮されたテスト応答符号から欠陥メモリセルの座標を生成し、

前記欠陥メモリセルの座標を報告する、

ことを含む方法。

【請求項 3 3】

前記所定の診断手順群が、離散対数法、高速 L F S R シミュレーション法、一次方程式法、および符号シミュレーション法を含むことを特徴とする、請求項 3 2 に記載の方法。

50

【請求項 3 4】

前記診断手順が、
周期 m 、所定の初期状態、および特性多項式を有する線形フィードバックシフトレジスタの状態情報を事前に計算し、
前記状態情報を診断ツールのメモリ内のルックアップテーブルに格納し、
前記周期 m の因数分解により係数群を決定し、
メモリ障害と関連する特定の状態に対応する前記線形フィードバックシフトレジスタの特定の状態情報を受信し、
各係数に関して、当該係数、前記特性多項式、および前記特定の状態情報に基づいて当該係数と関連する剰余を計算し、当該剰余の前記ルックアップテーブルにおけるインデックスを決定し、
係数と関連する剰余の前記ルックアップテーブルにおけるインデックスと当該係数に対応する所定の整数との積である各項の係数の合計を評価して、前記線形フィードバックシフトレジスタの特定の状態と前記初期状態との間の距離を生成する、
ことを含むことを特徴とする、請求項 3 2 に記載の方法。

10

【請求項 3 5】

前記診断手順が、
 n ビット線形フィードバックシフトレジスタの状態情報を診断ツールのメモリ内の $n \times n$ ルックアップテーブルに格納し、ここで、当該ルックアップテーブルの列が、 n ビット線形フィードバックシフトレジスタの 1 つのビットだけが 1 となる一重項状態である当該線形フィードバックシフトレジスタの初期状態に対応し、当該ルックアップテーブルの行が、特定回数としての 2 の累乗回のクロック周期を当該線形フィードバックシフトレジスタの状態に適用することに対応し、当該ルックアップテーブルの特定の行および列への入力が、当該特定行に対応する多数のクロック周期を当該特定列に対応する線形フィードバックシフトレジスタの初期状態に適用した後に得られた線形フィードバックシフトレジスタの状態に対応する状態情報を含み、
前記線形フィードバックシフトレジスタに適用される多数のクロック周期を記述した整数 x を受信し、
各要素としての 2 の累乗の合計にて x を表現し、
前記線形フィードバックシフトレジスタの先行状態に対応する状態情報を受信し、
前記先行状態を公称初期状態として選択し、
 x の各要素に関して、前記公称初期状態を一重項状態群に分解し、 x の要素で与えられる多数のクロック周期により各一重項状態を改良して改良型一重項状態群を生成し、ビット単位の XOR 演算により前記改良型一重項状態群を 1 つの状態に結合し、得られた状態を x の次の要素の公称初期状態として選択し、
前記分解、改良、および結合の工程が x のすべての要素に対して完了した場合、前記線形フィードバックシフトレジスタの最終状態を前記 1 つの状態に決定する、
ことを含むことを特徴とする、請求項 3 2 に記載の方法。

20

30

【請求項 3 6】

前記障害位置情報が、欠陥パターンのクラスを規定し、
前記診断手順が、前記障害位置情報により規定された欠陥パターンのクラスに基づいて選択される、
ことを特徴とする、請求項 3 2 に記載の方法。

40

【請求項 3 7】

前記障害位置情報が、欠陥ワードの数、欠陥列の指示、または欠陥行の指示を含むことを特徴とする、請求項 3 2 に記載の方法。

【請求項 3 8】

診断手順の選択が、障害位置情報の候補値に基づいて入力がインデックス化されたルックアップテーブルを介して行われることを特徴とする、請求項 3 2 に記載の方法。

【請求項 3 9】

50

診断手順が、ルックアップテーブルを用いて実行を効率化することを特徴とする、請求項 3 2 に記載の方法。

【請求項 4 0】

時間的に圧縮されたテスト応答符号の受信が、テスト対象の集積回路装置から時間的に圧縮されたテスト応答符号を受信することを含む、請求項 3 2 に記載の方法。

【請求項 4 1】

時間的に圧縮されたテスト応答符号の受信が、自動テスト装置から時間的に圧縮されたテスト応答符号を受信することを含む、請求項 3 2 に記載の方法。

【請求項 4 2】

前記欠陥メモリセルの座標の報告が、白黒のビットマップを生成して前記集積回路装置における組み込みメモリ障害を表現することを含む、請求項 3 2 に記載の方法。

10

【請求項 4 3】

前記欠陥メモリセルの座標の報告が、カラーのビットマップを生成して前記集積回路装置における 2 種類以上の組み込みメモリ障害を表現することを含む、請求項 3 2 に記載の方法。

【請求項 4 4】

請求項 3 2 ~ 4 3 のいずれか 1 項に記載の方法を実施するためにコンピュータシステムによって実行可能な一連のプログラム命令が格納されたコンピュータ可読の記憶媒体。

【請求項 4 5】

集積回路装置において、メモリ・ビルトイン・セルフテスト中に発生した組み込みメモリ障害を診断する診断ツールであって、

20

障害位置データを受信するように構成された位置受信モジュールと、

複数の不成功のメモリテストの時間的に圧縮されたテスト応答符号を受信するように構成された符号受信モジュールと、

前記障害位置データを用いて所定の診断手順群から 1 つを選択するように構成された診断選択モジュールと、

前記診断手順を実行して、時間的に圧縮されたテスト応答符号から欠陥メモリセルの座標を生成するように構成された診断モジュールと、

前記欠陥メモリセルの座標を報告するように構成された報告モジュールと、

を備えた診断ツール。

30

【請求項 4 6】

前記所定の診断手順群が、離散対数法、高速 L F S R シミュレーション法、一次方程式法、および符号シミュレーション法を含むことを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 4 7】

前記障害位置情報が、欠陥パターンのクラスを規定し、

前記診断選択モジュールが、前記障害位置情報により規定された欠陥パターンのクラスに基づいて診断手順を選択する、

ことを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 4 8】

40

前記障害位置情報が、欠陥ワードの数、欠陥列の指示、または欠陥行の指示を含むことを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 4 9】

前記診断選択モジュールが、障害位置情報の候補値に基づいて入力が入デックス化されたルックアップテーブルを用いて診断手順を選択することを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 5 0】

前記診断モジュールが、ルックアップテーブルを用いて診断手順の実行を効率化することを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 5 1】

50

前記報告モジュールが、白黒のビットマップを生成して前記集積回路装置における組み込みメモリ障害を表現するように構成されていることを特徴とする、請求項 4 5 に記載の診断ツール。

【請求項 5 2】

前記報告モジュールが、カラーのビットマップを生成して前記集積回路装置における 2 種類以上の組み込みメモリ障害を表現するように構成されていることを特徴とする、請求項 4 5 に記載の診断ツール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ・ビルトイン・セルフテスト環境におけるメモリの故障診断に関する。特に、本発明の態様は、集積回路装置の組み込みメモリを連続的に高速テストするためのテストデータの収集および解析に適用することができる。

【背景技術】

【0002】

集積回路装置の多くは、その要素として組み込みメモリを有する。たとえば、System-on-a-Chip (SoC) 装置は通常、多数の組み込みメモリシステムを含む。また、組み込みメモリシステムは、それぞれ 0 または 1 の 2 進数 (ビット) を表現可能な高電圧値または低電圧値によって通常特定される状態を保持可能な構成要素であるメモリセル群を含む。メモリセルは、組み込みメモリ中でアレイ状に配置されており、行と列とで特定されることが多い。そして、データ線により特定セルに対する電圧値の印加または読み取りを行って、ビット値を格納または読み出すことができる。また、メモリセルは通常、ワード単位、すなわち、単一のユニットとして同時にアドレス指定可能な一定数のセルとして配置される。

【0003】

図 1 は、組み込みメモリで使用可能なメモリ・アーキテクチャ 100 の一例である。メモリの各ワードは、アドレスを 1 つずつ有する。行デコーダ 101 a は、アドレス指定されたワードのアドレスデータ 102 a を受け取り、当該アドレスデータのデコードに際して、アドレス指定された行にデータ線またはインターコネクタを割り当てる。同様に、列デコーダ 101 b は、アドレス指定されたワードのアドレスデータ 102 b を受け取り、当該アドレスデータに基づいて、アドレス指定されたワードに対応する列にデータ線またはインターコネクタを割り当てる。たとえば、クロック信号が入力されると、上記メモリアドレスへのアクセスにより、メモリアレイ 104 に対するデータワード 103 の格納または読み出しが行われる。

【0004】

各行はいずれも W 個のワードから成り、各ワードの長さは B ビットであって、行数は R 個である。1 つのワードに属する連続ビットは、順々に配置するか、または図 1 に示すように、交互配置によりセグメント 105 を構成することができる。すなわち、連続的なワードに属するビットは、メモリアレイの各行において交互配置することができる。このような交互配置形式により、各ワードの対応ビットが各セグメント 105 に統合される。例示したメモリ・アーキテクチャでは、メモリ中のある行のあるワードをアドレス指定すると、各セグメントのビットが 1 つだけアドレス指定されることになる。すなわち、任意の所定行の第 1 ワードをアドレス指定すると、第 1 セグメントの第 1 ビット b_0 、第 2 セグメントの第 1 ビット b_1 、...、第 B セグメントの第 1 ビット b_{B-1} がアドレス指定されることになる。

【0005】

近年、チップ面積に占めるメモリアレイの割合が急速に増大している。国際半導体技術ロードマップでは、この動向に基づいて、チップのシリコン領域に占めるメモリの割合が 10 年以内に 90% を超えると予測している。メモリアレイは、極度な集積の大規模化により、新たな歩留まり低下メカニズムを既に招来し始めており、その速度、大きさ、およ

10

20

30

40

50

び複雑さは、テスト方法の大幅な変更を余儀なくするほどである。実際、以前はほとんど見られなかった時間に関連する故障(Time-related)または複雑な読み出し故障等の多くの障害は、半導体チップの最高密度の領域から起こっている。したがって、現行および次世代の組み込みメモリシステムをテストする能力は、前世代の組み込みメモリシステムにおけるよりもさらに重要となっている。

【0006】

しかし、組み込みメモリシステムのテストおよび診断は、独立型メモリユニットよりも難しい。これは、組み込みメモリの構造がより複雑であるということのみならず、これら回路へのアクセスおよび制御に利用可能な入出力の数が少なく、テストチャンネルの帯幅が狭くなっていることにも起因する。そこで、高品質なテストの実施においては、メモリ・ビルトイン・セルフテスト(MBIST:Memory Built-In Self-Test)が望ましい解決手段となっている。MBISTが通常望ましい選択肢であること理由として、以下の3点が挙げられる。すなわち、(1)組み込みメモリは、規則的な構造を有しており精緻なテストパターンの適用が不要なため、テスト刺激(stimuli)および期待テスト応答は、ハードウェアのオーバーヘッドが少ない比較的簡単なテスト回路によって生成、圧縮、および格納することができる。(2)入出力チャンネル数が少なくても、通常は、起動、スキャンイン、スキャンアウト等の必要なBIST動作の制御には十分である。(3)すべてのテストロジックをオンチップ配置可能なため、高速テストが可能となって、時間に関連する故障を検出することができる。メモリBISTテストの一実施態様としては、John T. ChenおよびJanusz Rajskiによる2002年7月16日発行の下記特許文献1に記載がある。この先行特許の全開示内容は、本明細書中に参考として援用する。

【0007】

特定のMBIST制御装置は、配線接続の有限状態機械(FSM:Finite State Machine)として設計されているが、通常はいくらかの柔軟性が望まれる。このため、MBISTの実施態様の多くは、プログラム可能な(マイクロコード化された)装置である。このような回路は、最新式の組み込みメモリ構造の課題を満たすようにプログラミングが可能であり、都合が良い。

【0008】

ビルトイン自己診断(BISD:Built-In Self-Diagnosis)として周知の組み込みメモリの故障診断は通常、正しくないテスト応答(一般的に「欠陥パターン」と称することもある)を判定することを主な目的とし、欠陥のあるメモリセル、メモリアレイの列、またはメモリアレイの行を指定可能な従来のMBISTのフローに何らかの修正を加えたものである。メモリアレイの欠陥部位を識別するプロセスは、オンチップで実施するか、あるいは、チップから圧縮テスト応答(「符号(signatures)」と称することもある)をダウンロードした後、たとえば自動テスト装置(ATE:Automatic Test Equipment)または別の診断ツールによりオフラインで実施することができる。正しくないテスト応答に対応する符号は、圧縮の有無に関わらず、本明細書中で「欠陥符号(failing signatures)」と称することもある。故障診断は主に、ビルトイン自己修復(BISR:Built-In Self-Repair)プロセスにおいて、欠陥のある行または列を予備の行または列と交換することによって欠陥のあるメモリアレイを「修復(repair)」するために実施する。また、故障診断は、たとえば既存の製造プロセスの修正を容易化して、将来的に歩留まりを改善するために実施する。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第6,421,794号「セルフテスト回路を用いてメモリを診断する方法および装置」

【発明の概要】

【発明が解決しようとする課題】

【0010】

10

20

30

40

50

メモリ回路の時間に関連する故障をテストするには、「高速(at-speed)」すなわちメモリ回路の定格動作速度でテストを行うのが望ましい。しかし、集積回路装置の入出力チャンネルの帯域幅は比較的狭いため、組み込みメモリの欠陥部位の欠陥符号またはアドレス位置を高速にダウンロードすることが困難または不可能な場合がある。このことは、先に得られた診断データのダウンロード中に別の故障が検出された場合に大きな問題となる。したがって、メモリ回路をテストするように修正されたBIST方法の多くは、「中断と再開(pause and resume)」または「停止と再開(stop and start)」のいずれかの動作モードを採用している。

【0011】

「中断と再開」モードにおいて、たとえば、正しくないテスト応答(incorrect test response)を格納するレジスタが1つしかない場合は、障害の検出に際してBIST制御装置がholdモードに移行する。そして、正しくないテスト応答がレジスタからATEにスキャンアウトされると、BIST制御装置はその動作を再開する。BIST方法によっては、複数のレジスタを設けて複数の正しくないテスト応答を格納することもある。この場合、BIST制御装置は、レジスタが飽和するまで、障害検出中もテストを継続することができる。BIST制御装置は、すべての障害格納レジスタの内容が完全にスキャンアウトされるまでholdモードに移行し、その後、テスト動作を再開する。

【0012】

「停止と再開」モードにおいては、故障が検出されると、BIST制御装置が初期テスト状態に移行して、対応する診断データがスキャンアウトされる。そのようにしなければ、BIST制御装置は、故障が直前に検出されたアドレスと次の目標位置(BIST制御装置が動作を再開可能な位置)との間の時間に関連する故障を見逃す可能性がある。BIST制御装置は、連続的に動作を繰り返す場合、直前に検出された故障のアドレスを過ぎるまでメモリ出力を監視しない。

【0013】

注目すべきは、特定の単一故障によって大量の診断データが生成される可能性があることである。たとえば、1つの信号線または「インターコネクト」に障害が発生しただけで、当該メモリアレイの全行または全列が正しく動作しなくなり、誤ったデータを大量に生成することにもなり得る。このため、従来のメモリBISTにおいては、大量の診断データに関して2つの懸念事項が存在する。まず第1に、データのスキャンアウトにはかなりの時間を要する可能性がある。第2に、ATEメモリは、特にすべてのメモリ障害が記録されている場合、急速に飽和する可能性がある。したがって、ATEメモリを解放できるように、データの切り捨てまたはメモリBIST制御装置の停止のいずれかが必要となる。データの切り捨ては、診断の観点からは通常受け入れられない。実際、すべての診断データは通常、特定のメモリが修復可能であるか否かを決定する際の障害解析に必要である。また、ATEメモリを長時間にわたって解放することも、時間的な制約により受け入れられないことが多い。

【課題を解決するための手段】

【0014】

本発明の種々の態様は、メモリ・ビルトイン・セルフテスト環境において不成功のメモリテストのテスト応答符号を時間的に圧縮することにより、時間に関連する複数のメモリテスト障害を検出した場合であっても、メモリ・ビルトイン・セルフテスト動作を継続できる方法および装置に関する。

本発明の一部の実施態様において、圧縮されたテスト応答符号は、メモリ位置情報とともにATEに提供される。圧縮されたテスト応答符号およびメモリ位置情報は、ATEから診断ツールが受信するようにしてもよい。そして、診断ツールは、メモリ位置情報を用いて、圧縮されたテスト応答符号に対する適当な診断手順を選択することにより、非常に時間効率の良いオフラインルーチンを提供して圧縮されたテスト応答符号から障害データを安全に回復するようにしてもよい。

【0015】

本発明の種々の実施態様によれば、組み込みメモリおよびメモリBIST制御装置を備えた集積回路は、メモリテストのテストステップ中に組み込みメモリアレイからのテスト応答符号を時間的に圧縮可能な符号レジスタとして使用する線形フィードバック構造も具備する。線形フィードバック構造は、たとえば線形フィードバックシフトレジスタであってもよい。

【0016】

種々の実施態様において、集積回路は、欠陥ワード計数器、欠陥列指示器、および/または欠陥行指示器を具備していてもよい。欠陥ワード計数器、欠陥列指示器、および欠陥行指示器は、線形フィードバック構造が欠陥テスト応答を圧縮するたびにメモリ位置情報を収集する。これらの実施態様により、診断データ、すなわちテスト応答データおよび位置データがオンチップで圧縮されるため、診断データをATEに転送する時間が短縮される。

10

【0017】

本発明のその他の種々の実施態様によれば、診断ツールは、ATEから診断データを受信し、ルックアップテーブルを用いて適当な診断方法を選択する。欠陥ワード計数器、欠陥列指示器、および欠陥行指示器によって格納された値は、ルックアップテーブルのインデックスとしての役割を果たすものであってもよい。さらに、診断ツールは、ルックアップテーブルを追加することによって、圧縮されたテスト応答からの診断データの抽出を高速化するようにしてもよい。このように、テスト時間と、ATEに提供されるテストデータおよびATEから診断ツールによって受信されるテストデータの量とは、大幅に低減することができる。

20

【0018】

本発明の上記ならびにその他の特徴および態様は、以下の詳細な説明を考慮することによって明らかとなる。

【図面の簡単な説明】

【0019】

【図1】組み込みメモリで使用可能なメモリ・アーキテクチャの一例を示す図である。

【図2】組み込みメモリと、MBIST制御装置と、テスト応答符号の圧縮およびメモリ位置情報の収集を行う構成要素とを具備する集積回路装置のブロック図である。

【図3】図2の集積回路装置の一実施形態に係る動作方法を示すフローチャートである。

30

【図4】図2の集積回路の符号レジスタとして実装された多入力リング発生器(MIRG: Multiple Input Ring Generator)を示す図である。

【図5】0...001状態で初期化されたリング発生器ベースの欠陥ワード計数器を示す図であって、黒塗り箇所は、レジスタの論理1の位置を示している。

【図6】図1の集積回路の一実施態様に係る欠陥列指示器を示す図である。

【図7】一実施態様に係る欠陥行検出器を備えた図2の集積回路装置を示す図である。

【図8A】一実施態様に係る欠陥行指示器を示す図である。

【図8B】一実施態様に係る改良型欠陥行指示器を示す図である。

【図9】改良型欠陥行指示器を備えたメモリテスト・診断環境を示す図である。

【図10】メモリアレイ中の対角セル故障の例を示す図である。

40

【図11】メモリアレイ中の欠陥列の一例を示す図である。

【図12】メモリアレイ中の欠陥行および欠陥列の一例を示す図である。

【図13】欠陥メモリセルに起因するエラーの符号レジスタへの導入を示す図である。

【図14】離散対数法の事前計算段階を示す図である。

【図15】離散対数法におけるルックアップテーブルの探索を示す図である。

【図16】多入力リング発生器における符号レジスタの軌道を示す図である。

【図17】単一系列障害 C_x および基準列 C_0 を示す図である。

【図18】特性多項式 $x^4 + x^3 + 1$ を実装した内部XOR LFSRのための高速LFSRシミュレーションのデータ構造の一例を示す図である。

【図19】高速LFSRシミュレーションの一例を示す図である。

50

【図 2 0】メモリアレイ中の 2 列障害の一例を示す図である。

【図 2 1】図 2 0 の障害に対応する一次方程式群を示す図である。

【図 2 2 A】1 列 1 行障害を示す図である。

【図 2 2 B】1 列 1 行障害を示す図である。

【図 2 3】隣接セル障害の符号の取得に用いられる M I R G シミュレーションを示す図である。

【図 2 4】リング発生器 (R G : Ring Generator) と、同じ m 系列を生成する内部 X O R L F S R とを示す図である。

【図 2 5】L F S R の状態とリング発生器の状態との間のマッピングを示す図である。

【図 2 6】一実施形態に係るメモリ診断フローを示す図である。

10

【図 2 7】一実施形態に係るメモリテスト障害を診断する方法のフローチャートである。

【図 2 8】一実施形態に係る診断ツールを示す図である。

【発明を実施するための形態】

【 0 0 2 0 】

概略

本発明の種々の実施態様は、メモリ B I S T 環境における組み込みメモリ回路の故障診断に関する。まず、メモリ B I S T 環境におけるテスト・診断フローの概要を提示する。次に、一実施形態に係る動作方法とともに、組み込みメモリおよびメモリ B I S T 制御装置に高速テスト対応の構成要素を付加した一実施形態に係る集積回路装置について論じる。また、テスト応答符号の受信および圧縮が可能な符号レジスタの種々の実施態様を提示する。さらに、メモリ位置情報の収集に対応し、メモリテスト障害データのオンチップ圧縮を可能にする論理要素とともに、欠陥ワード計数器、欠陥行指示器、および欠陥列指示器等の構成要素について詳細に論じる。

20

【 0 0 2 1 】

集積回路装置について論じた後、当該集積回路装置の一実施形態に係る動作方法について、より詳細に論じる。これにより、時間に関連する複数のメモリテスト障害が存在する場合であっても、前述の構成要素が種々の実施態様で協働して高速のメモリ・ビルトイン・セルフテスト動作を継続させる方法を示す。また、診断データを自動テスト装置に転送する時間を短縮するため、これら構成要素が種々の実施態様で協働して診断データ、すなわちテスト応答データおよび位置データの量を圧縮する方法を示す。

30

【 0 0 2 2 】

その後、一実施形態に係るテスト応答符号の診断方法の詳細を提示する。特に、いくつかの診断例とともに、診断用欠陥テストパターンのルックアップテーブルを提示する。これには、線形フィードバック構造を用いて欠陥セルのメモリアドレスを把握するための付加的なルックアップテーブルおよび計算の詳細を含む。最後に、一実施形態に係るテスト応答符号の診断方法を実施可能な診断ツールについて論じる。

【 0 0 2 3 】

以下に開示する電子回路テスト方法およびその関連装置の実施形態は、代表的な一例に過ぎず、限定解釈してはならない。それとは逆に、本開示は、様々な開示方法、装置、およびそれらの同等物を単独ならびに種々の結合および副結合で適用する場合のすべての新規かつ非自明な特徴および態様に関する。本開示技術は、特定の態様、特徴、またはそれらの組み合わせに一切限定されない。また、本開示方法および装置は、1 または複数の具体的な利点の提示や問題の解決を要件とするものではない。

40

【 0 0 2 4 】

本願において使用する通り、単数形「 a 」 「 a n 」 「 t h e 」 は、文脈上の明確な規定がない場合、複数形を含む。また、「含む (includes) 」 という用語は、その他の要素が存在し得ないという意味を含まずに「 is made up of 」 を意味する。さらに、「結合 (coupled) 」 という用語は、文脈上の規定がない場合、電氣的または電磁的に接続または結合された状態を意味し、当該回路の目的とする動作に影響を及ぼさない 1 または複数の中間要素を介した直接接続および間接接続の両者を含む。

50

【0025】

一部の開示方法および装置の動作は、説明の便宜上、特定の順序で記述しているが、以下に具体的な表現で特定の順序付けが要求されていない場合は、再構成を包含するものと理解すべきである。たとえば、連続的に記述された動作は、場合によっては再構成または同時実行としてもよい。さらに、簡素化のため、添付の図面には、開示方法および装置と他の方法および装置との同時使用を可能とする様々な方法が示されていない場合がある。また、「決定 (determine)」や「選択 (select)」等の用語を用いて開示方法を説明している場合がある。これらの用語は、実際に行う動作を高度に抽象化したものである。これらの用語に対応する実際の動作は、特定の実施態様に依りて異なるが、当業者であれば容易に識別可能である。

10

【0026】

本発明の種々の実施形態は、たとえば組み込みメモリを有する多種多様な集積回路に実装することができる (たとえば、特定用途向け集積回路 (ASIC: Application-Specific Integrated Circuit) (混合信号ASICを含む)、System-on-a-Chip (SoC)、またはフィールド・プログラマブル・ゲートアレイ (FPGA: Field Programmable Gate Array) 等のプログラム可能論理装置 (PLD: Programmable Logic Device) 等)。

【0027】

さらに、いずれの開示装置であっても、1または複数のコンピュータ可読媒体に回路設計情報として格納することができる。たとえば、設計情報を含む1または複数のデータ構造 (たとえば、ネットリスト、HDLファイル、またはGDSIIファイル等) を作成 (または更新) および格納することによって、任意の開示装置を記述した設計情報を包含することができる。このようなデータ構造は、ローカルコンピュータまたは (たとえば、サーバコンピュータによって) ネットワーク上で作成 (または更新) および格納することができる。また、上記のコンピュータ可読媒体は、開示技術の範囲内と考えられる。

20

【0028】

また、本発明の1または複数の態様は、プログラム可能なコンピュータ装置上でソフトウェア命令を実行して具現化することにより、本発明に係る1または複数の機能を実行するようにしてもよい。これの代わりに、または、これに加えて、本発明の1または複数の態様は、コンピュータ可読媒体に格納されたコンピュータ実行可能なソフトウェア命令により具現化することによって、本発明に係る1または複数の機能を実行するようにしてもよい。

30

【0029】

さらに、いずれの開示方法であっても、コンピュータシミュレーションまたはその他のEDA環境に使用することができる。この場合、テストパターン、テスト応答、および診断結果は、1または複数のコンピュータ可読媒体に格納された回路表現により判定または解析される。ただし、説明の便宜上、本開示では、回路または回路要素の表現をその物理的な対応物 (たとえば、メモリアレイ、計数器、レジスタ、論理ゲート等) によって参照することができる。なお、本開示における物理的要素に対するいずれの参照も、シミュレーションまたはその他の上記EDA環境で使用されるような回路要素の表現を含むものと理解すべきである。

40

診断フロー

代表的なメモリテスト・診断フローにおいては通常、「マーチ」テストと称することもある包括テストを用いて、メモリアレイの不具合を確認する。マーチテストは、各メモリアドレスに順次適用される一連のテストステップである。各テストステップは通常、少なくとも1つの書き込み動作および/または読み出し動作から成る。たとえば表1の最上行に示すマーチテストの記述において、各テストステップは、当該テストステップで行われる動作を指定する括弧内の式で表されている。また、各テストステップは、セミコロンにより後続のステップから分離されている。さらに、テストステップの表現において、矢印は、当該テストステップでメモリにアクセスする順序を指定している。テストステップでは、上向き矢印 () で表されるアドレスの昇順または下向き矢印 () で表されるアド

50

レスの降順にメモリへのアクセスを行ってもよい。

【 0 0 3 0 】

表 1 のマーチテストは、(w 0) で表される初期化ステップから成り、「 0 」で表される「データバックグラウンド」ワードが昇順で各メモリワードアドレスに書き込まれる。データバックグラウンドワードは、すべて 0 または 1 から成るビットパターンであってもよい。あるいは、特定の 8 ビットワードに対して、たとえば 0 0 1 1 0 0 1 1 等の両者の組み合わせであってもよい。また逆に、「 1 」は、データバックグラウンドパターンの反転を表し、たとえば、データバックグラウンドワードがすべて 0 から成る場合にすべて 1 から成るワードである。あるいは、上記その他の例において、データバックグラウンドワードが 0 0 1 1 0 0 1 1 である場合に 1 1 0 0 1 1 0 0 から成るワードである。以下の説明では明確化のため、特別の規定がない限り、データバックグラウンドワードは、B 個の 0 から成るビットパターンである。そして、データバックグラウンドワードの反転ワードは、B 個の 1 から成るビットパターンである。したがって、以下では 0 および 1 の周囲の引用符を省略する。

10

【 0 0 3 1 】

表 1 . マーチテスト I F A 9 N の故障辞書

【 0 0 3 2 】

【表 1】

種類	↑(w0);	↑(r0, w1);	↑(r1, w0);	↓(r0, w1);	↓(r1, w0)
SAF0	0	0	0	1	0
SAF1	0	1	0	0	0
TF0	0	0	0	0	0
TF1	0	0	0	1	0
CFin0	0	0	0	1	0
CFin1	0	0	0	0	0
CFin2	0	1	0	0	0
CFin3	0	0	0	1	0
CFst0	0	0	0	1	0
CFst1	0	0	0	0	0
CFst2	0	0	0	0	0
CFst3	0	1	0	0	0
CFst4	0	0	0	0	0
CFst5	0	0	0	1	0
CFst6	0	1	0	0	0
CFst7	0	0	0	0	0
CFid0	0	0	0	1	0
CFid1	0	0	0	0	0
CFid2	0	0	0	0	0
CFid3	0	0	0	0	0
CFid4	0	0	0	0	0
CFid5	0	0	0	1	0
CFid6	0	1	0	0	0
CFid7	0	0	0	0	0
SOF0	0	1	0	1	0
SOF1	0	0	0	0	0
SOF2	0	0	0	0	0
AF0	0	1	0	1	0
AF1	0	0	0	0	0

10

20

30

40

50

【0033】

初期化ステップの後にはテストステップ (r0, w1) が続き、アドレスの昇順に対象メモリへのアクセスが行われる。このテストステップでは、各メモリアドレスにおいて、2つの動作が順次行われる。第1の動作 (r0) では、メモリワードが読み出される。rの後ろの0は、正しいテスト応答がデータバックグラウンドワード (すなわち、000...0) であって、それ以外はいずれも正しくない応答であることを意味する。第2の動作 (w1) では、反転ワード (すなわち、111...1) がメモリワードに書き込まれる。これら両動作は、テストステップが次のメモリアドレスに進む前に特定のアドレスで実施される。

【0034】

次のテストステップ (r1, w0) においては、再度、アドレスの昇順に対象メモリへのアクセスが行われる。このテストステップでは、各メモリアドレスにおいて、2つの動作が順次行われる。第1の動作 (r1) では、メモリワードが読み出される。rの後ろの1は、正しいテスト応答がデータバックグラウンドワードの反転ワード (すなわち、111...1) であって、それ以外はいずれも正しくない応答であることを意味する。第2の

動作 (w0) では、データバックグラウンドワード (すなわち、000...0) がメモリワードに書き込まれる。これら両動作は、テストステップが次のメモリアドレスに進む前に特定のアドレスで実施される。

【0035】

第4のテストステップ (r0, w1) は、メモリアクセスの順序に関してのみ第2のテストステップ (r0, w1) と異なり、アドレスの降順に対象メモリへのアクセスが行われる。同様に、第5のテストステップ (r1, w0) についても、アクセス順序に関してのみ第3のテストステップ (r1, w0) と異なり、アドレスの降順に対象メモリへのアクセスが行われる。

【0036】

マーチテストを用いることにより、メモリアレイ中の様々な障害を検出することができる。表1は、マーチテストにより観測されるエラーをその考え得る原因と関連させた故障辞書である。

一般的に、「故障辞書」は、行方向に故障を表示し、列方向にテストステップの動作を表示したテーブルである。このテーブルでは、検出された特定の故障およびその故障が検出された特定のテストステップ動作に対応するセルが1となる。一方、故障が検出されていないテストステップ動作のセルは、0となる。たとえば、書き込み動作では故障が検出されていないため、表1の書き込み動作の列は、すべて0となっている。

【0037】

故障辞書は、たとえばメモリ回路の解析、シミュレーション、または実験等に基づいて作成することができる。表1の第1列に記載された故障は、たとえば「0スタック」故障SAF0および「1スタック」故障SAF1を含む。TF0およびTF1は遷移故障、CFで始まる故障はカップリング故障である。SOF0、SOF1、およびSOF2で表される故障は、スタックオープン故障である。また、AF0およびAF1は、アドレスデコード故障である。したがって、テストステップにおいて、たとえば111...1がワードアドレスに書き込まれた後、0を含む任意のビットパターンが当該ワードアドレスから読み出された場合は、SAF0と診断される。

【0038】

メモリ障害診断の適用例としては、メモリアレイに対応する2次元画像(ビットマップ)の形成が挙げられる。この形成プロセスでは、メモリテスト応答を用いてビットマップの各ピクセル値を選択するため、各ピクセルが1つのメモリセルの状態(すなわち、良好または欠陥)を表すことになる。白黒のビットマップでは、白色のピクセルが良好セルを示し、黒色のピクセルがメモリアレイの欠陥部位を示す。これらのビットマップは、たとえばスタック故障等の故障種別の特定クラスを自然に抽象化したものであって、セルの良否という読み出し動作によって得られる基本的な情報のみを提供する。

【0039】

一方、カラーのビットマップは、様々なピクセル色により様々な故障クラスを表すことができる。たとえば、スタック故障をある色で表し、遷移故障を別の色で表すようにしてもよい。カラーのビットマップは、たとえばBISTモードにおいて、異なるテストステップおよび/またはデータバックグラウンドで一連のマーチテストを適用した後に得られる。これに加えて、または、これの代わりに、カラーのビットマップは、同じメモリアレイを表す白黒ビットマップ群のオフライン後処理中に得られる。特定の実施形態においては、故障辞書(たとえば、表1参照)を用いることによって、メモリアレイのカラーのエラービットマップの作成を支援することができる。そのような辞書は、特定のマーチテストルーチンに基づく論証プロセスの結果をまとめたものである。開示技術とともに使用可能な辞書および辞書生成方法の例は、L.-T. Wang, C.-W. Wu, X. Wen, "VLSI Test Principles and Architectures. Design for Testability," Morgan Kaufmann Publishers, New York, 2006に記載されている。なお、メモリBIST環境においては、たとえばGalpat、Walking、Butterfly、Sliding Diagonal、NPSF等のマーチテスト以外のメモリテストも適用可能であるものと理解すべきである。これまでに、数百種類ものアルゴリズムが

10

20

30

40

50

提案されている。テストのアルゴリズムについては、A. J. van de Goor, "Testing Semiconductor Memories: Theory and Practice," John Wiley & Sons Inc., New York, 1998およびR. Dean Adams, "High Performance Memory Testing: Design Principles, Fault Modeling, and Self-test," Springer, New York, 2002に記載されている。なお、本明細書に記載の方法および装置をマーチテスト以外のメモリテストに使用することは、本開示の範囲内であるものと理解すべきである。

時間的な圧縮を行う集積回路装置

種々の実施形態において、故障診断は、欠陥メモリセルを示す非常に正確な白黒のエラービットマップを生成することができる。たとえば、図2は、組み込みメモリアレイ204と、MBIST制御装置206と、テスト応答符号の圧縮およびメモリ位置情報の収集を行う構成要素210、211、213、および214とを具備する集積回路装置207のブロック図である。

10

【0040】

構成要素210は符号レジスタであり、その詳細は後述する。構成要素211、213、および214は、それぞれ欠陥ワード計数器(FWC:Failing Words Counter)、欠陥列指示器(FCI:Failing Column Indicator)、および欠陥行指示器(FRI:Failing Row Indicator)であり、その詳細も後述する。FWC211、FCI213、およびFRI214は、本明細書中で「位置データ収集器」と称することもある。符号レジスタ210に位置データ収集器211、213、および214を加えて、本明細書中で「テストデータ収集器」または「レジスタ」と称することもある。新たなハードウェアの機能性およびこのアーキテクチャの特定の拡張機能については、以下に詳細な説明を示す。

20

【0041】

以下では、単一の組み込みメモリアレイ204および単一のMBIST制御装置206のみを備えた集積回路装置207の具体例を説明するが、当然のことながら、集積回路装置207は、複数の組み込みメモリおよび複数のメモリMBIST制御装置を備えることによって、各メモリMBIST制御装置で複数の組み込みメモリをテスト可能である。また、組み込みメモリアレイ204は、図1に示すようなメモリ・アーキテクチャを有していてもよい。メモリアレイ中のメモリセルは、高速列アドレス指定モードまたは高速行アドレス指定モードのいずれかでアドレス指定してもよい。高速列アドレス指定モードの場合、ある列の連続ワードは、次の列に移行する前にアドレス指定される。高速行アドレス指定モードの場合、ある行の連続ワードは、次の行に移行する前にアドレス指定される。説明の便宜上、メモリアレイ204は高速列アドレス指定モードでアドレス指定され、ビットはメモリワード中に交互配置されるものと仮定する。なお、本明細書で説明する手順の実施形態は、他のメモリ構成に容易に拡張可能である。

30

【0042】

図3は、集積回路装置207の一実施形態に係る動作方法を示すフローチャート300である。方法300の各ステップについては、集積回路装置207(図2参照)の詳細な記述とともに説明する。この例において、メモリMBIST制御装置206は、特定のマーチテストおよび特定のデータバックグラウンドワードを適用するように構成されている。メモリMBIST制御装置206は、メモリアレイに適用するテストパターンワード203を生成するとともに、オンチップテスト・ハードウェアの動作を同期させるクロック信号212aを生成する。方法300は、自動テスト装置からの信号に応答して開始してもよい。さらに、方法300の個々のステップは、メモリMBIST制御装置206からの信号またはATE装置からのクロック信号212bに応答して実行してもよい。

40

【0043】

上記方法は、初期化ステップ323において、たとえば表1の最上行に示すマーチテストの第1テストステップを開始する。メモリMBIST制御装置206(図2参照)は、テストステップの実行を開始する(ステップ324)。制御装置206は、テストステップの開始時に、その起点となるメモリアレイ204の適当なワードアドレス202を選択する(ステップ325)。たとえば、そのテストステップにおいて、メモリアレイ204の

50

ワードをアドレスの昇順に指定する必要がある場合、適当な開始ワードアドレスは、メモリアレイの最小のワードアドレスである。また逆に、そのテストステップにおいて、メモリアレイ204のワードをアドレスの降順に指定する場合、適当な開始ワードアドレスは、メモリアレイの最大のワードアドレスである。

【0044】

BIST制御装置206(図2参照)は、ワードアドレスのメモリセルにテストワード203を適用する(ステップ326)。上述の通り、テストワードは、たとえばすべて0から成るワード等の「データバックグラウンド」またはその他所定のワードであってもよい。あるいは、たとえばデータバックグラウンドがすべて0から成るワードである場合にすべて1から成るワード等、データバックグラウンドの反転であってもよい。さらに、テストワードのメモリアドレスへの適用に際して、複数の動作を実行してもよく、場合によっては、2つ以上のテストワードを適用するか、または、同じテストワードを複数の動作で適用するようにしてもよい。たとえば、表1の第2テストステップにおいて、正しいテスト応答が0である読み出し動作をまず行った後、同じワードアドレスにおいて、1の書き込み動作を実施する。他の種類のテストステップにおいては、同じメモリアドレスに対して複数の読み出しおよび/または複数の書き込みを行ってもよい。

10

【0045】

読み出し動作に際して、テスト応答ワードを取得してもよい(ステップ327)。同時に、メモリBIST制御装置206(図2参照)は、取得したテスト応答ワードとともに比較器209に適用される(ステップ328)期待されるテスト応答ワード208を生成または提供するようにしてもよい。すなわち、たとえば比較器209によって、1または複数のテスト応答ワード(たとえば、テスト応答ワードごと)と期待応答ワードとを比較する。種々の実施形態において、比較器209は、たとえばXORまたはXNORネットワーク等の組み合わせ論理ネットワークである。比較器209は、テスト応答ワードが期待応答ワードと異なるビット位置を識別する。たとえば、期待応答ワードが11111111であり、観測されたテスト応答ワードが11011111である場合、比較器出力は00100000となる。このように、比較器209は、アクセス中のワードアドレスのテスト符号を生成する。なお、比較器209は、各読み出し動作の後、次のワードアドレスにアクセスする前にテスト符号を生成する(ステップ329)。このように比較器209によって生成されたテスト応答符号は、本開示において「エラーベクトル(error vector)」と称してもよい。

20

30

【0046】

テスト符号を生成する比較器209(図2参照)の動作ステップ329の後、符号は、時間的に圧縮されて符号レジスタ210に格納される(ステップ330)。種々の実施形態において、前記時間的な圧縮(ステップ330)では、たとえば多入力リング発生器(MIRG:multiple input ring generator)に順序論理を採用することにより、リング発生器の状態としてエンコードされた符号を順々に格納する(方法300の説明の継続性を維持するため、MIRGの詳細は後述する)。種々の実施形態において、比較器209の出力ビットは、たとえばFWC211およびFCI213から成る位置データ収集器に適用される(ステップ331)。この方法のステップ331は、時間的な圧縮(ステップ330)と同時に行ってもよい。また、後述する通り、適当な条件が満たされれば、B入力ANDゲート221が欠陥行検出器として機能するとともに、論理1をFRI214に割り当ててもよい。

40

【0047】

このように、比較器209(図2参照)の出力で示される結果の差異によって、高速テスト中に連続動作するように構成された4つのテストデータ収集器210、211、213、および214が駆動される。種々の実施形態においては、比較器209が提供する結果の差異とは別のエラーパターンによって、4つのテストデータ収集器210、211、213、および214が駆動されてもよいものと理解すべきである。たとえば、テストパターンワード自体は既知であるため(たとえば、マーチテストの仕様の一部として)、種

50

々の実施形態においては、符号レジスタでテスト応答ワードを直接取得し、次の診断解析に使用するようにしてもよい。後者の種々の実施形態においては、オンチップ比較器が省略可能である。

【0048】

ステップ331の後、BIST制御装置206（図2参照）は、このテストステップでメモリアレイのすべてのワードアドレスにアクセスしたか否かを判定することができる（ステップ332）。このテストステップでテストすべきワードアドレスが残っている場合は、テストする次のワードアドレスを選択して（ステップ333）、ステップ326に戻ることができる。このテストステップですべてのワードアドレスにアクセスした場合は、圧縮された符号データを符号レジスタ210から転送することができる（ステップ334）。

10

【0049】

種々の実施形態において、FWC211、FCI213、およびFRI214に収集されたデータは、圧縮された符号データの転送と同時に転送される。種々の実施形態において、これらのデータは、ATE装置に転送されてもよい。このように、テストデータ収集器210、211、213、および214は、たとえばテストステップが終わるたびに、その内容が周期的にダウンロードされる。また、テストデータ収集器210、211、213、および214は、テストステップ中にテスト応答データを連続的かつ高速に収集することができる。

【0050】

20

種々の実施形態において、テストデータの転送（ステップ334）は、「シャドーレジスタ（shadow registers）」の使用により容易化してもよい。図2の実施形態では、テストデータ収集器210、211、213、および214がそれぞれ関連するシャドーレジスタ215、216、217、および218を有する。その他の種々の実施形態では、シャドーレジスタは無くてもよいものと理解すべきである。1つのテストステップが完了すると、前述の通りテストデータ収集器の内容がATEにダウンロードされるか、または、シャドーレジスタが存在する場合は、対応するシャドーレジスタ215、216、217、および218にロードされる。すなわち、ステップ334においては、テストデータがATEにダウンロードされてもよいし、あるいは、対応するシャドーレジスタにロードされてもよい。

30

【0051】

シャドーレジスタを使用する種々の実施形態において、テストデータ収集器210、211、213、および214（図2参照）が、たとえば次のテストステップのテスト応答および位置データ的高速収集を継続する一方、シャドーレジスタ215、216、217、および218は、外部ATEが対応可能なサンプリングレートで解放される。シャドーレジスタ215、216、217、および218の解放は、ATEからの独立したクロック信号212bによって制御してもよい。

【0052】

なお、この例の方法では、テストデータのダンプやダウンロードのためにテストステップを別途中断する必要がない。方法300の別のステップにおいて、制御装置206は、マーチテストの最終テストステップが終了したか否かを判定することができ、終了していない場合は、次のテストステップに進んで（ステップ335）、ステップ324に戻る。終了の場合は、マーチテストが完了する（ステップ336）。

40

【0053】

引き続き、図2の様々な構成要素をより詳細に説明すると、符号レジスタ210は、すべてのテスト応答の収集および時間的に圧縮された実エラー符号の生成のために使用する。種々の実施形態において、符号レジスタ210は、初期状態から連続的に動作する。種々の実施形態において、初期状態とは、符号レジスタのすべてのビットがゼロを保持している状態であるものと理解すべきである。その他の種々の実施形態においては、符号レジスタの少なくとも1つのビットが非ゼロである初期状態を使用してもよい。なお、本開

50

示のこれ以降、符号レジスタは非ゼロ状態に初期化されているものと仮定する。

【0054】

したがって、初期状態においては、符号レジスタの内容が特定の非ゼロ状態にあって、エラーが圧縮されていないことを示している。ゼロ以外の任意の「シード」を符号レジスタにロードすることによって、初期状態を構築可能であるものと理解すべきである。符号レジスタは、組み合わせ論理だけではなく順序論理も採用しているため、比較器209から出力されて符号レジスタに提供されるテスト応答符号は、符号レジスタ210の状態に順次格納される。すなわち、時間的に圧縮される。また、符号レジスタ210の内容は、たとえばテストステップごと等、周期的に解放されるため、テストステップで検出されたエラーの識別および診断が可能となる。符号レジスタ210の内容は、メモリアレイの障害が検出されたか否かを示すものである。

10

【0055】

一部の実施形態において、符号レジスタ210(図2参照)は、テスト応答比較器209の出力により駆動される多入力リング発生器(MIRG)として実装してもよい。リング発生器は、内部ファンアウトおよび論理レベルが低い線形有限状態機械であって、線形フィードバックシフトレジスタ等の「標準(canonical)」の線形有限状態機械に特定の変形を加えることによって得られることが多い。標準の線形フィードバックシフトレジスタは、特定の性能およびアーキテクチャ要求を満足するものである。MIRGは、標準の線形フィードバックシフトレジスタに対して、速度等の利点が見られる。

【0056】

図4は、本発明の種々の実施態様における符号レジスタとして採用可能なMIRG410の一例を示す図である。ラッチ437は、出力が別のラッチの入力および/または論理ネットワーク(たとえば、論理ネットワーク438のいずれか)の入力として提供されるように相互接続されている。論理ネットワーク438のいずれかは、たとえばXORまたはXNORネットワークであってもよく、同一の論理ネットワークである必要はない。

20

【0057】

MIRGの一部のラッチ438は、別のラッチから直接入力するのではなく論理ネットワーク(たとえば、XORまたはXNOR)から入力することによって、関連する「標準」の線形フィードバックシフトレジスタと同一の性能を実装できるように接続されている。また、一部のXORまたはXNORネットワーク438は、「導入器(injector)」ネットワーク439として構成されている。導入器は、外部からMIRGへの入力またはMIRGからの出力のために動作する。図4において、導入器ネットワーク439は、比較器209(図2参照)からの入力のために動作する。開示の実施形態で使用可能なリング発生器の例は、G. Mrugalski, J. Rajski, J. Tyszer, "Ring generators-New devices for embedded deterministic test," IEEE Trans. on CAD, Vol. 23, No. 9, September 2004, pp. 1306-1453にも記載されている。この先行資料の全開示内容は、本明細書中に参考として援用する。

30

【0058】

引き続き、集積回路装置207(図2参照)について説明すると、一部の実施態様においては、正しくないテスト応答ワードの計数に欠陥ワード計数器(FWC)211を使用してもよい。また、少なくとも1つのエラーが比較器出力から伝搬する場合にのみFWC211が起動するようにクロック線212aをゲーティングするため、比較器209とFWC211との間に順次設けられたB入力ORゲート219およびANDゲート220の2つのゲートを使用することができる。すべてのテストステップが完了すると、欠陥メモリワードの数に関する非常に正確な情報がFWC211により提供される。

40

【0059】

一般的に、FWC211(図2参照)としては任意の計数装置を使用することができる。ただし、時間的な制約から、効率的なイベント計数器としては、レジスタの単一シフトのみによってインクリメント機能を実現される線形フィードバックシフトレジスタ(LFSR: Linear Feedback Shift Register)を採用することができる。特に、従来のイベン

50

ト計数器や標準の L F S R と比べて、リング発生器は高速動作が可能である。図 5 は、0 ... 0 0 1 状態で初期化されたリング発生器ベースの欠陥ワード計数器 5 1 1 を示す図であって、黒塗り箇所は、レジスタの論理 1 の位置を示している。標準形式の L F S R と比較して、X O R の論理レベル数が大幅に少なく、内部ファンアウトが最小化され、リング発生器の回路配置および経路が簡素化されているため、より高速での動作が可能となっている。したがって、開示技術の特定の実施形態では、正しくないテスト応答ワードの計数用として小型のリング発生器 5 1 1 を採用する。なお、この回路は、その計数機能を有効にするため、特定の方法で動作させることもある。リング発生器の動作の詳細については、図 1 4 および図 2 4 に関連して後述する。

【 0 0 6 0 】

10

図 2 の実施形態に示すように、集積回路装置 2 0 7 は、欠陥列指示器 (F C I : failin g column indicator) 2 1 3 も具備する。欠陥列指示器 2 1 3 は、エラーが比較器 2 0 9 の全出力に影響を及ぼす場合を除き、単一のテストステップを通して欠陥出力ビットの位置を格納する。エラーの影響がある場合は、比較器 2 0 9 の出力と F C I 2 1 3 のクロック入力との間に設けられた 2 つの A N D ゲート 2 2 1、2 2 2 によって対処可能である。

【 0 0 6 1 】

一部の実施形態において、F C I 2 1 3 (図 2 参照) の内容は、テストステップの終了ごとにダウンロードされる。単一セル / 列様の欠陥パターンを追跡する場合は、欠陥セルと見なすべき縦方向のメモリセグメントを F C I 2 1 3 によって示すことができる。さらに、F C I 2 1 3 は、正確な故障位置を識別するのに要する時間を短縮することができる。

20

【 0 0 6 2 】

図 6 は、一実施態様に係る欠陥列指示器 (F C I) 6 1 3 を示す図である。F C I 6 1 3 は、テスト応答ワードの各ビットに対応する B 入力 O R ゲート 6 4 0 を具備する。各 O R ゲート 6 4 0 の一方の入力では、比較器 2 0 9 (図 2 参照) からのテスト応答符号ビットを受信する。そして、O R ゲート 6 4 0 の出力は、D フリップフロップ 6 4 1 に入力される。D フリップフロップの出力は、第 2 の入力として O R ゲート 6 4 0 に戻される。このように、F C I 6 1 3 は、蓄積動作を行う。すなわち、特定の列に障害があることが確認されると、F C I 6 1 3 は、テストステップが終了するまで、当該列のエラーを表す値を保持する。

30

【 0 0 6 3 】

図 2 に戻って、F C I 2 1 3 のクロッキングは通常、特定の欠陥パターンの検出に依存している。同じ行に属するすべてのセルに関するエラーの場合は、図 2 に示すように、1 つの B 入力 A N D ゲート 2 2 1 のみを用いれば、行障害の検出および F C I 2 1 3 の全ビット割り当ての防止に十分である。ただし、部分的行障害をなすエラーの検出および記録はより複雑で、図 7 に示すように、欠陥行検出器が必要となる。なお、図 7 の回路にはメモリ B I S T 制御装置が示されていないが、図 7 の実施形態についても、図 2 の制御装置 2 0 6 と同様に構成された B I S T 制御装置を具備するものと理解すべきである。

【 0 0 6 4 】

図 7 の回路は、少なくとも 3 つの縦方向に隣接するセグメントに拡がった部分的行障害をすべて検出可能であるが、F C I 7 1 3 による記録は行われぬ。欠陥行検出器 7 2 1 は、拡大図 7 4 2 に示すように、3 つの O R ゲート 7 4 3 を具備する。3 つの連続するビットに障害が発生するたびに、3 つの O R ゲート 7 4 3 がすべて論理 1 を出力する。この場合は、A N D ゲート 7 4 4 も論理 1 を出力し、欠陥行が検出されたことを示す (ここで、欠陥行とは、行中の 3 つ以上のビットに障害があることを意味する)。同時に、O R ゲート 7 4 3 の 1 つによって、任意のビット障害が O R ゲート 7 4 5、さらにはその出力に送られる。このように、図 7 の欠陥行検出器 7 2 1 は、図 2 のゲート 2 1 9 および 2 2 1 を置き換えたものであって、「欠陥行」を低い厳密性で規定する。その結果、このような欠陥行が複数列障害として誤って処理されることはない。

40

【 0 0 6 5 】

50

前述の通り、開示技術の種々の実施形態は、FCI 213を補完可能な欠陥行検出器（FRI：failing row indicator）214を具備する。その他の種々の実施形態では、上記FCI 713を補完するFRI 714を具備していてもよい。FRI 714を具備する種々の実施形態では、各行で発生しているエラーに関する情報をFRIが格納する。

図8Aは、一態様に係る欠陥行指示器814を示す図であり、フリップフロップ847が、図7の欠陥行検出器721あるいは図2のANDゲート221から論理1を受信して、FRIシフトレジスタ849に送られるまで保持する。このように、欠陥行指示器814は、欠陥行として検出された行と検出されなかった行とを追跡する。シフトレジスタ849は、各ビットがメモリアレイ204（図2参照）の各行に対応する少なくともRビットのシフトレジスタである。通常は $B > R$ であるため、図示のようにBビットシフトレジスタを使用してもよい。

【0066】

シフトレジスタ849に格納されたビットは、テストステップのテストが別の行に進むと、レジスタに沿ってシフトされる。行のワードテストが完了した際のシフトレジスタ849のクロッキングは、行アドレスレジスタ850のオーバーフロー（ovf, 848）の検出により実現される。たとえば、各行が4つのワードから成るものと仮定する。第1のワードは、たとえば00000000のアドレスを有するものとし、第2のワードは00000001のアドレスを有するものとする。また、第3および第4のワードはそれぞれ、00000010、00000011のアドレスを有するものとする。その後、アドレスレジスタをインクリメントして次のメモリワードアドレスにシフトすると、00000100のアドレスが与えられる。すなわち、アドレスレジスタの最下位2ビットをインクリメントすることによって、メモリアドレスが次の行にシフトするため、（最下位2ビットの）オーバーフローが発生したことになる。このようなオーバーフローは、アドレスレジスタ850が11で終わるアドレスから次のアドレスにシフトするたびに発生する。このように、オーバーフロー信号848は、フリップフロップ847のリセットおよびシフトレジスタ849のトリガーとなって、テスト中のメモリ行と障害有無の行とを追跡することができる。すなわち、シフトレジスタ849の連続ビットは、特定数の行を備えたメモリアレイ204（図2参照）の横方向のセグメントと一意に対応する。その結果、FCI 213およびFRI 214の両者に保持された直交情報を用いて、実際の障害が発生しているメモリアレイ204の当該部分を分離することができる。

【0067】

図8Bは、一実施形態に係る改良型欠陥行指示器（E-FRI：Enhanced Failing Row Indicator）846を示す図である。改良型欠陥行指示器846を使用することによって、行に関連するエラーの認識を改善することができる。行アドレスレジスタ850の2ビットレジスタLによる遅れに起因して、右側のフリップフロップは、少なくとも3つのエラーが3つの連続するタイムフレームで比較器209（図2参照）の任意の出力に現れるたびに論理1を受信する。これにより、3つの縦方向に隣接するセグメントに拡がっていない部分的行障害の検出および改良型欠陥行指示器による報告も可能になる。

【0068】

より詳しく説明すると、改良型欠陥行指示器846は、行アドレスレジスタ850のオーバーフローが起こるたびにクロッキングされるBビットシフトレジスタ849を具備する。Dフリップフロップ851a、851b、および851cは、3つの連続するワード障害を同じ行に登録するように構成されている。この登録が行われると、Dフリップフロップ851cにより論理1の出力がシフトレジスタ849に供給されて、行アドレスレジスタ850のオーバーフロー848によるシフトレジスタ849のクロッキングに際して行障害が記録される。

【0069】

図9は、ビルトイン自己診断（BISD：built-in self-diagnosis）環境において、図8のE-FRI 846に類似する改良型欠陥行指示器946を適用した場合を示す図である。図9の回路にはメモリBIST制御装置が示されていないが、図9の実施形態につ

10

20

30

40

50

いても、図2の制御装置206と同様に構成されたBIST制御装置を具備するものと理解すべきである。なお、欠陥行検出器721(図7参照)および921は同様の回路742および942を有するが、欠陥行検出器921と改良型欠陥行指示器946との間の接続は、欠陥行検出器721と欠陥行指示器714との間の接続と異なる。相違点は、改良型欠陥行指示器946には欠陥行検出器921のORゲート945からの入力がある一方、欠陥行指示器714にはANDゲート744からの入力があることである。図7の実施態様においては、同じワードにおける3つの隣接ビットの故障時に欠陥行検出器721が検出を行うように構成されていることを思い起こしてもよい。ただし、図8の実施態様においては、欠陥行検出器921と改良型欠陥行指示器946とが一緒になって、行中に連続する3つの欠陥ワードを検出する。繰り返しになるが、行中の3つの欠陥ワードを検出することは、ANDゲート221を用いた図2の欠陥行登録条件よりも厳密性の低い条件である。

10

【0070】

集積回路装置207(図2参照)について、図2、図7、および図9に示す3つの特定の実施形態を説明した。各実施形態では、不成功のメモリテストに関する圧縮されたテスト符号およびメモリ位置データを収集することができる。欠陥パターンおよび故障診断に関する以下の説明では、図9に示す実施形態を参照する。

上述の通り、テストステップの最後には、圧縮されたテスト応答符号データおよびメモリ位置データをATEで利用可能となる。その後、圧縮されたテスト応答符号データおよびメモリ位置データは、ATEにより診断ツール(2800、図28参照)に提供することができる。診断ツールは、圧縮された符号データに診断手順を適用して、欠陥メモリセルの位置を決定する。この診断手順は、表2に関連して後述するように、欠陥パターンの解析に基づくものである。また、この診断手順は、線形フィードバック構造の特性を利用することによって、後述するように欠陥メモリセルの位置決定を効率的に行うことができる。また、後述する通り、欠陥パターンおよび対応する欠陥メモリセルの位置を効率的に探索可能とするため、ルックアップテーブルを使用してもよい。

20

【0071】

まず、欠陥パターンの解析について説明すると、欠陥パターンは、メモリアレイ中の欠陥パターン配置およびこの種の欠陥パターンの存在下で収集されるFWC、FCI、およびFRIの値の両者により区別可能なクラスに分類することができる。表2および以下の説明において、FWC、FCI、およびFRIは、FWC211、FCI213、およびFRI214により収集された値を参照することができる。

30

【0072】

FWC211(図2参照)、FCI213、およびFRI214においてデータを収集するのは、圧縮されたテスト応答符号に基づいてメモリテスト障害の診断を効率化できるようにするためである。欠陥パターンの各クラスに関して、FCI、FRI、およびFWCの考え得る組み合わせを以下にまとめる。欠陥パターンのクラスを対応するFCI、FRI、およびFWCの内容とともに表2に提示する。また、FCI/FRI/FWCの一部の組み合わせを生成可能な故障の例を以下に説明する。

40

【0073】

表2. 欠陥パターンのクラスと対応するFCI、FWC、およびFRIの内容

【0074】

【表 2 - 1】

No.	欠陥パターンのクラス	FCI	FWC	FRI
1.	単一セル		1	
2.	隣接 2 セル		2	
			2	
3.	対角 2 セル		2	
			2	
4.	隣接 3 セル		3	
			3	
5.	自由 2 セル		2	
			1	
			2	
6.	2 × 2 セル		4	
			4	
7.	1 列		R	
8.	2 列		2R	
			R	
			2R	
9.	1 行		W	
10.	1 行 0 1 0 1 0 1		W/2	
11.	2 行		2W	
12.	1 行、1 列		W+R-1	

10

20

30

40

【 0 0 7 5 】

【表 2 - 2】

13.	2列、2行		2W+2R-4	
			2W+R-2	
			2W+2R-4	
14.	行の一部 (連続セル)		[1, W]	
15.	列の一部 (連続セル)		[1, R]	
16.	列、行の一部 (連続セル)		R-1+W- FWC	
			R+W- FWC	
17.	行、列の一部 (連続セル)		[W+1, W+R-2]	
18.	列の一部、行の一部 (連続セル)		[3, W+R-2]	

10

20

【0076】

欠陥パターンのクラスが表2に記載された故障の第1の例においては、2つの対角セルに障害が発生している。これは、表2の欠陥パターンのクラスNo.3に相当する。この場合、図10に示すように、2つの状況が考えられる。図10において、メモリアレイ中の斜線は、欠陥メモリセルを示す。第1の状況Aにおいては、両欠陥セルが同じ縦方向のセグメント1005aに属している。したがって、FCI828(図8参照)は、比較器822の1つの出力におけるエラーのみを示す(表2の3行目の第1箇所参照)。第2の状況Bにおいては、欠陥セルが2つの縦方向に隣接するセグメント1005aおよび1005bに属している。この場合は、FCI828の2つの隣接フリップフロップにより、比較器822の出力におけるエラーを示す(表2の3行目の第2箇所参照)。いずれの状況においても、2つのエラーは、比較器822の出力において異なるタイムスロットで現れるため、FWC826の値は2である。3つの連続するタイムフレームでは比較器の任意の出力に「エラー」が現れないため、FRI946はエラーを一切報告しない。

30

40

【0077】

第2の例においては、単一系列のすべてのセルに障害が発生している。これは、表2の欠陥パターンのクラスNo.7に相当する。また、この状況の例を図11に示す。この種の欠陥パターンの場合は、すべての障害が比較器822(図8参照)の同じ出力に伝搬するため、FCI828の1つのフリップフロップのみがエラーを示す。厳密にはR個の欠陥メモリセルがあるため、FWC826の値はRである。また、前述の例と同様に、FRI946には影響が及ばない。

【0078】

欠陥パターンのクラスが表2に記載された故障の第3の例においては、図12に示すよ

50

うに、1つの行および列のすべてのセルに障害が発生している。これは、表2の欠陥パターンのクラス No. 12に相当する。このような欠陥パターンの場合、不完全なワード障害のみがFCIに格納されるため、FCI828(図8参照)は1つのエラービットのみを示す。一般的に、FRI946の1つのビットには、W個の完全なエラーワードが影響を及ぼす。正しくないテスト応答ワードの数は $W + R$ と表してもよいが、FWCによる計数の対象は $W + R - 1$ 個のみである。これは、1つの欠陥セルが欠陥行にも属しているためである。

診断方法

ここで、種々の実施形態に係る故障診断の実施方法について説明すると、異なる環境では複数の診断方法を適用して、欠陥メモリセルの位置を決定することができる。本開示においては、単独または組み合わせて使用することによりMBIST環境において正確な故障診断を実施することができる4つの一般的な診断方法について説明する。当然のことながら、一部の実施形態においては、これらの診断方法をオンチップで実施してもよい。他の実施形態においては、これらの診断方法をテスト対象の集積回路装置外部の独立した診断ツールに適用してもよい。なお、本開示においては、これらの診断方法を「診断計画」とも称する。

10

【0079】

通常、開示の診断方法の実施形態では、前述の通り、テストデータを高速に収集する。メモリ障害の種類に応じて(たとえば、FCI828、FRI946、およびFWC826(図8参照)の内容によって示される)、以下に説明する診断計画の1つを選択することにより、正確で時間効率の良い診断プロセスを実現することができる。なお、本開示のこれ以降は、以下の表記法を使用する。すなわち、フリップフロップを図示する場合は、1および0の論理値に対応して黒四角および白四角で表現する。また、前述の説明と同様に、メモリアレイ中の斜線は、欠陥メモリセルを示す。

20

【0080】

第1の診断方法は、本明細書中では離散対数法(Delta: discrete logarithm approach)と称し、メモリアレイで通常発生する大半の障害の診断に使用することができる。一例として、図13に示した障害について考える。図13は、欠陥メモリセルに起因するエラーの符号レジスタ1310への導入を示す図である。ここで、欠陥基準セル c_0 により生成された符号は既知であって、符号レジスタ1310に最初に格納されるものと仮定する。欠陥セル c_x の位置を基準セルから1つだけ遠ざける(すなわち、距離 x を大きくする)ことは、符号レジスタ1310を1クロック周期だけシフトすることに相当する。ここで、この診断手順の主な目的は、基準セルと欠陥セルとの間の距離 x を決定することである。あるいは、符号レジスタによるエラーの記録以降で、符号レジスタ1310に適用されたクロック周期の数を把握する必要がある。距離 x は、クロック周期の数、テストアルゴリズム、およびアドレス方式に基づいて決定することができる。

30

【0081】

説明中の診断方法であるDeltaは、離散対数に基づく方法を利用したものである。離散対数に基づく方法の詳細については、D. W. Clark, L.-J. Weng, "Maximal and near-maximal shift register sequences: efficient event counters and easy discrete logarithms," IEEE Trans. on Computers, vol. 43, No. 5, May 1994, pp. 560-568に記載されている。この先行資料の全開示内容は、本明細書中に参考として援用する。離散対数に基づく方法は、以下のような問題を解くことができる。すなわち、内部XOR LFSR(Galois LFSR)およびその特定の状態を前提とし、LFSRが最初は $0 \dots 001$ にセットされているものと仮定して、上記状態に達するのに必要なクロック周期の数を決定する。この方法では、中国人剰余定理を採用するとともに、生成後はルックアップテーブル(LUT: Look-Up Table)に格納可能なLFSR状態を適当な数だけ事前に計算する必要がある。事前に計算すべきLFSR状態の数は、 $m_1 + m_2 + \dots + m_k$ で与えられる。ここで、積 $m_1 \cdot m_2 \cdot \dots \cdot m_k$ は、LFSRの周期 m を与える。この周期は、係数 m_i の値が小さくなるように、注意深く選定する必要がある(各周期は異なる因数分解

40

50

を有する)。事前の計算は、以下に紹介する高速LFSRシミュレーションを用いることによって、効率的に行うことができる。たとえば、55ビット比較器のすべての要求値を生成するのに、2.4GHzのCPUでは約5秒を要する。

【0082】

DELTAは非常に時間効率が良く、通常は一定の時間で動作する。事前計算の段階は通常、診断ツールにおいて1回だけ実行される。事前計算の特定の実施形態は、以下の方式動作によってまとめることができる(これらは、単独または種々の結合および副結合で実施可能である)。

(1) LFSR周期mの素因数分解 $m_1 \cdot m_2 \cdot \dots \cdot m_k$ を求める(離散対数法の前計算段階を示した図14のステップ1参照)。ここで、kはmの素因数の数である。たとえば図14において、 $m = 21$ 、 $k = 2$ とすると、 $m_1 = 3$ 、 $m_2 = 7$ となる。

10

(2) 1または複数の周期 m_i (たとえば、各 m_i) に対し、0...001に初期化されたLFSRをシミュレーションすることによって、サイズ m_i のLUTを生成する(なお、各LUT入力に対して m/m_i の計算ステップが必要である(図14の矢印参照))。図14に示すLFSR1452の連続的な状態を評価するのは容易である。たとえば、右端のフリップフロップの1ビットは、クロッキングにより遷移時の右端のフリップフロップの隣りに移動するため(その他のフリップフロップはすべて、図示のようにゼロを保持)、LFSRは状態00001から状態00010に遷移する。また、左端のフリップフロップの1ビットは、クロッキングにより遷移時の右端のフリップフロップおよび(XORネットワーク, "+")を介して)その隣りのフリップフロップの両者に移動するため、LFSRは状態10000から状態00011に遷移する。ただし、大型のLFSRの場合は、LFSRのシミュレーションおよびLUTの全入力の生成に許容範囲以上の時間を要することがある。このような場合には、代替として後述の高速LFSRシミュレーションを使用することができる。LUTは、本方法の実施中に、たとえば次段落の第2項で論じる位置 r_i 等、現在のLFSR状態と初期状態との間の距離を計算する際に必要となる値の算出に用いることもできる。

20

(3) 各 m_i に対して、 $(m/m_i) \cdot v_i \equiv 1 \pmod{m_i}$ を満たすように、対応する整数 v_i を求める。 $m = 21$ 、 $m_1 = 3$ 、 $m_2 = 7$ の場合、 $v_1 = 1$ 、 $v_2 = 5$ であることが確認できる。 v_i は、次段落で示す通り、LFSR距離の計算にも必要である。

30

【0083】

一実施形態においては、DELTAを起動するたびに、所定の故障に対応するLFSRの所定の内容yに対して以下の方式動作が行われる。

(a) 各係数 m_i に対して、多項式として処理されたyを (m/m_i) 乗し、その結果をLFSRの特性多項式 $p(x)$ で除算することによって、剰余 $y^{m/m_i} \pmod{p(x)}$ を得る。LFSRの状態を 01010 ($y = x^3 + x$)、 $p(x) = x^5 + x + 1$ と仮定すると、対応する剰余は以下の通りである。

【0084】

【数1】

$$y^{m/m_1} \pmod{p(x)} = (x^3 + x)^{21/3} \pmod{x^5 + x + 1} = x^4 + x^2 + x = (10110)$$

40

【0085】

【数2】

$$y^{m/m_2} \pmod{p(x)} = (x^3 + x)^{21/7} \pmod{x^5 + x + 1} = x^4 + x^2 = (10100)$$

【0086】

(b) ステップ1で得られた各剰余に対して、LUTにより対応する位置 r_i を求める(図15参照)。この例では、 m_1 に対する第1の剰余10110は、LUTの g_1^2 であ

50

る。また、 m_2 に対する第 2 の剰余 10100 は、LUT の g_2^4 である。したがって、
 図 15 に示すように、 $r_1 = 2$ 、 $r_2 = 4$ となる。なお、図 15 は、離散対数法における
 ルックアップテーブルの探索を示す図である。

(c) 合計値 $\sum_{i=1}^k r_i \cdot (m/m_i) \cdot v_i \pmod m$ により現在の LFSR 状態
 と初期状態 $0 \dots 001$ との間の距離 L を求める。

【0087】
 【数 3】

$$L = \left(r_1 \frac{m}{m_1} v_1 + r_2 \frac{m}{m_2} v_2 \right) \pmod m = (2 \cdot 7 \cdot 1 + 4 \cdot 3 \cdot 5) \pmod{21} = 11$$

10

【0088】

実際、LFSR 1452 の初期状態を 11 だけ遷移することによって 01010 (すなわ
 ち、LFSR リスト 1453 の g_{11} 状態 (図 14 参照)) を求められることが確認でき
 る。

DELTA を上記欠陥ワード計数器に適用するのは容易である。同様に、上記同じ節で
 紹介した符号レジスタにこの方法を適用したい場合は、各符号に対して DELTA を 2 回
 ずつ起動するのが望ましい。このプロセスを以下 2 つの例で説明する。

【0089】

(例 1) 図 16 に示すように、単一の欠陥セル c_x が符号 $S(c_x) 1654$ を生成し
 ているものと仮定する。図 16 は、多入力リング発生器における符号レジスタの軌道を示
 す図である。種々の実施形態において、初期状態 ($0 \dots 0001$) と最終行 ($R - 1$) に
 おける右端の欠陥セル c_0 に対応する状態との間の基準距離 $L_{ref} 1655$ は、その符
 号 $S(c_0) 1656$ によって決まる。この状態は、入力 b_1 (図 13 参照) において、
 空の MIRG に対する単一導入の結果として得られる。次に、初期状態 ($0 \dots 0001$)
 と MIRG の実状態との間の距離 $L_x 1657$ を決定する。欠陥セル c_x の位置は、 $x =$
 $L_x - L_{ref} 1658$ である。

20

【0090】

(例 2) 単一の列障害が符号 $S(c_x)$ を生成する場合について考える。図 17 は、単
 一列障害 C_x および基準列 C を示す図である。ここで、メモリアレイの所定の縦方向セグ
 メントにおける右端の列 C_0 は、基準の役割を担っている。MIRG が線形回路であるた
 め、基準列を表す符号 $S(C_0)$ は、この列に属する欠陥セルによって生成されるか、ま
 たは LUT に格納されたモジュロ 2 符号を加算することによって得られる。次に、上記例
 1 で示した通り、 L_{ref} および L_x の値を決定し、その後、欠陥列の実際の位置を決定
 することができる。

30

【0091】

第 2 の診断方法は、本明細書中では「高速 LFSR シミュレーション」と称する。この
 方法において、0 と 1 との任意の組み合わせで初期化された LFSR の所定数のクロック
 周期後における状態は、時間効率良く決定することができる。この方法に関するその他
 の詳細については、J. Rajski, J. Tyszer, "Primitive polynomials over GF(2) of degr
 ee up to 660 with uniformly distributed coefficients," Journal of Electronic Te
 sting: Theory and Application (JETTA), vol. 19, Kluwer Academic Publishers, 2003
 , pp. 645-657 に記載されている。この先行資料の全開示内容は、本明細書中に参考とし
 て援用する。前述の通り、高速 LFSR シミュレーション法は、DELTA および本明細
 書に提示するその他の診断方法で必要となる LFSR の状態を取得する際に有用となり得
 る。

40

【0092】

これらの方法の種々の実施形態では、図 18 に示すように、 $n \times n$ の LUT を用いて、
 特定数のクロック周期を適用した後の n ビット LFSR の状態を格納する。図 18 は、多
 項式 $x^4 + x^3 + 1$ を実装した内部 XOR LFSR のための高速 LFSR シミュレーシ

50

ョンのデータ構造の一例を示す図である。図18には、4ビットLFSR1852の連続的な状態1853を示す。4×4のLUT1859において、単一のクロック周期適用後のLFSRの内容を決定するため、テーブルの第1行においてのみ実際のシミュレーションが必要である。テーブルの各列は、LFSRの初期状態の1つに対応し、指定位置に「1」を1つずつ含んでいる。このような状態は、本明細書中では「一重項状態」と称する。テーブルの後続行は、重ね合わせの原理によってのみ得られる。図18は、1、2、4、および8ステップ後のLFSR状態を示している。たとえば、第2行・最終列の値は、先行(上側)符号が第1列および最終列に対応する2つの1から成るため、第1行からの第1列および最終列の入力の合計である。

【0093】

図18に示すテーブルを用いると、わずかなステップで、任意数 x の周期後のLFSR状態を容易に決定することができる。各ステップには、 n 回までのLUT照会を含むことができるため、このプロセスの計算複雑度は $O(n^2)$ となる。まず、 x を2の累乗和にて表現する。このような各要素に対して、LFSRの現在の内容を単一の1に分解する。次に、重ね合わせの原理により、各単一の1に対して、LUTから所定数のクロック周期後のLFSR状態を読み出すとともに、ビット単位でXORを演算して、LFSRの最終状態を与える。この方法を以下の例により説明する。

【0094】

(例) 図19の符号1960で示すように、内部XOR LFSRに原始多項式 $x^4 + x^3 + 1$ を実装するとともに1010に初期化する。図19は、高速LFSRシミュレーションの一例を示す図である。ここでは、 $x = 11$ クロック周期後のLFSRの状態を探索するものと仮定する。 $11 = 2^0 + 2^1 + 2^3$ であるため、図19に示すように3ステップでこの方法を実施することができる。たとえば、第3のステップでは、図19の符号1961で示すLFSR状態0110が符号1962および符号1963でそれぞれ示す2つの要素0100および0010に分解される。図18のテーブルは、上記組み合わせに対応し、8周期後に得られるLFSR状態として1010および0101の組み合わせを与える(符号1964および符号1965で示す)。これら2つの状態を合計すると、符号1966で示す所望のLFSR状態1111が得られる。提示した高速LFSRシミュレーション法は一般的に、リング発生器等の任意の線形有限状態機械に適用することができる。

【0095】

上述の離散対数法は、基準符号の格納または生成が適した障害の診断が可能である。ただし、すべての基準符号を生成することが現実的ではない場合がある。たとえば、1つの障害が2つの列にまたがる場合(図20)、基準符号群は $2 \cdot W$ 個の項を含むため、診断に必要なCPU時間は許容範囲以上となる。

より複雑な障害に対処するため、一次方程式群を使用することができる。たとえば、単一行障害で生成された符号を考える。MIRGが線形回路であることから、対応する符号は、この特定行の個々のメモリセルと関連する欠陥符号をビット単位で加算することによって容易に得ることができる。さらに、複数列/行の欠陥符号は、単一系列/行障害に対応するモジュロ2符号を加算することによって計算可能である。このため、GF(2)上の一次方程式群を解くことによって、欠陥行または欠陥列を求めることができる。これらの方程式において、プール変数は列または行のいずれかを表し、各方程式は単一の符号ビットに対応する。また、これらの方程式は、たとえばガウス・ジョーダン消去法を用いることによって簡素化することができる。欠陥列/行の数は既知であるため(たとえば、FWCの値による)、期待多重度の解を探索することができる。そのような解が求められない場合は、異なるピボット変数列に対してガウス消去法を繰り返してもよい。実験の結果、十分な診断解像度が得られるほどMIRGのサイズが大きければ、ほぼ100%の確率で、期待多重度の第1解が正しいことが示された。

【0096】

(例) 図20に示すように、2つの縦方向セグメントに配された2つの列にまたがる障

10

20

30

40

50

害を再度考える。表 2 から（欠陥パターンのクラス No. 8 参照）、欠陥列指示器が欠陥列を有するメモリアレイの縦方向セグメントを示していることが分かる。したがって、2 つのセグメントの列にのみ対応する変数が方程式に組み込まれる。また、1 つの縦方向セグメントに属する連続した列の符号は、列ごとに簡単な 1 ステップ M I R G シミュレーションを行うことによって、当該セグメントの右端の欠陥列に対応するルックアップテーブルに格納された符号から得ることができる。

【 0 0 9 7 】

図 2 1 は、図 2 0 の障害に対応する一次方程式群を行列方程式として示す図である。ここで、図 2 0 の C_0 、 C_1 、...、 C_7 は、メモリアレイの各列に割り当てられたブール変数である。これら 8 つの変数は、図 2 1 において、列ベクトル 2 1 6 7 として配置されている。10 $S(C_i)$ は、 C_i と関連する列の符号であって、当該列の障害に対応する。すなわち、各 $S(C_i)$ は B ビット符号である。図 2 1 に示すように、8 つの B ビット符号は、 $B \times 8$ 行列 2 1 6 8 として配置されている。 S （実障害）は、観測された実際の欠陥符号であって、B ビット列ベクトル 2 1 6 9 として示されている。そして、F C I および F W C (= 2 R) が提供する情報を用いて、 $\{C_0, \dots, C_3\}$ のうちの 1 変数および $\{C_4, \dots, C_7\}$ のうちの 1 変数が 1 にセットされた図 2 1 の行列方程式の解を探索する。実際の解が求められる機会を増やすため、異なるピボット順序に対してガウス消去法を繰り返してもよい。

【 0 0 9 8 】

最後に、以下の現象のため、D E L T A 法も一次方程式法も採用できない場合がある。20 仮に、1 つの障害が単一の欠陥列および単一の欠陥行から成るものとする。このすべての欠陥セルを図 2 2 a に示す。一次方程式法は重ね合わせの原理を用いるため、これを適用すると、単一行および単一系列の符号が重なってしまう。ただし、これら 2 つの符号のモジュロ 2 加算によれば、図 2 2 b に示す障害に対応する別の符号が実際に生成される。図示のように、これら 2 つの図には大きな違いがある。「交差 (intersection)」セルは、実際のテストでは 1 回だけ検査されるが、重ね合わせの原理を用いる方法ではモジュロ 2 によって 2 回加算されるため、その寄与が相殺される。この相違により、解は通常求めることができないため、別の診断方法を使用することが望ましい。以下の段落では、そのような診断方法の一例を説明する。

【 0 0 9 9 】

欠陥行と欠陥列とが交差する場合は、符号シミュレーションを実施することができる。30 符号レジスタの「ソフトコピー (soft copies)」、すなわち診断ツール 2 8 0 0 (図 2 8 参照) のメモリで作成されたコピーは、ある方法によって、欠陥行、列、および「交差」セルの符号を部分的に格納する。このようなソフトコピーは、本明細書中で「ソフト符号レジスタ (soft signature registers)」と称することもある。その後、部分的な符号は、相互に X O R を演算して、それらの合計を実際の欠陥符号と比較する。これを以下の例により説明する。

【 0 1 0 0 】

(例) 図 2 2 a に示すように、単一行 / 行障害を再度考える。実故障の符号は、3 つの40 モジュロ 2 符号を加算することによって得られる。

$$S(\text{実障害}) = S(\text{行 } x) + S(\text{列 } y) + S(\text{セル}(x, y)) \quad (1)$$

欠陥行、列、およびセルに対応する基準符号は、L U T に格納されている。また、行、列、および交差セルのそれぞれと関連する符号を表すのに、3 つのソフト符号レジスタ S_r 、 S_c 、および S_i を使用することができる。

【 0 1 0 1 】

種々の実施形態によれば、符号シミュレーションのプロセスは、以下を含んでいてもよい。

(a) L U T に格納された行、列、およびセルの符号を読み出して、それぞれ S_r 、 S_c 、および S_i に割り当てる。

(b) 上式 (1) が満たされる場合は解が得られる。

10

20

30

40

50

(c) 上式(1)が満たされない場合は、 S_c および S_i を1ステップだけシフトする(隣接セル障害の符号の取得に用いられるMIRGシミュレーションを示した図23を参照)

(d) S_i のシミュレーションステップ数がWに達した場合は、 S_r をWステップだけシフトし(次の欠陥行の符号を取得)、LUTからの列符号を再度割り当ててステップ2に戻る。

図22aに示す障害の場合のシミュレーションでは、 $W \cdot R$ 回までの比較と、最悪の場合には、およそ3($W \cdot R$)回までのリング発生器(RG)のシミュレーションステップとを実施する。

リング発生器のガロアLFSR軌道へのマッピング

上述の通り、開示技術の一部の実施形態では、リング発生器を用いて計数器および符号レジスタを実現する。しかし、提示したDELTA法では通常、多項式を分割可能なLFSRを使用する。さらに、そのような能力がある装置は、ガロア(内部XOR)LFSRのみである。ガロアLFSRの代わりにリング発生器を使用するため、リング発生器の軌道を内部XOR LFSRの軌道にマッピングすることができる。この手法は、各LFSRの遷移関数を保持したリング発生器を使用する場合に可能である(たとえば、J.-F Li, C.-W. Wu, "Memory fault diagnosis by syndrome compression," Proc. DATE, 2001, pp. 97-101参照)。したがって、LFSRおよびリング発生器のいずれであっても、同じ最長系列またはm系列を生成することができる。そのような同等な装置の一例を図24に示す。図24において、LFSR2452とリング発生器2411とは、同じm系列を生成する点、および特性多項式 $p(x) = x^{20} + x^{18} + x^{16} + x^{12} + x^7 + x^3 + 1$ を有する点が同等である。

【0102】

図25は、LFSRの状態と同等なリング発生器の状態との間のマッピングを示す図である。状態マッピング関数を求めるため、開示技術の一実施形態においては、Mをリング発生器のビットサイズとして、対応するリング発生器(RG)2511およびLFSR2552で発生する少なくともM個の連続値を決定して同等と見なす。また、両装置の記号シミュレーションをM回のクロック周期にわたって実施するとともに、図25に示すように、LFSR2552およびRG2511の出力値を特性多項式 $p(x) = x^4 + x^3 + 1$ に対して一致させる。一致させる出力値は、フレーム2570aおよび2570b内の値である。そして、M回の連続するクロック周期におけるLFSRおよびRGそれぞれのフリップフロップの値に対応する変数において、一次方程式群を作成する。

【0103】

【数4】

$$\begin{array}{rcl}
 a & = & w \\
 d & = & x \\
 d+c & = & y \\
 d+c+b & = & y+z
 \end{array} \quad (2)$$

【0104】

上式は、記号によるガウス消去法によって、以下のように簡素化することができる。

【0105】

10

20

30

40

【数5】

$$\begin{array}{rcl}
 & a & = w \\
 d & & = x \\
 & c & = x+y \\
 & b & = z
 \end{array} \tag{3}$$

【0106】

10

(例)リング発生器の状態が $wxyz = 1110$ になったものと仮定すると、上式(3)によって、ガロアLFSRの対応する状態(この場合は、 $abcd = 1001$)が得られる。この結果は、表3に示すように、LFSR 2552およびRG 2511の網羅的シミュレーションという別の方法によって確認することができる。表から分かるように、RGの状態 $wxyz = 1110$ は、LFSRの状態 $abcd = 1001$ に対応し、その逆もまた同様である。

【0107】

表3 . LFSRおよびRGのシミュレーション

【0108】

20

【表3】

	LFSRの状態abcd	RGの状態wxyz
1.	0001	1000
2.	0010	0001
3.	0100	0010
4.	1000	0110
5.	1001	1110
6.	1011	1111
7.	1111	1101
8.	0111	1011
9.	1110	0101
10.	0101	1010
11.	1010	0111
12.	1101	1100
13.	0011	1001
14.	0110	0011
15.	1100	0100
	0001	1000

30

【0109】

欠陥パターンのルックアップテーブル

欠陥パターンのルックアップテーブルを設定するには、表2に示すクラスへの分類を用いることができる。この場合、ルックアップテーブルでは、FWC、FCI、およびFRIの値を用いて、これら位置情報値に対応する欠陥パターンを決定する。このように、最も一般的な欠陥パターンの診断手順を迅速化するため、特定の代表的故障の符号をLUTに格納することができる。欠陥パターンを一度決定した後は、基準として用いることができる。開示のMBIST診断計画の実施形態で利用可能な事前計算符号の例を表4にまとめる。

40

【0110】

50

表 4 . 欠陥パターンのルックアップテーブル

【 0 1 1 1 】

【 表 4 - 1 】

パターン No.	パターンクラス	対応する欠陥パターン	LUT サイズ
1	1セル		B
2	隣接2セル (横方向)		B
3	隣接2セグメント にまたがる隣接2 セル (横方向)		B-1
4	隣接2セル (縦方向)		B
5	右上がりの対角 2セル		B
6	隣接2セグメント にまたがる右上が りの対角2セル		B-1

10

20

30

40

【 0 1 1 2 】

【表 4 - 2】

7	右下がりの対角 2セル		B
8	隣接2セグメント にまたがる右下が りの対角2セル		B-1
9	2×2セル		B
10	隣接2セグメント にまたがる2×2 セル		B-1
11	1列		B
12	1行		I
13	1行 010101		I

10

20

30

40

欠陥パターンおよび対応する診断方法

上述の通り、メモリテスト障害による位置情報および圧縮された符号データの処理には、多様な診断計画を用いることができる。本節およびその下位項では、欠陥パターンの例と、FWC、FCI、およびFRI各レジスタの内容に基づくパターンへの対処方法とを提示する。以下に提示する例は、考え得る1つのフローを示す符号を含むが、その方式動作は、場合によっては異なる順序で行ったり同時に行ったりしてもよい。図26は、これらの例で使用する、一実施形態に係る全体的なメモリ診断フローを示す図である。図26については、表5に記載の各項A～Rを説明した後に詳述する。表5には、各特定ケースで起こる動作をまとめる。なお、本節では、変数PによりMビットMIRGの周期を示すが、Pは通常 $2M - 1$ に等しい。

【0114】

表5．欠陥パターン

【0115】

【表 5 - 1】

FWC	FCI FRI	可能性(欠陥パターンのクラス)	方法	複雑度	ケース
1		1セル	DELTA 法	$O(1)$	A
		2セル	DELTA 法	$O(1)$	B
2		隣接 2セル 対角 2セル 縦方向 2セル	DELTA 法	$O(1)$	C
		隣接 2セル 対角 2セル	DELTA 法	$O(1)$	D
		自由 2セル	DELTA 法	$O(W \cdot R)$	E
		自由 2セル	DELTA 法	$O(W \cdot R)$	E
4		2×2 セル 列の一部	DELTA 法	$O(1)$	F
		列の一部	DELTA 法	$O(1)$	Q
		行の一部	DELTA 法	$O(1)$	I
		2×2 セル	DELTA 法	$O(1)$	G
		行の一部	DELTA 法	$O(1)$	I
		行の一部	DELTA 法	$O(1)$	I
W		1行	DELTA 法	$O(1)$	H
		行の一部	DELTA 法	$O(R \cdot R)$	I
2W		2行	一次方程式法	$O(r)$	J
2W		2行	一次方程式法	$O(r)$	K
W/2		1行 010101	DELTA 法	$O(1)$	L
R		1列	DELTA 法	$O(1)$	M
		2列	DELTA 法	$O(1)$	N

10







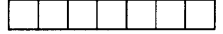


20

30

40

【 0 1 1 6 】

【表 5 - 2】

2R		2列	一次方程式法	$O(r)$	0
		2列	一次方程式法	$O(r)$	P
[3, R]		列の一部	DELTA法	$O(1)$	Q
W+R-1		1列+1行	シミュレーション法	$O(W \cdot R)$	R
2W+2R-4		2列+2行	シミュレーション法	$O((W \cdot R)^2)$	R
					
2W+R-2		2列+2行	シミュレーション法	$O((W \cdot R)^2)$	R
					
[W+1, W+R-1]		一部の行、一部の列	シミュレーション法		R

10

20

【0117】

30

以下の各ケースについて、表5の欠陥パターンに対する診断方法を説明する。

ケースA：1セル

【0118】

【表6】

FWC	FCI	FRI
1		

40

【0119】

1. M I R Gの状態 $0 \dots 01$ と現在の状態との間の距離 L_x を決定する。
2. L U Tから単一セル障害の基準符号を取得する。
3. 基準距離 L_{ref} を決定する。
4. $L_x - L_{ref}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
5. $L < W \cdot R$ を有効にする。
6. 欠陥セルの座標 (x, y) を $x = W - 1 - (L \bmod W)$ 、 $y = R - 1 - L / W$ として返す (x は欠陥セグメント内の列数)。

【0120】

ケースB：2セル

50

【 0 1 2 1 】

【 表 7 】

FWC	FCI	FRI
1		

【 0 1 2 2 】

1. M I R G の状態 0 ... 0 1 と現在の状態との間の距離 L_x を決定する。 10
2. L U T から対応するメモリセグメントの単一セル障害の基準符号を取得して、X O R 演算により実際の基準符号を求める。
3. 基準距離 $L_{r e f}$ を決定する。
4. $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
5. $L < W \cdot R$ を有効にする。
6. 欠陥セルの座標 (x, y) を $x = W - 1 - (L \bmod W)$ 、 $y = R - 1 - L / W$ として返す (x は欠陥セグメント内の列数)。

【 0 1 2 3 】

ケース C : 隣接 / 対角 / 縦方向 2 セル

【 0 1 2 4 】

20

【 表 8 】

FWC	FCI	FRI
2		

【 0 1 2 5 】

1. M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。
2. L U T から 2 セル障害の基準符号を取得する。 30
 - a) 隣接 2 セル (表 4 のパターン 2 参照)
 - b) 縦方向 2 セル (表 4 のパターン 4 参照)
 - c) 対角 2 セル (表 4 のパターン 5 参照)
 - d) 対角 2 セル (表 4 のパターン 7 参照)
3. 対応する基準距離 $L_{r e f_a}$ 、 $L_{r e f_b}$ 、 $L_{r e f_c}$ 、および $L_{r e f_d}$ を決定する。
4. $L_x - L_{r e f_a}$ を L_a 、 $L_x - L_{r e f_b}$ を L_b 、 $L_x - L_{r e f_c}$ を L_c 、 $L_x - L_{r e f_d}$ を L_d とし、特定の $L_a / b / c / d < 0$ の場合は、 $L_a / b / c / d + P$ を $L_a / b / c / d$ とする。
5. $\min \{ L_a, L_b, L_c, L_d \}$ を L とする。 40
6. $L < W \cdot R$ を有効にする。有効でない場合は、ケース E (同一セグメント内の自由 2 セル) の通り進める。
7. L U T から対応する欠陥セルの座標を読み出し、行 / 列オフセット $s_r = L / W$ および $s_c = (L \bmod W)$ だけさらに減じた値を返す。

【 0 1 2 6 】

ケース D : 隣接 / 対角 2 セル (隣接 2 セグメント)

【 0 1 2 7 】

【表 9】

FWC	FCI	FRI													
2	<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>						<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>								

【 0 1 2 8 】

- 1 . M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。
- 2 . L U T から 2 セル障害の基準符号を取得する。 10
 - a) 隣接 2 セル (表 4 のパターン 3 参照)
 - b) 対角 2 セル (表 4 のパターン 6 参照)
 - c) 対角 2 セル (表 4 のパターン 8 参照)
- 3 . 対応する基準距離 $L_{r e f_a}$ 、 $L_{r e f_b}$ 、および $L_{r e f_c}$ を決定する。
- 4 . $L_x - L_{r e f_a}$ を L_a 、 $L_x - L_{r e f_b}$ を L_b 、 $L_x - L_{r e f_c}$ を L_c とし、特定の $L_{a/b/c} < 0$ の場合は、 $L_{a/b/c} + P$ を $L_{a/b/c}$ とする。
- 5 . $\min \{ L_a, L_b, L_c \}$ を L とする。
- 6 . $(L \bmod W) = 0$ および $L < (R - 1) \cdot W$ を有効にする。
- 7 . L U T から対応する欠陥セルの座標を読み出し、行オフセット $s_r = L / W$ だけさらに減じた値を返す。 20

【 0 1 2 9 】

ケース E : 任意の 2 セル

【 0 1 3 0 】

【表 1 0】

FWC	FCI	FRI													
2	<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>						<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>								
2	<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>						<table border="1"><tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr></table>								

30

【 0 1 3 1 】

- 1 . (L U T から) 障害のある第 1 セグメントの単一セルの基準符号を取得する。
 - 2 . M I R G の状態 0 ... 0 1 とステップ 1 の基準符号との間の基準距離 $L_{r e f}$ を決定する。
 - 3 . (L U T から) 第 2 欠陥セグメントの単一セルの基準符号を取得する。
 - 4 . 実際の符号レジスタのソフトコピー S 、すなわち診断ツールのメモリにおける符号レジスタのコピーを作成し、ステップ 3 で得られた符号でコピー S を初期化する。
 - 5 . 以下を $W \cdot R$ 回繰り返す。
- 実際の欠陥符号と現在の S の内容との $X O R$ を演算する (欠陥セルの第 2 セグメントから実際の符号への寄与を中立化する)。
- M I R G の状態 0 ... 0 1 と上記 $X O R$ ステップの符号との間の距離 L_x を決定する。
- $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
- $L < W \cdot R$ の場合は、2 つの欠陥セルが求められる。ここで、 L は、ケース A と同様に、欠陥セルの第 1 セグメントからの位置である。また、 S は、第 2 セグメントからの欠陥セルの符号を格納している。アルゴリズムを停止して、結果を返す。
- $L < W \cdot R$ 以外の場合は、1 クロック周期の S をシミュレーションして、上記 $X O R$ ステップに進む (M I R G を 1 周期だけシミュレーションすると、図 2 3 で示したように、隣接欠陥セルの符号が決定される)。

40

【 0 1 3 2 】

ケース F : 2 x 2 セル

50

【 0 1 3 3 】

【 表 1 1 】

FWC	FCI	FRI
4	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【 0 1 3 4 】

- 1 . M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。 10
- 2 . L U T から 2×2 セル障害の基準符号を取得する。
- 3 . 基準距離 $L_{r e f}$ を決定する。
- 4 . $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
- 5 . $L < W \cdot (R - 1) - 1$ を有効にする。
- 6 . L U T から欠陥セルの座標を読み出し、行 / 列オフセット $s_r = L / W$ および $s_c = (L \bmod W)$ だけさらに減じた値を返す。

【 0 1 3 5 】

ケース G : 隣接 2 セグメントにまたがる 2×2 セル

【 0 1 3 6 】

【 表 1 2 】

20

FWC	FCI	FRI
4	<input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【 0 1 3 7 】

- 1 . M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。
- 2 . L U T から 2×2 セル障害の基準符号を取得する (表 4 のパターン 1 0)。 30
- 3 . 基準距離 $L_{r e f}$ を決定する。
- 4 . $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
- 5 . $L < W \cdot (R - 1)$ および $(L \bmod W) = 0$ を有効にする。
- 6 . L U T から欠陥セルの座標を読み出し、行オフセット $s_r = L / W$ だけさらに減じた値を返す。

【 0 1 3 8 】

ケース H : 1 行

【 0 1 3 9 】

【 表 1 3 】

40

FWC	FCI	FRI
W	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【 0 1 4 0 】

- 1 . M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。
- 2 . L U T から単一行障害の基準符号を取得する (表 4 のパターン 1 2)。 50
- 3 . 基準距離 $L_{r e f}$ を決定する。
- 4 . $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
- 5 . $L < W \cdot R$ および $(L \bmod W) = 0$ を有効にする。

6. 欠陥行の数を $R - 1 - L / W$ として返す。

【0141】

ケースI：行の一部

【0142】

【表14】

FWC	FCI	FRI
W	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

10

【0143】

この場合、行中の欠陥セルの正確な数は未知のため、DELTAを2回以上（最悪の場合 W^2 回）使用する必要がある。各回、互いに接する欠陥セグメントの隣接欠陥セルの組み合わせを変えて、以下のルーチンにより検査する。

1. M I R G の状態 $0 \dots 01$ と実際の状態との間の距離 L_x を決定する。
2. L U T から得られる単一障害の符号を用いて欠陥セルの基準符号を生成する。
3. 基準距離 L_{ref} を決定する。
4. $L_x - L_{ref}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
5. $L < W \cdot R$ および $(L \bmod W) = 0$ を有効にする。
6. 欠陥行の数を $R - 1 - L / W$ として返す。実際の欠陥セル数は、ステップ2で作成された符号によって与えられる。

20

【0144】

ケースJ：2行

【0145】

【表15】

FWC	FCI	FRI
2W	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

30

【0146】

1. 実際の符号レジスタのコピー S を作成する。
2. L U T から得られる単一行の基準符号で S を初期化する（表4のパターン12）。
3. $M + 1$ 個の一次方程式群を作成する。各式は、符号レジスタの1つのフリップフロップの値を記述したものである（右辺）。各変数（左辺）は、欠陥セグメントの単一のメモリアレイ行に対応する。行符号は、 W 回のクロック周期を S に適用することによって生成される（図23参照）。追加の方程式としては、左辺が厳密に W 個の1で、右辺が0である。解の多重度は先験的に偶数と知られているため、この方程式を用いて多重度が奇数の解を回避する。
4. ガウス消去法を実行する標準的な方法では、数値解法に関連するパラメータの標準値、たとえば最大反復回数を指定してもよい。本開示では、そのようなパラメータを $\max \text{ Solver Runs}$ とする。このステップでは、以下を $\max \text{ Solver Runs}$ 回繰り返す。
 - (a) 一次方程式群のコピーを作成し、変数をランダムに入れ替える。
 - (b) ガウス・ジョーダン消去法を用いて方程式を簡素化する。
 - (c) 解の多重度が2である場合は、欠陥メモリ行を示す非ゼロ変数を返してアルゴリズムを停止する。多重度が2以外の場合は、ステップ(a)に戻る。

40

【0147】

50

ケースK：2行

【0148】

【表16】

FWC	FCI	FRI
2W	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【0149】

10

2つのメモリセグメントにおける2つの欠陥行の探索は、以下を除いてケースJと同様に進める。

1. 2つのセグメントの行によって新たな方程式が構成されるため、変数の数は2Wである。

2. 2つの方程式を追加すると、実際の解を求めるのに役立つ。これらにより、2つの行が常に2つのセグメントに属する解が生成される。これら予備的な方程式は、たとえば以下のように形成することができる。

【0150】

【数6】

$$a+b+c+d=1$$

20

$$w+x+y+z=1$$

【0151】

ここで、a、b、c、およびdは、第1セグメントの行に対応した変数であり、w、x、y、およびzは、第2セグメントの行に対応する。

ケースL：1行010101

【0152】

【表17】

FWC	FCI	FRI
W/2	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

30

【0153】

1. M I R Gの状態0...01と実際の状態との間の距離 L_x を決定する。

2. L U Tから単一行障害010101の基準符号を取得する(表4のパターン13)。

3. 基準距離 L_{ref} を決定する。

4. $L_x - L_{ref}$ をLとし、 $L < 0$ の場合は、 $L + P$ をLとする。

5. $L < W \cdot R$ および $(L \bmod W) \in \{0, 1\}$ を有効にする。

6. 欠陥行の数を $R - 1 - L / W$ として返す。 $(L \bmod W) = 0$ の場合は、欠陥行が正しいセル(010101...)から始まり、それ以外の場合は、行中の最初のセルが欠陥(101010...)である。

40

【0154】

ケースM：1列

【0155】

【表 18】

FWC	FCI	FRI
R	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【0156】

1. M I R G の状態 $0 \dots 01$ と実際の状態との間の距離 L_x を決定する。
2. L U T から単一列障害の基準符号を取得する (表 4 のパターン 11)。
3. 基準距離 L_{ref} を決定する。
4. $L_x - L_{ref}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
5. $L < W$ を有効にする。
6. 欠陥列の数を $W - 1 - L$ として返す。

10

【0157】

ケース N : 2 列

【0158】

【表 19】

FWC	FCI	FRI
R	<input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

20

【0159】

1. M I R G の状態 $0 \dots 01$ と実際の状態との間の距離 L_x を決定する。
2. L U T から欠陥セグメントに対応する単一列障害の符号を取得し (表 4 のパターン 11)、これらの X O R を演算して基準符号を求める。
3. 基準距離 L_{ref} を決定する。
4. $L_x - L_{ref}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
5. $L < W$ を有効にする。
6. 欠陥列の数を $W - 1 - L$ として返す (列数は欠陥セグメント数以内である)。

30

【0160】

ケース O : 2 列

【0161】

【表 20】

FWC	FCI	FRI
2R	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【0162】

40

1. 実際の符号レジスタのソフトコピー S を作成する。
2. L U T から得られる欠陥セグメントに対応した単一列障害の基準符号で S を初期化する (表 4 のパターン 11)。
3. $M + 1$ 個の一次方程式群を作成する。各式は、符号レジスタの 1 つのフリップフロップの値を記述したものである (右辺)。各変数 (左辺) は、欠陥セグメントの単一のメモリアレイ列に対応する。列符号は、単一のクロック周期を S に適用することによって生成される (図 23 参照)。追加の方程式としては、左辺が厳密に W 個の 1 で、右辺が 0 である。解の多重度は先験的に偶数と知られているため、この方程式を用いて多重度が奇数の解の生成を回避する。
4. 以下を `max Solver Runs` 回繰り返す。

50

- (a) 一次方程式群の作業用コピーを作成し、変数をランダムに入れ替える。
- (b) ガウス・ジョーダン消去法を用いて方程式を簡素化する。
- (c) 解の多重度が 2 である場合は、欠陥メモリ列を示す非ゼロ変数を返してアルゴリズムを停止する。多重度が 2 以外の場合は、ステップ (a) に戻る。

【 0 1 6 3 】

ケース P : 2 列

【 0 1 6 4 】

【 表 2 1 】

FWC	FCI	FRI
2R	<input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

10

【 0 1 6 5 】

2 つのメモリセグメントにおける 2 つの欠陥列の探索は、以下を除いてケース N と同様に進める。

3 . 2 つのセグメントの列によって新たな方程式が構成されるため、変数の数は 2 W である。

4 . 2 つの方程式を追加すると、実際の解を求めるのに役立つ。これらにより、2 つの列が常に 2 つのセグメントに属する解が生成される。これら予備的な方程式は、たとえば以下のように形成することができる。

20

【 0 1 6 6 】

【 数 7 】

$$a + b + c + d = 1$$

$$w + x + y + z = 1$$

【 0 1 6 7 】

ここで、a、b、c、および d は、第 1 セグメントの列に対応した変数であり、w、x、y、および z は、第 2 セグメントの列に対応する。

ケース Q : 列の一部

30

【 0 1 6 8 】

【 表 2 2 】

FWC	FCI	FRI
[3, R)	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

【 0 1 6 9 】

- 1 . M I R G の状態 0 ... 0 1 と実際の状態との間の距離 L_x を決定する。
- 2 . L U T からの単一セル障害の符号とその W 周期ごとの規則的なオフセットとの X O R を演算して基準符号を生成する (図 2 3 参照) 。この動作は、F W C の内容が示す回数だけ繰り返すことになる。

40

- 3 . 基準距離 $L_{r e f}$ を決定する。
- 4 . $L_x - L_{r e f}$ を L とし、 $L < 0$ の場合は、 $L + P$ を L とする。
- 5 . $L \leq W \cdot (R - F W C)$ を有効にする。
- 6 . 欠陥セルの座標を、行 / 列オフセット $s_r = L / W$ および $s_c = (L \bmod W)$ だけさらに減じた基準セルの座標として返す。

【 0 1 7 0 】

ケース R : 1 (一部) / 2 列 + 1 (一部) / 2 行

50

【 0 1 7 1 】

【表 2 3】

FWC	FCI	FRI
W+R-1		
2W+2R-4		
2W+R-2		
[W+1, W+R-1)		

10

【 0 1 7 2 】

行または列に属する欠陥セルが交差していると仮定する場合は、図 2 2 a および図 2 2 b に関連して上述した通り、シミュレーション法を用いることができる。そのような欠陥パターンを検査するたびに、行と列との考え得るすべての構成を交差セルの符号との XOR 演算によって確認するのが望ましい。その後、得られた合計値を実際の欠陥符号と比較する。

20

組み込みメモリ診断方法および診断ツール

ここで、故障診断の実施について説明すると、図 2 6 は、表 5 に記載の例に関連して使用する、一実施形態に係る全体的なメモリ診断フロー 2 6 0 0 を示す図である。上述の通り、ステップ 2 6 7 1 では、A T E が M B I S T 制御装置に対してテストの実施を指示した後、集積回路装置に対して符号レジスタ 2 1 0 ならびに位置情報レジスタ 2 1 1、2 1 3、および 2 1 4 の内容のダウンロードを合図する。A T E は、符号レジスタ 2 1 0 ならびに位置情報レジスタ 2 1 1、2 1 3、および 2 1 4 の内容を診断ツールに提供する。診断ツールは、F W C の値を読み出す（ステップ 2 6 7 2）。表 3 および表 6 に記載の通り、F W C は、欠陥パターンの特定のクラスに対応する特定の値を有し得る。一連のステップ 2 6 7 3 a、2 6 7 3 b、2 6 7 3 c、および 2 6 7 3 d、ならびに図 2 6 に示していないその他のステップにおいて、F W C の値は、各候補値との一致が見つかるまで比較してもよい。図 2 6 は、ステップ 2 6 7 3 a にて F W C = 1 の一致が見つかった場合を示している。診断ツールは、F C I および F R I の値を読み出し（ステップ 2 6 7 4）、ルックアップテーブルの値（表 5 参照）との一致が見つかるまで比較する（ステップ 2 6 7 5 a、2 6 7 5 b）。ルックアップテーブルとの比較結果に応じて、診断手順が起動される（ステップ 2 6 7 6 a、2 6 7 6 b、等）。診断手順の実施後、欠陥メモリセルの座標が返される（ステップ 2 6 7 7）。

30

40

【 0 1 7 3 】

図 2 7 は、一実施形態に係るメモリテスト障害を診断する方法 2 7 0 0 のフローチャートである。方法 2 7 0 0 の各ステップは、たとえば診断ツール（図 2 8 参照）で実行してもよい。A T E が時間的に圧縮されたテスト応答符号および障害位置情報をテスト対象の集積回路装置から受信した後、診断ツールは、時間的に圧縮されたテスト応答符号を A T E から受信する（ステップ 2 7 7 1）。上述の通り、種々の実施形態においては、A T E が圧縮された符号を集積回路装置の符号レジスタから受信する。その他の種々の実施形態においては、前述の通り、A T E が圧縮された符号を集積回路装置のシャドーレジスタから受信する。

【 0 1 7 4 】

50

また、診断ツールは、集積回路装置の障害位置情報を A T E から受信する（ステップ 2 7 7 2）。当然のことながら、種々の実施形態においては、ステップ 2 7 7 1 とステップ 2 7 7 2 とを同時に実行してもよい。その他の種々の実施形態においては、各ステップを特定の順序で実行してもよい。また、上述の通り、種々の実施形態において、A T E は、障害位置情報を集積回路装置の欠陥ワード計数器、欠陥列指示器、および欠陥行指示器から受信する。その他の種々の実施形態においては、前述の通り、A T E が障害位置情報を集積回路装置のシャドーレジスタから受信する。さらに、圧縮された符号および障害位置データは通常、A T E からの信号に応答してシャドーレジスタから A T E に転送される。

【 0 1 7 5 】

表 5 に関連して上述した通り、欠陥パターンを解析することによって、欠陥ワード計数器（F W C）、欠陥列指示器（F C I）、および欠陥行指示器（F R I）に格納された値に応じて適用する診断手順を決定する際に使用するルックアップテーブルを作成することができる。たとえば、F W C、F C I、および F R I の値を用いて、ルックアップテーブルへのインデックスを生成することができる。インデックスの使用または別の方法のいずれを問わず、診断ツールは、障害位置データに基づいて上述の診断手順群から 1 つを選択する（ステップ 2 7 7 3）。

10

【 0 1 7 6 】

次に、選択した診断手順を診断ツールで実行して、時間的に圧縮されたテスト応答符号から欠陥メモリセルの座標を生成する（ステップ 2 7 7 6）。一部のテスト応答符号は、2 つ以上の欠陥メモリセルを示している場合がある。このような場合は、診断ツールで実行される診断手順（ステップ 2 7 7 6）によって、2 つ以上の欠陥メモリセルの座標が生成される。

20

【 0 1 7 7 】

診断ツールは、欠陥メモリセルの座標を決定後、それら座標を報告する（ステップ 2 7 7 7）。表 1 の故障辞書の例に関連して上述した通り、欠陥メモリセルの座標を用いて、メモリ障害情報を表示するための白黒またはカラーのビットマップを生成してもよい。欠陥メモリセルの座標の報告には、そのようなビットマップの表示または印刷を含み得るものと理解される。

【 0 1 7 8 】

図 2 8 は、一実施形態に係る診断ツール 2 8 0 0 を示す図である。診断ツール 2 8 0 0 には、たとえば図 2 7 の方法を実装してもよい。図示のように、診断ツール 2 8 0 0 は、命令を実行可能な制御装置 2 8 7 8 を具備する。命令は、たとえばメモリ 2 8 7 9 に格納してもよい。また、メモリ 2 8 7 9 は、たとえばテスト対象の集積回路装置の診断データを含む A T E 装置からダウンロードされたデータ等を格納するように構成されていてもよい。

30

【 0 1 7 9 】

種々の実施形態においては、ユーザインターフェース 2 8 8 0 によって、たとえば表示装置 2 8 8 1 にデータまたは結果を表示するか、あるいは、たとえばプリンタまたはプロッタ（不図示）によって結果やデータを出力してもよい。また、ユーザインターフェース 2 8 8 0 は、たとえばキーボード、タッチスクリーン、マウス、またはその他のポインティングデバイス等の 1 または複数の入力装置 2 8 8 2 を介してユーザ入力を受け取る。なお、結果またはデータを表示する任意の装置およびユーザ入力を受け取る任意の装置は、本開示の範囲内であるものと理解される。

40

【 0 1 8 0 】

また、診断ツール 2 8 0 0 は、たとえばソフトウェアの命令またはハードウェアとして実装されるモジュール群 2 8 8 3 を具備する。当然のことながら、一部のモジュールをソフトウェアで実装し、他のモジュールをハードウェアとして実装してもよい。

モジュール 2 8 8 3 としては、上述の通り方法 2 7 0 0 のステップ 2 7 7 1（図 2 7 参照）に従って、たとえば集積回路装置の符号レジスタまたは対応するシャドーレジスタから時間的に圧縮されたテスト応答符号を受信するように構成された符号受信モジュール 2

50

871を具備する。また、モジュール2883は、上述の通り方法2700のステップ2772（図27参照）に従って、たとえば集積回路装置のFWC、FCI、およびFRIの各構成要素または対応するシャドーレジスタから障害位置情報を受信するように構成された位置受信モジュール2872を具備する。

【0181】

さらに、診断ツールは、障害位置データに基づいて上述の通り診断手順群から1つを選択するように構成された診断選択モジュール2873を具備する。診断手順の選択は、たとえば上述のステップ2773に従って、診断選択モジュール2873により行ってもよい。モジュール2883としては、上述した方法2700のステップ2776に従って、選択した診断手順を実行し、時間的に圧縮されたテスト応答符号から欠陥メモリセルの座標を生成するように構成された診断モジュール2876をさらに具備する。また、モジュール2883に含まれる報告モジュール2877は、たとえば上述のステップ2777に従って、決定された欠陥メモリセルの座標を報告するように構成されている。

10

結語

開示技術の原理を以上の通り説明してきたが、当業者にとっては、これら原理を逸脱することなく開示した実施形態の構成および細部を変更可能であることは明らかである。考え得る多くの実施形態を考慮すれば、説明した実施形態はほんの一例を示したに過ぎず、開示技術の範囲を制限するものと見なすべきではないことが分かる。それとは逆に、開示技術は、様々な開示装置、方法、システム、およびそれらの同等物を単独ならびに種々の結合および副結合で適用する場合のすべての新規かつ非自明な特徴および態様を含む。本発明を実施するのに現下好ましい形態を含む具体例に関して本発明を説明したが、当業者にとっては当然のことながら、添付した請求の範囲に示すように、上述したシステムおよび方法には、本発明の精神および範囲に含まれる多数の変形例および置換例が存在する。

20

【0182】

本願は、米国特許法第119条に基づき、Nilanjan Mukherje、Artur Pogiel、Janusz Rajski、及びJerzy Tyszerを発明者とする2007年9月18日付け米国仮特許出願第60/973,432号「メモリBIST環境における故障診断」に対する優先権を主張する。この先行出願の全開示内容は、本明細書中に参考として援用する。

【 図 1 】

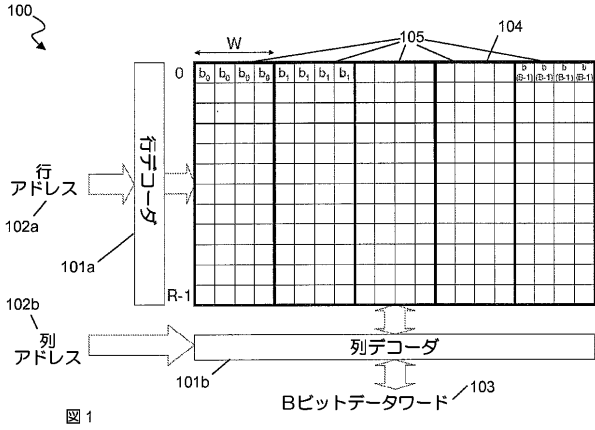


図 1

【 図 2 】

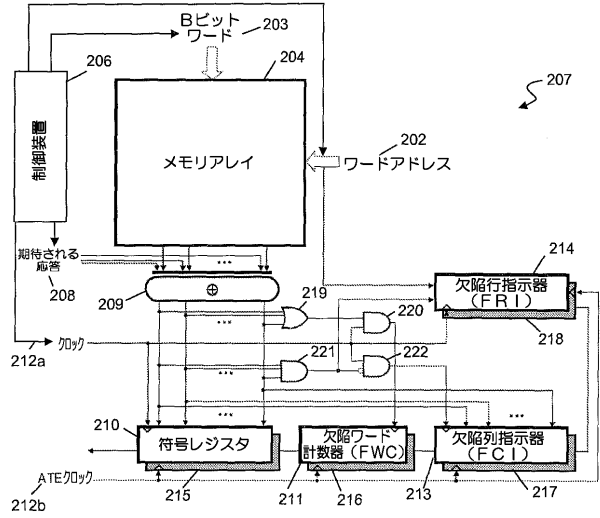


図 2

【 図 3 】

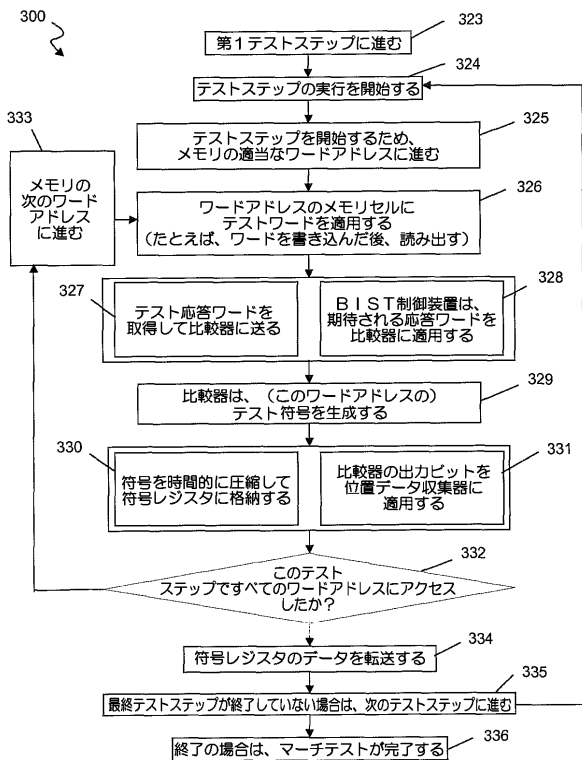


図 3

【 図 4 】

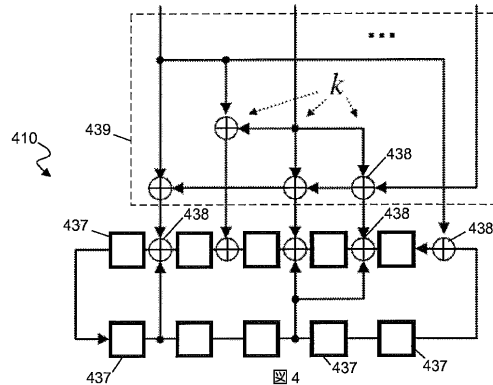


図 4

【 図 5 】

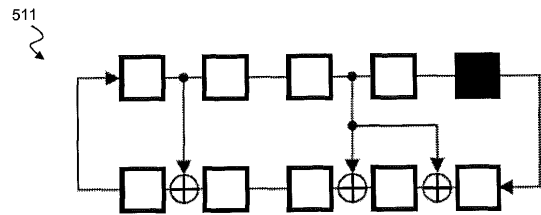


図 5

【図6】

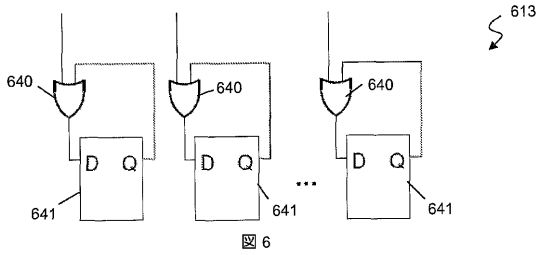


図6

【図7】

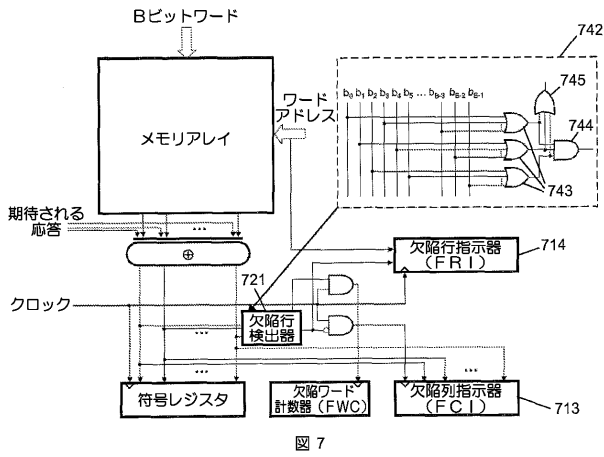


図7

【図9】

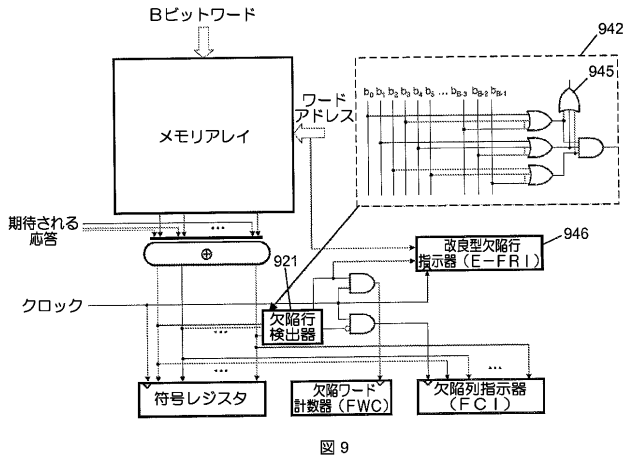


図9

【図10】

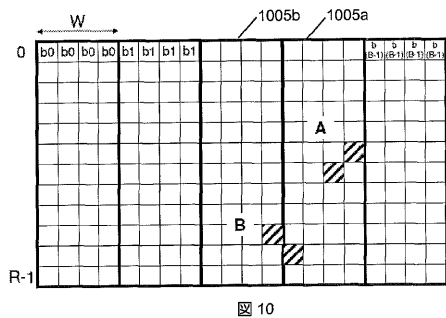
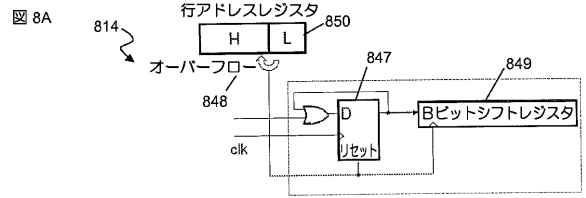
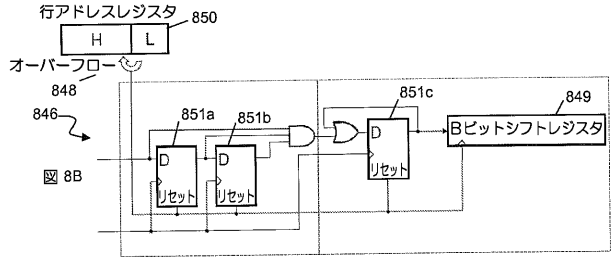


図10

【図8A】



【図8B】



【図11】

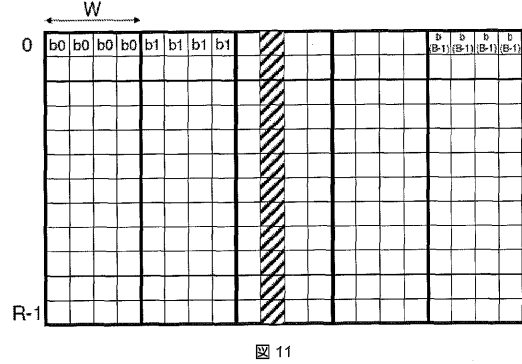


図11

【図12】

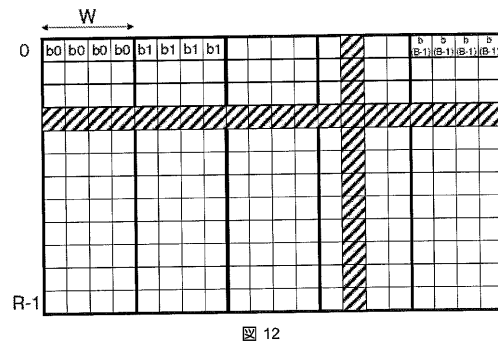


図12

【図 20】

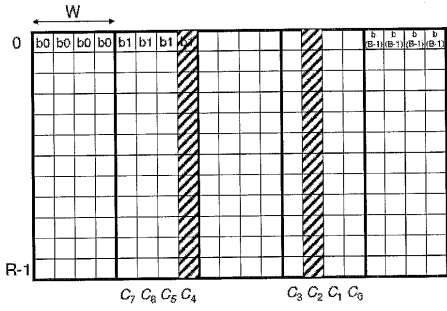


図 20

【図 21】

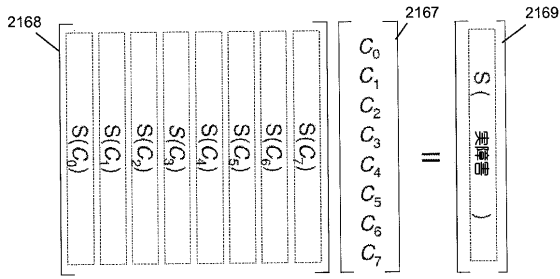


図 21

【図 22 A】

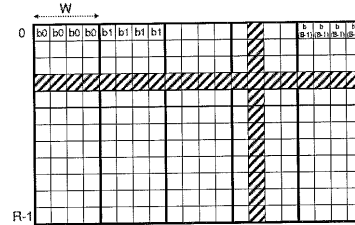


図 22a

【図 22 B】

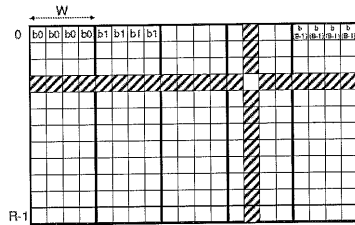


図 22b

【図 23】

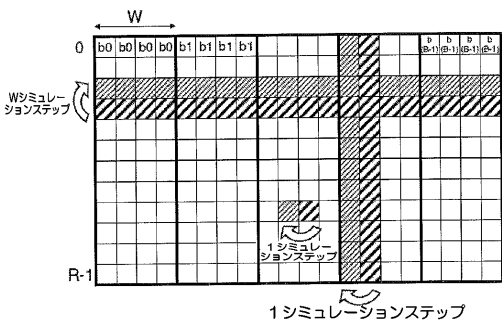


図 23

【図 25】

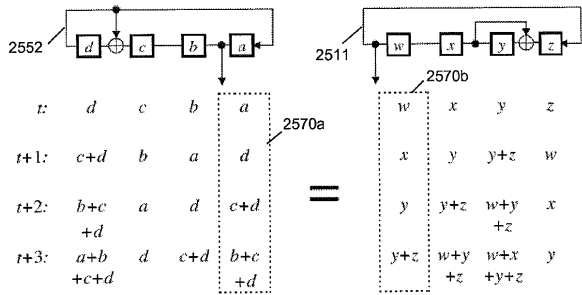


図 25

【図 24】

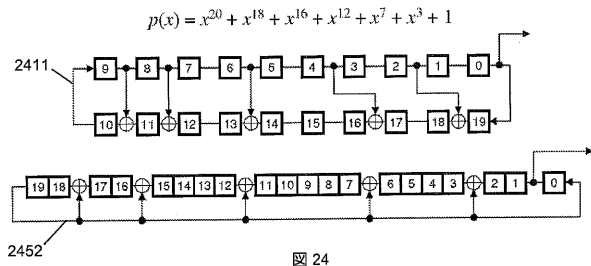


図 24

【図 26】

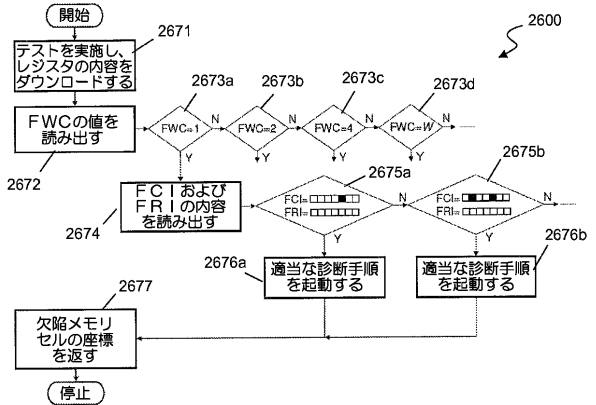


図 26

【 図 2 7 】

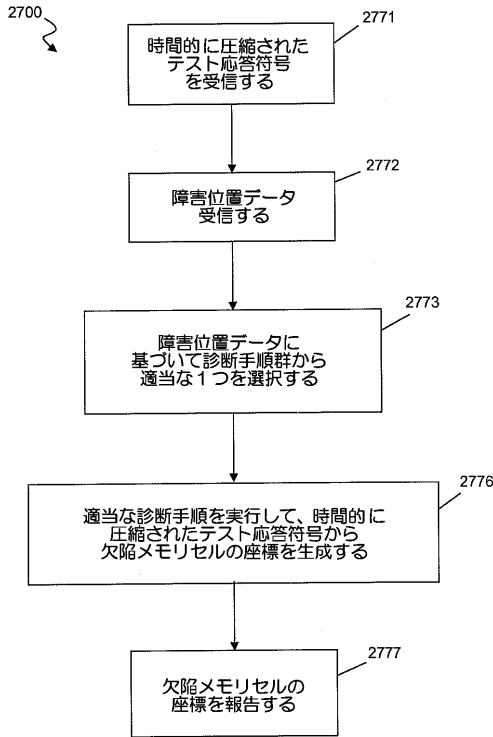


図 27

【 図 2 8 】

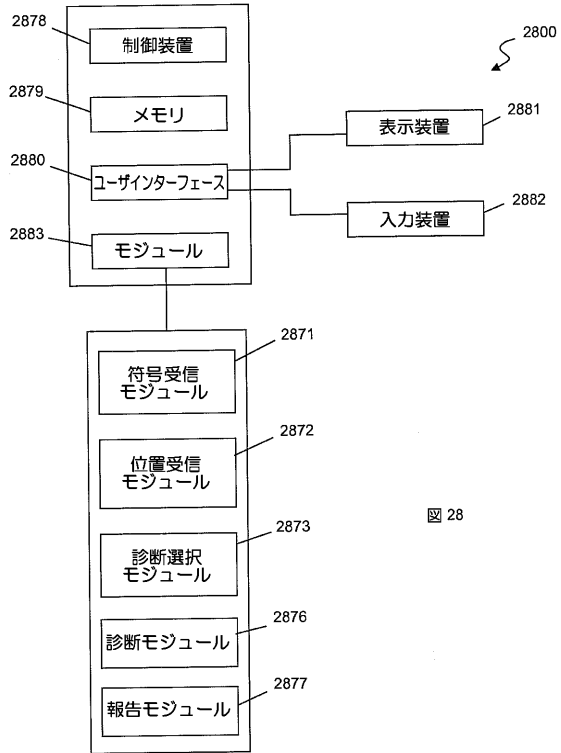


図 28

【 手続 補正 書 】

【 提出 日 】 平成 22 年 8 月 18 日 (2010.8.18)

【 手続 補正 1 】

【 補正 対象 書類 名 】 特許 請求 の 範囲

【 補正 対象 項目 名 】 全文

【 補正 方法 】 変更

【 補正 の 内容 】

【 特許 請求 の 範囲 】

【 請求 項 1 】

メモリアレイをテストする回路であって、

メモリアレイからのテスト応答データを、所期のテスト応答データと比較することにより、テスト応答符号を生成するための比較器と、

前記テスト応答符号を集めて圧縮されたテスト応答符号を作る符号レジスタと、

前記テスト応答符号を集めてエラー位置情報を生成する収集する1又は複数の位置データ収集器と、を備えた回路。

【 請求 項 2 】

前記比較器は、論理 XOR ネットワークである、請求項 1 に記載の回路。

【 請求 項 3 】

前記符号レジスタが線形な有限状態機械である、請求項 1 に記載の回路。

【 請求 項 4 】

前記線形な有限状態機械が、多入力を備えたリング発生器であることを特徴とする、請求項 3 に記載の回路。

【 請求 項 5 】

前記 1 又は複数の位置データ収集器が、欠陥ワード計数器である、請求項 1 に記載の回路。

【請求項 6】

前記欠陥ワード計数器はリング発生器を含む、請求項 5 に記載の集積回路装置。

【請求項 7】

前記 1 又は複数の位置データ収集器の 1 つが、欠陥列指示器である、請求項 1 に記載の回路。

【請求項 8】

前記欠陥列指示器は、もし列の欠陥が少なくとも 3 つの隣接する縦セグメントにわたる部分的な列欠陥であるとき、列欠陥を記録しないように構成される、請求項 7 に記載の回路。

【請求項 9】

前記 1 又は複数の位置データ収集器の 1 つが欠陥行指示器である、請求項 1 に記載の回路。

【請求項 10】

前記欠陥行指示器は、もし前記比較器が 3 つの連続する時間フレームにわたり欠陥を出力した場合、行欠陥を記録するように構成される、請求項 9 に記載の回路。

【請求項 11】

符号レジスタから圧縮されたテスト応答符号を受信し、外部の自動テスト装置 (A T E) に、前記圧縮されたテスト応答符号を、該自動テスト装置が受け入れるサンプリングレートで移す、請求項 1 に記載の回路。

【請求項 12】

メモリアレイからのテスト応答データを、所期のテスト応答データと比較することにより、テスト応答符号を生成し、

前記テスト応答符号を、1 つ以上の位置データ収集器に集めてエラー位置情報を生成し

前記テスト応答符号を、符号発生器に集めて圧縮されたテスト応答符号を生成する、メモリアレイのテスト方法。

【請求項 13】

前記圧縮されたテスト応答符号とエラー位置の情報とに基づいて、欠陥位置を決定する工程をさらに含む、請求項 12 に記載の方法。

【請求項 14】

テスト実行の後、前記圧縮されたテスト応答符号を、シャドーレジスタにロードし、前記圧縮されたテスト応答符号を、外部の自動テスト装置 (A T E) に、該自動テスト装置が受け入れるサンプリングレートで移す、請求項 12 に記載の方法。

【請求項 15】

前記符号レジスタは、線形な有限状態機械である、請求項 12 に記載の方法。

【請求項 16】

前記線形な有限状態機械が、多入力を備えたリング発生器である、請求項 15 に記載の方法。

【請求項 17】

メモリアレイの障害を診断する方法であって、

符号レジスタで作られた圧縮されたテスト応答符号と、1 又は複数の位置データ収集器で生成されたエラー位置情報とを受信し、

前記符号レジスタの初期状態と、前記圧縮されたテスト応答符号に関係する符号レジスタの第 1 の状態との第 1 の距離を決定し、

前記エラー位置情報に基づき基準符号を選択し、

前記符号レジスタの初期状態と、前記基準符号に関係する符号レジスタの第 2 の状態との第 2 の距離を決定し、

前記第 1 の距離と前記第 2 の距離とに基づいて、障害位置を決定する、方法。

【請求項 18】

メモリアレイの障害を診断する方法であって、

符号レジスタで作られた圧縮されたテスト応答符号と、1又は複数の位置データ収集器で生成されたエラー位置情報とを受信し、

前記エラー位置情報と圧縮されたテスト応答符号とに基づいて一次方程式群をコンパイルし、

前記一次方程式群を解くことによって障害位置を特定する、方法。

【請求項19】

メモリアレイの障害を診断する方法であって、

符号レジスタで作られた圧縮されたテスト応答符号(S_t)と、1又は複数の位置データ収集器で生成されたエラー位置情報とを受信し、

前記エラー位置情報に基づいて、障害行と障害列とが交差するかどうかを決定し、障害行と障害列とが交差する場合に次の(a) - (c)の処理を行う、方法。

(a) ルックアップテーブルから行、列及びセルの符号(S_r, S_c, S_i)を読み出す、

(b) 方程式 $S_t = S_r + S_c + S_i$ を立てる、

(c) 前記方程式を用いてシミュレートを行い、障害位置を特定する。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

		International application No PCT/US2008/076911
A. CLASSIFICATION OF SUBJECT MATTER INV. G11C29/56 G11C29/40		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 085 334 A (GILES GRADY LAWRENCE [US] ET AL) 4 July 2000 (2000-07-04) column 2, line 59 - column 4, line 55 column 4, line 15 - column 6, line 5; figure 1 column 6, line 6 - line 50; figure 2 column 6, line 51 - column 7, line 44; figure 3	1,2, 5-14, 20-31
A	WO 2004/072660 A (MENTOR GRAPHICS CORP [US]; RAJSKI JANUSZ [US]; TYSZER JERZY [PL]; WANG) 26 August 2004 (2004-08-26) page 6, line 8 - page 7, line 7 page 3, line 7 - page 4, line 9; figure 2 page 4, line 10 - line 17; figure 3 page 70, line 1 - line 5	3,4, 15-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
3 April 2009		14/07/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wolff, Norbert

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/US2008/076911**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-31

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/US2008/076911

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-31

Test of embedded memory in a built-in self-test environment and generation of test response signatures.

2. claims: 32-52

Diagnosis of test response signatures.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/076911

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6085334	A	04-07-2000	NONE
WO 2004072660	A	26-08-2004	AT 400845 T 15-07-2008
		EP 1595211 A2	16-11-2005
		EP 1978446 A1	08-10-2008
		JP 2006518855 T	17-08-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ムケージー, ニランジャン
アメリカ合衆国, オレゴン州 97070, ウィルソンヴィル, サウスウエスト フリン ストリート 28028番地

(72)発明者 ポジエル, アルトゥール
ポーランド共和国, シュビン 89-200, ユーエル. レスナ 34

(72)発明者 ラジスキ, ヤヌス
アメリカ合衆国, オレゴン州 97068, ウェスト リン, ホートン ロード 6502番地

(72)発明者 タイシャー, イェジィ
ポーランド共和国, ポズナン 61-249, オーエス. ステア ゼゴルゼ 89シー/2

Fターム(参考) 5L106 AA00 DD08 DD11 DD22 DD24 DD25 DD26 EE05 FF04 FF05
GG03 GG05