



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월13일  
 (11) 등록번호 10-1110942  
 (24) 등록일자 2012년01월20일

(51) 국제특허분류(Int. Cl.)  
 H02H 3/20 (2006.01) H02H 3/22 (2006.01)  
 H02H 9/00 (2006.01)  
 (21) 출원번호 10-2006-7006706  
 (22) 출원일자(국제) 2004년09월22일  
 심사청구일자 2009년09월22일  
 (85) 번역문제출일자 2006년04월07일  
 (65) 공개번호 10-2006-0122813  
 (43) 공개일자 2006년11월30일  
 (86) 국제출원번호 PCT/US2004/031052  
 (87) 국제공개번호 WO 2005/039011  
 국제공개일자 2005년04월28일  
 (30) 우선권주장  
 10/684,112 2003년10월10일 미국(US)  
 (56) 선행기술조사문헌  
 US06385021 B1\*  
 US05301084 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**프리스케일 세미컨덕터, 인크.**  
 미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501  
 (72) 발명자  
**스토킨저, 마이클**  
 미국 78757 텍사스주 오스틴 에이피티. 에이 레이 드 드라이브6104  
**밀러, 제임스, 더블유.**  
 미국 78705 텍사스주 오스틴 웨스트 33번 스트리트 209  
 (74) 대리인  
**백만기, 이중희, 주성민**

전체 청구항 수 : 총 10 항

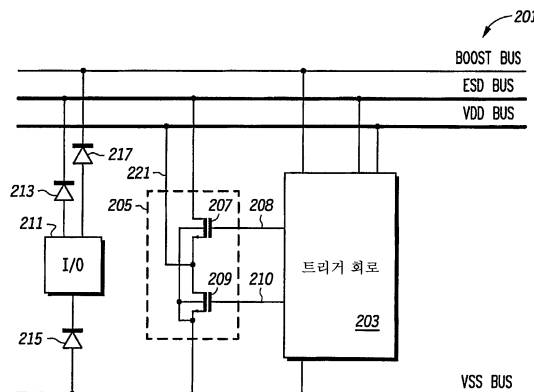
심사관 : 이만금

(54) 발명의 명칭 **정전기 방전 보호 회로 및 동작 방법**

**(57) 요약**

ESD 보호 회로(201)는 IC 내의 고전압 내성 I/O 회로에 사용하기 위한 것이다. 이는, I/O 패드로부터의 작은 ESD 다이오드(217)를 비교적 작은 승압된 전압 버스(BOOST BUS)에 제공함으로써 달성된다. BOOST BUS는 트리거 회로(203)에 전력을 공급하는 데에 이용된다. 이 경로는 트리거 회로 내의 최소한의 전류 분산으로 인해 ESD 발생 동안 거의 전류 흐름이 발생하지 않는다. I/O 패드로부터 트리거 회로(203)로 다이오드 전압 강하가 존재하지만 매우 적은 IR 전압 강하가 발생한다. 트리거 회로(203)는 비교적 큰 캐스코드된 클램프 NMOSFET(207, 209)를 제어한다. 그 결과, 클램프 NMOSFET들 양쪽의 게이트-소스 전압(VGS)이 증가되어 캐스코드된 클램프 NMOSFET들(207, 209)의 전도성이 증가된다. 이로 인해, NMOSFET들(207, 209) 각각의 온 저항이 감소되어, ESD 성능이 개선되며 견고한 ESD 보호 회로를 구현하는 데에 필요한 레이아웃 영역이 감소된다.

**대표도** - 도2



**특허청구의 범위**

**청구항 1**

집적 회로에 있어서,

제1 버스와,

제2 버스와,

제3 버스와,

제4 버스와,

스택(stacked) 구성으로 된 복수의 트랜지스터를 포함하는 션팅 회로(shunting circuit) ? 상기 션팅 회로는 복수의 제어 단자, 상기 제1 버스에 결합된 제1 전류 단자, 상기 제2 버스에 결합된 제2 전류 단자 및 상기 제4 버스에 결합된 중간 단자를 가지며, 상기 션팅 회로는 정전기 방전(electrostatic discharge; ESD) 이벤트로부터의 전류에 대해 상기 제1 버스로부터 상기 제2 버스로의 방전 경로를 제공하도록 도통됨 ? 와,

제1 제어 신호를 제공하기 위해 상기 션팅 회로의 복수의 제어 단자 중의 제1 제어 단자에 결합되는 제1 출력을 가지며, 제2 제어 신호를 제공하기 위해 상기 션팅 회로의 복수의 제어 단자 중의 제2 제어 단자에 결합되는 제2 출력을 가지며, 상기 제3 버스에 결합되는 트리거 회로와,

상기 제1 버스, 상기 제2 버스, 및 상기 제3 버스에 결합되는 패드

를 포함하는 집적 회로.

**청구항 2**

제1항에 있어서,

풀업 디바이스(pull-up device)를 더 포함하며,

상기 패드는 상기 풀업 디바이스를 통해 상기 제3 버스에 결합되는 집적 회로.

**청구항 3**

제2항에 있어서,

상기 풀업 디바이스는 다이오드를 포함하는 집적 회로.

**청구항 4**

제1항에 있어서,

ESD 이벤트가 검출되는 동안, 상기 제1 출력 및 상기 제2 출력이 실질적으로 상기 제3 버스의 전압에 풀링되어 (pulled) 상기 션팅 회로를 도통시킴으로써, 상기 ESD 이벤트의 전류를 상기 제1 버스로부터 상기 제2 버스로 방전시키는 집적 회로.

**청구항 5**

제1항에 있어서,

상기 트리거 회로는 내부 노드를 포함하며,

통상의 동작 동안, 상기 내부 노드는 실질적으로 상기 제4 버스의 전압에 풀링되며,

통상의 동작 동안, 상기 제4 버스는 전원 전압에 있고,

ESD 이벤트 동안, 상기 내부 노드는 실질적으로 상기 제3 버스의 전압에 풀링되는 집적 회로.

**청구항 6**

제1항에 있어서,

스택 구성으로 된 복수의 트랜지스터를 포함하는 제2 선틱 회로를 더 포함하며,

상기 제2 선틱 회로는 상기 제1 버스에 결합된 제1 전류 단자와 상기 제2 버스에 결합된 제2 전류 단자를 가지며, 상기 제2 선틱 회로는 ESD 이벤트로부터의 전류에 대해 상기 제1 버스로부터 상기 제2 버스로의 방전 경로를 제공하도록 도통되며,

상기 제1 출력은 상기 제1 제어 신호를 제공하기 위해 상기 제2 선틱 회로의 제1 제어 단자에 결합되며, 상기 제2 출력은 상기 제2 제어 신호를 제공하기 위해 상기 제2 선틱 회로의 상기 제2 제어 단자에 결합되는 집적 회로.

**청구항 7**

제1항에 있어서,

단일 트리거 회로에 결합되는 복수의 선틱 회로를 더 포함하는 집적 회로.

**청구항 8**

제1항에 있어서,

상기 ESD 이벤트 동안, 상기 트리거 회로는 상기 제1 출력 및 상기 제2 출력에 제1 전압을 제공하고,

통상의 동작 동안, 상기 트리거 회로는 상기 제1 출력에 제2 전압을 제공하고 상기 제2 출력에 제3 전압을 제공하며, 상기 제2 전압은 상기 제1 전압과 다른 집적 회로.

**청구항 9**

ESD(electrostatic discharge) 회로를 동작시키는 방법에 있어서,

ESD 이벤트를 검출하는 것에 응답하여, 집적 회로의 승압된 전압 버스(a boosted voltage bus)의 전압과 실질적으로 동일한 전압의 제1 제어 신호 및 제2 제어 신호를 선틱 회로의 제1 제어 단자 및 제2 제어 단자 각각에 제공하는 단계 ? 상기 전압의 상기 제1 제어 신호 및 상기 제2 제어 신호는 상기 선틱 회로를 도통시켜 상기 ESD 이벤트의 전류를 ESD 버스로부터 접지 버스로 방전시킴 ? 와,

집적 회로의 통상 동작 동안, 포지티브 전력 공급 전압의 제1 제어 신호와 접지의 제2 제어 신호를 제공하는 단계 ? 상기 승압된 전압 버스의 전압은 상기 ESD 이벤트 동안 상기 포지티브 전력 공급 전압보다 큼 ?

를 포함하는 ESD 회로 동작 방법.

**청구항 10**

제9항에 있어서,

상기 선틱 회로는 상기 ESD 버스와 상기 접지 버스 사이에 결합되는 제1 및 제2 캐스코드된(cascoded) 트랜지스터들을 포함하는 ESD 회로 동작 방법.

**명세서**

**기술분야**

[0001] 본 발명은 일반적으로 집적 회로에 대한 정전기 방전(electrostatic discharge; ESD) 보호에 관한 것으로, 보다 구체적으로는 고전압 내성 ESD 보호 회로에 관한 것이다.

[0002] 관련 계류중인 출원에 대한 상호 참조

[0003] 관련 계류중인 출원은, James W. Miller 등에 의한 "Electrostatic Discharge Protection Circuitry and Method of Operation"이라는 제목의 특허 번호 6,724,603이며, 이는 본 출원인에게 양도된 것으로 2004년 4월 20일자로 발행되었다.

**배경기술**

[0004] 집적 회로(IC)에는, 어셈블리 및 테스트 동안 제조 공정시에, 혹은 시스템 애플리케이션 내에서 정전기 방전

(ESD)이 발생할 수도 있다. 종래의 IC ESD 보호 구성에서는, 전원 버스들 간에 ESD 전류를 선티시켜 내부 소자들이 손상을 받지 않게 하는데에 종종 특수 클램프 회로들이 이용된다. 그러나, 몇몇 IC들에서는, 특수 처리 기술을 위해 내부 전원 전압보다 높은 전압이 IC에 인가되도록 한다. 이 고전압 노드에 대한 ESD 보호는, 고전압 노드와 접지 버스 사이의 셉팅 회로로서 적층되거나 혹은 시리즈로 연결된 능동 MOSFET 클램프 구성으로 달성될 수 있다.

[0005] 도 1은 종래의 ESD 보호 회로(101)를 개략적 형태로 나타낸 도면이다. ESD 보호 회로(101)는 "ESD BUS"로 표시된 ESD 버스, "VDD BUS"로 표시된 출력 버퍼 전원 버스, "VSS BUS"로 표시된 접지 버스, 트리거 회로(103), 셉팅 회로(105), 입출력(I/O) 패드(111), 및 다이오드들(113, 115)을 포함한다. IC의 통상의 동작 동안, VDD BUS는, 특정 반도체 공정 기술에 대해 최대 전원 전압까지 전력이 공급될 수 있는 것으로 가정한다. 이 한계는, 통상의 동작 시에 어떠한 MOSFET(금속 산화물 반도체 전계 효과 트랜지스터)의 게이트 산화물에도 이 최대 전원 전압보다 더 높은 전압이 인가되지 않음을 암시한다. 전형적인 고전압 내성 I/O 애플리케이션에서, I/O 패드는 이 최대 전원 전압보다 두 배 높은 전압 레벨로 외부적으로 구동될 수도 있다. 따라서, 통상의 동작 시에는, I/O 패드(111)가 다이오드(113)를 통하여 ESD BUS에 결합되기 때문에, ESD BUS는 동일한 고전압 레벨에서 유지될 수 있는 것으로 간주된다. IC 애플리케이션의 예에서, VDD BUS 및 ESD BUS에 대한 전압은 각각 2.75 볼트 및 5.5 볼트의 최대 전압에 도달할 수 있다. 셉팅 회로(105)는 캐스코드된(cascoded) NMOSFET 레일 클램프 트랜지스터들(107, 109)을 포함한다. 트리거 회로(103)는 ESD BUS, VDD BUS, 및 VSS BUS에 결합된다. IC의 통상의 동작 시에, 트리거 회로(103)는 VDD BUS에 대한 전압과 동일한 바이어스를 트랜지스터(107)의 게이트에 제공하고, VSS BUS에 대한 전압과 동일한 바이어스를 트랜지스터(109)의 게이트에 제공하여서, 트랜지스터(107) 또는 트랜지스터(109)의 게이트 산화물에 최대 공급 전압을 초과하는 전압이 걸리지 않도록 한다. ESD가 발생되면, 트리거 회로(103)는 트랜지스터들(107, 109) 양쪽의 게이트에, 이들 트랜지스터들에 로컬인 ESD BUS에 인가되는 전압과 동일한 바이어스를 제공한다. I/O 패드(111)는 큰 ESD 다이오드들(113, 115) 각각을 통해 ESD BUS 및 VSS BUS에 결합된다. 다이오드(115)는, I/O 패드(111)에 네거티브 ESD가 발생하는 경우 VSS BUS로부터 I/O 패드(111)로의 고전류 ESD 경로를 제공한다. VSS에 대한 포지티브 ESD가 I/O 패드(111)에 발생되면, 의도되는 고전류 경로는, 패드(111)로부터 다이오드(113)를 통해 ESD BUS로 진행되고, 그후 셉팅 회로(105)를 통해 VSS BUS로 진행된다. 이 ESD 발생 동안, I/O 패드(111)로부터 ESD BUS로의 다이오드(113)와, 다이오드(113)와 트리거 회로(103) 사이의 ESD BUS를 따라 실질적인 IR 전압 강하가 발생할 수 있다. 따라서, 트랜지스터들(107, 109)의 게이트들은 I/O 패드(111)에서의 전압에 비해 상대적으로 작은 바이어스 전압을 수신하며, 이로 인해 트랜지스터들(107, 109)의 온 저항이 효과적으로 증가하게 된다. 더 높은 온 저항을 오프셋하기 위해, 큰 레일 클램프 트랜지스터들이 전형적으로 이용된다. 그러나, 더 큰 레일 클램프 트랜지스터들을 이용하는 것은 바람직하지 못한데, 그 이유는 이를 구현하기 위한 더 큰 칩 영역이 필요하기 때문이다. 따라서, ESD 회로의 크기를 최소화하면서 ESD 전류 경로의 온 저항을 감소시키는 ESD 보호 회로에 대한 필요성이 존재한다.

**실시예**

[0012] 일반적으로, 본 발명은 IC 내의 고전압 내성 I/O 회로를 위한 ESD 보호 회로를 제공한다. 이는, I/O 패드로부터 트리거 회로로의 경로를, 의도된 고전류 ESD 경로와는 별도로 제공함으로써 달성된다. 이 별도의 경로는 I/O 패드로부터 상대적으로 작은 승압된 전압 버스(BOOST BUS)로의 작은 ESD 다이오드를 포함한다. BOOST BUS는 ESD 발생 시에 트리거 회로에 전력을 공급하는 데에 이용된다. 이 경로에는 트리거 회로 내의 최소한의 전류 소실로 인해 ESD 발생 동안 거의 전류가 흐르지 않는다. 트리거 회로는, 비교적 큰 캐스코드되거나 혹은 적층된 클램핑 NMOSFET들을 갖는 셉팅 회로를 제어한다. 셉팅 회로는 ESD BUS로부터 VSS BUS로의 방전 경로를 제공한다. 트리거 회로에서의 최소한의 전류 소실로 인해, I/O 패드로부터 I/O 패드에 로컬인 BOOST BUS로의 다이오드 전압 강하에 부가하여 IR 전압 강하는 거의 발생하지 않는다. 마찬가지로, I/O 패드로부터 트리거 회로로의 BOOST BUS를 따라 IR 전압 강하는 거의 발생하지 않는다. 그 결과, 캐스코드된 클램프 NMOSFET들 양쪽의 게이트-소스 전압(VGS)은 증가하며, 이에 따라 각 셉팅 트랜지스터의 온 저항이 감소된다. 이로 인해, ESD 성능이 향상되며, 견고한 ESD 보호 회로를 구현하는데에 필요한 레이아웃 영역이 감소된다.

[0013] 도 2는 본 발명에 따른 ESD 보호 회로(201)를 개략적인 형태로 도시한 도면이다. ESD 보호 회로(201)는 다이오드들(213, 215, 217), I/O 패드(211), 셉팅 회로(205), 및 트리거 회로(203)를 포함한다. 다이오드(213)는 I/O 패드(211)와, "ESD BUS"로 표시된 ESD 버스 사이에 결합된다. 다이오드(215)는 I/O 패드(211)와, "VSS BUS"로 표시된 접지 버스 사이에 결합된다. 다이오드(217)는 I/O 패드(211)와 "BOOST BUS"로 표시된 승압된 전압 버스 사이에 결합된다. 일실시예에서, 다이오드들(213, 217)은, 예를 들어 N WELL 다이오드 내의 P+ 액티브일 수 있으며, 다이오드(215)는 P WELL 다이오드 내의 N+ 액티브일 수 있다. 다이오드(217)는 다이오드들(213,

215)에 비해 상대적으로 작다. 선텩 회로(205)는 캐스코드된 레일 클램프 트랜지스터들(207, 209)을 포함한다. 트랜지스터(207)는 ESD BUS에 결합된 드레인과, 게이트와 소스를 갖는다. 트랜지스터(209)는 트랜지스터(207)의 소스에 결합된 드레인과, 게이트와, VSS BUS에 결합된 소스를 갖는다. 예시된 실시예에서, 트랜지스터(207)의 소스 및 트랜지스터(209)의 드레인은, 중간 전류 단자(221)를 통해 "VDD BUS"로 표시된 전원 버스에 결합된다. VDD BUS에 인가되는 (VSS에 대한) 포지티브 ESD 발생 시, 중간 전류 단자(221)는 이들 두 버스들 간에 직접적인 ESD 전류 선텩 경로를 제공한다. 다른 실시예들에서, 중간 전류 단자(221)는 없을 수도 있다.

[0014] ESD 보호 회로(201)의 일 실시예에서, ESD BUS는 IC의 내부에 있는 플로팅 버스일 수 있으며 IC 상의 임의의 외부 패드에 직접 접속되지 않을 수 있다. 다른 실시예들에서, ESD 버스는 외부 패드, 예를 들면 5.0볼트 고전압 전원(HVDD) 패드에 직접 접속될 수도 있다. ESD 발생과 관련된 고전류를 이동시키기 위해, ESD BUS, VDD BUS 및 VSS BUS는, 저항을 최소화하도록 실질적으로 사이즈 조절되어 이에 따라 IR 전압이 이들 길이에 따라 강해진다. BOOST BUS는, ESD 발생 시에 전형적으로 이 버스에 결합되는 더 적은 전류로 인해 더 작게 크기 조절될 수도 있다. VSS BUS는 또한 IC의 실리콘 기판(도시하지 않음)에 결합되어 기판이 금속 VSS BUS와 병렬로 도통되게 해준다.

[0015] 트리거 회로(203)는 BOOST BUS에 결합된 제1 입력과, ESD BUS에 결합된 제2 입력과, VDD BUS에 결합된 제3 입력과, VSS BUS에 결합된 제4 입력을 갖는다. 트리거 회로(203)는 트랜지스터(207)의 게이트에 결합된 제1 출력(208)과 트랜지스터(209)의 게이트에 결합된 제2 출력(210)을 갖는다. IC의 통상 동작 동안, 트리거 회로(203)는 VDD BUS에 인가되는 전압과 동일한 바이어스를 트랜지스터(207)의 게이트에 제공하고, VSS BUS에 인가되는 전압과 동일한 바이어스를 트랜지스터(209)의 게이트에 제공하여서, 트랜지스터(207) 또는 트랜지스터(209)의 게이트 산화물에 걸리는 전압이 최대 공급 전압을 초과하지 않도록 한다. 이들 바이어스 조건 하에서, 트랜지스터(207) 또는 트랜지스터(209)를 통해 MOSFET 전류가 거의 흐르지 않거나 전혀 흐르지 않아야 한다. ESD 발생이 검출되면, 트리거 회로(203)는 BOOST BUS에 인가되는 전압과 동일한 바이어스를 트랜지스터들(207, 209)의 게이트에 제공하고, 선텩 회로(205)는 ESD BUS와 VSS BUS 사이에 고전류 경로를 제공한다. 트리거 회로(203)에 대해서는 도 3을 참조하여 이하 더 상세히 기술될 것이다.

[0016] VSS에 대한 포지티브 ESD가 I/O 패드(211)에 가해지면, 의도된 고전류 ESD 경로는, 패드(211)로부터 다이오드(213)를 통해 패드(211)에 로컬인 ESD BUS로 진행되며, 그 후 ESD BUS를 따라 선텩 회로(205)로 진행되며, 그 후 선텩 회로(205)를 통해 VSS BUS로 진행된다. 전형적인 ESD 발생 시, 패드(211)와 VSS BUS 간의 피크 ESD 전류는 1 내지 4 암페어일 수도 있다. 이 고전류 레벨로 인해, 다이오드(213)와, ESD BUS를 따라 선텩 회로(205)로 전형적으로 실질적인 IR 전압 강하가 발생한다. 예를 들면, ESD BUS, VSS BUS, 다이오드(213), 트랜지스터(207) 및 트랜지스터(209)가, 4 암페어 피크 전류 ESD 발생 동안 VSS에 대하여 I/O 패드(211) 전압이 7 볼트에 도달하도록 크기 조절될 경우, 선텩 회로(205)에 로컬인 ESD 버스는 VSS에 대하여 3.5 볼트, 또는 I/O 패드(211) 전압의 반에 도달할 수 있다. 도 1의 종래 기술의 회로에서, 트리거 회로는 이 전압(3.5 볼트)을 선텩 회로(205) 내의 트랜지스터들(207, 209) 양쪽의 게이트에 인가하였을 것이다. 도 2에서, 트리거 회로(203)에 전력을 공급하기 위한 BOOST BUS를 추가하고, 다이오드(217)를 추가함으로써, I/O 패드(211)에서의 더 많은 전압 부분을 트랜지스터들(207, 209)의 게이트에 인가하는 것이 가능하게 된다.

[0017] ESD 발생시, 트리거 회로(203)는 트랜지스터들(207, 209)의 게이트만을 구동하며, 이후 도 3을 참조하여 상세히 기술되는 바와 같이 거의 전류를 인출하지 않는다. ESD 발생 동안 트리거 회로(203)가 매우 낮은 전류를 필요로 하기 때문에, 전형적으로 다이오드(217)와, BOOST BUS를 따라 트리거 회로(203)에 최소한의 IR 전압 강하가 발생한다. 따라서, 전술한 예에서, VSS에 대해 I/O 패드(211)에 대한 7 볼트 전압으로, VSS에 대한 약 6 볼트의 전압이 트리거 회로(203)에 로컬인 BOOST BUS에 나타날 수 있다. 트리거 회로(203)는 ESD 발생 시에 BOOST BUS에 의해 전력이 공급되기 때문에, 트리거 회로에 의해 트랜지스터들(207, 209)의 게이트에 6볼트의 전압이 또한 출력될 것이다.

[0018] 의도된 고전류 ESD 경로와는 별도로 I/O 패드(211)로부터 트리거 회로(203)로의 경로를 제공함으로써, 클램핑 트랜지스터들(207, 209)의 게이트들은 로컬 ESD BUS 전압 이상으로 승압된다. 이는 도 1의 ESD 보호 회로에 비해 현저히 개선된 것이다. 캐스코드된 클램프 트랜지스터들의 고정된 사이즈에 대해, 도 2의 승압된 선텩 회로는 도 1의 선텩 회로에 비해 ESD BUS와 VSS BUS 간의 온 저항이 더 작을 것인데, 그 이유는 클램프 트랜지스터들 양쪽에 대한 증가된 VGS(게이트-소스 전압) 때문이다. 이로 인해, ESD 발생 동안 I/O 패드에 대한 전압 스트레스가 감소될 것이다. 이와 달리, 선텩 회로 온 저항에 대한 고정된 설계 타겟을 가정하면, 도 2의 승압된 회로는, 도 1의 회로에 비해, 타겟 온 저항을 만족시키기 위해 더 작은 클램프 트랜지스터를 필요로 할 것이다.



- [0019] ESD 보호 다이오드들(213, 215, 217)을 갖는 오직 하나의 I/O 패드(211)가 도 2의 ESD 보호 회로(201)에 도시되어 있지만, 전형적으로 BOOST BUS, VDD BUS, ESD BUS, 및 VSS BUS를 따라 복수 개의 I/O 패드들이 분포되어 있다. 여러 I/O 패드들이 존재하는 경우, 트리거 회로(203) 및 선틱 회로(205)는 이 복수의 I/O 패드들을 보호한다. 다른 실시예들에서는, 여러 트리거 회로(203) 및 선틱 회로(205)가 하나 이상의 I/O 패드들을 보호하기 위해 4개의 버스들을 따라 배치될 수도 있다.
- [0020] 도 3은 도 2의 트리거 회로(203)의 실시예를 개략적인 형태로 나타낸 도면이다. 트리거 회로(203)는 슬루 레이트(slew rate) 검출기(301), 풀업 회로(303), 전류원(305), 폴다운 스테이지(307), 리셋 스테이지(309), 출력 스테이지(311), 및 평형 회로(equilibrium circuit)(313)를 포함한다. 과도적(transient) 트리거 회로(203)는 출력 노드(208)를 통한 NMOSFET(207)와 출력 노드(210)를 통한 NMOSFET(209)의 게이트 전압들을 제어하는 데에 이용된다. 통상적인 파워 업 칩 동작 동안에는, 출력 노드(208)는 VDD BUS에 결합되고, 노드(210)는 VSS BUS에 결합되어, 레일 클램프 NMOSFET들(207, 209)을 스위칭 오픈한다. VDD BUS 포텐셜의 바이어싱 노드(208)와 VSS BUS 포텐셜의 노드(210)는, NMOSFET들(207, 209)의 게이트 산화물들의 어느 쪽도 오버스트레스되지 않게 해준다. 즉, 적층된 트랜지스터들(207, 209)은 사용되는 특정 처리 기술의 최대 공급 전압보다 커지지 않는다. 검출된 과도적 ESD 발생 동안, 노드들(208, 210) 양쪽은 BOOST BUS에 결합되어서, 레일 클램프 NMOSFET들(207, 209)을 턴 온시키고 선틱 회로(205)가 ESD BUS 및 VDD BUS로부터 VSS BUS로 ESD 전류를 흘릴 수 있게 해준다.
- [0021] 트리거 회로(203)는 주로 BOOST BUS 및 VSS BUS에 의해 전력이 공급되며, 이에 따라, 트리거 회로(203)는 고전압 레벨(최대 공급 전압 레벨보다 높음)을 유지할 수 있어야 하며, 이는 전술한 바와 같은 고전압 내성 칩 애플리케이션 내에서의 통상의 동작 동안 BOOST BUS에서 발생될 수 있다. 이는, 통상의 칩 동작 동안, 트리거 회로(203)에서 사용되는 MOSFET 디바이스들중 어느 것도, 특히 그들의 게이트 산화물에 걸리는 전압에 대해 그들의 허용된 최대 동작 전압 범위를 벗어나서 바이어싱되지 않는 것을 보장하는 회로 설계를 요구한다.
- [0022] 트리거 회로(203)는 내부 노드 N4, 및 내부 노드 N4에 연결된 슬루 레이트 검출기(301)를 포함한다. 슬루 레이트 검출기는, PMOS 저항(325) 및 NMOS 캐패시터(326)를 포함하는 RC 스테이지와, PMOS 저항(327), PMOS 드라이버 트랜지스터(328), 및 NMOS 전류원(329)을 포함하는 인버터 스테이지를 포함한다. 통상의 칩 동작 동안, 내부 노드 N4는 평형 회로(313)의 PMOS(346)를 통해 VDD BUS에 결합된다. 슬루 레이트 검출기(301)는 내부 노드 N4와 VSS BUS 사이에 접속되기 때문에, 슬루 레이트 검출기(301)의 어떤 디바이스들에 대해서도 고전압 스트레스가 발생할 수 없다. ESD 발생이 검출되는 동안, 내부 노드 N4는 풀업 회로(303)에 의해 BOOST BUS 전압으로 풀업되며, 풀업 회로(303)는, PMOS 캐패시터(323)를 포함하는 용량성 풀업 디바이스와, PMOS(321)를 포함하는 전도성 풀업 디바이스로 구성된다. 전도성 풀업 디바이스(321)는 BOOST BUS에 대한 전압 램프 동안 PMOS(323)를 통해 용량성 결합을 지원하며, PMOS 저항(319) 및 PMOS 캐패시터(322)를 포함하는 RC 회로의 출력에 의해 제어된다. 다른 실시예들에서는, PMOS 캐패시터(323) 또는 전도성 풀업 디바이스(321)중 어느 하나가 회로에 존재하지 않을 수 있다.
- [0023] 슬루 레이트 검출기(301)는, ESD 발생을 나타내는 급속한 상승 전압 램프에 대한 내부 노드 N4의 전압(그리고, 이에 따라 간접적으로는 BOOST BUS 전압)을 모니터링한다. ESD가 발생하면, RC 노드 N0은 NMOS 캐패시터(326)에 의해 VSS에 가깝게 유지된다. 이는, PMOS 드라이버(328)에 의해 슬루 레이트 검출기의 출력 노드 N1을 VSS 이상으로 올린다. 이에 따라, 캐스코드된 NMOS 디바이스들(336, 337)을 포함하는 폴다운 스테이지(307)가 활성화되고 노드들 N2 및 N3은 VSS로 폴 다운된다. 이는 출력 스테이지(311) 내의 큰 PMOS 트랜지스터들(341, 342)을 턴 온시키며, 출력 노드들(208, 210) 양쪽에 대한 전압을 BOOST BUS 전압으로 올린다. 트랜지스터들(341, 342)은 BOOST BUS와 출력들(208, 210) 각각 사이의 전류 경로를 제공하기 위한 스위치들로서 기능한다.
- [0024] 도 3에 도시된 슬루 레이트 검출기(301)는 노드 N1에 대해 10 나노 초 내지 20 나노 초 정도의 짧은 전압 펄스만을 제공한다. 트리거 회로의 적절하게 긴 온 타임(1 마이크로초까지, 혹은 ESD 발생의 최대 지속시간)을 달성하기 위해, 출력 스테이지는, 노드 N1이 VSS로 도로 강하된 후에도 스위칭 온 상태로 유지된다. 이는, 출력 스테이지(311) 내의 PMOS 디바이스들(341, 342) 양쪽의 큰 본질적인 게이트 캐패시턴스에 의해 달성되며, 이는 ESD 발생의 검출 후에 노드들 N2 및 N3에 대한 전압 상승을 지연시킨다. 이들 본질적인 게이트 캐패시턴스에 대한 충전 전류는 전류원(305)에 의해 제공된다. 전류원(305)은, 트랜지스터들(333, 334)을 포함하는 캐스코드된 NMOS 스테이지와, 트랜지스터들(331, 332)을 포함하는 PMOS 전류 미러를 포함한다. PMOS(341, 342)의 본질적인 게이트 캐패시턴스를 서서히 충전시키는 전류원(305)은, BOOST BUS로부터 VSS로의 DC 누설 전류를 방지하기 위해 ESD 발생 동안만 활성화된다. 노드들 N2 및 N3에 대한 전압이 PMOS 트랜지스터(342) 및 NMOS 트랜지스터(343)를 포함하는 출력 스테이지 인버터의 스위치 포인트를 초과하면, 트리거 회로 출력 노드(210)는 다시 VSS로 설정되고 출력 노드(208)는 VDD로 설정된다. 이는 또한 리셋 스테이지(309)를 활성화시킨다. 리셋 스테

이지(309)는 PMOS 트랜지스터들(339, 340)을 포함하는데, 이들은 노드 N2에 대한 전압을 BOOST BUS로 리셋시키고 노드 N3에 대한 전압을 VDD로 리셋시키도록 기능하여서, 출력 스테이지(311) 내의 PMOS 트랜지스터들(341, 342) 양쪽이 완전하게 턴 오프되게 한다.

[0025] 도 3의 평형 회로(313)는 세 개의 PMOS 트랜지스터들(315, 345, 346)을 포함하는데, 이들은 칩의 통상 동작 동안 BOOST BUS, 출력 노드(208), 및 내부 노드 N4 각각에 대한 잘 정의된 전압 레벨을 제공하도록 기능한다.

[0026] 도 4는 본 발명의 다른 실시예에 따른 분산된 ESD 보호 회로(400)를 개략적인 형태로 나타낸 도면이다. ESD 보호 회로(400)는 ESD 패드 셀들(421, 441)에 의해 표시되는 바와 같이 복수의 ESD 패드 셀을 포함한다. 각 ESD 패드 셀은 I/O 패드 셀의 일부일 수 있다. 복수의 ESD 패드 셀은, 복수의 I/O 패드에 대한 충분한 ESD 보호를 제공하는데에 필요한만큼 IC에 걸쳐서 분산되어 있다. ESD 패드 셀(421)은 셉팅 회로(423), 다이오드들(431, 433, 435), 및 I/O 패드(429)를 포함한다. ESD 패드 셀(441)은 셉팅 회로(443), 다이오드들(451, 453, 455) 및 I/O 패드(449)를 포함한다. 클램핑 회로(401)는 트리거 회로(403) 및 셉팅 회로(405)를 포함한다. 셉팅 회로(405)는 캐스코드된 클램핑 트랜지스터들(407, 409)을 포함하며, 셉팅 회로(423)는 캐스코드된 클램핑 트랜지스터들(425, 427)을 포함하며, 셉팅 회로(443)는 캐스코드된 클램핑 트랜지스터들(445, 447)을 포함한다. 일실시예에서, 트리거 회로(403)는 도 3의 트리거 회로(203)와 유사하며, 복수의 ESD 패드 셀 각각의 셉팅 회로의 동작을 제어하는 데에 이용된다. 트리거 회로(403)의 출력(408)은 트랜지스터(407)의 게이트에 결합되며 출력(410)은 트랜지스터(409)의 게이트에 결합된다. "TRIGGER BUS A"로 표시된 트리거 버스는 트리거 회로(403)의 출력(408)을 트랜지스터들(425, 445)의 게이트에 결합시키도록 제공된다. "TRIGGER BUS B"로 표시된 트리거 버스는 출력(410)을 트랜지스터들(427, 447)의 게이트에 결합시키도록 제공된다. 도 4에는 단 하나의 트리거 회로(403)가 도시되어 있지만, 다른 실시예들에서는 하나 이상의 트리거 회로(403)가 존재할 수도 있다. 또다른 실시예에서, 트리거 회로(403)는 클램핑 회로(405) 없이 독립형으로 배치될 수 있으며, 그 출력들(408, 410)은 TRIGGER BUS A 및 TRIGGER BUS B 각각에만 연결될 수 있다.

[0027] 예를 들어 I/O 패드(429)에 VSS에 대한 포지티브 ESD가 인가되면, 의도된 고전류 ESD 경로는 패드(429)로부터 다이오드(433)를 통해 패드(429)에 로컬인 ESD BUS로 진행되며, 그 후 양 방향으로 ESD BUS를 따라 진행되고 최종적으로 여러 셉팅 회로들(443, 423, 405)을 통해 VSS BUS로 진행된다. 트리거 회로(403)는 ESD 발생시 인에이블될 때 거의 전류를 인출하기 않기 때문에, 다이오드(435)와, I/O 패드(429)와 트리거 회로(403) 간의 BOOST BUS를 따라 IR 전압 강하가 거의 없다. 마찬가지로, 트리거 회로(403)와 셉팅 회로들(423, 443) 간의 TRIGGER BUS A 및 TRIGGER BUS B를 따라 IR 전압 강하가 거의 없다. 따라서, 트리거 회로(403)는 여러 셉팅 디바이스들의 제어 전극들을 ESD BUS에 대한 피크 전압 레벨 보다 일반적으로 더 큰 전압 레벨로 구동할 수 있다.

[0028] 트리거 회로(403)는 로컬 셉팅 회로(405) 내의 클램프 트랜지스터들의 게이트들을 직접 구동하며 원격 셉팅 회로들(423, 443) 내의 클램프 트랜지스터들의 게이트들을 TRIGGER BUS A 및 TRIGGER BUS B를 통해 구동한다. 하나의 트리거 회로(403)가 여러 원격 셉팅 회로들을 구동시킬 수 있다는 점이 분산된 ESD 보호 회로(400)의 이점이다. 각 셉팅 회로를 독립적으로 구동하기 위해 개별적인 트리거 회로들을 배치하면 ESD 셀들(421, 441) 내의 상당한 추가적인 레이아웃 영역이 필요하게 될 것이다. 또한, BOOST BUS, I/O 패드와 트리거 회로 사이의 TRIGGER BUS A 및 TRIGGER BUS B를 따라 최소한의 IR 강하가 발생하기 때문에, 트리거 회로는 ESD 동안 보호될 I/O 패드로부터 소정의 간격을 두고 배치될 수 있다는 점도 이점이다. VDD BUS에 인가되는 (VSS에 대한) 포지티브 ESD 발생 동안, 중간 전류 단자들(416, 428, 448)은 VDD BUS와 VSS BUS 간에 직접적인 ESD 전류 셉팅 경로를 제공한다. 다른 실시예들에서는, 중간 전류 단자들(416, 428, 448)이 존재하지 않을 수도 있다.

[0029] 이제, 모든 유형의 회로들에 대한 패드 셀 보호에 이용될 수 있는 ESD 보호 회로 및 방법이 제공되었음을 알 것이다. 또한, 본 명세서에 개시된 ESD 보호 회로는 더 작은 프로세싱 형태로 스케일가능하다.

[0030] 본 발명을 구현하는 장치는, 대부분 당업자에게 공지된 전자 부품들 및 회로들로 구성되기 때문에, 본 발명의 기본 개념의 이해 및 인식을 위해, 그리고 본 발명의 개시물에 대해 잘못 이해되지 않도록 하기 위해, 회로의 상세 사항들은 전술한 바와 같이 필요한 것으로 간주되지 않는 이상은 설명하지 않았다.

[0031] 전술한 명세서에서, 본 발명은 특정 실시예들을 참조로 하여 기술되었다. 그러나, 당업자라면, 이하의 특허청구범위에 제시된 바와 같은 본 발명의 범주로부터 벗어나지 않고 여러 변경 및 수정이 행해질 수 있음을 알 것이다. 예를 들면, 본 명세서에 개시된 트랜지스터들은 임의의 프로세싱 기술로 구현될 수 있다. 예시된 MOS 트랜지스터들에 대해, 도전성 유형의 변경과, 관련된 시그널링 로직이 변경됨은 명백하다. 소정의 상황에서, 개별적인 다이오드들을 구현하는 대신에 자연적으로 존재하는 기생 다이오드들을 사용할 수도 있다. 또한, 패드 셀들 내부 및 주위에 트리거 회로들, 풀업 회로 및 다이오드들을 물리적으로 위치 지정하는 것은 그 회로의

기능이 영향을 받지 않고 예시된 것과 다르게 할 수도 있다. 따라서, 명세서 및 도면은 제한적인 의미가 아니라 예시용으로 간주되어야 하며 이러한 모든 변경은 본 발명의 범주 내에 포함되는 것으로 의도된다.

[0032] 특정 실시예들을 참고하여 이점들, 또는 다른 장점들 및 문제 해결을 기술하였다. 그러나, 이점들, 장점들, 문제 해결들과, 임의의 이점, 장점 또는 해결을 발생시키거나 혹은 더욱 명시화되게 하는 임의의 구성요소(들)은 임의의 청구범위들 또는 모든 청구범위들에 대해 중요하거나, 요구되거나 혹은 필수적인 특징 또는 구성 요소인 것으로 해석되어서는 않된다. 본 명세서에서 사용된, "포함", "포함하고 있음"이라는 단어 또는 그 밖의 임의의 그 변경은 배타적이지 않은 포함으로 의도되며, 이에 따라 구성 요소들의 리스트를 포함하는 프로세스, 방법, 아티클, 또는 장치는 이들 구성 요소들 뿐만 아니라 명시적으로 리스트되지 않거나 혹은 이러한 프로세스, 방법, 아티클, 또는 장치에 고유한 그 밖의 다른 구성 요소들도 포함한다. 본 명세서에서 사용된 "a" 또는 "an"은 하나 또는 하나 이상으로 정의된다. 본 명세서에서 사용된 "복수"라는 용어는 두 개 이상으로 정의된다. 본 명세서에서 사용된 "다른"이라는 단어는 적어도 두 번째 또는 그 이상으로 정의된다. 본 명세서에서 사용된 "포함함" 및/또는 "가짐"이라는 단어는 "포함"으로 정의된다(즉, 오픈 엔드). 본 명세서에서 사용된 "결합"이라는 단어는, 직접적이고 기계적인 필요는 없지만 접속됨으로 정의된다.

**도면의 간단한 설명**

[0006] 본 발명은 예를 통해 설명되며 첨부된 도면으로 제한되는 것은 아니며, 이들 도면에서는 동일한 부호는 동일한 구성 요소를 나타낸다.

[0007] 도 1은 종래의 ESD 보호 회로를 개략적인 형태로 나타낸 도면이다.

[0008] 도 2는 본 발명에 따른 ESD 보호 회로를 개략적인 형태로 나타낸 도면이다.

[0009] 도 3은 도 2의 ESD 보호 회로에 사용하기 위한 트리거 회로의 실시예를 개략적인 형태로 나타낸 도면이다.

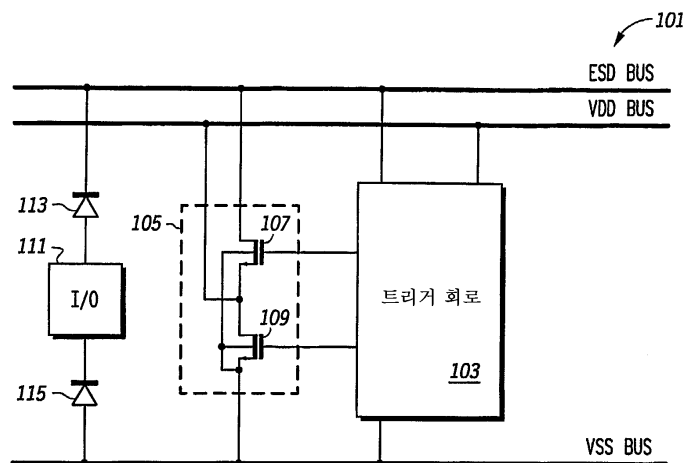
[0010] 도 4는 본 발명의 다른 실시예에 따른 분산형 ESD 보호 회로를 개략적인 형태로 나타낸 도면이다.

[0011] 당업자라면, 이들 도면 내의 구성 요소들은 간략하고 명확하게 도시되며 스케일링하도록 도시될 필요는 없음을 알 것이다. 예를 들면, 도면들 내의 몇몇 구성요소들의 치수는, 본 발명의 실시예의 이해를 돕기 위해 다른 구성요소들에 비해 크게 도시될 수도 있다.

**도면**

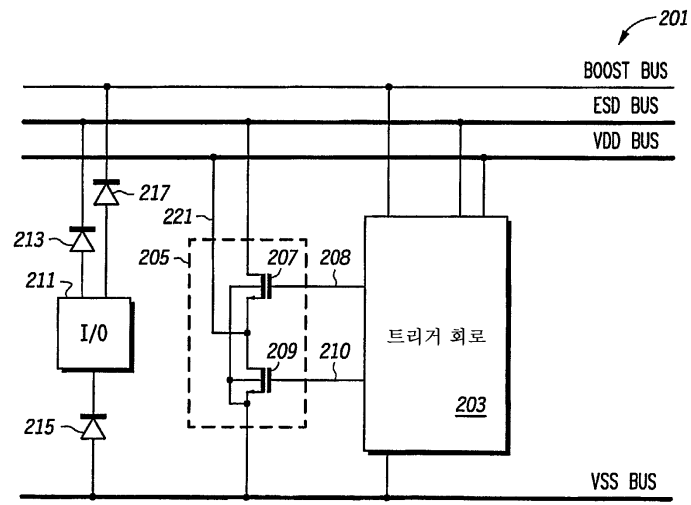
**도면1**

(종래 기술)

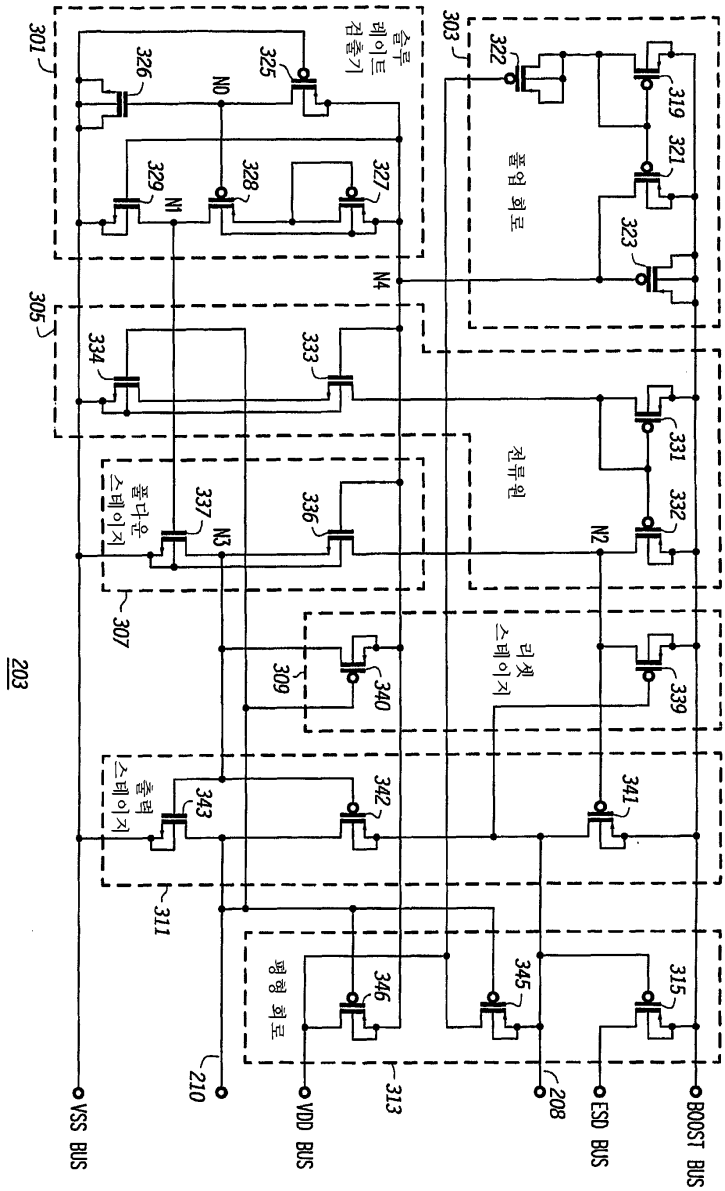




도면2



도면3



도면4

