

公告本

申請日期	90 年 1 月 15 日
案 號	90100864
類 別	G11C16/00

A4
C4

587252

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、發明 名稱	中 文	半導體記憶裝置及資料處理裝置
	英 文	
二、發明 人	姓 名	(1) 石井智之
	國 籍	(1) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 名 姓	(1) 庄山悅彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 日本 2000年1月18日 2000-013893 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【本發明所屬之技術領域】

本發明係有關一種半導體記憶裝置及資料處理裝置。

【習知之技術】

有關本發明之習知技術乃為記載於 T. Masuhara et al, IEICE Transactions vol.E74pp130-141, 1991年之快閃記憶體。此快閃記憶格除了被形成在矽基板表面之源極、汲極、通道區域以外，在絕緣體中設有由多結晶矽製成的浮動閘、控制閘。浮動閘中實行電荷累積，應用根據儲存電荷量的大小加以改變源極、汲極間的電導來執行記憶。有關本發明之其他習知技術舉例有記載於 K. Yano et al, IEEE International Electron Circuit Conference pp541-544, 1993年、以及 K. Yano et al, International Solid-State Circuits Conference pp266-267, 1996年之採用多結晶矽的單電子記憶體。就此技術方面，乃利用多結晶矽薄膜同時形成作為電流路徑的通道及捕獲電子之記憶區域。若於記憶區域捕獲電子，即利用電流路徑之電導變化來執行資訊記憶。在微小記憶區域儲存電子，且以一個單位來控制儲存電子的數量，就算在室溫下還是可以穩定的保持儲存電子。此單電子記憶體由其原理可知很適合微細化。特別是採用在絕緣膜上設有源極、汲極區域的元件構造，即可藉此令電流路徑與周圍的電導變小，很容易就能以很少的儲存電荷量讀出資訊。又，組合由多結晶矽製成的 F E T (電場效應型電晶體) 和設在基板表面的 M O S (metal-oxide-

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (2)

semiconductor) 電晶體的記憶格實例，舉例有記載於 T. Masuhara et al, IEE Transactions vol. E74 pp130-141, 1991年的 S R A M。此技術就以 6 個電晶體為一組來形成單位記憶格之 S R A M 而言，是於完成負荷作用的 2 個電晶體使用多結晶矽 F E T，因為可將多結晶矽 F E T 形成在其他的電晶體上，所以就能夠以小於在基板表面形成 6 個電晶體的面積來實現記憶格。

又，在絕緣體上具有通道的非揮發性半導體記憶體技術的實例，舉例有利用記載於日本特開平第 0 5 - 0 8 2 7 8 7 號的多結晶矽之 E P R O M。

【發明欲解決之課題】

對代表快閃記憶體之絕緣體中的記憶區域執行電荷累積，根據儲存電荷量的大小，由於應用令源極、汲極間之電導變化來執行記憶之半導體記憶元件，可用 1 個電晶體構成記憶格，故很適合高積體化。具有高積體、非揮發性優點之快閃記憶體，但與 D R A M 相比，則有重寫時間變慢數百倍以上之課題。因此，採用數位相機將資料暫時儲存在緩衝用途的揮發性記憶體，然後緩緩地傳輸到非揮發部分的手法。用此手法要在另外的晶片準備緩衝記憶體，由於控制系統也很複雜，故與快閃記憶體單獨的場合相比，成本大幅提升。於快閃記憶體晶片上，也在每個資料線設置暫存器。也考慮到分割資料線，增加暫存器數量來達到提高重寫速度，由於暫存器佔據較大的面積，雖然增大

五、發明說明 (3)

晶片面積卻提高了成本。

又，單純從半導體記憶裝置之性能提昇觀點來看，資料線容量小的這方，由於在寫入和消去、讀出等之記憶體動作時，充放電時間短很適合高速動作，而且充放電的電荷量也很少，故能以低耗電加以動作。字元線也理所當然是同樣的情形。另一方面，隨著記憶容量的大容量化，連微細化也被考慮到，增加記憶格陣列區域的大小。因此從陣列之端至端，使資料線和字元線移行的長度增長，容量變大。對於此問題的解決法，則有所謂以更小的單位來分割格陣列，以此單位執行寫入和讀出等之方法。但要是以小單位分割格陣列，在各單位準備讀出放大器字元線驅動電路等周邊電路的話，就會發生面積會增大且成本增加的新問題。

進而，為削減成本、提昇記憶體與處理器間的資料傳輸速度，故 D R A M 和快閃記憶體之 O N 晶片化是很有效的手段。但是從記憶格製程和邏輯用 C M O S 製程的整合性問題來看，要並存記憶體性能與邏輯性能是很困難的一件事。

於是，本發明之目的在於提供一種可邊高速重寫、邊減少增大面積之半導體記憶裝置。又，提供一種在小面積執行大容量或高速動作、低耗電動作之半導體記憶裝置。進而，也提供一其目的在於製造容易，不會損及邏輯性能，可在同一晶片上大規模搭載記憶體之資料處理裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4)

【用以解決課題之手段】

發明者等構思一種在同一晶片上構成 C M O S 電路和 D R A M 、 S R A M 、快閃記憶體等之記憶體，或是因為元件間誤差小，移動率也大幅減少，所以得以在可高速動作的半導體基板表面，以元件容易分離且小面積的記憶格就可構成 C M O S 電路，並在可高積體化的絕緣膜上形成記憶部分的想法。又，構思出一種連在同一晶片內具有階層化之 2 種以上的記憶體之半導體裝置，也可在半導體基板表面，將高速的記憶體，相對性的寫入絕緣膜上，就可高積體構成低速讀出的記憶體，就很適合裝置的高機能化。

本發明其特徵在於：將邏輯電路和緩衝記憶體、讀出放大器等周邊電路或其一部分設在半導體基板表面，透過絕緣膜在其上設置記憶格。

若詳細描述，根據本發明之代表性實施形態的半導體記憶裝置或資料處理裝置，其特徵為：具有被構成在同一晶片上之兩種以上的記憶格陣列，且上述記憶格陣列的至少兩種，是被配置在上下的位置關係。

又，製造容易，並且可在不損及邏輯性能的另一晶片上，大規模搭載記憶體的實施形態，其特徵為：具有被設在絕緣膜上之源極、汲極區域，且該源極、汲極區域是互相介於半導體而被連接的；具有控制電極，且至少具有一個周圍是用電位障壁圍起來的記憶區域，並具有對該控制電極和源極、汲極區域之間施加電壓，而進行向該記憶區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

域的電荷耦合，或是來看記憶區域的電荷放射，應用根據累積在上述記憶區域的電荷量大小，使源極、汲極間的電導發生改變而執行記憶的半導體記憶元件，還有複數個行列狀並排上述半導體記憶元件的構造，還有被設在基板表面之複數個電晶體，上述行列狀並排的半導體記憶元件和上述複數個電晶體的位置關係，實質上是存在於上下的部分。

本發明之其他手段、目的和特徵由以下實施形態即可明白。

【發明之實施形態】

(實施例 1)

根據本發明之第 1 實施形態來說明記憶裝置或資料處理裝置。於第 2 圖表示記憶裝置之記憶格陣列部分的概念圖。第 2 圖 (a) 係用矽基板表面來構成讀出放大器、驅動器外以的周邊電路 5 1，在其上介於絕緣膜而設有記憶格陣列 5 2。若按此構成，與在同一面內構成記憶格陣列與周邊電路的場合相比，即可用小面積來構成記憶裝置。又，此構成由於可縮短記憶格至周邊電路的配線長度，也很適合高速化。再者，絕緣膜上的記憶格陣列並不限於半導體記憶體，亦可為像是採用 M R A M (magnetic random access memory) 之其他材料的記憶體。所謂的 M R A M 是兩個磁性體薄膜的磁化方向，是在平行或反平行的隔在磁性體間，利用導體電阻變化的現象，或是兩個磁性體薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

的磁化方向，在經由平行或反平行的磁性體間，利用隧道電流變化的現象，來記憶資訊。

第 2 圖 (b) 係說明適於記憶格陣列之重寫高速化的構成。一般是以 L 快閃記憶體、D R A M 等高積體性優的記憶體，會令格尺寸小的反面寫入、讀出等動作速度變慢。特別是代表快閃記憶體的揮發性記憶體，由於寫入、消去很浪費時間，故於重寫時，一般是暫時將資訊儲存在可高速重寫的緩衝記憶體 (例如 S R A M)，然後將緩衝記憶體的資訊傳輸到快閃記憶體，來執行寫入的。在本構成中，乃於基板表面形成可高速重寫之記憶格陣列 5 3，在絕緣膜上形成較被形成在基板表面的記憶格陣列高積體之記憶格陣列 5 4。可高速重寫的記憶格陣列 5 3 積體較記憶格陣列 5 4 低、容量又較小的關係，對高積體記憶格陣列 5 4 而言可形成 3 次元形式。因此，與在同一面內形成一列高積體記憶格陣列 5 4 與高速重寫記憶格陣列 5 3 的場合比較，對面積而言是很有利的。

於第 1 圖表示形成此種 3 次元的記憶格陣列之斷面圖。第 1 圖中，係在半導體基板表面，形成周邊電路或構成可高速重寫之記憶格陣列的電晶體，絕緣膜上的記憶格 (稱爲上部記憶格) 是以構成快閃記憶體的實例表示。由厚度 5 0 n m 的高濃度 n 型之多結晶矽所製成的源極區域 (源極線) 1 及汲極區域 (局部資料線) 2，是用厚度 1 0 n m 之低濃度 p 型之多結晶矽之通道 3 而連接的。具有於被形成在源極區域 1、汲極區域 2、通道 3 上的絕緣膜，

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (7)

由圍住周圍之厚度 20 nm 的 n 型多結晶矽製成之浮動閘 4，更設有利用鎢被背面植入的 n 型多結晶矽之控制閘（字元線）5。

資訊記憶動作是針對源極、汲極相對性地施行正（例如 20 V）或負（例如 -18 V）的大電壓，使電荷移動到厚度 8 nm 的隧道絕緣膜 11 中而完成的讀出，則是利用經由浮動閘 4 內的電荷量，來變化由閘極 5、源極 1、汲極 2、通道 3 所形成的電晶體之臨限值電壓。

其次說明本實施例之記憶格陣列的製造工程。由第 4 圖至第 7 圖以佈置圖來表示形成一個 S R A M 格和被形成在其上的快閃記憶體格陣列之工程。於第 4 圖中以虛線框起的部分 21 構成 S R A M 格。將磷植入 P 型矽基板內，並予加熱而形成 n 型之陷阱 N W E L L。其次在此陷阱內植入硼，並予加熱，而在 n 型區域中形成 P 型之陷阱。n 型區域中互相分離的 p 型區域，則具有可設定在不同電位的優點。電晶體係形成在依此所形成之 n 型陷阱、P 型陷阱。

其次，以光阻劑為光罩來蝕刻基板（圖案 L），在此溝埋入 S i O₂ 膜，加以平面化蝕刻 S i O₂ 膜而形成元件分離區域 8。此元件分離可以採取利用 S i₃ N₄ 膜來覆蓋有效區域後，加以氧化基板的 L O C O S 等之手法。其次將基板表面氧化 15 nm 而形成閘氧化膜 63（第 1 圖）。將一部分用抗阻劑等覆蓋後，蝕刻、除去閘氧化膜。除掉覆蓋後再度氧化形成 5 nm 的閘氧化膜。此係為形成厚

（請先閱讀背面之注意事項再填寫本頁）

訂 · 線

五、發明說明 (10)

耐熱性。除此之外，也可以用 T i N 和 T a (鈿) 等高融點材料。另一方面，可於快閃記憶體形成後的上層之配線材料應用 A 1 。為 A 1 配線的場合，更便宜就可實現。

於第 2 2 圖表示根據本發明之記憶裝置之方塊圖。又，將第 2 2 圖中的快閃記憶體陣列和 S R A M 陣列的結合關係表示在第 2 1 圖。又，將第 2 1 圖的 S R A M 格表示在第 8 圖。在基板表面 (下層) 設有於 S R A M (static random access memory) 格具備有與局部資料線的連接開關 (S L) 及與整體資料線的連接開關 (S G) 為單位構造的格陣列。局部資料線隨著同一整體資料線加以分割，介於各連接開關 (S G) 而被連接在整體資料線。

本實施例是採取在一條整體資料線連接 1 2 8 條局部資料線的構成。將分割的概況表示在第 1 1 圖。高積體記憶體 (快閃記憶體) 的格陣列被分割成 1 2 8 ，各自在陣下具有一列高速記憶體 (S R A M) 。此一組稱為記憶層。局部資料線是連繫在記憶層內，記憶層間是用整體資料線連接的。寫入或是消去的單位稱為區，在同一字元線被驅動。接著如說明般，欲執行高速寫入或高速讀出，將連接之資料列收納在不同的記憶層之區是很重要的。

因而可以採取例如第 1 1 圖般，把所連接的區編號分配成不同的層。在層內連接而分配區編號，於寫入動作時選擇屬於不同控制器的層之不按順序的區編號之方式。對 S R A M 而言，兩個開關 S L 、 S G 為串聯加入的本實施例之連接會比像實施例 2 般，並聯加入的場合還要容易做

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (11)

小面積的佈置。又，要是開關 S L 為 O F F、開關 S G 為 O N，通過整體資料線不會失去 S R A M 的保持資訊，也可與外部一起處理快閃記憶體的資訊。

其次，說明本實施例之記憶裝置的動作。先就資訊寫入來看，是將寫入資訊負載在整體資料線 1 3。例如資訊經由「0」或「1」將電壓設定為 0 V 和 5 V。理所當然的是在成爲一對的整體資料線 1 8 負載反轉資訊。此時對於欲寫入的局部資料線 1 2 及隨此的 S R A M 格，以 S L、S G 爲導通 (O N) 狀態，且與繫在同一整體線的其他局部資料線的 S G 爲非導通 (O F F) 狀態。以 S R A M 格爲 O N，將負載的資訊記憶在 S R A M。經時間 t 1 後，以 S G 爲 O F F 狀態，將下一個寫入資訊負載在整體資料線 1 3。此負載、儲存動作是寫入 S R A M 的動作，可以用比快閃記憶體之平均寫入時間更短的周期來動作。另一方面，以 S G 爲 O F F 狀態而自整體資料線 1 3 被切斷的局部資料線 1 2，是經由 S R A M 格該資訊保持在 h i g h 或 l o w。因而，以 S L 爲 O F F，將源極線設定在高於此 l o w 電壓的電位 (例如 5 V)，對快閃記憶體的字元線 2 0 施加寫入電壓 (例如 2 0 V)，就可將資訊寫入快閃記憶體。負載於此的電壓爲 5 V 的狀況下，字元線 2 0 與資料線 1 2 的相對電位差爲 1 5 V，所負載的電壓爲 0 V 的狀況下，相對電位差小於 2 0 V 的關係，隧道電流小，臨限值電壓相對的變低。以 S L 爲 O F F 後，S R A M 亦可爲 O F F 狀態。對此快閃記憶體的寫入動作

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

，可以直到選擇下一個此局部資料線 1 2 為止就結束。

本實施例中係採用依序選擇 1 2 8 條的局部資料線之寫入方式。因而對 S R A M 的寫入動作，就會較之對快閃記憶體的寫入動作高速化數十倍，就可實現高速重寫。特別是在寫入前加入格資訊之消去動作的場合，必須繼續消去與寫入，很浪費時間，故本發明之效果大。

讀出動作是先令整體資料線 1 3 預充電，以 S L、S G 為 O N 而令局部資料線 1 2 加以預充電。此時，將連接在局部資料線 1 2 的整體資料線 1 3 之電位設定，設定成高於成爲一對的整體資料線 1 8 的電位。以 S G 為 O F F，將快閃記憶體的源極線 1 9 設定成低於預充電電壓（例如 0 V），將字元線 2 0 設定在讀出電壓。此讀出電壓是設定成中於記憶格之低臨限值電壓狀態的臨限值電壓，小於高臨限值電壓狀態的臨限值電壓。一定時間後，以 S R A M 為 O N 的話，使 S R A M 作爲讀出放大器作用，就可一次讀出資訊。此例中，於寫入時，局部資料線的電位為 h i g h 的場合，快閃記憶體的臨限值電壓很低的關係，電流會大幅流入，局部資料線 1 2 的電位急速下降。另一方面，以資料線 l o w 來寫入的場合，局部資料線 1 2 的電位變化緩慢。因而，存在著 h i g h 寫入時的波節 N 1 之電位 < 波節 N 2 之電位 < l o w 寫入時的波節 N 1 電位的不等式成立的標記時間，此例中，欲起動讀出放大器完成設計。以一次讀出的下一個 S G 為 O N，而將讀出結果負載在整體資料線 1 3。對應需求甚至也可利用

五、發明說明 (13)

設置在外部的讀出放大器來放大。此例中，寫入時的資料和讀出此資料時，電壓的資訊剛好會反轉。因而，會以轉移的外部的場合使之反轉來傳送。而且也可以在寫入時寫入反轉資訊。又，若在讀出時，將快閃記憶體的源極線

19 設定的比預充電電壓高，上述說明和波節電位的大小關係就會逆轉，就可用與寫入時相同大小的關係來讀出。

此例中，一次讀出動作由於是在局部資料線階層完成整體資料線預充電後，利用在同一整體資料線所驅動的複數局部資料線，同時完成的。就是在單位局部資料線階層，就算在放大動作中很浪費時間，向整體資料線的負載還是能依序高速地完成從 S R A M 的讀出目的，故資料轉移率高。特別是本實施例中，以多結晶矽構成局部資料線的關係，與金屬配線相比，電阻高，即有在單位格階層予以讀出而浪費時間的傾向，但採用本實施例的構成，就可令作為記憶體晶片全體的資料轉移率，大於通常的快閃記憶體晶片。本實施例中是採取不用虛記憶格的電壓感測之讀出方式，但也可用虛格方式和電流感測等其他讀出方式。進而，本實施例中，S R A M 兼具向快閃記憶體之資訊寫入時的緩衝記憶體和快閃記憶體之保持資訊讀出時的一次讀出放大器，但亦可為將 S R A M 只使用在該些當中之一方的機能。

(實施例 2)

第 9 圖、第 10 圖、第 13 圖係表示根據本發明之另

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (14)

一實施例之記憶裝置。第 9 圖係為揭示於第 8 圖的 S R A M 格之另一構成例。第 1 0 圖、第 1 3 圖係為應用在實施例 1 之快閃記憶體部分的記憶體之斷面構造圖及格陣列之電路圖。除此之外，與實施例 1 相同，以下乃針對不同點做說明。

第 9 圖係為選擇電晶體 S F 之連接關係與第 8 圖之 S L 相異。由於 S F 為 O F F 狀態，通常是與 S R A M 相同的構成，如實施例 1 不但可作為更低速、高積體的記憶體之緩衝記憶體的機能使用，就連 2 次快取記憶等也可單純的作為 S R A M 來使用。必須產生對高積體記憶體的存取時，即切換到與實施例 1 相同的使用法。又，對於 S R A M 從整體資料線寫入資訊的場合，S F 也是 O F F，局部資料線部分的容量就不必充電，就可高速動作。進而，連第 9 圖在格內具有 S R A M 或讀出放大器的 O N、O F F 用開關 M 1、M 2 這點也與第 8 圖相異。實施例 1 的場合，乃於電源線 1 4、1 8 設有共通的 O N、O F F 用電晶體，來完成 S R A M 或讀出放大器的 O N、O F F。這是由於電晶體比本實施例少，也不需要驅動該些的信號線 2 2、2 3，故面積小，但欲不能減少充放電的時間和耗電。由於本實施例在每個格都設有開關，故可高速而耗電小，動作也很穩定。

其次，針對第 1 0 圖的記憶格做說明。低電阻的半導體或是金屬的源極線 2 4、局部資料線 2 5 是用半導體薄膜的通道 2 6 被連接的。在通道近傍，由半導體或是金屬

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (15)

製成之，粒徑平均為 3 n m 的微小粒 2 7，以密度相當於 1 平方厘米 10^{12} 的密度所形成的。本實施例是以矽形成微小粒 2 7。在通道與矽微小粒間，具有以厚度 6 n m 來氮化表面之 SiO_2 膜 2 8。又，在矽微小粒上設有以厚度 8 n m 來氮化表面之 SiO_2 膜 3 0，在其上形成 n 型多結晶矽與 W 之二重構造的字元線 2 9。動作中的施加電壓大小關係則與實施例 1 相同。以下爲了方便以載子爲電子做說明，但載子可爲正孔。這也與其他實施例相同。載子爲正孔的場合，電壓關係爲相反的。與在一個浮動閘累積多個電子之快閃記憶體不同，不必在一個微小粒累積一個或是數個電子，而是準備多個此種微小粒來構成單位格。由於儲存電子會被分散，所以即使重複資訊的重寫，乃具有穩定完成保持儲存電子的特徵。特別是在絕緣體上構成快閃記憶體或是 E E P R O M 的場合，通常是在通道與電荷累積波節之間的隧道絕緣膜形成 C V D，或是使用將多結晶矽表面予以氧化形成的絕緣膜，但與氧化並形成單結晶矽基板表面的習知快閃記憶體相比，反而擔心絕緣膜的可靠性會顯著的降低。

即使本實施例的元件構造在絕緣膜的一部分有缺陷，還是不會影響到每個部分，故具有可靠性優的特徵。因此，隧道絕緣膜 2 8 很薄，因而資訊重寫就很高速。又，所累積的電子數不多，電子注入放射的時間也短，資訊重寫就很高速。更因微小粒 2 7 很小，只要加入一個電子，靜電電位變化就很大，寫入時一個電子注入，下一個電子的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (16)

注入確率就會顯著降低。因此，電子注入數量可高精度的加以控制。

將格陣列的連接關係表示在第 1 3 圖。實施例 1 是針對將與相鄰的格和源極線共有化，來縮小相當於單位格的面積，源極線 3 4 是獨位於每個局部資料線 3 3，且介於開關 M 4 與源極線用電源線 3 5 連接。本實施例是於寫入時以開關 M 4 為 O F F 來浮控源極線，經由寫入電壓施加，格會成為導通狀態，源極線 3 4 成為與局部資料線 3 3 同電位的關係，就可在源極線 3 4 附近與資料線 3 3 附近，用同樣的電壓條件對微小粒子注入電子。此種格陣列構成即使是快閃記憶體の場合也很有效。

又，對於資料線而言，本實施例的製造工程與實施例 1 相異的只有高積體記憶格部分。形成 T C 2 後將 S i O₂ 堆積 1 0 0 n m，以光阻劑為光罩予以乾式蝕刻而針對 S i O₂ 形成局部資料線圖案的溝。堆積 2 0 0 n m 厚度的 n 型多結晶矽，且用 C M P 加以平面化而形成源極線 2 4、局部資料線 2 5。堆積膜厚 1 0 n m 之無摻雜的多結晶矽 2 6 和厚度 1 0 n m 的 S i O₂ 膜，以光阻劑為光罩用氟酸完成 S i O₂ 膜的濕式蝕刻。接著用 O₂ 等離子加以常溫氧化，並形成進行 S i O₂ 膜光罩之選擇氧化的通道。S i O₂ 膜濕式蝕刻後改為堆積 S i O₂ 膜 2 8，且加以氮化表面。堆積矽微粒子 2 7、S i O₂ 膜 3 0，再氮化表面後，堆積 n 型多結晶矽、W。之後以光阻劑為光罩進行乾式蝕刻，形成字元線 2 9。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (17)

實施例 1 與本實施例都在高積體記憶體應用非揮發性記憶體，但也可用揮發性記憶體。例如用第 10 圖的記憶格就可令隧道氧化膜 26 變薄，記憶保持時間短，但重寫可高速完成。此場合爲了保持資訊必須定期讀出資訊，執行再寫入的更新動作。就連更新動作，本發明的構成還是很有效，在記憶層內依序讀出（一次讀出）每個字元線的話，只要對字元線施加寫入脈衝即可。在記憶層間獨立執行更新，乃如第 12 圖般，設有預充電用電源線 31、信號線 32 和開關 M3。按此就可與整體資料線一起獨立動作。由於局部資料線單位的更新動作可充放電，容量小，因而耗電小。

又，以源極線爲 0 V 固定的場合，以實施例 1 做說明，每次更新，資訊就會反轉。因而準備一計算更新次數的 1 位元計數器，向外部取出資訊時，就取得讀出的資訊和計數器的 E X O R (exclusive OR) 而輸出。

高積體記憶體通常可採用由 1 電晶體和 1 電容器所製成的 D R A M。由於可用記憶層單位更新，故可並存短更新周期和大規模記憶體容量。再者，此場合，每次更新，資訊不會反轉，就不需要上述操作。加上用局部資料線單位的讀出動作，資料線容量小，資料線電阻也小，故亦有高速實行的特徵。

(實施例 3)

第 14 圖係表示根據本發明之另一實施例之記憶裝置

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (18)

的格陣列部分之電路圖。於高積體記憶體應用快閃記憶體。高積體記憶格間的連接關係與實施例 2 相同。本實施例與實施例 1、2 相異，消去是用於向浮動閘進行電子注入之意，寫入是用於抽出注入的電子之意。又，對應高臨限值狀態為資訊「0」，低臨限值狀態為資訊「1」。本實施例除了在實施例 1、2 方面的感測兼門鎖電路以外，還在每個記憶層設有檢測電路。用快閃記憶體執行寫入或消去之特性的元件間之誤差會比 D R A M、S R A M 等大。對此，於施加寫入（消去）脈衝後，執行讀出動作而予檢測，寫入是針對不充分的位元再度實行寫入動作，所謂的檢測動作是有效的。檢測電路並不限於第 14 圖的電路，也可用其他電路。又，本實施例雖是執行寫入檢測，但於消去時也可執行檢測。於消去時也執行檢測，寫入前的臨限值電壓分佈就很小，有寫入檢測的時間就會縮短。尚且，如實施例 1、2 般，可將消去定義為低臨限值狀態，但此時電壓大小關係改變，故檢測電路不同。

以下針對第 14 圖的電路檢測動作做一說明。本實施例的電路乃為一種於「1」寫入時，進一步對不充分的格執行寫入，使臨限值電壓降低的電路。

（步驟 1）將欲寫入的資訊從整體資料線 37 讀入門鎖 L1。讀入後，電晶體 M8 為 O F F，將記憶層從整體資料線 37 切離。門鎖電路乃如實施例 1、2 般，可用 S R A M 的形式，也可用其他的。並行而對字元線 38 施加正的大電壓（例如 18 V），將電子注入浮動閘，實行

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (20)

除以上外，再度對字元線施加寫入電壓的場合，意圖寫入「1」，而且只對寫入不充分的場合，會對資料線36和字元線38間施加負的大電壓。上述說明中即可明白，被連接在可正常寫入的格之門鎖L1，因與處理資訊「0」為相同狀態，所以對於利用同一字元線被驅動的記憶格來看，對應的門鎖資訊是否全為「0」，就可判定此迴線的終點。

而且，在檢測中的（步驟3），改變施加在字元線的脈衝之寬度或電壓就能很快收束，或者相反的也可高精度地控制臨限值電壓。

目前為此的實施例主要是描述資料線的分割，但本發明的構造對分割字元線也是很有效的。就連分割字元線而各自準備驅動器，有效面積少的這點，還是與資料線分割相同。由於可驅動的字元線容量小，故就寫入、消去、讀出而言全都可高速化。

（實施例4）

第15圖係表示本發明之第4實施例方面的高積體記憶格。第16圖係表示本實施例之記憶格部分的電路圖。

高積體記憶格的動作原理與實施例2的記憶格（第10圖）相同，但有兩條局部資料線，就採取第1局部資料線39、源極線41、第2局部資料線40的三層構造這點是不同的。通道42是相對於基板而垂直設置，因而經由微小半導體或是微小金屬的電荷累積區域43、字元

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (21)

線 4 4 也是以覆蓋側面的形式而設的。源極線為共通的，應用第 1 局部資料線 3 9 之下側的格和應用第 2 局部資料線 4 0 之上側的格是採取縱向重疊的構造，可用小面積構成記憶格。上下格的通道部 4 2 及電荷累積區域 4 3，是同時堆積、形成的，只有在與源極線、局部資料線的位置關係作用不同。

本實施例之記憶格構造是積體度非常高的。但通常以這作為半導體記憶體，用基板表面而製造的話，由於讀出放大器等周邊電路無法用小於記憶格的程度完成，故周邊電路的面積比率提高，低面積利用記憶格的效果就很薄弱。如本實施例般，在上下的位置關係製造超高積體記憶格和周邊電路，就能充分活用記憶格之小面積化的效果。又，在局部資料線 3 9、4 0 的材料即可用半導體，也可用金屬，膜厚大，積層資料線部分的段差就大，通道或是字元線的加工就很困難。因而，必需要加以薄膜化，但其結果，局部資料線的電阻過低。以短的局部資料線單位來驅動的本實施例，就算局部資料線電阻沒有變小，還是可確保寫入、消去、讀出等的動作速度。

第 1 6 圖係為與第 3 圖相同採取應用共通源極線的構造。但是，作為記憶體元件係表示具有共通的源極線，且用同字元線所驅動的 2 格係被積層的上下格。又，本實施例是在上下的格寫入反轉資訊，比較 2 格而完成讀出。就連記憶保持也是增大邊緣限度來實行穩定的記憶。本實施例中，寫入反轉資訊的格是互在上下的位置關係，但當然

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (22)

不限於此。

(實施例 5)

第 1 7 圖係表示本發明之第 5 實施例中的記憶格部分之電路圖。

本實施例中，高積體記憶格間的連接關係以及格陣列與讀出放大器的連接關係並不相同。記憶格陣列是一部分或不寫，但格陣列 M A 1 是針對同一局部資料線而重複並列的。又，只要格陣列 D A 1 準備比聯繫在一個讀出放大器多，比格陣列 M A 1 少的數量即可，通常為 1 個陣列。實施例 4 是針對互成一對被連接在讀出放大器的局部資料線（例如（49）（50）），在同一字元線被驅動，流入寫入反轉資訊的格之讀出電流。本實施例是流入在不同的字元線被驅動的格之讀出電流。又，格陣列 D A 1 的臨限值電壓是以讀出動作時的電壓條件下，設定記憶格的記憶資訊為資訊「0」和「1」的中間流入電流。因此，讀出時可作為參考來應用，稱之為所謂的虛格。又，例如對格 M C 1 的讀出應用虛格 D C 1，聯繫到資料線為止，利用等於加入其期間的格數、電晶體數的對，即可使得加入串聯的電晶體之電阻效果相同，期待穩定的讀出。準備複數個讀出用虛格的設定，即可執行二度以上的放大動作也可讀出寫入記憶格之 2 位元以上的資訊。

本實施例不光是記憶格就連選擇陣列的電晶體也是應用多結晶矽而被形成在絕緣膜上。由於經由選擇電晶體選

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (23)

擇後可與基板表面連接的配線少，所以佈置很容易。

(實施例 6)

第 1 8 圖係為本發明之第 6 實施例的資料處理裝置之構成概念圖。第 1 8 圖 (a) 係為表示層構成之圖，第 1 8 圖 (b) 係為基板表面之層的配置圖。如第 1 8 圖 (a)，在絕緣膜上具有非揮發性記憶體，甚至也在基板表面形成非揮發性記憶體，在該些層之間至少有一層配線層。

本實施例中是作為非揮發性記憶體並與絕緣膜上、基板表面一起作為快閃記憶體，但也可以不是同一個。容量是以絕緣膜上之非揮發性記憶體這方為大。本實施例中，是在基板表面形成作為讀出放大器、資料線驅動電路、字元線驅動電路等記憶體的周邊電路。絕緣膜上的記憶體的周邊電路亦被形成在基板表面的緣故，所以晶片面積很小，特別是應用快閃記憶體的本實施例之場合，對於字元線驅動電路要求高耐壓的電晶體尺寸變大的緣故，所以面積削減效果很大。又，由於應用移位暫存器的場合，面積也很大，所以效果很顯著。獲得此效果的關係，故不必特別在基板表面形成非揮發性記憶體。

本實施例之資料處理裝置的應用，舉例有所謂的保持、識別具有個人資訊等機密性的資訊。例如用作具有識別本人機能的電子金融之攜帶手段和 I D 卡。開始暗碼、指紋、網膜圖案的鑑認資訊，通常是加以暗碼化，並儲存在

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (24)

非揮發性記憶體，但在探針接觸到配線而加以監測動作時的信號等，其資訊有可能會以不正當的手段被讀出。本實施例中，鑑認資訊或是鑑認程式是基板表面和絕緣膜上的非揮發性記憶體來分散、記憶的。對本實施例之晶片而言，探針會接觸到配線層的緣故，必須除去絕緣膜上的非揮發性記憶體，鑑認資訊消失，或是鑑認程式消失的關係，就不能取出資訊。因此，具有此種層的構造之資料處理裝置，安全性很高。又，僅是將鑑認資訊或是鑑認程式安置在絕緣膜上的非揮發性記憶體，就連在基板表面形成應用非揮發性記憶體的鑑認電路，也具有同樣的效果。但資訊分散、記憶的安全性還是本實施例比較高。又，由於絕緣膜上的非揮發性記憶體容量大，所以尤其是也可以使用在無機密性的一般資訊記憶。

(實施例 7)

第 19 圖係為本發明之第 7 實施例的構成之資料處理裝置的構成概念圖。在絕緣膜上的記憶格及基板上的感測電路，使用實施例 1 之格、電路。本實施例的特徵在於，更基板表面準備揮發性記憶體。將 D R A M 與快閃記憶體混載在同一晶片上是很困難的，但這是由於記憶格形成的過程大不相同。若使用本實施例的構成，基板表面不但是可以與揮發性記憶體的混載製程，還很容易實現。藉由此種構成，即可將個人電腦的微程式感應器、B I O S 儲存用快閃記憶體、D R A M、硬碟一片化。不但有削減成本

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (25)

的效果，還可放大記憶體間的頻帶寬度，不必高速動作、輸出入用電路就可削減耗電。

本實施例是以應用電容溝的 D R A M 作為基板表面的揮發性記憶體，在絕緣膜上的非揮發性記憶體使用快閃記憶體。不光是記憶格就連字元線的驅動電路也是形成在絕緣膜上應用多結晶矽。因此，不必在基板表面準備 20 V 以上的高耐壓電晶體，因而可減低晶片面積。進而高耐壓 M O S 電晶體必須為厚的閘氧化膜，但由於亦不必在基板表面形成閘氧化膜的關係，故可減少基板表面之電晶體的閘氧化膜厚種類。進而，本實施例中，是用略等於絕緣膜上之非揮發性記憶體的面積來構成非揮發性記憶體用周邊電路，但如實施例 1 般，記憶層小，即可減少讀出放大器數量還可減少周邊電路面積。此時，在絕緣膜上的非揮發性記憶體之下方多餘的部分，可以配置其電路而能減少面積，對削減成本很有效果。又，本實施例中，是在基板表面形成揮發性記憶體，但也可在絕緣膜上形成揮發性記憶體，亦可在絕緣膜上採取利用不同的層來形成揮發性記憶體和非揮發性記憶體的構成。

(實施例 8)

第 20 圖係為說明本發明之第 8 實施例的記憶裝置之記憶格部分之構成概略圖。本實施例係為串列出入之記憶裝置，分別在被分割的各記憶層準備移位暫存器。為簡略化圖面，故只畫了 4 個記憶層，但實際上是將由 64 M 個

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (26)

的格所形成的高積體記憶體之字元線 8 K 條分成爲 1 6 個，高積體記憶體部分是快閃記憶體。來自外部的輸入，是經由控制器將 8 K b，依單位順序分配到不同的移位暫存器，暫時儲存在移位暫存器。將此資訊寫入到上部之快閃記憶體的意思，但此寫入是將資訊寫入到下一個移位暫存器爲就結束了，無論用格單位所寫入的是低速與否，都可實現高速的寫入資料轉移率。亦在每個記憶層準備檢測電路、讀出電路，各記憶層就可獨立動作。一般在單位格記憶 2 位元以上的狀況下，表示各資訊的臨限值電壓分佈之間隔會變窄，因而必須高精度檢測的緣故，由於檢測所需的時間變長，所本實施例的構成就特別有效。在同一平面上設置高積體格和周邊電路的習知記憶體，雖然有效面積大，但本發明幾乎沒有這種現象。

【發明之效果】

按照本發明乃提供一種即可高速重寫又可減少面積增大之半導體記憶裝置。又，提供一種小面積而大容量，或高速動作、低耗電動作之半導體記憶裝置。更提供一種製作容易，不會損及邏輯性能可在同一晶片上大規模搭載記憶體之資料處理裝置。

【圖面之簡單說明】

【第 1 圖】

本發明之半導體記憶裝置之構造圖。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (27)

【第 2 圖】

欲說明本發明之半導體記憶裝置或資料處理裝置構成之概念圖。(a) 為說明低成本化之圖、(b) 為說明高速化之圖。

【第 3 圖】

表示本發明之半導體記憶裝置的記憶格工程途中狀態之圖。

【第 4 圖】

欲說明本發明之半導體記憶裝置之製造工程佈置圖。

【第 5 圖】

欲說明本發明之半導體記憶裝置之製造工程佈置圖。

【第 6 圖】

欲說明本發明之半導體記憶裝置之製造工程佈置圖。

【第 7 圖】

欲說明本發明之半導體記憶裝置之製造工程佈置圖。

【第 8 圖】

形成在本發明之半導體記憶裝置的基板表面之 S R A M 部的分電路圖。

【第 9 圖】

形成在本發明之半導體記憶裝置的基板表面之 S R A M 部的分電路圖。

【第 10 圖】

本發明之半導體記憶裝置之高積體記憶體部分之單位格斷面圖。

五、發明說明 (28)

【第 1 1 圖】

欲說明本發明之半導體記憶裝置之記憶層構成及區分配之圖。

【第 1 2 圖】

針對本發明之半導體記憶裝置，說明高積體記憶體為揮發性時的 S R A M 4 部構成之電路圖。

【第 1 3 圖】

本發明之半導體記憶裝置的高積體記憶格陣列之電路圖。

【第 1 4 圖】

本發明之半導體記憶裝置的高積體記憶格陣列之檢測電路圖。

【第 1 5 圖】

欲說明本發明之半導體記憶裝置的高積體記憶格之構造圖。(a) 為俯視圖、(b) 為資料線斷面之斷面圖。

【第 1 6 圖】

本發明之半導體記憶裝置的記憶格部分之電路圖。

【第 1 7 圖】

本發明之半導體記憶裝置的記憶格部分之電路圖。

【第 1 8 圖】

本發明之資料處理裝置的構成概念圖。

【第 1 9 圖】

為說明本發明之資料處理裝置的使用方法之概念圖。
(a) 為鑑認資訊之分散記憶，(b) 為鑑認程式之分散

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

記憶的狀況。

【第 20 圖】

本發明之構成的資料處理裝置構成之概念圖。

【第 21 圖】

本發明之電路圖。

【第 22 圖】

本發明之半導體記憶裝置的方塊圖。

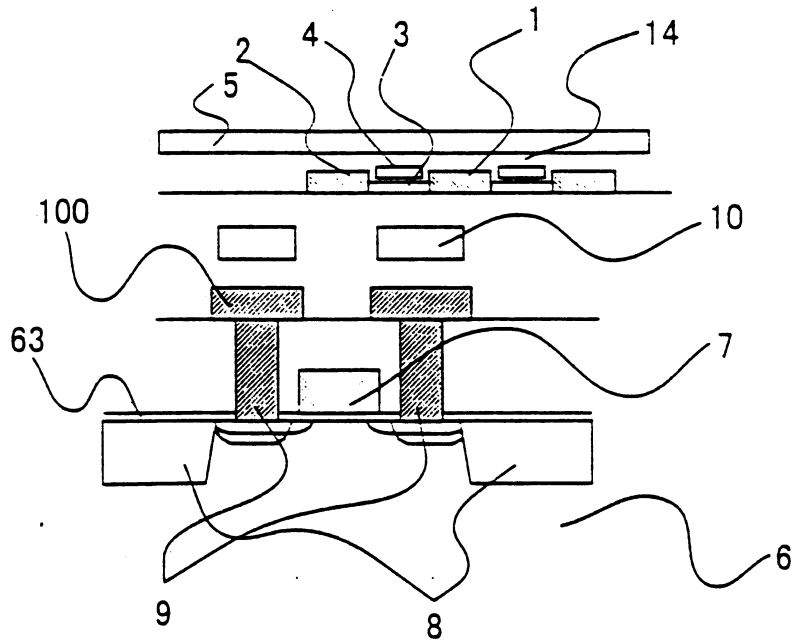
【符號之說明】

- 1 : 源極區域兼源極線
- 2 : 汲極區域兼局部資料線
- 3 : 通道
- 4 : 浮動閘
- 5 : 閘極兼字元線 (5) 。

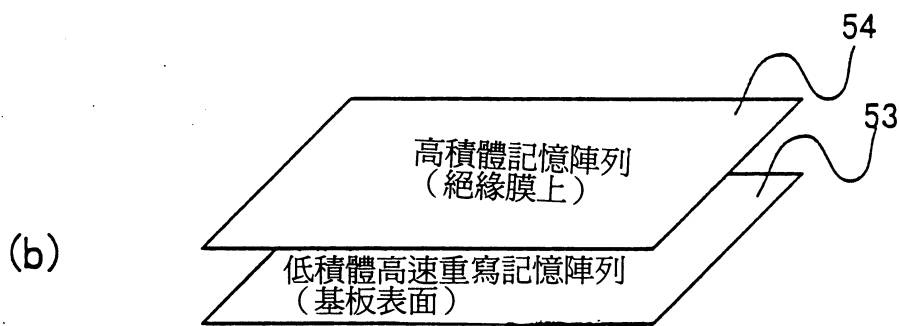
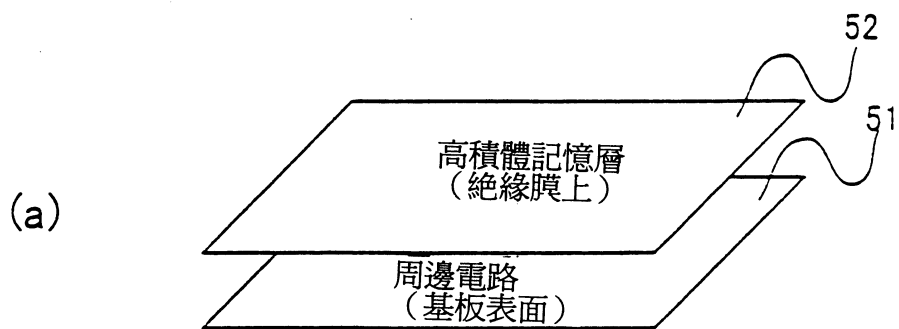
(請先閱讀背面之注意事項再填寫本頁)

訂
線

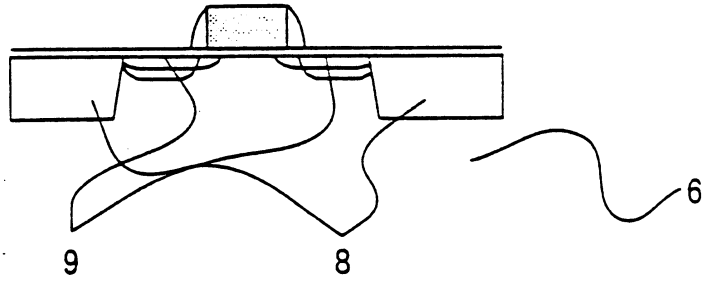
第 1 圖



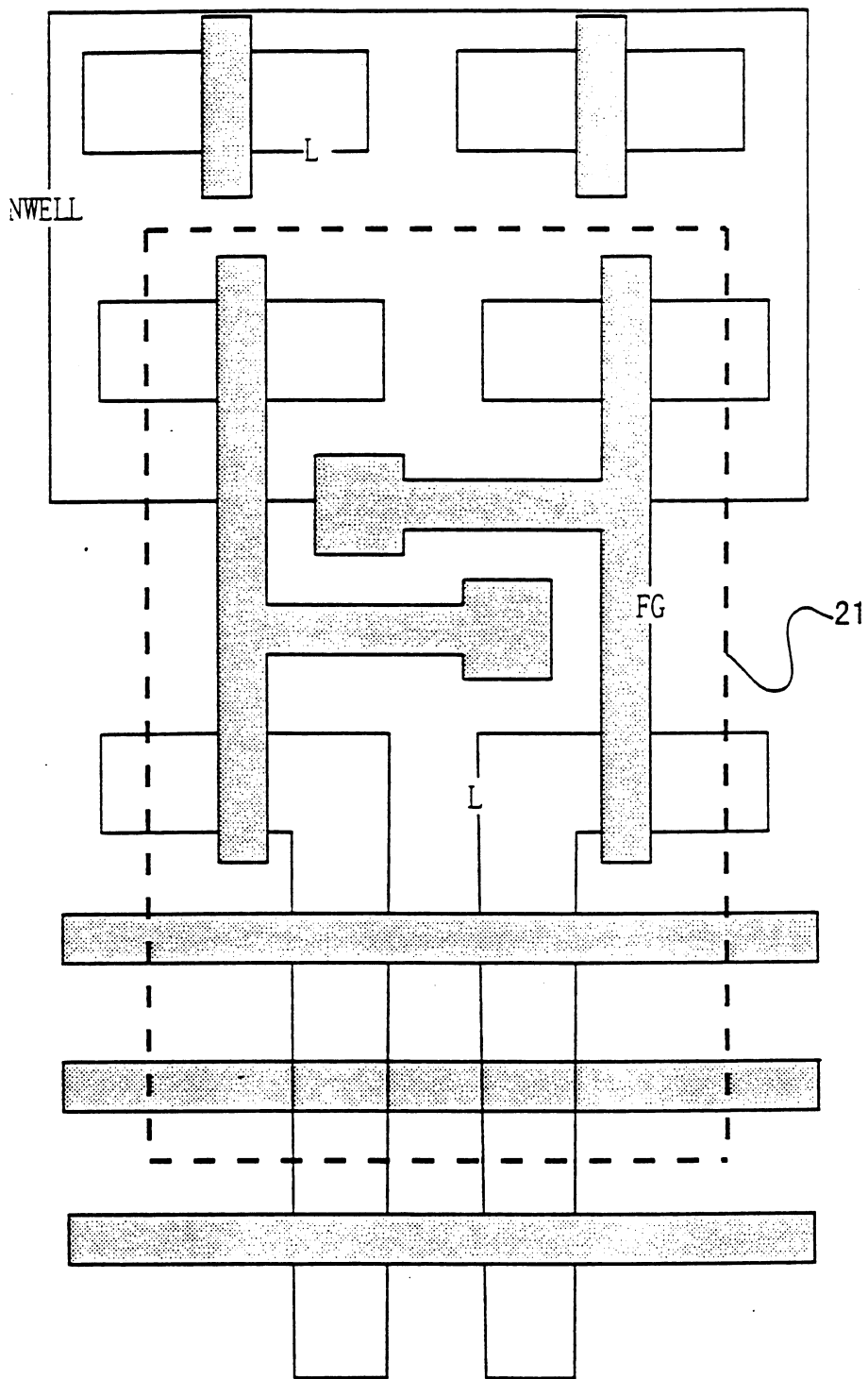
第 2 圖



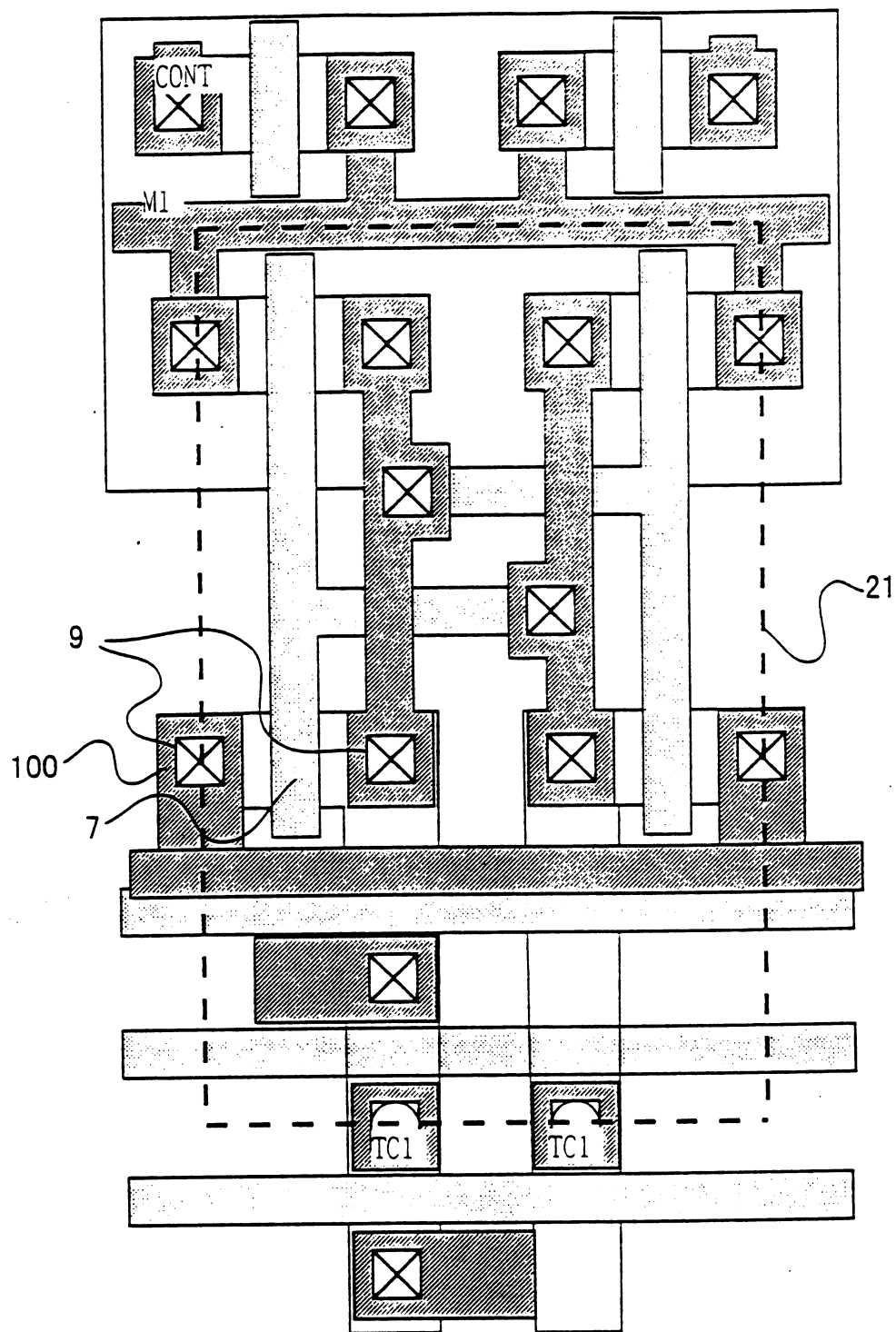
第 3 圖



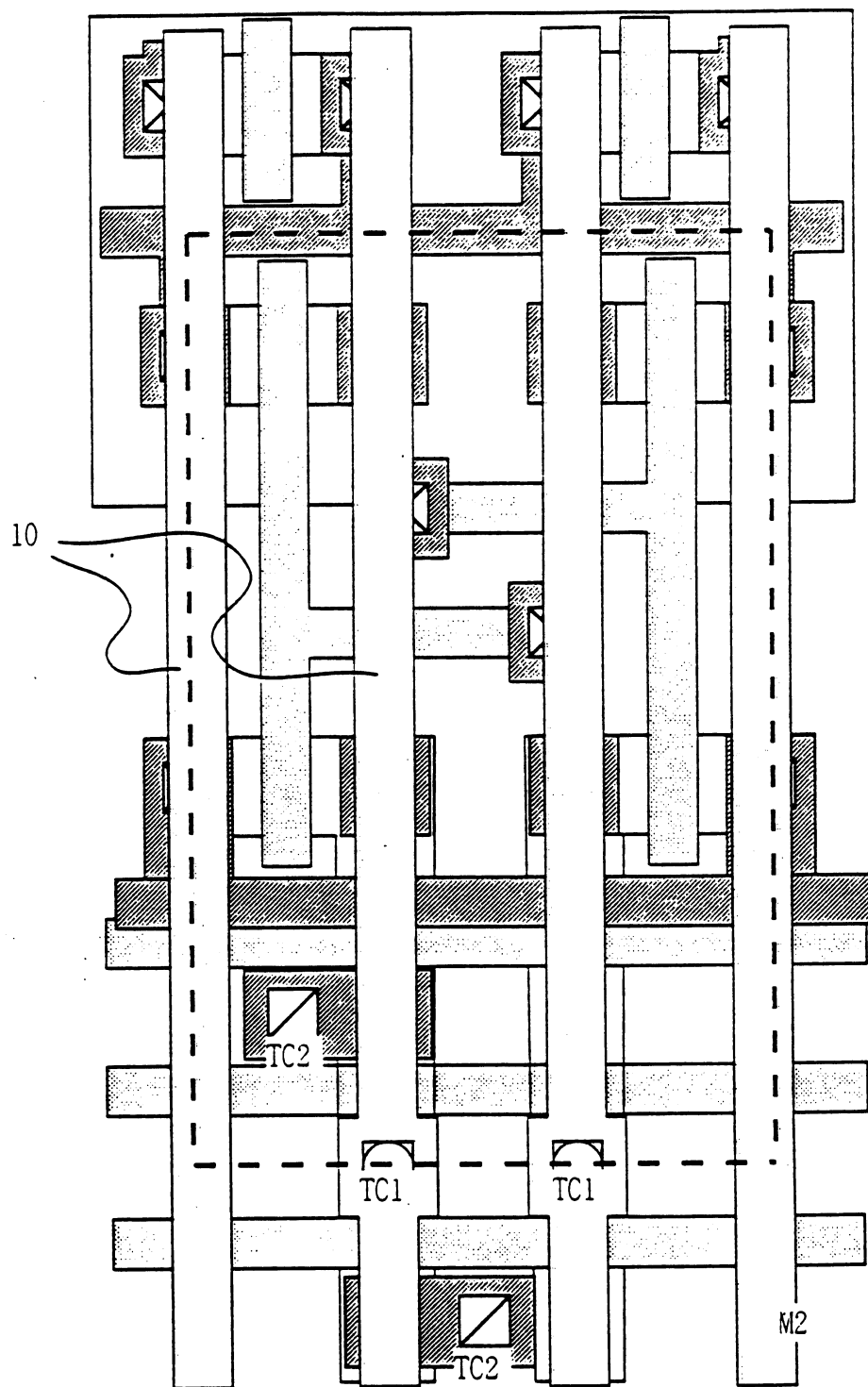
第 4 圖



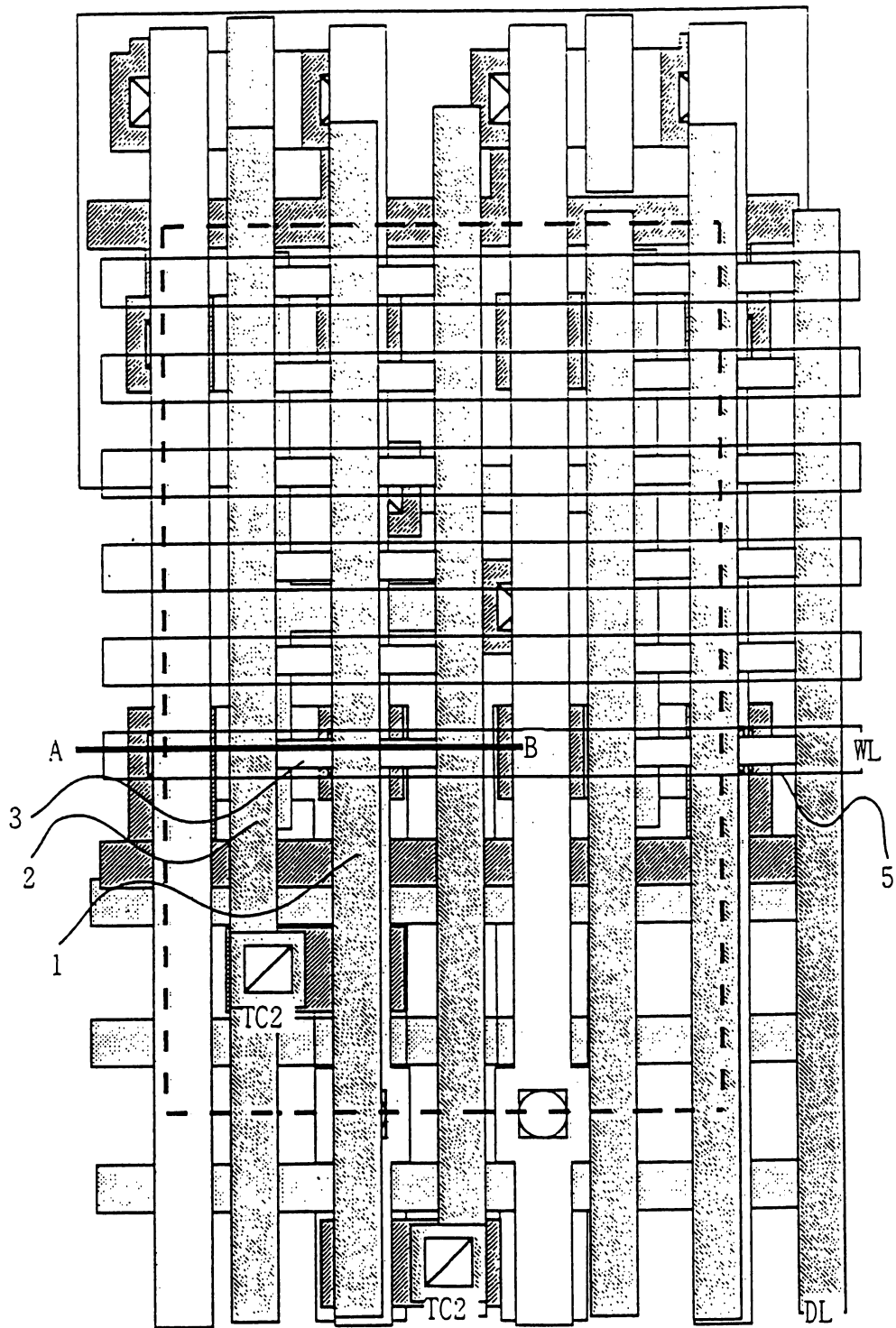
第 5 圖



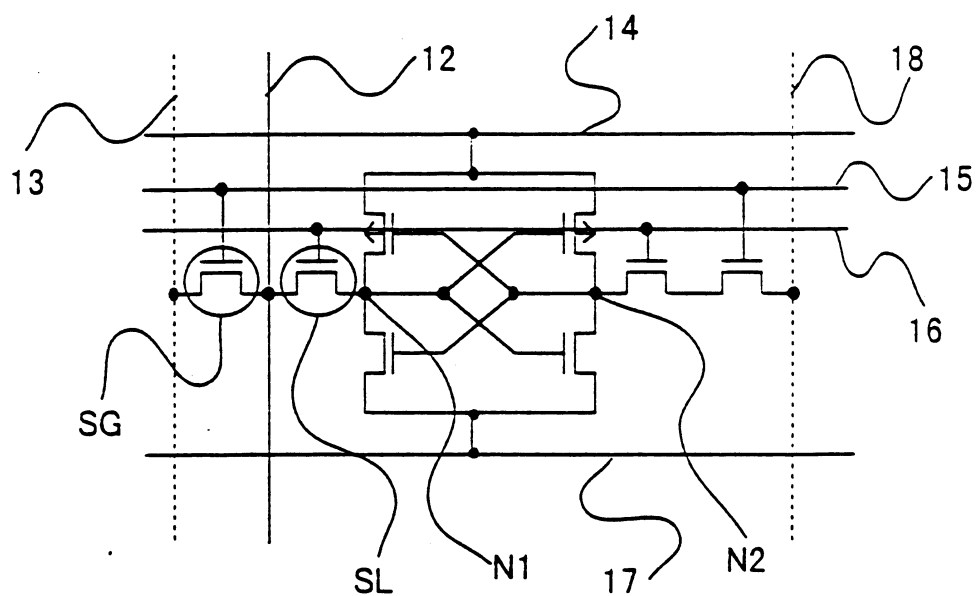
第 6 圖



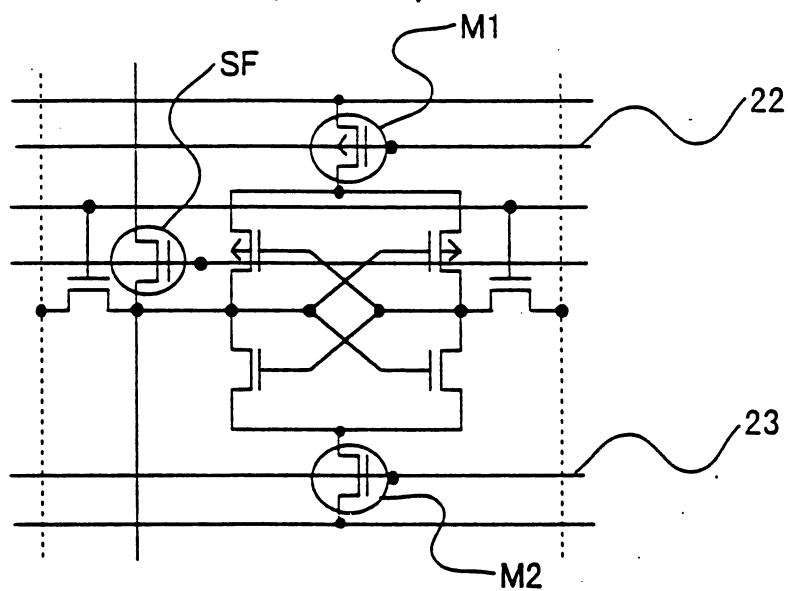
第 7 圖



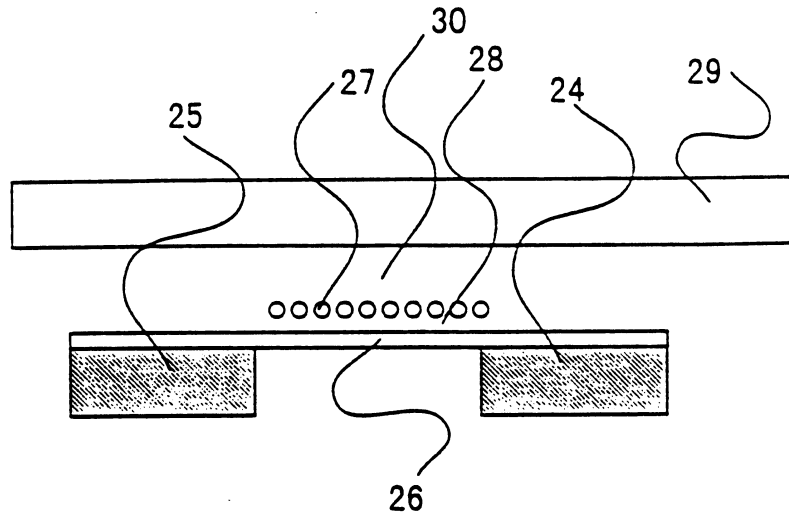
第 8 圖



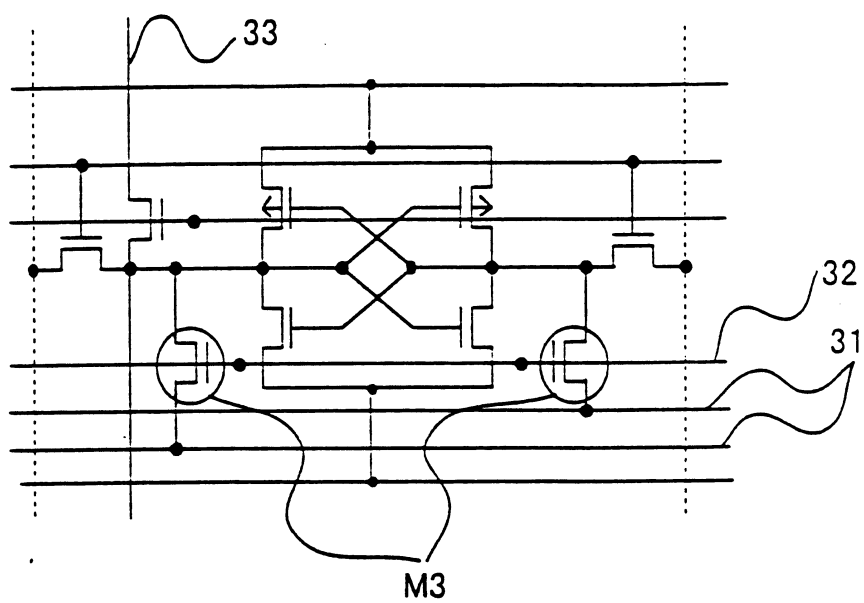
第 9 圖



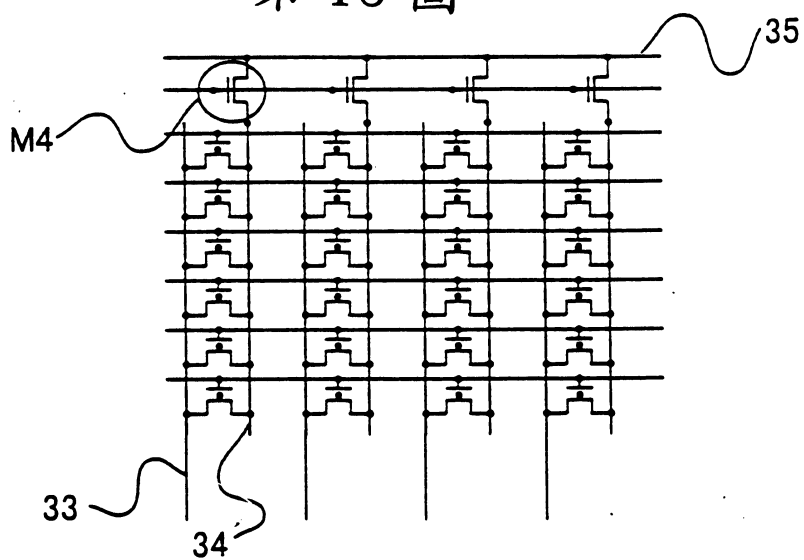
第 10 圖



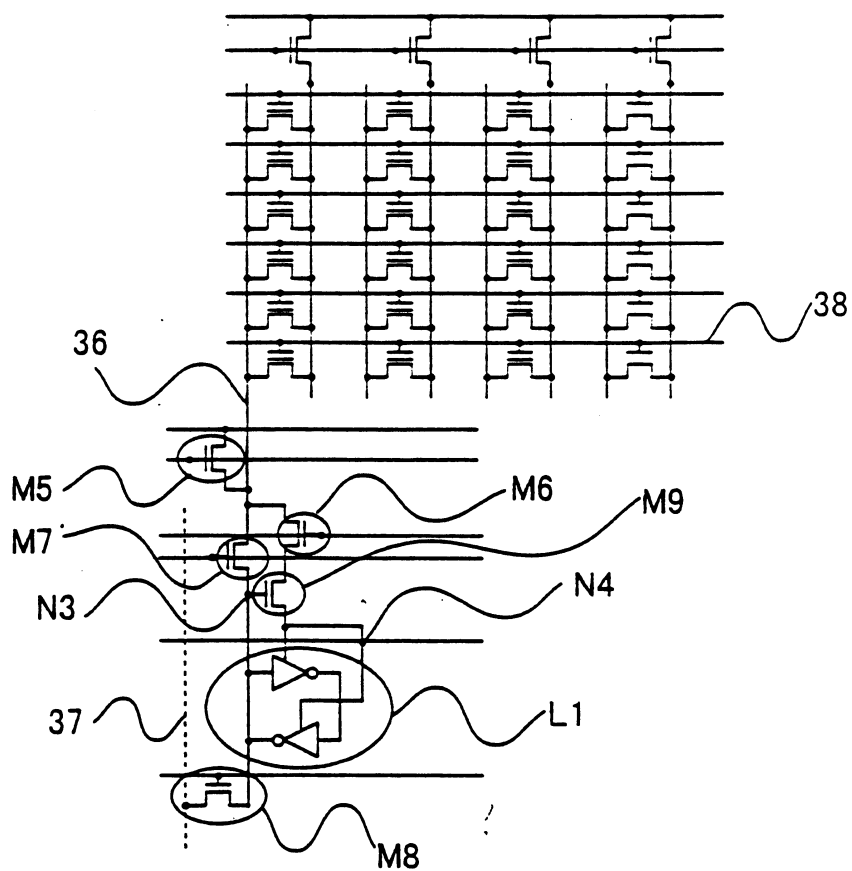
第 12 圖



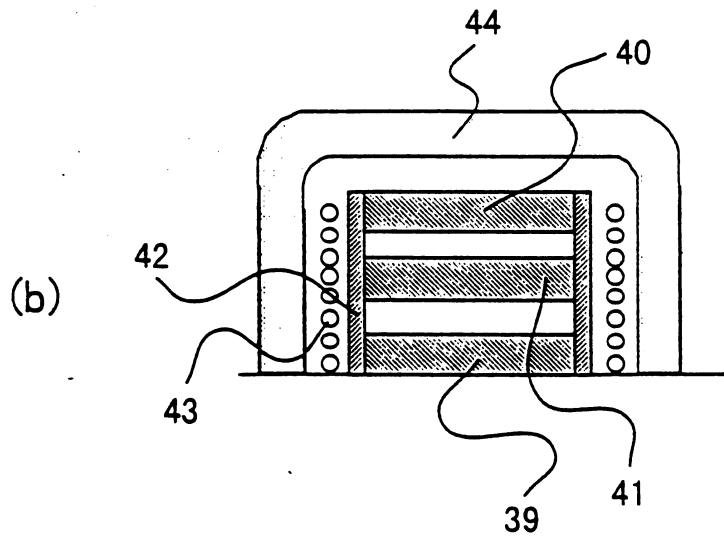
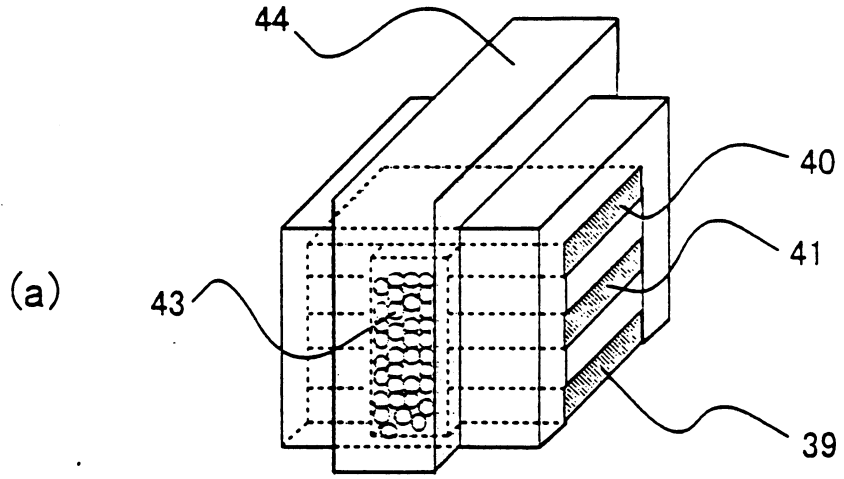
第 13 圖



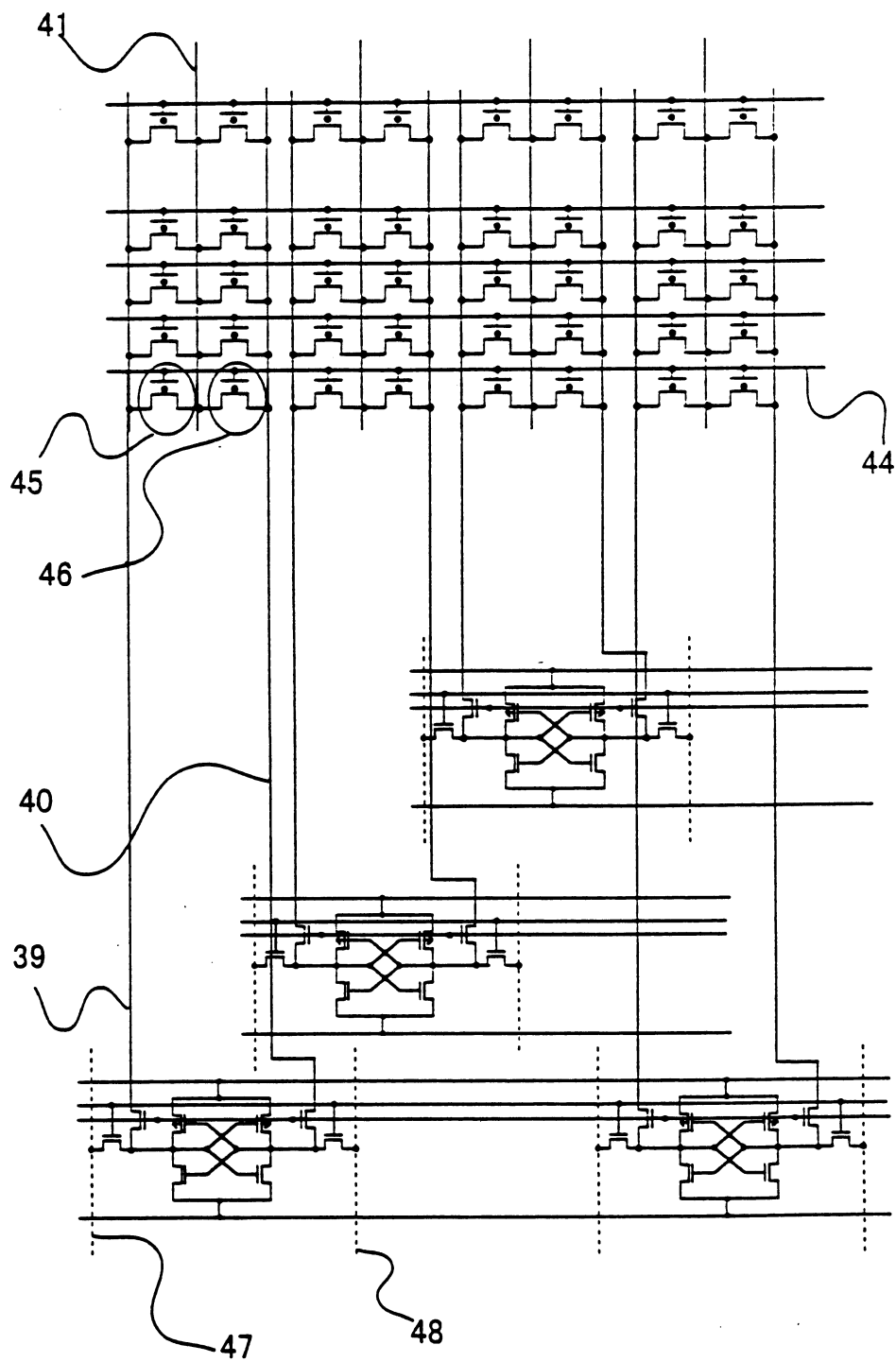
第 14 圖



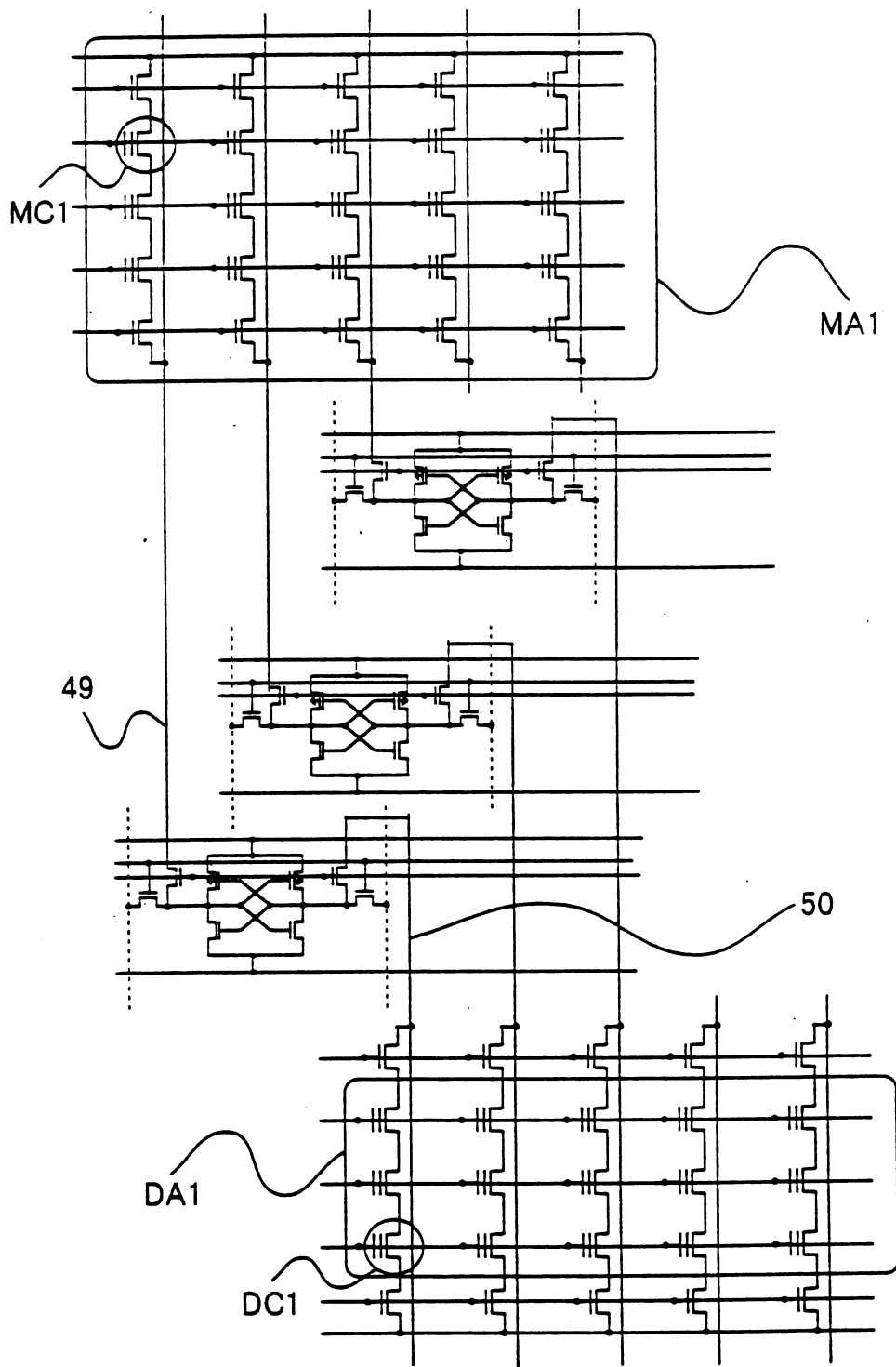
第 15 圖



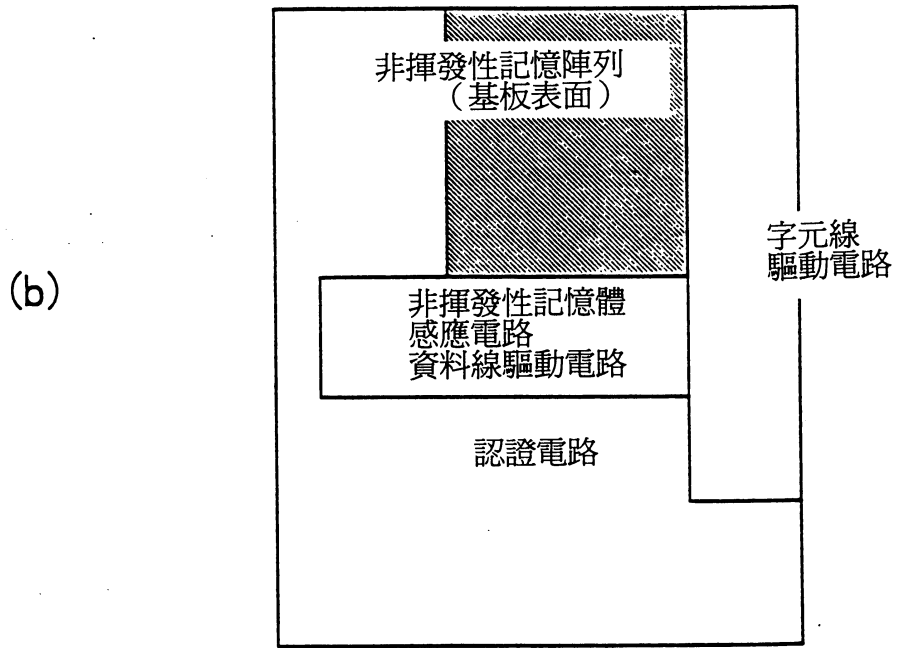
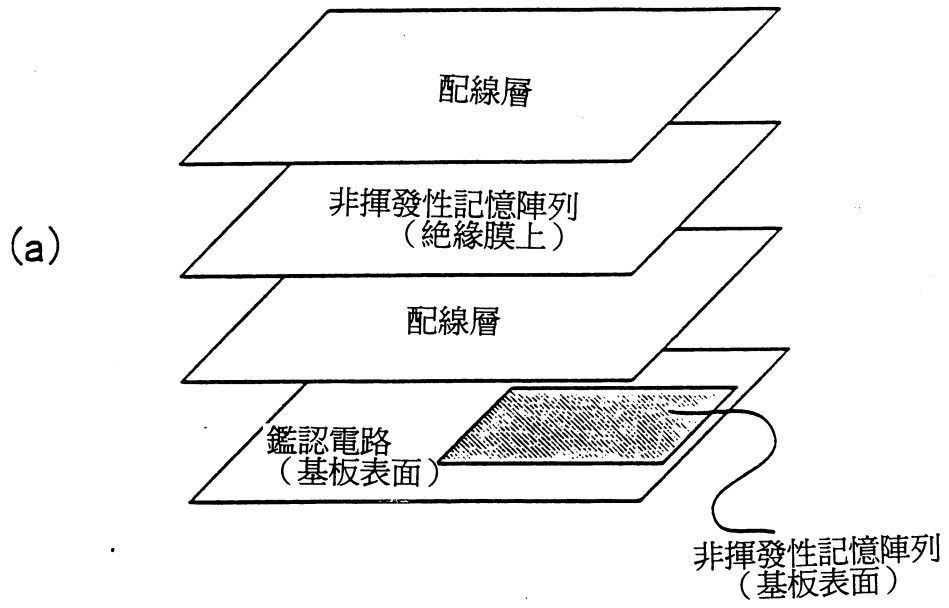
第 16 圖



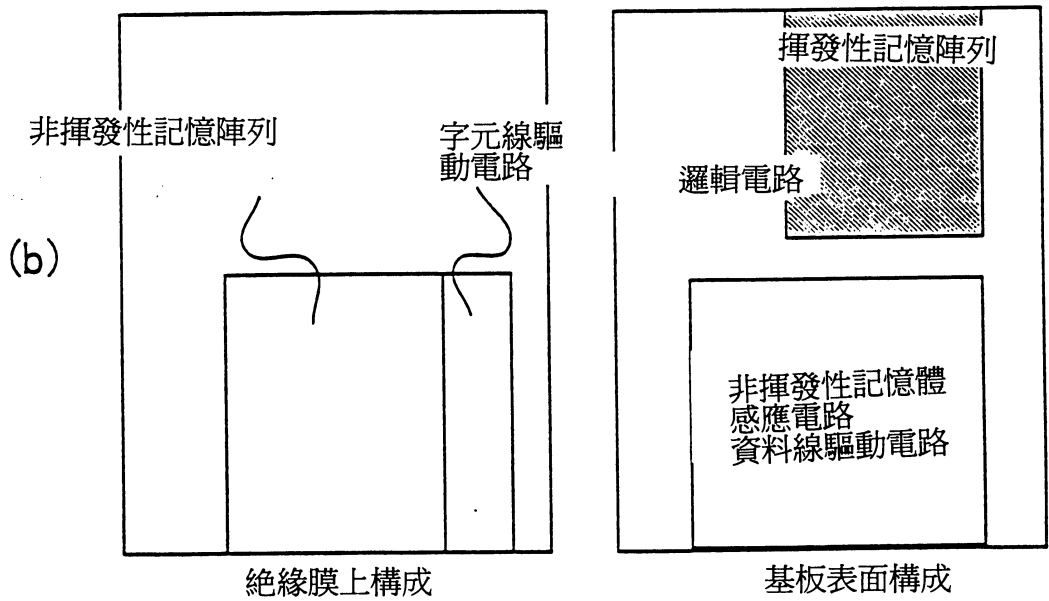
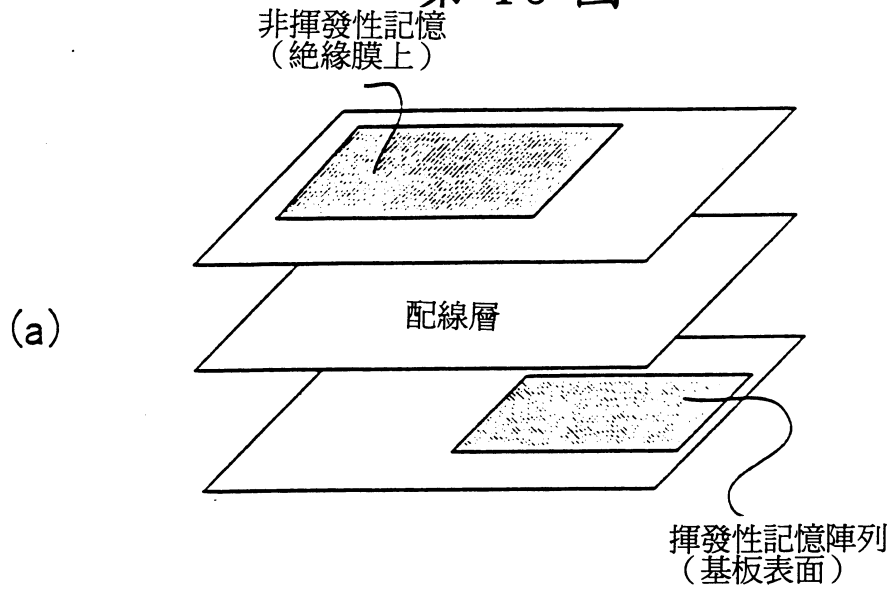
第 17 圖



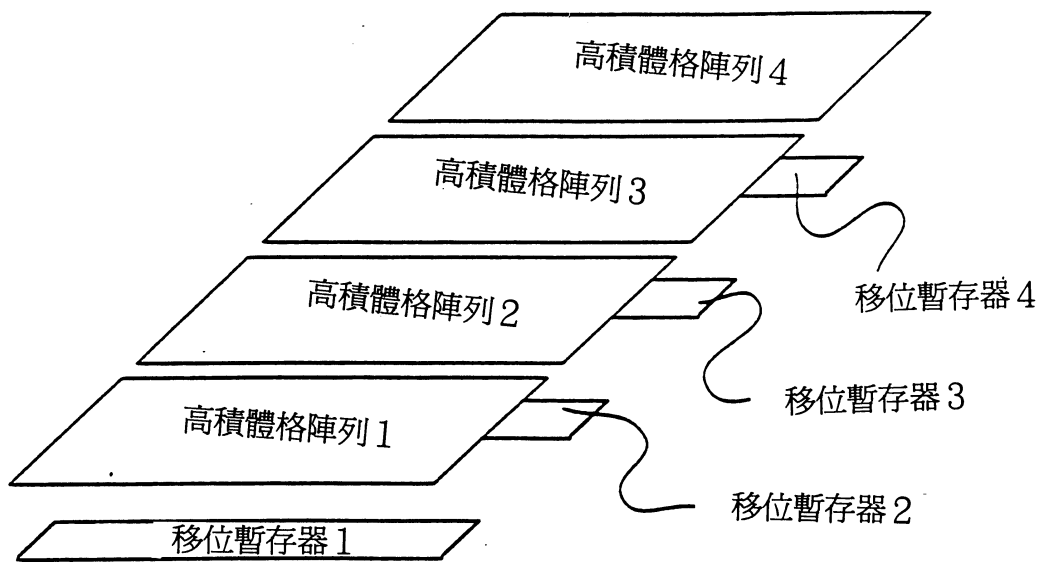
第 18 圖



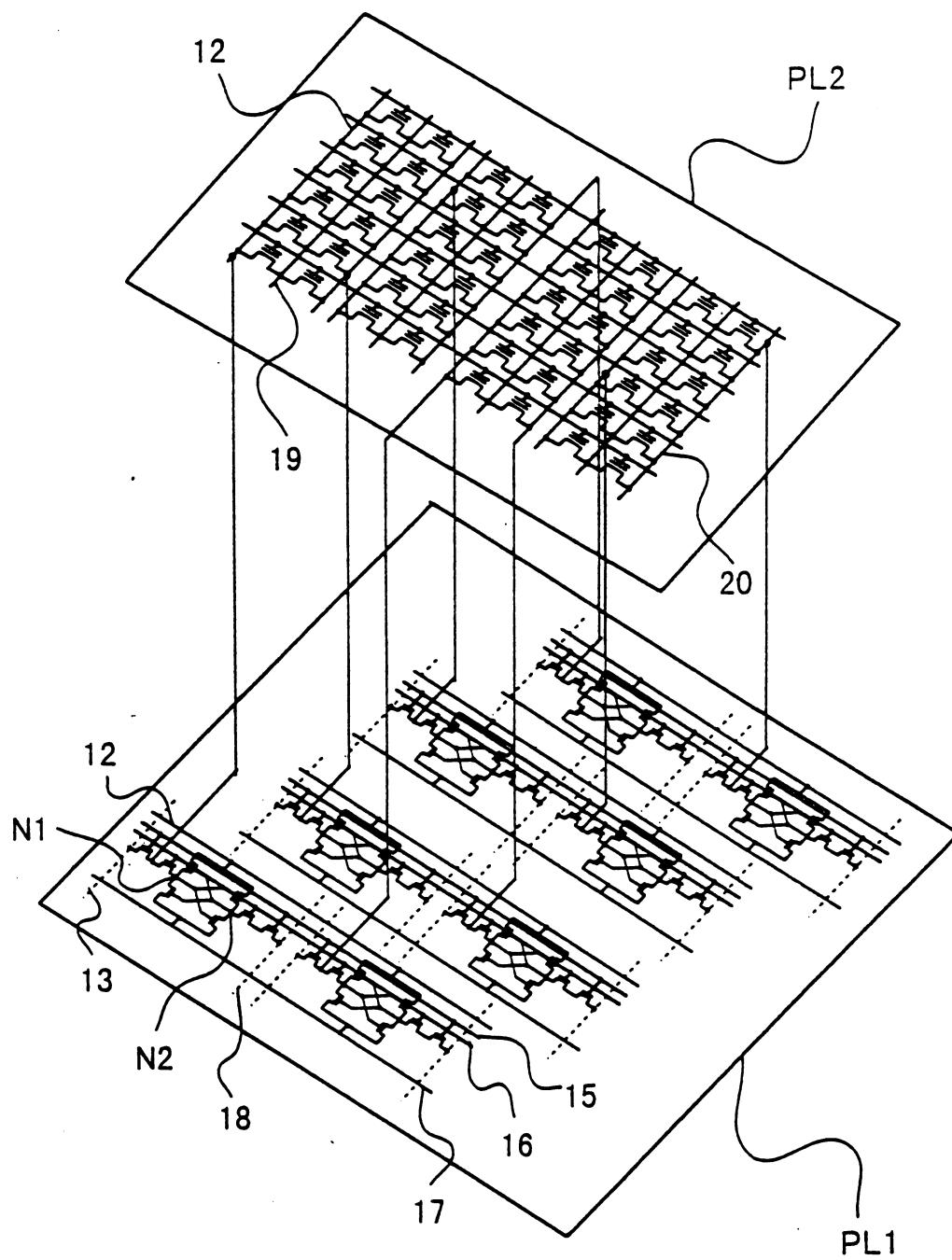
第 19 圖



第 20 圖



第 21 圖



91年7月31日

修正
補充

A7

B7

五、發明說明 (8)

閘氧化膜的電晶體和薄閘氧化膜的電晶體。例如厚閘氧化膜的電晶體是應用於使用高電壓的快閃記憶體之驅動器。另一方面，S R A M用的電晶體則是用薄閘氧化膜來確保高速性。於其上堆積多結晶矽膜，以光阻劑為光罩（圖案F G）來蝕刻所堆積的多結晶矽膜，予以形成閘電極7。其次，以光阻劑為光罩，對P型陷阱(WELL)內植入磷，進而以光阻劑為光罩，對n型陷阱內植入硼，之後堆積、蝕刻S i O₂膜，而在閘電極形成S i O₂的側壁。將此狀態表示在第3圖。其次以光阻劑為光罩，對P型陷阱內植入磷，以光阻劑為光罩，對n型陷阱內植入硼來形成擴散層。之後堆積S i O₂膜，並施行C M P（化學式機械研磨）加以平面化。其次以光阻劑為光罩（圖案C O N T），開設接觸孔9，加以堆積W（鎢）。之後以抗阻劑為光罩（圖案M 1）來蝕行W，以形成配線圖案1 0 0。進而堆積S i O₂膜，並施行C M P加以平面化。之後以抗阻劑為光罩（圖案T C 1），開設與第1層配線圖案1 0 0連接的接觸孔，選擇生長W。將此狀態表示在第5圖。

在其上堆積W，以光阻劑為光罩（圖案M 2）加以蝕刻形成第2層配線圖案1 0。整體資料線是在此層而形成的。之後堆積S i O₂膜，並施行C M P加以平面化。再以光阻劑為光罩（圖案T C 2），開設欲與第2層配線圖案（整體資料線）1 0及其上層的配線圖案（資料線1）連接的接觸孔，選擇生長W。將此狀態表示在第6圖。

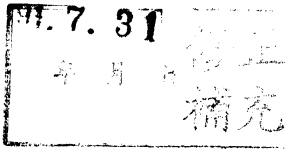
進而堆積厚度5 0 n m的n型多結晶矽膜，以抗阻劑

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線



五、發明說明 (9)

為光罩 (圖案 D L) , 來蝕刻多結晶矽膜藉以形成資料線 1、源極線 2。將此狀態表示在第 7 圖。再者, 第 1 圖係為第 7 圖之 A - B 的斷面圖。在此上堆積厚度 10 nm 的 P 型多結晶矽膜。以抗阻劑為光罩進行蝕刻形成通道 3。堆積厚度 10 nm 的 P 型多結晶矽膜, 以光阻劑為光罩進行蝕刻形成浮動閘 4。進而堆積厚度 12 nm 的 SiO₂ 絕緣膜 14、厚度 40 nm 的多結晶矽膜、厚度 30 nm 的 W。之後以抗阻劑為光罩 (圖案 W L) 來蝕刻 W 及多結晶矽膜以形成字元線 5。

進而堆積 SiO₂ 膜完成平面化, 以抗阻劑為光罩來開設接觸孔藉以堆積 TiN (氮化鈦)、Al (鋁)。以光阻劑為光罩來蝕刻金屬藉以形成配線圖案。

此例中, 其特徵為在於快閃記憶體之通道的多結晶矽膜變薄 10 nm 的關係, 故短通道效果的影響減少, 很適合微細化。又, 構成不會令雜質導入通道而成為固有的。因將通道完全乏化, 故成為 OFF 狀態。又, 可以用金屬來形成局部資料線。快閃記憶體格形成的過程很難與 MOS 裝置的過程共通化, 通常要在另外的工程來形成。另一方面則可同時形成除去高耐壓驅動器電路的 SRAM 和周邊電路。又, 形成在絕緣膜上的記憶格是很容易分離的元件。因而, 本發明之製造工程數與習知的快閃記憶體製造工程比較, 幾乎沒有增加。

再者, 此例中是在上層的快閃記憶體形成前之配線材料應用 W, 但這是考慮到多結晶矽膜形成及雜質活性化的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

91年7月6日

修正
補充

A7

B7

五、發明說明 (19)

消去動作。此時，電晶體 M 5、M 6、M 7 即為 O F F。

(步驟 2) 其次，M 7 為 O N，於局部資料線 3 6 負載資料。

(步驟 3) 其次，對字元線 3 8 施行負的寫入脈衝 (例如 - 1.5 V)，執行寫入。

(步驟 4) 此例中，M 7 為 O F F、M 5 為 O N，資料線 3 6 為 0 V 預充電。

(步驟 5) 其次，M 5 為 O F F、M 6 為 O N。此時被保持在閘鎖 L 1 的資訊，「1」之時，節點 N 3 為 h i g h，M 9 為 O N，而節點 N 4 之 h i g h (5 V) 的電壓會負載在局部資料線 3 6。又，被保持在閘鎖 L 1 的資訊，於「0」的場合下，M 9 為 O F F，而局部資料線 3 6 依仍的 0 V。

(步驟 6) 其次，M 6 為 O F F，且將字元線 3 8 設定在讀出電壓 (例如 1.5 V)。要是資訊「1」寫入正常結束，臨限值電壓就會低於讀出電壓，因而電流會流經記憶格，而局部資料線 3 6 的電位就會下降。另一方面，資訊「1」寫入不充分的場合下，記憶格電流小，局部資料線 3 6 的電位變化變緩慢。

(步驟 7) 因而要是以一定的標記時間打開 M 7，寫入正常就會被閘鎖在 l o w 的狀態，但要是充分就會被閘鎖在 h i g h 的狀態。又，寫入資訊為「0」的場合下，預充電為 l o w (0 V)，而記憶格臨限值也高，終究還是會以 l o w 的狀態被閘鎖。之後回到 (步驟 3)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 半導體記憶裝置及資料處理裝置)

本發明係有關一種半導體記憶裝置及資料處理裝置，其目的為提供一種即可高速重寫又可減少面積增大之半導體記憶裝置。又，提供一種小面積而大容量，或高速動作、低耗電動作之半導體記憶裝置。

其解決手段為：將邏輯電路和緩衝記憶體、讀出放大器等周邊電路，或是其中一部分設在半導體基板表面，介於絕緣膜而在其上設置記憶格。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

91.7.31 修正
年 月 日A8
B8
C8
D8

六、申請專利範圍

第 90100864 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 91 年 7 月 31 日 修正

1 . 一 種 半 導 體 記 憶 裝 置 ， 其 特 徵 為 ：

具有 構成 在 同一 晶片 上 之 兩種 以上 的 記憶 格 陣 列 ；

上述 記憶 格 陣 列 的 至少 兩種 是 設 在 上下 的 位置 關係 。

2 . 如 申 請 專 利 範 圍 第 1 項 之 半 導 體 記 憶 裝 置 ， 於 被 設置 在 上述 上下 之 位置 關係 的 記憶 格 陣 列 之間 ， 至少 具 有 一 層 配 線 層 。

3 . 如 申 請 專 利 範 圍 第 1 項 或 第 2 項 之 半 導 體 記 憶 裝 置 ， 在 為 上述 上下 之 位置 關係 的 兩種 記憶 格 陣 列 間 ， 轉移 資料 。

4 . 如 申 請 專 利 範 圍 第 1 項 或 第 2 項 之 半 導 體 記 憶 裝 置 ， 為 上述 上下 之 位置 關係 的 兩種 記憶 格 陣 列 中 ， 根據 資料 的 重 寫 動作 ， 對於 與 花 較 長 時間 的 記憶 格 陣 列 之 記憶 資料 的 外部 一起 轉移 來看 ， 是 介 於 另一 方 的 記憶 格 陣 列 與 外部 一起 執行 資料 轉移 的 。

5 . 如 申 請 專 利 範 圍 第 1 項 或 第 2 項 之 半 導 體 記 憶 裝 置 ， 為 上述 上下 之 位置 關係 的 兩種 記憶 格 陣 列 中 ， 資料 的 重 寫 動作 以 更 短 時間 執行 的 記憶 格 陣 列 之 記憶 容量 ， 是 另一 方 的 記憶 格 陣 列 之 記憶 容量 的 一半 以下 。

6 . 如 申 請 專 利 範 圍 第 1 項 或 第 2 項 之 半 導 體 記 憶 裝 置 ， 為 上述 上下 之 位置 關係 的 兩種 記憶 格 陣 列 中 ， 一方 的 記憶 格 陣 列 乃 具有 另一 方 記憶 格 陣 列 的 讀 出 放大 器 機能 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7. 如申請專利範圍第1項或第2項之半導體記憶裝置，被設置在上述上下之位置關係的記憶格陣列中，被設置在上面的記憶體不需更新動作，被設在下面的記憶體則需要更新動作，更在與被設置在下面的記憶體同樣的高度，設置邏輯電路。

8. 一種半導體記憶裝置，其特徵為：

具有被設置在絕緣膜上的源極、汲極區域；

該源極、汲極區域是互相介於半導體被連接；

具有控制電極；

至少有一個利用電位障壁圍住周圍的記憶區域；

在該控制電極和源極、汲極區域之間，施加電壓，而向該記憶區域執行來自電荷耦合或記憶區域的電荷放射；

具有利用根據累積在上述記憶區域的電荷量之大小，使源極、汲極間的電導發生變化來執行記憶之半導體記憶元件；

具有在複數個行列狀並排上述半導體記憶元件的構造；

具有被設置在基板表面的複數個電晶體；

上述行列狀並列的半導體記憶元件和上述複數個電晶體的位置關係，實際上是存在於上下的部分。

9. 如申請專利範圍第8項之半導體記憶裝置，連接上述半導體記憶元件的源極、汲極區域之半導體是由多結晶矽製成的。

10. 如申請專利範圍第8項或第9項之半導體記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

裝置，上述半導體記憶元件之記憶區域，是由短徑為未滿10微米的至少一個微小結晶粒所製成的。

11. 如申請專利範圍第8項或第9項之半導體記憶裝置，被設在上述基板表面之複數個電晶體是構成讀出放大器或其一部分。

12. 如申請專利範圍第11項所記載之半導體記憶裝置，上述讀出放大器是被二次元式的排列。

13. 如申請專利範圍第8項或第9項之半導體記憶裝置，具有控制半導體記憶元件之資料線和字元線；

對於相鄰的資料線組之讀出放大器，並不是相對於字元線而平行並排的，而是錯開配置在與資料線平行的方向。

14. 如申請專利範圍第8項或第9項之半導體記憶裝置，

在上述半導體記憶元件和上述基板表面的電晶體之間，具有利用金屬製成的配線層。

15. 一種資料處理裝置，其特徵為：

具有判定存取權之鑑認機能；

具有被形成在同一晶片的絕緣膜上之非揮發性記憶格陣列；

在執行上述判定的鑑認用邏輯電路和上述非揮發性記憶體之間，具有配線層。

16. 如申請專利範圍第15項之資料處理裝置，將鑑認資訊或鑑認程式的至少一部分儲存在上述非揮發性記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

憶體。

17. 如申請專利範圍第15項或第16項之資料處理裝置，具有在與上述非揮發性記憶格陣列相異的製造過程所形成的非揮發性記憶格陣列；

將鑑認資訊或鑑認程式分散、記憶在上述兩種非揮發性記憶體。

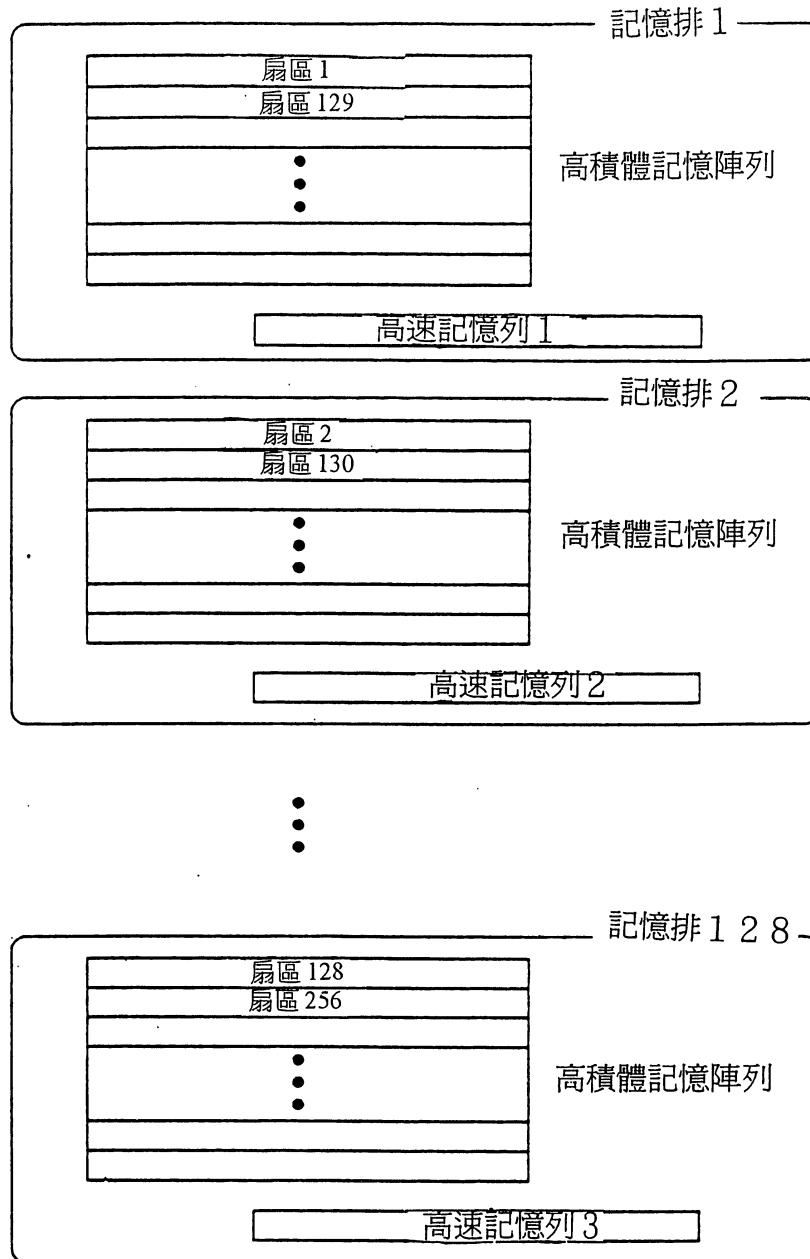
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

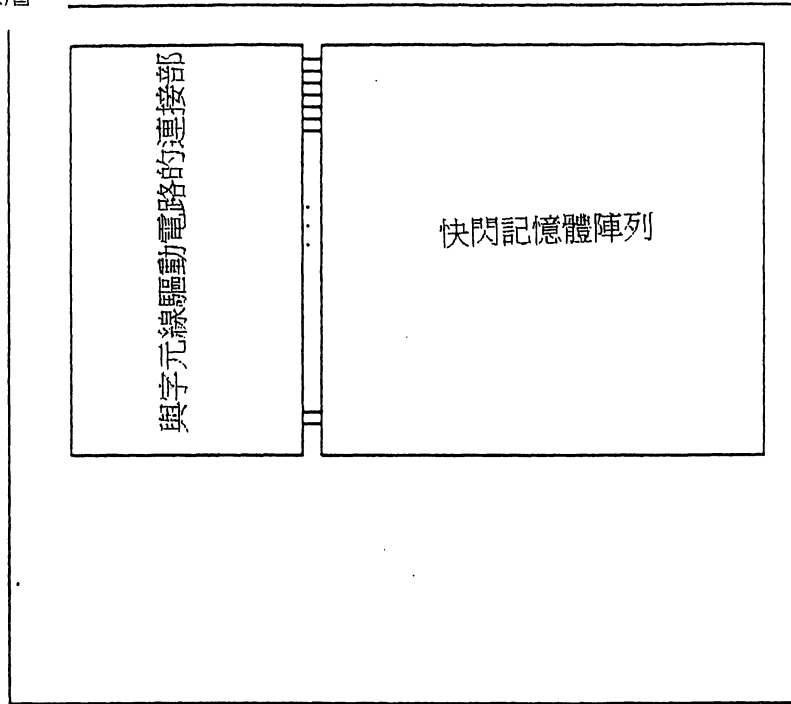
第 11 圖



91. 年 月 日 修正
補充

第 22 圖

上層



下層

