

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5366833号
(P5366833)

(45) 発行日 平成25年12月11日 (2013.12.11)

(24) 登録日 平成25年9月20日 (2013.9.20)

(51) Int. Cl. F I
 H O 1 L 21/3205 (2006.01) H O 1 L 21/88 J
 H O 1 L 21/768 (2006.01) C 2 5 D 7/12
 H O 1 L 23/522 (2006.01)
 C 2 5 D 7/12 (2006.01)

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2009-551767 (P2009-551767)	(73) 特許権者	504199127
(86) (22) 出願日	平成20年1月25日 (2008.1.25)		フリースケール セミコンダクター イン
(65) 公表番号	特表2010-519780 (P2010-519780A)		コーポレイテッド
(43) 公表日	平成22年6月3日 (2010.6.3)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2008/051987		オースティン ウィリアム キャノン
(87) 国際公開番号	W02008/106256		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成20年9月4日 (2008.9.4)	(74) 代理人	100142907
審査請求日	平成23年1月25日 (2011.1.25)		弁理士 本田 淳
(31) 優先権主張番号	11/679, 512	(72) 発明者	スパークス、テリー ジー.
(32) 優先日	平成19年2月27日 (2007.2.27)		アメリカ合衆国 7 8 7 3 5 テキサス州
(33) 優先権主張国	米国 (US)		オースティン メンドシノ ドライブ
			8 8 0 8

最終頁に続く

(54) 【発明の名称】 電気メッキを利用した導電ビア形成

(57) 【特許請求の範囲】

【請求項 1】

第 1 面と、前記第 1 面の反対側にある第 2 面とを備えた半導体基板の前記第 1 面に銅を含む導電層を形成する工程と、

前記導電層をパターニングして、ランディングパッドを形成する工程と、

前記ランディングパッドを露出させるビアホールを、前記半導体基板の第 2 面側から半導体基板に形成する工程と、

前記ランディングパッドが電氣的に接続されるとともに、導電ビア材料を前記ビアホールに電気メッキするための電流供給源として機能する、アルミニウムからなる連続導電層を、前記半導体基板の第 1 面に形成する工程と、

電気メッキ法で前記導電ビア材料を前記ビアホールに、前記ランディングパッドをシード層として使用して充填する工程と、

電気メッキ法で前記導電ビア材料を充填する工程の後に、前記連続導電層をパターニングする工程とを備える、導電ビアを形成するための方法。

【請求項 2】

第 1 面と、前記第 1 面の反対側にある第 2 面とを備えた半導体基板の前記第 1 面に銅を含むシード層を形成する工程と、

前記シード層の上にアルミニウムからなる連続導電層を形成する工程であって、前記シード層が、前記連続導電層に電氣的に接続される、前記連続導電層を形成する工程と、

前記シード層を形成する工程の後に、前記シード層を露出させるビアホールを、半導体

基板の前記第2面側から半導体基板に形成する工程と、

電気メッキ法で導電ビア材料を前記ビアホールに、前記導電ビア材料が前記シード層上に堆積するように、前記連続導電層を電流供給源として使用して充填する工程と、

電気メッキ法で前記導電ビア材料を充填する工程の後に、前記連続導電層をパターンニングする工程とを備える、導電ビアを形成するための方法。

【請求項3】

第1面と、前記第1面の反対側にある第2面とを備えるとともに能動回路を備えている半導体基板の前記第1面に銅を含む導電層を形成する工程と、

前記導電層をパターンニングして、ランディングパッドを形成する工程と、

前記ランディングパッドに電氣的に接続されるアルミニウムからなる連続導電層を前記ランディングパッドの上に形成する工程と、

前記第2面側から前記半導体基板をエッチングしてビアホールを形成することによって、ランディングパッドを露出させる工程と、

電気メッキ法で導電ビア材料を前記ビアホールに、前記ランディングパッドをシード層として、かつ該連続導電層を電流供給源として使用して充填する工程と、

電気メッキ法で前記導電ビア材料を充填する工程の後に、前記連続導電層をパターンニングする工程とを備える、導電ビアを形成するための方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して、半導体処理に関し、特に電気メッキを利用した導電ビア形成に関する。

【背景技術】

【0002】

半導体素子は、基板貫通電気接続を利用して、信号、電力、及びノ又はグラウンドを、基板を介して伝送する。一つの例では、このような接続を利用して信号を、複数の集積回路を搭載するパッケージの複数の集積回路の間で伝送することができる。別の例では、基板貫通接続をグラウンド接続として利用して、回路をパッケージ基板にグラウンド接続することができる。このような基板貫通接続は、これらの接続が通常、ワイヤボンディング接続よりも短く、かつ低い抵抗及びインダクタンスを示すので望ましい。

【0003】

幾つかの基板貫通接続は、導電ビアを、ウェハの裏面から配線層のコンタクトパッドまで基板を貫通するように形成することにより形成される。導電ビアを、基板を貫通するように形成する方法では、コンフォーマルなシード層をウェハの裏面側に形成する。次に、このシード層をカソードとして使用し、電気メッキ法を用いてウェハの裏面側から堆積が進むようにする。この方法の一つの問題は、シード層を高アスペクト比の基板貫通ビアに形成する処理が、スパッタリング及び他の堆積プロセスに限界があるために困難になることである。銅の電気メッキを行なっている間、ピンチオフが、特に高アスペクト比ビアの裏面開口の近傍で生じ、これによって、導電性充填材料にボイドが発生する。別の問題は、シード層がウェハの裏面の表面全体を覆って形成されるので、ビア充填材料もウェハの表面全体に形成されることである。このような材料は次の工程で除去する必要がある。

【0004】

ビアを、基板を貫通するように形成する別の方法では、ウェハの厚さ全体を貫通するビア開口をエッチングにより形成する。次に、シード層をスパッタリングでウェハの裏面に、ビアの裏面側を閉じるために十分な厚さに形成する。次に、導電性充填材料をウェハの前面側から電気メッキ法で堆積させる。この方法の一つの問題は、ビアをウェハの厚さ全体を貫通するように形成する必要があることである。また、下部シード層は、ビアの充填を行なった後に除去する、またはパターンニングする必要がある。このような厚い金属層の除去またはパターンニングは複雑であり、制御するのが難しく、そしてノまたは非常に長い

10

20

30

40

50

時間を要する。更に、導電性充填材料は、回路の既存の電気配線との接続を形成することができない。従って、追加のプロセスを行なって、充填済みビアをウェハの前面の回路素子に接続する必要がある。この追加の処理は、薄厚ウェハに対して行なわれ、ウェハ薄厚化は、ウェハ貫通ビア形成の前に行なわれる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

望ましいのは、導電ビアを、基板を貫通するように形成する方法を改善することである。

添付の図面を参照することにより、本発明を一層深く理解することができ、そして本発明の多くの目的、特徴、及び利点がこの技術分野の当業者に明らかになる。

【課題を解決するための手段】

【0006】

一つの実施形態は、導電ビアを形成する方法に関する。該方法は、導電層を半導体基板の第1面に形成する工程を含む。該半導体基板は、第1面及び第2面を有し、そして該第1面は該第2面の反対側に位置する。方法は更に、導電層をパターンニングして、ランディングパッドを形成する工程と、そしてビアホールを、該半導体基板の該第2面側の該半導体基板中に形成する工程と、を備える。ビアホールはランディングパッドを露出させる。この方法は更に、電気メッキ法で導電ビア材料を該ビアホールに、ランディングパッドをシード層として使用して充填する工程を備える。

【図面の簡単な説明】

【0007】

【図1】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図2】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図3】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図4】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図5】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図6】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図7】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図8】本発明の一つの実施形態によるウェハ形成における種々の工程でのウェハの部分側部断面図。

【図9】本発明の別の実施形態によるウェハ形成における一つの工程でのウェハの部分側部断面図。

【発明を実施するための形態】

【0008】

異なる図面における同じ参照記号の使用は、特に断らない限り、同じアイテムを意味する。これらの図は、必ずしも寸法通りには描かれていない。

以下に、本発明を実施する形態についての詳細な記述を示す。本記述は、本発明を例示するために行なわれ、本発明を制限するものとして捉えられないべきではない。

【0009】

図1は、本発明の一つの実施形態によるウェハ形成の第1工程におけるウェハの一つの実施形態の部分側部断面図である。図示の実施形態では、ウェハ101は、バルク半導体材料、例えば単結晶シリコン、砒化ガリウム、またはシリコンゲルマニウムにより形成さ

れる半導体基板 103 を含む。半導体基板は、半導体材料を含む基板である。他の実施形態では、半導体基板は、セミコンダクタオンインシュレータ (SOI) 構造のような他の構造を有することができる。SOI 構造の例として、シリコンオンインシュレータ (例えば、シリコン酸化膜) をバルク半導体材料基板の上に設けた構造、及びシリコンオンサファイア基板を挙げることができる。他の実施形態では、半導体基板は、異なる半導体材料から成る複数の層、例えばシリコンゲルマニウムがシリコン上に配設される構造、シリコンがシリコンゲルマニウム上に配設される (かつ、シリコン上に配設される) 構造、及び / 又は誘電体材料から成る複数の層を含むことができる。基板 103 は、基板 103 の前面に形成される能動回路 (例えば、トランジスタ 120) を含む。ウェハまたは基板の前面は、ウェハまたは基板のうち、能動回路が形成される面である。ウェハまたは基板の裏面は、ウェハまたは基板のうち、前面の反対側の面である。

10

【0010】

能動回路を基板 103 に形成した後、多層配線 122 をウェハ 101 の前面 125 に形成する。多層配線 122 は層間誘電体層 106, 110 を含む。多層配線 122 は更に、配線層 108, 112 を含む。層間誘電体層 106, 110 は、隣接する配線層の金属配線を電氣的に絶縁する誘電体材料、例えば TEOS, SiO₂, または低 K 誘電体を含む。層間誘電体層 106, 110 は更に、例えば窒化シリコン、または窒化炭化シリコンにより形成されるエッチング停止層及びバリア層を含むことができる。エッチング停止層及びバリア層は、図 1 には示していない。層間誘電体層 106, 110 は更に、例えば銅、タングステン、金、及び / 又はアルミニウムから成る導電性充填材料を有する導電ビア 105, 109, 115, 121 を含む。これらの導電ビアは、基板 103 の前面の能動回路 (例えば 120) を、配線層 108, 112 の金属配線 107, 111, 113, 117, 119, 123 に相互接続する。各配線層 (108, 112) は更に、該当する配線層の金属配線 (例えば、107, 113) の間に位置する層内誘電体材料 (131, 133) を含む。配線層 106, 110 の誘電体材料は更に、エッチング停止層及びバリア層 (図示せず) を含むことができる。

20

【0011】

配線層 108 及び 112 の金属配線 107, 111, 113, 117, 119, 123 は、導電層をウェハ 101 の前面 125 に形成し、次に導電層をパターニングすることにより形成することができる。パターニングして金属配線を形成する一つの実施形態 (インレイドプロセスと表記される) では、層内誘電体材料層 (例えば、131, 133) を、例えば化学気相堆積法 (CVD) によりウェハ 101 の前面 125 に形成し、次にパターニングしてトレンチを当該層の内部に形成する。次に、金属層、例えば銅層を、トレンチ内に埋設されるようにウェハ 101 の前面 125 に形成する。次に、前面 125 を平坦化し (例えば、化学的機械研磨法 (CMP) により)、この場合、銅材料のみが、層内誘電体材料のトレンチ内に残る。

30

【0012】

金属層をパターニングして金属配線 107, 111, 113, 117, 119, 123 を形成する別の実施形態では、金属層 (例えば、アルミニウム層) をウェハ 101 の前面 125 に堆積させる。次に、金属層を、フォトリソグラフィプロセス及びエッチングプロセスを使用してパターニングすることにより、金属配線を形成する。次に、層間誘電体材料を前面 125 に堆積させ、この場合、層内誘電体材料を次に、CMP またはレジスト塗布及びエッチバックのような他の平坦化方法を使用して平坦化する。

40

【0013】

幾つかの実施形態では、金属配線 (107, 111, 113, 117, 119, 123) は更に、異なる材料から成る複数の層を含むことができる。例えば、金属配線は更に、導電バリア層 (例えば、タンタルバリア層、窒化タンタルバリア層、窒化チタンバリア層、またはチタンタンゲステンバリア層) を含むことができる。

【0014】

多層配線 122 は更に、上部誘電体層 114 を含む。一つの実施形態では、層 114 は

50

、誘電体材料、例えば酸化シリコン、酸窒化シリコン、窒化シリコン、またはポリイミドを含む。幾つかの実施形態では、誘電体層 1 1 4 は複数の誘電体層を含み、そしてエッチング停止層及びバリア層を含むことができる。誘電体層 1 1 4 は、配線層 1 1 2 の配線 1 1 1 , 1 1 7 , 1 2 3 を露出させる開口部を含む。

【 0 0 1 5 】

図示の実施形態では、金属層 1 1 6 は、ウェハ 1 0 1 の前面 1 2 5 に形成される。一つの実施形態では、層 1 1 6 はアルミニウムを含むが、銅、金、またはタングステンのような他の導電材料を含むことができる。更に、層 1 1 6 は、バリア層またはシード層（例えば、窒化チタン層、チタントングステン層、またはタンタル層）を含むことができる。

【 0 0 1 6 】

層 1 1 6 は、スパッタリング、CVD、メッキ、物理気相堆積（PVD）、または他のプロセスにより形成することができる。層 1 1 6 は、ウェハ 1 0 1 の前面 1 2 5 の全体を覆って形成される連続導電層である。一つの実施形態では、層 1 1 6 は、10 , 000 オングストローム ~ 50 , 000 オングストロームの範囲の厚さを有するが、他の実施形態では、他の厚さを有することができる。

【 0 0 1 7 】

図 2 は、基板の厚さを薄くするために基板 1 0 3 を薄厚化した後のウェハ 1 0 1 の部分側部断面図である。基板 1 0 3 は、研削、エッチング、CMP により、またはこのようなプロセスを組み合わせることにより薄厚化することができる。一つの実施形態では、基板 1 0 3 は、300 ミクロン ~ 1000 ミクロンの範囲の厚さを薄厚化の前に有し、そして 10 ミクロン ~ 200 ミクロンの範囲の厚さを薄厚化の後に有する。しかしながら、他の形態のウェハは他の厚さを薄厚化の前後に有することができる。

【 0 0 1 8 】

薄厚化の後、誘電体層 2 2 8 をウェハ 1 0 1 の裏面 1 2 7 に形成する。誘電体層は、酸化シリコン、窒化シリコン、TEOS、ダイヤモンド系材料、及び / 又はサファイアを含むことができる。一つの実施形態では、層 2 2 8 は堆積させる（例えば、CVD、PVD）ことができる、または半導体材料を含む基板から裏面 1 2 7 に成長させることができる。幾つかの実施形態では、層 2 2 8 を利用しない。

【 0 0 1 9 】

図 3 は、ビア開口またはビアホール 3 2 9 , 3 3 1 を、ウェハ 1 0 1 の裏面 1 2 7 から配線 1 1 3 , 1 1 9 のそれぞれに達するように形成した後のウェハ 1 0 1 の部分側部断面図である。一つの実施形態では、ビアホール 3 2 9 , 3 3 1 は、フォトレジスト層を裏面 1 2 7 に形成し、そしてフォトレジストをパターンニングしてエッチングマスクをビア 3 2 9 及び 3 3 1 に対応するように形成することにより形成される。ビアホール 3 2 9 , 3 3 1 を形成するために、誘電体層 2 2 8 の材料、基板 1 0 3、及び層 1 0 6 の層間誘電体材料を、これらの層の材料を除去するために適するエッチング化学種を使用してエッチングする。一つの実施形態では、層 2 2 8 をエッチングした後、パターンニング済みのフォトレジスト層（図示せず）を除去するが、この場合、層 2 2 8 は、基板 1 0 3 及び層 1 0 6 を次にエッチングするためのハードマスクとして使用される。一つの実施形態では、ビアホール 3 2 9 , 3 3 1 の幅に対する深さのアスペクト比は、0 . 5 : 1 ~ 10 : 1 の範囲であるが、他のアスペクト比を他の実施形態において使用してもよい。

【 0 0 2 0 】

図 4 に示すように、ビアホール 3 2 9 , 3 3 1 を形成した後、側壁ライナー 4 0 1 , 4 0 3 をビア 3 2 9 , 3 3 1 の側壁にそれぞれ形成する。一つの実施形態では、ライナー 4 0 1 , 4 0 3 は、スペーサ材料から成るコンフォーマル層を堆積させ（例えば、CVD または原子層堆積（ALD）により）、次に当該コンフォーマル層を異方性エッチングしてライナー 4 0 1 , 4 0 3 を残すとともに、配線 1 1 3 及び 1 1 9 の一部をそれぞれ露出させることにより形成される。一つの実施形態では、ライナー 4 0 1 及び 4 0 3 は、次に形成される導電性充填材料を基板 1 0 3 から電氣的に絶縁する誘電体材料（例えば、酸化シリコン、窒化シリコン、酸窒化シリコン）から成る。他の実施形態では、ライナー 4 0 1

10

20

30

40

50

及び４０３は、基板１０３への金属充填材料の拡散を阻止するための拡散バリアとして機能する材料から成る。

【００２１】

幾つかの実施形態では、ライナー４０１，４０３は、充填材料を基板に電氣的に接続する導電材料とすることができる。このような構造は、基板１０３を接地するために望ましい。他の実施形態では、ライナー４０１，４０３を設けなくてもよい。

【００２２】

図５は、導電性充填材料５０７，５０９をビア３２９，３３１にそれぞれ堆積させる電気メッキプロセスを行なっている間のウェハ１０１の部分側部断面図である。図示の実施形態では、金属配線１１３及び１１９は、導電性充填材料５０７，５０９を電気メッキするためのランディングパッド及びシード層として機能する。図示の実施形態では、カソードコネクタ５０１を導電金属層１１６に電氣的に接続し、導電金属層１１６は、配線１１３に導電ビア１１５及び配線１１７を介して電氣的に接続され、かつ配線１１９に導電ビア１２１及び配線１２３を介して電氣的に接続される。

【００２３】

カソードコネクタ５０１は、電気メッキ電源５０３に電氣的に接続され、電気メッキ電源は図示の実施形態では、パルスＤＣ電源である。アノード５０５は電源５０３に電氣的に接続される。一つの実施形態では、ウェハ１０１及びアノード５０５を電解メッキ溶液に浸し、そして電源５０３からの電流によって、電流がコネクタ５０１に供給され、この場合、アノード５０５の材料がビア３２９，３３１に堆積する。電気メッキが行なわれている間、充填材料が最初に配線１１３，１１９から堆積成長し、そして既に電気メッキされている充填材料の上に電気メッキで堆積し続ける。配線１１３及び１１９は層１１６に電氣的に接続されているので、層１１６は、充填材料５０７，５０９をそれぞれ形成するために電気メッキしている間の電流供給源として機能する。図５の実施形態では、ビア３２９，３３１は、導電性充填材料５０７，５０９でそれぞれ部分的に充填されるものとして示される。他の電気メッキプロセスを他の実施形態において利用してもよい。

【００２４】

層１１６を、電気メッキプロセスを行なっている間は保護する、または密閉することにより、当該層へのアノード５０５の材料の堆積を回避することができる。

一つの実施形態では、充填材料は銅を含むが、例えば金、ニッケル、パラジウム、これらの金属の合金のような他の材料、または他のメッキ可能な導電材料を含むことができる。

【００２５】

一つの実施形態では、カソードコネクタ５０１をウェハ１０１の周辺領域の層１１６に接続する。幾つかの実施形態では、周辺領域は、ウェハのうち、ウェハを個片化して多数の集積回路としたときに一つの集積回路の一部とはならない領域である。他の実施形態では、カソードコネクタ５０１を取り付ける領域は、層１１６のうち、外部コネクタ（例えば、ボンディングパッド）を形成するために、または他のタイプの集積回路コネクタを形成するために次に使用されるということのない領域の上に位置する。

【００２６】

層１１６が、電気メッキプロセス中に密閉される場合、配線１１３及び１１９は、図５に示され、かつカソードコネクタ５０１に電氣的に接続される唯一の露出導電構造である。従って、充填材料が最初に、電気メッキプロセス中にビア３２９，３３１にのみ形成される。従って、他の構造は、導電性充填材料でメッキされることがない。従って、この実施形態では、充填材料の連続層を裏面１２７から、電気メッキプロセス後に除去する必要がある。

【００２７】

図６は、ビア３２９，３３１を完全に導電性充填材料６０１，６０３のそれぞれで充填してしまった後のウェハ１０１を示している。一つの実施形態では、電気メッキは、充填材料で過充填するポイントまで、または充填材料が誘電体層２２８の或る部分を覆って延

10

20

30

40

50

び始めるポイントまで行なわれる。幾つかの実施形態では、裏面 1 2 7 を電気メッキ後に平坦化して、充填材料 6 0 1 , 6 0 3 が層 2 2 8 と同一平面を形成するようにする。

【 0 0 2 8 】

図 7 は、層 1 1 6 をパターニングして導電パッドを形成した後のウェハ 1 0 1 を示している。一つの実施形態では、層 1 1 6 は、フォトリソグラフィ法によりパターニングされる。例えば、フォトレジスト層を前面 1 2 5 の層 1 1 6 の上に堆積させ、そしてパターニングしてマスク構造を形成することができる。マスク構造の下に位置しない層 1 1 6 の全ての材料を除去してパッドを残す。

【 0 0 2 9 】

一つの実施形態では、パッド 7 0 1 , 7 0 3 , 7 0 5 は外部ワイヤボンディングパッドである。別の実施形態では、パッド 7 0 1 , 7 0 3 , 7 0 5 はそれぞれ、バンプコネクタのバンプパッド構造の下に位置し、この場合、次の金属をパッド 7 0 1 , 7 0 3 , 7 0 5 の上に形成することにより、バンプ構造を完成させる。これらの外部導体を使用して、ウェハ 1 0 1 の集積回路の回路を外部回路に電氣的に接続する。他の実施形態では、別の集積回路を、パッド 7 0 1 , 7 0 3 , 7 0 5 に、例えばマルチチップパッケージ構造におけるように（例えば、縦方向に積層する構造、または 3 D に積層する構造におけるように）電氣的に接続することができる。

【 0 0 3 0 】

外部コネクタを形成するために使用される金属層を利用して、カソードコネクタを取り付けることによって得られる一つの利点は、追加の層間金属層を堆積させる処理が、ウェハを薄厚化して裏面ビアを形成した後に必要ではないことである。ビアがウェハの厚さ全体を貫通して形成される先行技術による幾つかの方法では、次の金属層堆積が、ウェハの回路を相互接続するために必要になる。このような堆積は、基板の厚さが薄くなることによって更に複雑になる。ここに説明される種々の実施形態のうちの幾つかの実施形態では、前面側の全ての層間金属層を、ウェハを薄厚化する前に堆積させる。

【 0 0 3 1 】

しかしながら、追加の配線層をパッド 7 0 1 , 7 0 3 , 7 0 5 の上部に追加して、基板 1 0 3 の能動回路を、外部電気接続構造と更に相互接続することができる。例えば、別の金属層を堆積させ、そして前面 1 2 5 でパターニングして、パッド 7 0 1 , 7 0 3 , 7 0 5 を相互接続することができる。幾つかの実施形態では、導電ビアを形成するためのシード層として利用される配線（例えば、配線 1 1 9 ）は、外部電気コネクタに電氣的に接続しなくてもよい。

【 0 0 3 2 】

図 8 は、裏面コネクタパッド 8 0 1 , 8 0 3 を形成した後のウェハ 1 0 1 の部分側部断面図を示している。パッド 8 0 1 , 8 0 3 は、充填材料 6 0 1 , 6 0 3 にそれぞれ電氣的に接続される。図示の実施形態では、パッド 8 0 1 はパッド 7 0 3 に電氣的に接続され、そしてパッド 8 0 3 はパッド 7 0 5 に電氣的に接続される。

【 0 0 3 3 】

一つの実施形態では、コネクタパッド 8 0 1 , 8 0 3 は、金属層を堆積させ、そして当該金属層をフォトリソグラフィ及びエッチングでパターニングすることにより形成される。他の実施形態では、パッド 8 0 1 , 8 0 3 は、インレイドプロセスにより形成され、このプロセスでは、誘電体層を堆積させ、そしてパッド開口部を形成する。次に、金属層を裏面 1 2 7 に、開口部に埋設されるように堆積させ、次に当該金属層を、開口部の外側に位置する金属が除去されるように平坦化する。

【 0 0 3 4 】

別の実施形態では、パッド 8 0 1 , 8 0 3 は、シード導電層を裏面 1 2 7 に堆積させ、フォトレジスト層をシード層の上にパッド開口部を有するように形成し、次に電気メッキ法で材料を開口部に充填することにより形成することができる。次のプロセスでは、フォトレジスト、及びパッドの外側のシード層を除去する。更に別の実施形態では、パッド 8 0 1 , 8 0 3 は、金属を導電性充填材料 6 0 1 , 6 0 3 の上に選択的に堆積させることに

より形成される。

【 0 0 3 5 】

他の実施形態では、パッド 8 0 1 , 8 0 3 は、層 1 1 6 をパターニングする前に形成することができる。他の実施形態では、パッド 8 0 1 , 8 0 3 を設けない。更に、他の実施形態においては、層 2 2 8 の少なくとも一部分を、充填材料 6 0 1 , 6 0 3 を形成した後に除去して、充填材料 6 0 1 , 6 0 3 の一部分が裏面 1 2 7 から延出するようにすることができる。

【 0 0 3 6 】

一つの実施形態では、パッド 8 0 1 , 8 0 3 は、ウェハ 1 0 1 の集積回路の回路を外部回路に外部接続するために利用される。

10

図 9 は、ウェハ 1 0 1 の第 2 の実施形態を示している。図 9 の実施形態は図 7 の実施形態とは、パッド 9 0 1 , 9 0 3 , 9 0 5 が、図 7 のパッド 7 0 1 , 7 0 3 , 7 0 5 を形成するパターニングプロセスとは異なり、金属層 1 1 6 を利用してインレイドプロセスによりパターニングされる点で異なっている。一つのインレイドパターニングプロセスでは、層 1 1 6 を、層 1 1 4 の開口部の外側の層 1 1 6 の材料が除去されるように平坦化する（例えば、CMP プロセスによって）。次のプロセスでは、更に別の構造（例えば、パッド 8 0 1 , 8 0 3 ）をウェハ 1 0 1 の上に形成することができる。

【 0 0 3 7 】

ウェハ 1 0 1 は、ウェハ 1 0 1 の他の領域に位置する他の能動回路、配線、及び基板貫通導電ビア（図示せず）を含む。ウェハ 1 0 1 を次に個片化して多数の集積回路とすることができる。次に、これらの集積回路を、集積回路パッケージにパッケージングすることができ、この場合、パッド（例えば、7 0 1 , 8 0 1 , 9 0 1 ）はパッケージの導電構造に電氣的に接続される。一つの実施形態では、これらの集積回路は、複数の集積回路パッケージの一部とすることができる。

20

【 0 0 3 8 】

図示の実施形態では、電気メッキ用のシード層（配線 1 1 9 , 1 1 3 ）は、多層配線 1 2 2 のうちの最初に形成される配線層 1 0 8 に位置する。しかしながら、他の実施形態では、シード層は、層 1 0 8 の次に形成される他の金属層（例えば、1 1 2 ）に位置してもよい。

【 0 0 3 9 】

内部導電配線（例えば、1 1 3 , 1 1 9 ）を、導電ビアを形成するためのランディングパッド及びシード層として利用することにより得られる一つの利点は、内部導電配線によって、ビア 3 2 9 , 3 3 1 を形成するために除去する必要があるウェハ 1 0 1 の厚さに相当する量が、ウェハ 1 0 1 の厚さ全体を貫通して形成されるビアと比較して、少なくなることである。基板貫通ビアの場合に除去されるウェハの量が少なくなることにより、エッチング時間が短くなるだけでなく、異なる材料から成る層の数が少なくなるので、エッチング工程の回数も少なくなる。例えば、多層配線 1 2 2 を構成する複数の層の全てが除去される訳ではないので、少ない回数のエッチングプロセスでビア 3 2 9 , 3 3 1 を形成することができる。

30

【 0 0 4 0 】

また、集積回路内の後続の導電構造（例えば、1 1 6 ）を形成するために使用されることになる層をカソードコネクタコンタクト層及び電流供給源として利用することにより、電気メッキを行なって裏面ビア接続を形成するために必要な処理工程の回数を更に減らすことができる。層 1 1 6 を次に使用することにより、ウェハ 1 0 1 の集積回路の電気コネクタを形成するので、電気メッキには、他の電気メッキビア形成方法におけるようなシード層形成及び除去の追加工程は必要ではない。

40

【 0 0 4 1 】

更に、前面金属層をカソードコネクタコンタクト層として使用することにより、導電ビア充填材料をウェハの裏面から堆積成長させることができ、シード層をビアホールに裏面側から堆積させる必要がない。従って、ビア内のシード層材料のボイド及びブレッドロー

50

フィング (bread loafing)」を回避することができる。従って、相対的に高いアスペクト比を持つビアは、ここに説明されるプロセスを使用して形成することができる。更に、シード層をウェハの裏面に形成する必要を生じることなく、平坦化プロセスを、過剰メッキされた充填材料を除去するために効率的に利用することができるが、これは、シード層も平坦化プロセスにおいて除去する必要があるということがないからである。

【0042】

更に、電気メッキを導電ビア充填材料堆積に使用することにより、ビアを、内部導体から裏面に向かって充填することができるので、コンフォーマルな層充填材料堆積によって生じ得るボイド及びブレッドローフィングを減らすことができる。従って、相対的に高いアスペクト比のビアを形成する方法を利用することができる。更に、導電性充填材料を堆積させるコンフォーマルプロセスではなく、電気メッキプロセスを利用することにより、材料形成が主としてビアホール内で行なわれ、ビアホールの外側では行なわれない。これによって、ビアを導電材料で充填した後に除去する必要がある過剰な充填材料の量を減らすことができるので有利である。

【0043】

また、シード層 (例えば、パターニング済み配線 119, 113) の露出部分がビア開口内に位置しているので、電気メッキ中の材料堆積速度は、ウェハ全体を覆うシード層に電気メッキを施すプロセスと比較すると速い。シード層は材料形成領域にしか位置していないので、電気メッキが施される領域の面積が小さくなり、かつ当該領域に対して相対的に速い速度で電気メッキされる。従って、パターニング済み構造をシード層として設けることにより、メッキ時間を短くすることができる。

【0044】

上に示した方法では、メッキ材料をウェハの裏面側から堆積させる電気メッキ法について説明したが、ここに説明される方法は、電気メッキ法でメッキ材料をウェハの前面側から堆積させるために利用することもできる。

【0045】

一つの実施形態は、導電ビアを形成する方法に関する。該方法は、導電層を半導体基板の第1面に形成する工程を含む。該半導体基板は、第1面及び第2面を有し、そして該第1面は該第2面の反対側に位置する。方法は更に、導電層をパターニングして、ランディングパッドを形成する工程と、そしてビアホールを、該半導体基板の該第2面側の該半導体基板中に形成する工程と、を備える。ビアホールはランディングパッドを露出させる。この方法は更に、電気メッキ法で導電ビア材料を該ビアホールに、ランディングパッドをシード層として使用して充填する工程を備える。

【0046】

別の実施形態は、導電ビアを形成する方法を含む。該方法は、シード層を半導体基板の第1面に形成する工程を含む。該半導体基板は、第1面及び第2面を含み、そして該第1面は該第2面の反対側に位置する。該方法は更に、連続導電層を該シード層の上に形成する工程を含む。該シード層は、該連続導電層に電氣的に接続される。該方法は更に、該シード層を形成した後、ビアホールを、該半導体基板の該第2面側の該半導体基板中に形成する工程を含む。該ビアホールは該シード層を露出させる。該方法は更に、電気メッキ法で導電ビア材料を該ビアホールに、該材料が該シード層上に堆積するように、該連続導電層を電流供給源として使用して充填する工程を含む。

【0047】

別の実施形態は、導電ビアを形成する方法を含む。該方法は、導電層を半導体基板の第1面に形成する工程を含む。該半導体基板は、第1面及び第2面を含む。該第1面は該第2面の反対側に位置する。該半導体基板は能動回路を含む。該方法は更に、該導電層をパターニングして、ランディングパッドを形成する工程と、そして連続導電層を該ランディングパッドの上に形成する工程と、を含む。該連続導電層は該ランディングパッドに電氣的に接続される。該方法は更に、該半導体基板を該第2面からエッチングしてビアホール

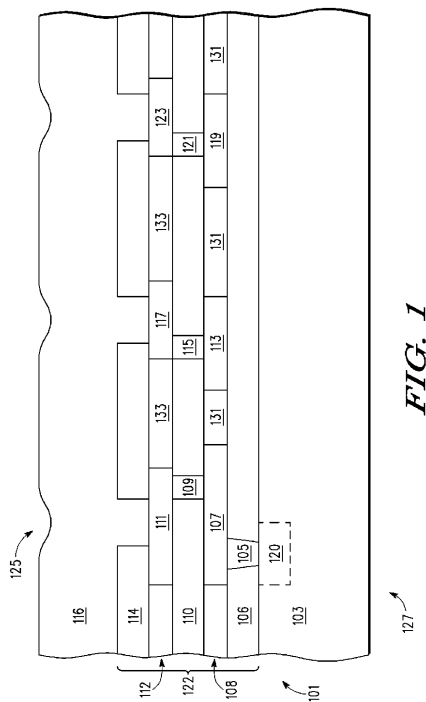
を形成し、そして該ランディングパッドを露出させる工程と、そして電気メッキ法で導電ビア材料を該ビアホールに、該ランディングパッドをシード層として、かつ該連続導電層を電流供給源として使用して充填する工程と、を含む。該方法は更に、電気メッキ法で該導電ビア材料を充填する工程の後に、該連続導電層をパターンニングする工程を含む。

【 0 0 4 8 】

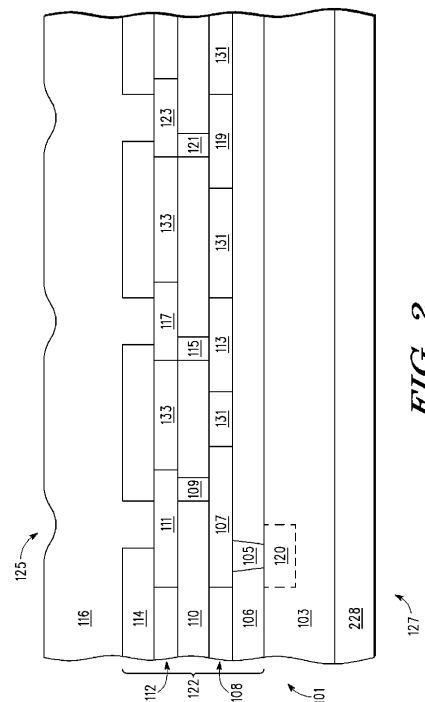
本発明の特定の実施形態について示し、そして説明してきたが、この技術分野の当業者であれば、本明細書において提供される示唆に基づいて、更に別の変更及び変形を、本発明及び発明の広義の態様から逸脱しない限り加えることができ、従って、添付の請求項は、これらの請求項の技術範囲に、全てのこのような変更及び変形を、本発明の真の思想及び範囲に含まれるものとして包含するものである。

10

【 図 1 】



【 図 2 】



【図 3】

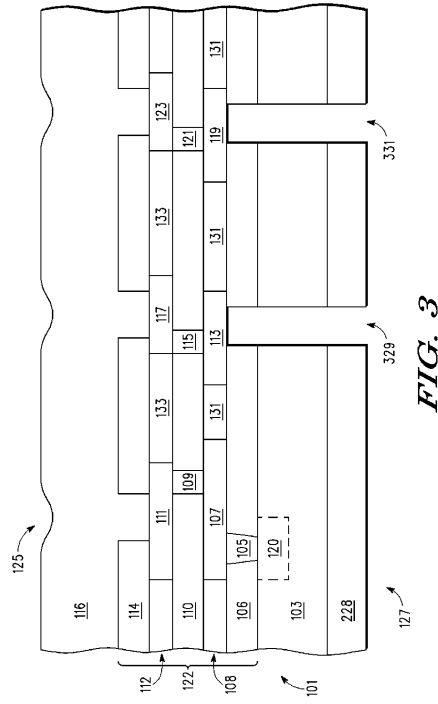


FIG. 3

【図 4】

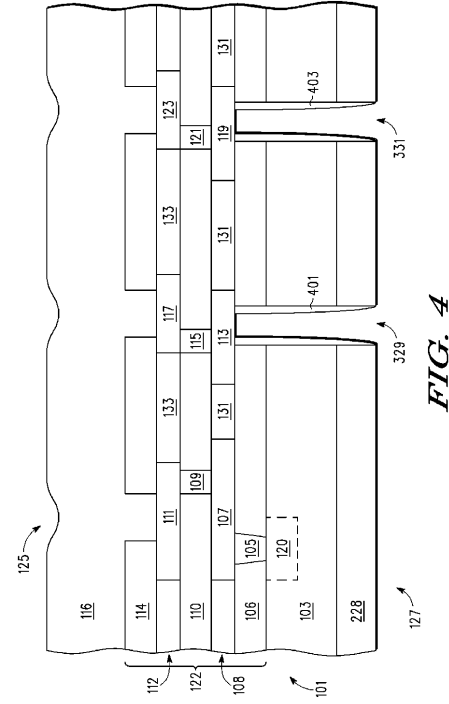
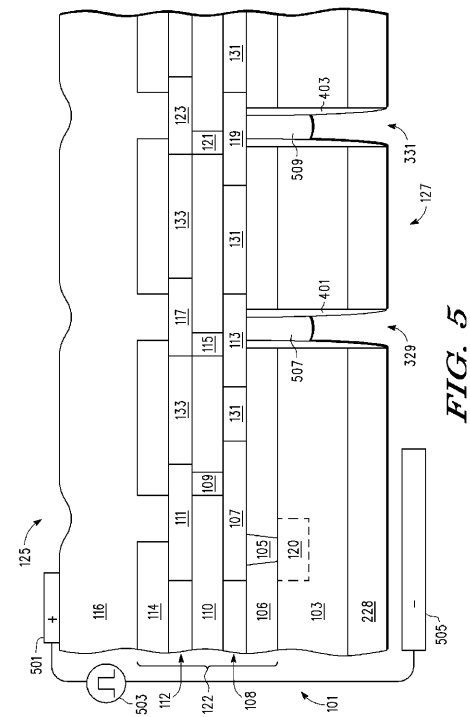
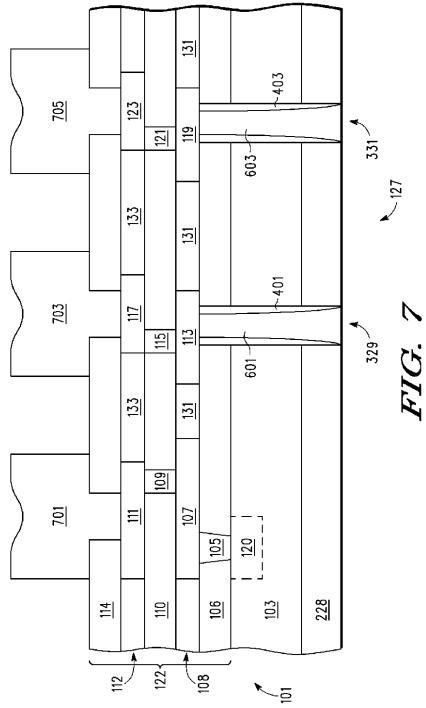


FIG. 4

【図 5】



【図 7】



フロントページの続き

(72)発明者 ジョーンズ、ロバート イー .
アメリカ合衆国 78750 テキサス州 オースティン ブルックウッド サークル 1190
9

審査官 大嶋 洋一

(56)参考文献 特開2007-049103(JP,A)
特開2006-210369(JP,A)
特開平11-135506(JP,A)
特開平08-279510(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/3205
C25D 7/12
H01L 21/768
H01L 23/522