

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年8月13日(2009.8.13)

【公開番号】特開2007-273980(P2007-273980A)

【公開日】平成19年10月18日(2007.10.18)

【年通号数】公開・登録公報2007-040

【出願番号】特願2007-76180(P2007-76180)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 3 K 19/0175 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/82 (2006.01)

【F I】

H 0 1 L 27/04 A

H 0 1 L 27/04 M

H 0 1 L 27/04 V

H 0 3 K 19/00 1 0 1 F

H 0 1 L 27/08 1 0 2 J

H 0 1 L 21/82 D

【手続補正書】

【提出日】平成21年6月25日(2009.6.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

差動対を構成する第 1、第 2 の信号線を介して第 1 の転送モードでデータを送信する回路であって、前記第 1 の信号線を駆動する第 1 の送信ドライバと、前記第 2 の信号線を駆動する第 2 の送信ドライバとを有する第 1 の転送モード用の第 1 の送信回路と、

差動対を構成する前記第 1、第 2 の信号線を介して前記第 1 の転送モードよりもデータ転送が高速な第 2 の転送モードでデータを送信する回路であって、前記第 1 の信号線を駆動する第 3 の送信ドライバと、前記第 2 の信号線を駆動する第 4 の送信ドライバとを有する第 2 の転送モード用の第 2 の送信回路と、

差動対を構成する第 1、第 2 の信号線を介して、前記第 2 の転送モードよりもデータ転送が高速な第 3 の転送モードでデータを送信する第 3 の転送モード用の第 3 の送信回路とを含み、

第 1 の転送モード用の前記第 1 の送信ドライバを構成する第 1 の P 型トランジスタと、第 2 の転送モード用の前記第 3 の送信ドライバを構成する第 3 の P 型トランジスタが、第 1 の P 型トランジスタ領域に形成され、

第 1 の転送モード用の前記第 1 の送信ドライバを構成する第 1 の N 型トランジスタと、第 2 の転送モード用の前記第 3 の送信ドライバを構成する第 3 の N 型トランジスタが、第 1 の N 型トランジスタ領域に形成され、

第 1 の転送モード用の前記第 2 の送信ドライバを構成する第 2 の P 型トランジスタと、第 2 の転送モード用の前記第 4 の送信ドライバを構成する第 4 の P 型トランジスタが、第

2のP型トランジスタ領域に形成され、

第1の転送モード用の前記第2の送信ドライバを構成する第2のN型トランジスタと、
第2の転送モード用の前記第4の送信ドライバを構成する第4のN型トランジスタが、第2のN型トランジスタ領域に形成され、

前記第3の送信回路は、

第1の電源と所与のノードとの間に設けられた定電流回路と、

前記ノードと前記第1の信号線との間に設けられた第1のスイッチ素子と、

前記ノードと前記第2の信号線との間に設けられた第2のスイッチ素子とを含むことを特徴とする集積回路装置。

【請求項2】

請求項1において、

前記第3の送信回路は、

前記定電流回路から流れる電流の値を可変に制御する電流制御回路を含み、前記電流制御回路により可変に制御される前記定電流回路からの電流により、前記第1のスイッチ素子を介して前記第1の信号線を駆動し、前記第2のスイッチ素子を介して前記第2の信号線を駆動することを特徴とする集積回路装置。

【請求項3】

請求項1又は2において、

前記第1のスイッチ素子を構成する第1のトランジスタのゲートに対して第1の送信制御信号を出力する第1のバッファ回路と、

前記第2のスイッチ素子を構成する第2のトランジスタのゲートに対して第2の送信制御信号を出力する第2のバッファ回路とを含み、

前記第1、第2の送信制御信号のうちいずれか一方の送信制御信号がアクティブに設定されるときには、他方の送信制御信号が非アクティブに設定され、

前記第1、第2のバッファ回路の各々は、

第1のインバータと、

前記第1のインバータの出力ノードにその入力ノードが接続される第2のインバータと

、
前記第1のインバータの出力ノードに接続される容量調整回路を含むことを特徴とする集積回路装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記第1の送信ドライバを構成する前記第1のP型トランジスタは、前記第1の送信ドライバの出力ノードである第1の出力ノードと前記第1の電源との間に設けられると共にそのゲートに第1のP側送信制御信号が入力され、

前記第1の送信ドライバを構成する前記第1のN型トランジスタは、前記第1の出力ノードと第2の電源との間に設けられると共にそのゲートに第1のN側送信制御信号が入力され、

前記第2の送信ドライバを構成する前記第2のP型トランジスタは、前記第2の送信ドライバの出力ノードである第2の出力ノードと前記第1の電源との間に設けられると共にそのゲートに第2のP側送信制御信号が入力され、

前記第2の送信ドライバを構成する前記第2のN型トランジスタは、前記第2の出力ノードと前記第2の電源との間に設けられると共にそのゲートに第2のN側送信制御信号が入力され、

前記第3の送信ドライバを構成する前記第3のP型トランジスタは、前記第3の送信ドライバの出力ノードである第3の出力ノードと前記第1の電源との間に設けられると共にそのゲートに第3のP側送信制御信号が入力され、

前記第3の送信ドライバを構成する前記第3のN型トランジスタは、前記第3の出力ノードと前記第2の電源との間に設けられると共にそのゲートに第3のN側送信制御信号が入力され、

前記第 4 の送信ドライバを構成する前記第 4 の P 型トランジスタは、前記第 4 の送信ドライバの出力ノードである第 4 の出力ノードと前記第 1 の電源との間に設けられると共にそのゲートに第 4 の P 側送信制御信号が入力され、

前記第 4 の送信ドライバを構成する前記第 4 の N 型トランジスタは、前記第 4 の出力ノードと前記第 2 の電源との間に設けられると共にそのゲートに第 4 の N 側送信制御信号が入力されることを特徴とする集積回路装置。

【請求項 5】

請求項 4 において、

前記第 1 の P 側、N 側送信制御信号と前記第 2 の P 側、N 側送信制御信号を生成して出力する第 1 の転送モード用の第 1 の送信制御回路と、

前記第 3 の P 側、N 側送信制御信号と前記第 4 の P 側、N 側送信制御信号を生成して出力する第 2 の転送モード用の第 2 の送信制御回路を含むことを特徴とする集積回路装置。

【請求項 6】

請求項 5 において、

前記第 1 の送信制御回路は、

前記第 2 の送信制御回路が出力する前記第 3 の P 側、N 側送信制御信号と前記第 4 の P 側、N 側送信制御信号よりも立ち上がり時間又は立ち下がり時間が長い前記第 1 の P 側、N 側送信制御信号と前記第 2 の P 側、N 側送信制御信号を生成して出力することを特徴とする集積回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 の P 型トランジスタ領域と前記第 1 の N 型トランジスタ領域が隣接して形成され、

前記第 2 の P 型トランジスタ領域と前記第 2 の N 型トランジスタ領域が隣接して形成されることを特徴とする集積回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記第 1、第 3 の送信ドライバの出力ノードが接続される第 1 のノードと、前記第 1 の信号線との間に設けられる第 1 のダンピング抵抗と、

前記第 2、第 4 の送信ドライバの出力ノードが接続される第 2 のノードと、前記第 2 の信号線との間に設けられる第 2 のダンピング抵抗を含み、

前記第 1 のダンピング抵抗が、前記第 1 の N 型トランジスタ領域に隣接する第 1 の抵抗領域に形成され、

前記第 2 のダンピング抵抗が、前記第 2 の N 型トランジスタ領域に隣接する第 2 の抵抗領域に形成されることを特徴とする集積回路装置。

【請求項 9】

請求項 8 において、

前記第 1、第 2 のダンピング抵抗は N 型拡散層で形成されることを特徴とする集積回路装置。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第 1、第 3 の送信ドライバの出力ノードが接続される第 1 のノードと、第 2 の電源との間に設けられる第 1 の終端抵抗回路と、

前記第 2、第 4 の送信ドライバの出力ノードが接続される第 2 のノードと、前記第 2 の電源との間に設けられる第 2 の終端抵抗回路とを含み、

前記第 1 の終端抵抗回路を構成する N 型トランジスタが、前記第 1 の N 型トランジスタ領域に形成され、

前記第 2 の終端抵抗回路を構成する N 型トランジスタが、前記第 2 の N 型トランジスタ領域に形成されることを特徴とする集積回路装置。

【請求項 11】

請求項 10 において、

前記第 1、第 2 の終端抵抗回路の終端抵抗値を可変に制御する終端抵抗制御回路を含むことを特徴とする集積回路装置。

【請求項 12】

請求項 1 乃至 11 のいずれかにおいて、

前記第 1 の P 型トランジスタ及び前記第 3 の P 型トランジスタは前記第 1 の P 型トランジスタ領域において並んで配置され、

前記第 1 の N 型トランジスタ及び前記第 3 の N 型トランジスタは前記第 1 の N 型トランジスタ領域において並んで配置され、

前記第 2 の P 型トランジスタ及び前記第 4 の P 型トランジスタは前記第 2 の P 型トランジスタ領域において並んで配置され、

前記第 2 の N 型トランジスタ及び前記第 4 の N 型トランジスタは前記第 2 の N 型トランジスタ領域において並んで配置されることを特徴とする集積回路装置。

【請求項 13】

請求項 1 乃至 12 のいずれかに記載の集積回路装置と、

前記集積回路装置を制御する処理部と、

を含むことを特徴とする電子機器。