

公告本

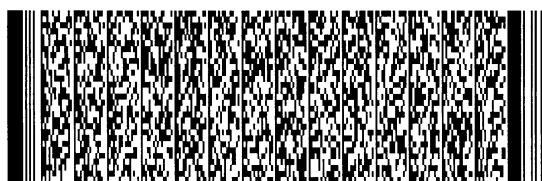
申請日期：	90.4.21	案號：	90107920
類別：	H01L 29/18, 27/04		

(以上各欄由本局填註)

發明專利說明書

507378

一、 發明名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME
二、 發明人	姓 名 (中文)	1. 益岡 完明
	姓 名 (英文)	1. Sadaaki MASUOKA
	國 籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內(c/o NEC Corporation 7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
三、 申請人	姓 名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓 名 (名稱) (英文)	1. NEC Corporation
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號(7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
	代表人 姓 名 (中文)	1. 西垣 浩司 (Koji NISHIGAKI)
	代表人 姓 名 (英文)	1. NEC Corporation



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/04/03	特願2000-101541	有

有關微生物已寄存於	寄存日期	寄存號碼
無		



五、發明說明 (1)

發明之領域

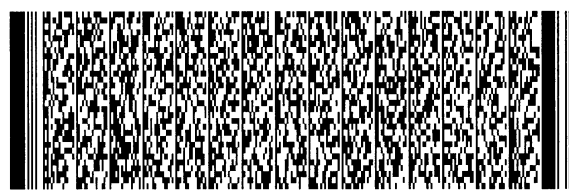
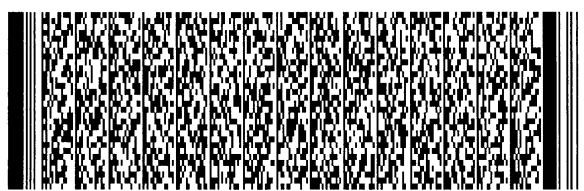
本發明與半導體裝置及其製造方法有關，此裝置最好使用在輸入與輸出電路及保護電路等半導體裝置。

相關技術之描述

在持續努力下，半導體裝置如金屬絕緣半導體場效電晶體（以下稱為MOS電晶體）已愈做愈小且積集度也愈來愈高。有關尺寸的縮小，MOS電晶體已到0.10mm，而且也針對尺寸為0.10mm之邏輯半導體裝置的發展做了相關方面的調查，其中尺寸0.10mm已成為設計的參考值。

此半導體裝置必須防止瞬間從外部供應多餘輸入電壓所產生類似脈衝之高電壓或諸如此類，例如，靜電電荷，而導致半導體裝置的崩潰（靜電放電：ESD）。因而在連接外部和內部電路之輸入和輸出電路間設置保護電路。保護電路與輸入及輸出電路組成半導體裝置輸出電路的一部分。

有關保護半導體積體電路避免產生靜電放電崩潰現象的技術，目前已有人提出並使用許多各種不同的方法。圖1為電路圖，顯示習用保護電路與輸入及輸出電路之典型範例（以下稱為習用範例）。如圖1所示，最簡單的保護電路是由連接電源Vdd與地GND間的負載電晶體101及驅動電晶體102與CMOS（CMOS反相器）所組成。在習用範例中，負載電晶體101是由P通道MOS電晶體（以下稱為pMOS）所組成，而驅動電晶體102是由n通道MOS電晶體（以下



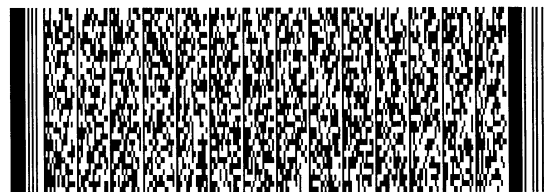
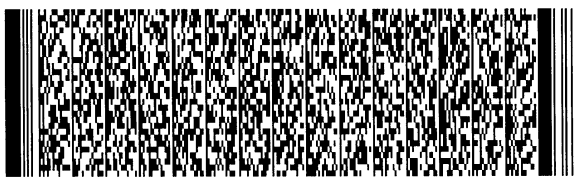
五、發明說明 (2)

稱為nMOS) 所組成。

隨後，在pMOS 101與nMOS 102之汲極連接點Vin輸入電壓Vin。為了使輸入電壓Vin能夠輸入緩衝電路200之閘極，保護電路100連接緩衝電路（輸入電路200）。緩衝電路200也是一種由pMOS 201與nMOS 202所組成的CMOS反相器，因此輸出便傳送至內部電路。此外，雖然在圖中未顯示，輸出電路與保護電路是由CMOS（CMOS反相器）基本電路所組成。組成外部電路之CMOS的尺寸與內部電路之電晶體尺寸比較是非常大的。

接著，將說明習用範例中組成輸入及輸出電路與保護電路（為了方便起見，以下稱為保護電路部分）之習用半導體裝置（CMOS反相器）及其製造方法如同製造與保護電路部分同一時間形成之內部電路部分之半導體裝置（CMOS）。圖2為內部電路部分之CMOS剖面圖。圖3A至3D所示為製造習用保護電路部分之CMOS各個步驟的剖面圖。圖4A至4D所示為製造習用內部電路部分之CMOS各個步驟的剖面圖。在此，圖3A至3D所示的製造步驟與圖4A至4D所示的步驟是一樣的。

如圖2所示，為了使nMOS與pMOS裝置主動區分離，在矽基板103表面形成裝置隔離膜104a與104b。在此nMOS裝置與pMOS裝置主動區，P型前擴散層（lead diffusion layer）114與N型前擴散層（lead diffusion layer）117分別在裝置隔離絕緣膜104a與104b間形成。此後將包括nMOS裝置主動區與P型前擴散層（lead diffusion layer

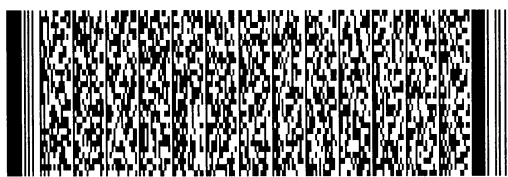


五、發明說明 (3)

) 之區域稱為nMOS區並將包括pMOS裝置主動區與N型前擴散層 (lead diffusion layer) 117之區域稱為pMOS區。在nMOS區矽基板103的表面形成P型井105a。在P型井層105a內整個nMOS裝置主動區形成通道擴散層-P型通道摻雜層106a。在形成P型前擴散層 (lead diffusion layer) 114之P型井層105a內形成P型摻雜層106b。以類似的方法，在pMOS區矽基板103的表面形成N型井層107。在N型井層107內整個pMOS裝置主動區形成通道擴散層-N型通道摻雜層108a。在形成N型前擴散層 (lead diffusion layer) 117之N型井層107a內形成N型摻雜層108b。

隨後，在P型通道摻雜層106a及N型通道摻雜層108a預定的位置上，形成閘極絕緣膜109與閘極電極110。在這些側壁上，形成間隔物 (側壁) 111。此外，在位於閘極絕緣膜109與閘極電極110兩側之P型井層105的表面形成N型源極擴散層112與N型擴散層113以組成nMOS。然後，與N型源極擴散層112將裝置隔離絕緣膜104b夾在中間之P型前擴散層 (lead diffusion layer) 114經由P型摻雜層106a連接P型井層105a。

以類似的方法，在N型通道摻雜層108a預定的位置上，形成閘極絕緣膜109與閘極電極110。在側壁上，形成間隔物111。此外，在位於閘極絕緣膜109與閘極電極110兩側之N型井層107的表面形成P型源極擴散層115與P型汲極擴散層116以組成pMOS。然後，與P型源極擴散層115將裝置隔離絕緣膜104b夾在中間之N型前擴散層 (lead



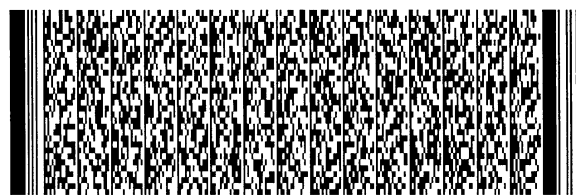
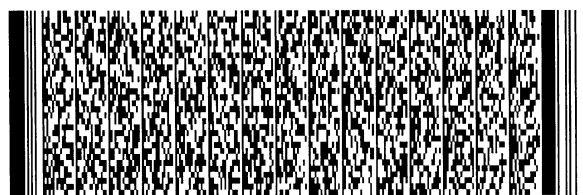
五、發明說明 (4)

diffusion layer) 117 經由N型摻雜層108b連接N型井層107。

如圖3所示，在習用CMOS，nMOS閘極電極110、N型源極擴散層112及P型前擴散層(lead diffusion layer) 114連接到GND並設定為接地電位。此外，pMOS閘極電極110、P型源極擴散層115及N型前擴散層(lead diffusion layer) 117連接到Vdd並設定為電源電位。然後，nMOS之N型汲極擴散層113與pMOS之P型汲極擴散層116相互連接成為提供電壓 V_{in} 或 V_{out} 之輸入或輸出訊號線。

接下來，將說明習用CMOS的製造方法，它是組成保護電路與內部電路部分之CMOS。附帶一提，在圖3與圖4中，與圖2相同的組成元件是以相同的參考數字表示。

如圖3A與4A所示，在具有P型導電型及具有雜質濃度約為 $1 \times 10^{16} \text{ atoms/cm}^3$ 之半導體基板103表面預定的區域上，以內嵌裝置隔離法形成裝置隔離絕緣膜104a與104b。然後，形成光阻阻擋層118，覆蓋pMOS區且裸露nMOS區，光阻阻擋層充當連續兩次硼離子植入之阻擋層。第一次硼離子植入之能量為150KeV。而第二次硼離子植入之能量為30KeV。經過兩次離子植入的過程及之後的熱處理製程，在保護電路部分形成P型井層105a與P型通道摻雜層106a及P型通道摻雜層106b。同時，形成圖4A所示之內部電路部分P型井層105b、P型通道摻雜層106c及P型通道摻雜層106d。在此，P型井層105a與105b之雜質濃度約為 $1 \times 10^{17} \text{ atoms/cm}^3$ ，P型通道摻雜層106與106b之雜質濃度約



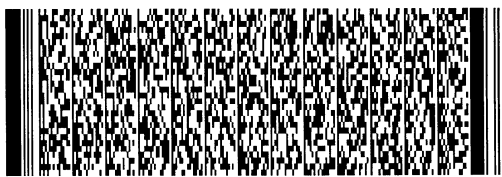
五、發明說明 (5)

為 $5 \times 10^{17} \text{ atoms/cm}^3$ 。

接著，如圖3B與4B所示，形成光阻阻擋層120，覆蓋nMOS區且裸露pMOS區，光阻阻擋層充當隨後連續磷及砷121離子植入之阻擋層。之後，第一次砷離子植入之能量為300KeV。而第二次砷離子植入之能量為100KeV。以此方法，在圖3B所示之保護電路部分形成N型井層107、N型通道摻雜層108a及N型通道摻雜層108b。同時，形成圖4B所示之內部電路部分N型井層107b、N型通道摻雜層108c及N型通道摻雜層108d。N型井層107與107a之雜質濃度約為 $1 \times 10^{17} \text{ atoms/cm}^3$ ，N型通道摻雜層108與108a之雜質濃度約為 $5 \times 10^{17} \text{ atoms/cm}^3$ 。

接下來，如圖3C與4C所示，形成光阻阻擋層122，覆蓋整個保護電路部分之表面與內部電路之pMOS區且裸露nMOS區。之後，使用光阻阻擋層122充當阻擋層將砷124再一次離子植入至內部電路部分。離子植入之能量為30KeV，摻雜濃度為 $7 \times 10^{12} \text{ atoms/cm}^3$ 。以此方法，形成P型通道摻雜層106c與P型通道摻雜層106d。P型通道摻雜層106b之雜質約為 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

此外，如圖3D與4D所示，形成光阻阻擋層124，覆蓋整個保護電路部分之表面與內部電路部分之nMOS區且裸露pMOS區。之後，使用光阻阻擋層124充當阻擋層將砷125再一次離子植入至內部電路。離子植入之能量為100KeV，摻雜濃度為 $5 \times 10^{12} \text{ atoms/cm}^3$ 。以此方法，形成內部電路部分之N型通道摻雜層108c與N型通道摻雜層108d。在此，N型



五、發明說明 (6)

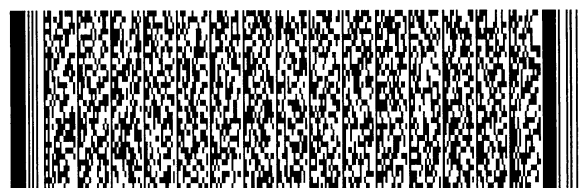
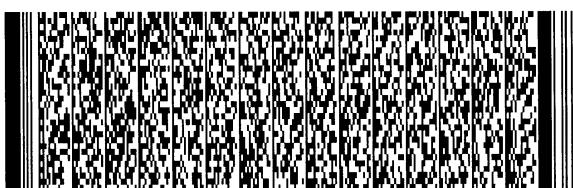
通道摻雜層108c之雜質濃度約為 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

之後，如圖2所示，藉由已知方法，將閘極絕緣膜109與閘極電極110形成於預定區域上。間隔物111形成於閘極絕緣膜109與閘極電極110的側壁。此外，形成nMOS之N型源極擴散層112、N型汲極擴散層113及P型前擴散層（lead diffusion layer）114。形成pMOS之P型源極擴散層115、P型汲極擴散層116及N型前擴散層（lead diffusion layer）117。附帶一提，在內部電路部分內部之CMOS，閘極絕緣膜的厚度會變薄，約為保護電路部分閘極絕緣膜厚度的1/3。然而，組成內部電路部分之MOS電晶體的閘極長度約為保護電路部分的1/3。

具有設計尺寸0.1mm的CMOS，內部電路部分閘極絕緣膜的厚度就二氧化矽膜而論為2nm，而閘極長度約為0.1mm。於是，保護電路部分閘極絕緣膜的厚度就二氧化矽膜而論為6nm，而閘極長度約為0.3mm。

在此，P型井層105a與105b、N型井層107a與107b之深度約為0.5mm。P型通道摻雜層106a與N型通道摻雜層108a之深度約為0.15mm。於是，源極與汲極擴散層及前擴散層的深度約為0.1mm。

如上所述，近幾年來，半導體裝置已變成高積集度而且在速度上也有所提升。結果，每個半導體元件例如組成半導體裝置之單一MOS電晶體愈變愈小且積集度也愈來愈高。當以此方法將半導體裝置做小時，通常會因ESD導致半導體裝置經常失效。此外，必須降低半導體裝置損耗的



五、發明說明 (7)

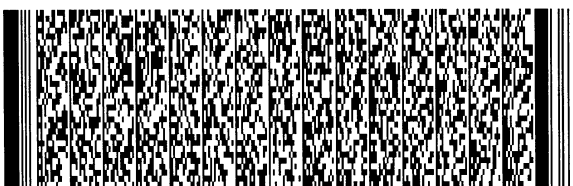
能量，而在操作時間所產生的電壓降也變得更重要。然而，當以此方法降低電壓，在靜電電荷量為少量及多餘輸入電壓為少量的情況下，組成內部電路之半導體裝置與先前技術比較更有可能受到破壞。

在此技術趨勢下，保護半導體裝置避免受到ESD或其它諸如此類之技術發展和之前比較已顯得愈來愈急迫。

此外，隨著半導體裝置不斷地縮小，降低深度較源極與汲極擴散層深之半導體基板區之電阻值變得更有效率，可抑制組成內部電路部分CMOS的鎖存，為了減少內部電路源極與汲極擴散層的寄生電容，將源極與汲極擴散層區的雜質濃度保持不變。降低半導體基板電阻值的方法，例如，使用P/P⁺基板。然而，詳細的內容之後再作說明。當以P/P⁺基板取代P/P基板，將會發生一個問題，亦即保護電路部分之MOS電晶體會停止運作，造成急返(snap back)，使得保護電路停止運作。

此外，在先前的技術，MOS電晶體之高濃度P(N)型通道摻雜層與源極與汲極擴散層在整個表面重疊。結果，使得輸入及輸出電路與通道摻雜層(通道擴散層)間的接面電容增加。此導致一個問題，特別是輸入及輸出電路或保護電路，其能量損耗的增加及操作速度的降低會變得更明顯。

發明之概述



五、發明說明 (8)

本發明的目的是提供一種半導體裝置及其製造方法，此裝置以一個簡單方法保護半導體裝置避免發生靜電放電崩潰現象，並改善輸入及輸出電路或保護電路部分之操作速度及降低能量損耗。

根據本發明第一實施態樣，一種半導體裝置包括：

一種半導體基板；

一種閘極絕緣膜及一種閘極電極，前者形成於半導體基板預定部分，後者形成於閘極絕緣膜上；

源極及汲極擴散層，在半導體基板表面形成，部分區域包圍閘極電極下方之通道區；及

一層通道擴散層，具有與源極及汲極擴散層相反的導電型式且其雜質濃度較半導體基板高，通道擴散層選擇性地在通道區底部形成以連接源極及汲極擴散層。

根據本發明第二實施態樣，一種半導體裝置包括：

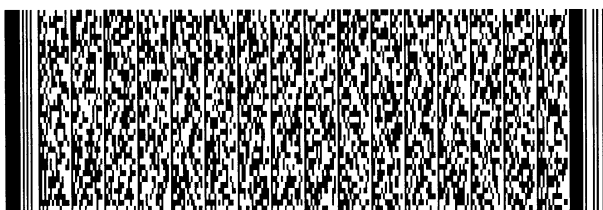
一種半導體基板；

一層磊晶層，具有與半導體基板相同的導電型式且其雜質濃度較半導體基板低，此層形成於半導體基板上；

一種閘極絕緣膜及一種閘極電極，前者形成於磊晶層預定部分，後者形成於閘極絕緣膜上；

源極及汲極擴散層，在磊晶層表面形成，部分區域包圍閘極電極下方之通道區；及

一層通道擴散層，具有與源極及汲極擴散層相反的導電型式且其雜質濃度較磊晶層高，通道擴散層選擇性地在通道區底部形成以連接源極及汲極擴散層。



五、發明說明 (9)

根據本發明第三實施態樣，一種半導體裝置包括：

一種半導體基板；

一井層，具有與半導體基板相反的導電型式，此層在半導體基板的表面形成；

一種閘極絕緣膜及一種閘極電極，前者形成於井層預定部分，後者形成於閘極絕緣膜上；

源極及汲極擴散層，在井層表面形成，部分區域包圍閘極電極下方之通道區；及

一層通道擴散層，具有與源極及汲極擴散層相反的導電型式且其雜質濃度較井層高，通道擴散層選擇性地在通道區底部形成以連接源極及汲極擴散層。

附帶一提，根據本發明第二實施態樣，井層可在半導體裝置的磊晶層表面形成。

根據本發明第四實施態樣，一種半導體裝置包括：

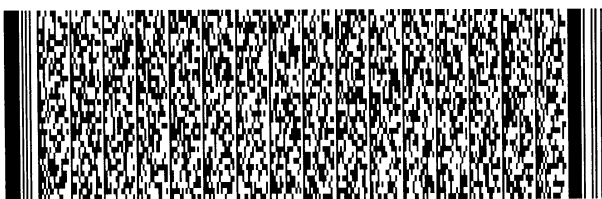
一種第一種導電型式的半導體基板；

一層第二種導電型式的井層，選擇性地半導體基板的表面形成；

一種第一閘極絕緣膜及一種第一閘極電極，前者形成於半導體基板預定部分，後者形成於第一閘極絕緣膜上；

一種第二閘極絕緣膜及一種第二閘極電極，前者形成於井層預定部分，後者形成於第二閘極絕緣膜上；

第一種導電型式之第一源極及汲極擴散層，在半導體基板表面形成，部分區域包圍第一閘極電極下方之通道區；



五、發明說明 (10)

第二種導電型式之第二源極及汲極擴散層，在井層表面形成，部分區域包圍第二閘極電極下方之通道區；

一層第二種導電型式之第一通道擴散層，其雜質濃度較半導體基板高，第一通道擴散層選擇性地在通道區底部形成以連接第一源極及汲極擴散層；及

一層第一種導電型式之第二通道擴散層，其雜質濃度較井層高，第二通道擴散層在第二源極與汲極擴散層間的整個區域形成以連接通道區底部第二源極與汲極擴散層。

根據本發明第五實施態樣，一種半導體裝置包括：

一種第一種導電型式的半導體基板；

一層第二種導電型式的井層，選擇性地半導體基板的表面形成；

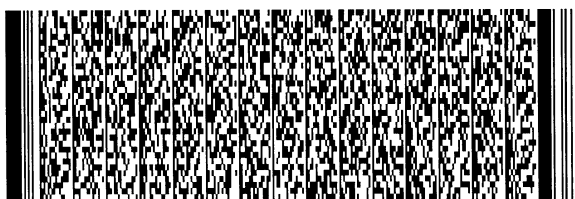
一種第一閘極絕緣膜及一種第一閘極電極，前者形成於半導體基板預定部分，後者形成於第一閘極絕緣膜上；

一種第二閘極絕緣膜及一種第二閘極電極，前者形成於井層預定部分，後者形成於第二閘極絕緣膜上；

第一種導電型式之第一源極及汲極擴散層，在半導體基板表面形成，部分區域包圍第一閘極電極下方之通道區；

第二種導電型式之第二源極及汲極擴散層，在井層表面形成，部分區域包圍第二閘極電極下方之通道區；

一層第二種導電型式之第一通道擴散層，其雜質濃度較半導體基板高，第一通道擴散層選擇性地在通道區底部形成以連接第一源極及汲極擴散層；及



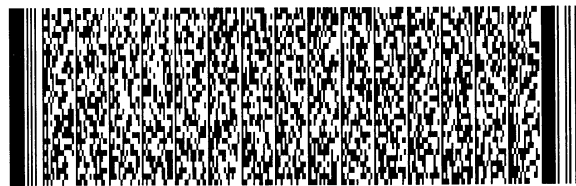
五、發明說明 (11)

一層第一種導電型式之第二通道擴散層，其雜質濃度較井層高，第二通道擴散層選擇性地在通道區底部形成以連接第二源極及汲極擴散層。

根據本發明第五實施態樣之第一點，半導體裝置之通道擴散層選擇性地在源極與汲極擴散層之間形成。結果，即使當矽基板之雜質濃度變高時，由於半導體裝置更高的積集度與更快的速度，MOS電晶體本身會有急返 (snap back) 效應而介於汲極擴散層與基板之間的接面電容也會大量地減少，且大量的輸入及輸出電路或保護電路部分之能量損耗也會減少，因此操作速度便可以改善。

此外，根據第四及第五半導體裝置，當半導體積體電路使用於輸入及輸出電路或保護電路部分時，可改善ESD容忍電壓，即使是積集度更高與速度更快的半導體裝置。此外，由於靜電放電保護裝置可容易地在低電壓下操作，因此可輕易地降低半導體裝置的電壓。附帶一提，第四及第五半導體裝置使用在保護電路之CMOS反相器，例如，第一種導電型式為P型，第二種導電型式為N型，而第一種MOS電晶體與第二種MOS電晶體分別為nMOS與pMOS。之後，經由nMOS與pMOS之源極擴散層與裝置隔離絕緣膜提供P型前擴散層 (lead diffusion layer) 與N型前擴散層 (lead diffusion layer)。然後，連接nMOS與pMOS之汲極擴散層至輸入及輸出端，因此閘極電極、源極擴散層及前擴散層 (lead diffusion layer) 皆連接至地。

根據本發明第一實施態樣，半導體裝置之製造方法包



五、發明說明 (12)

括下列步驟：

在通道區底部形成一層通道擴散層，其雜質濃度較半導體基板高，通道擴散層藉由選擇性地將第一種導電型式的雜質離子植入在第一種導電型式之半導體基板上的源極擴散層區與汲極擴散層區之間的區域而形成；

隨後在半導體基板通道擴散層上方形成閘極絕緣膜與閘極電極；及

將第二種導電型式的雜質離子植入至半導體基板表面包圍閘極電極的區域以形成源極擴散層與汲極擴散層。

根據本發明第二實施態樣，半導體裝置之製造方法包括下列步驟：

將第二種導電型式之雜質離子植入至第一種導電型式之半導體基板表面以形成一井層；

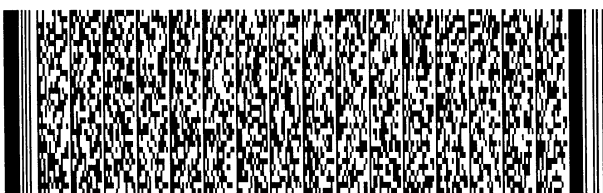
在通道區底部形成一層通道擴散層，其雜質濃度較井層高，通道擴散層藉由選擇性地將第二種導電型式的雜質離子植入在井層的源極擴散層區與汲極擴散層區之間的區域而形成；

隨後在井層通道擴散層上方形成閘極絕緣膜而在閘極絕緣膜上形成閘極電極；及

將第一種導電型式的雜質離子植入至井層表面包圍閘極電極的區域以形成源極擴散層與汲極擴散層。

根據本發明第三實施態樣，半導體裝置之製造方法包括下列步驟：

形成井層與通道擴散層，在整個井層底部之通道擴散



五、發明說明 (13)

層的雜質濃度較井層高，通道擴散層藉由選擇性地將第二種導電型式的雜質多次離子植入在第一種導電型式之半導體基板上的第一種MOS電晶體形成區而形成第一種MOS電晶體之通道；

隨後，分別在第一種MOS電晶體通道區的井層、第二種MOS電晶體通道區的井層及在半導體基板上形成第一種MOS電晶體之閘極絕緣膜、第二種MOS電晶體之閘極絕緣膜及閘極絕緣膜上的閘極電極；

將第一種導電型式的雜質離子植入至井層表面包圍第一種MOS電晶體閘極電極的區域以形成第一種MOS電晶體之源極擴散層與汲極擴散層；及

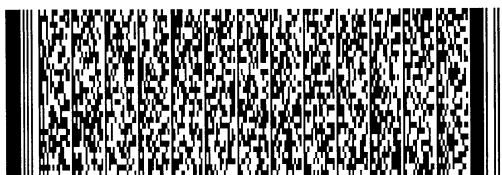
將第二種導電型式的雜質離子植入至半導體基板表面包圍第二種MOS電晶體閘極電極的區域以形成第二種MOS電晶體之源極擴散層與汲極擴散層。

【較佳實施例之詳細說明】

在下文中將參考附圖詳細說明本發明之實施例。

圖5及圖6所示為根據本發明第一實施例半導體裝置之剖面圖。圖5所示為組成保護電路部分之CMOS反相器。圖6所示為組成內部電路部分之CMOS。

如圖5所示，在保護電路部分之CMOS反相器中，厚度3mm之矽磊晶層2形成於濃度 10^{18} 至 10^{19} atoms/cm³之高濃度P導電型矽基底1上。此矽磊晶層2之導電型式為P型，且其



五、發明說明 (14)

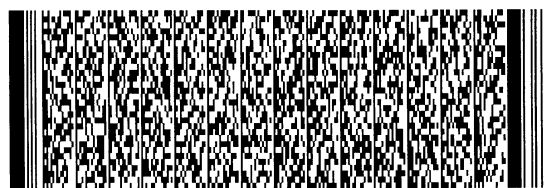
雜質濃度為 1×10^{15} atoms/cm³，較矽基板1低。之後，在矽磊晶層2表面形成裝置隔離絕緣膜3a與3b。nMOS裝置主動區及pMOS裝置主動區是分開的。分別在nMOS裝置主動區及pMOS裝置主動區裝置隔離絕緣膜3a與3b間形成P型前擴散層13a與N型前擴散層16a。然後，在P型前擴散層13a底部整個區域從與nMOS主動區內的nMOS電晶體隔開之裝置隔離絕緣膜3a附近至與pMOS主動區內的pMOS電晶體隔開之裝置隔離絕緣膜3b附近形成P井層4a。

隨後，本發明的特點P型局部摻雜層5a選擇性地在上述矽磊晶層2內nMOS通道區底部形成。P型局部摻雜層5a為nMOS通道擴散層。

此外，在包括pMOS裝置主動區與N型前擴散層之pMOS區的矽磊晶層2表面，形成N井層6a。而且，在N井層6a內，通道區底部N井層的整個區域形成N型通道摻雜層7a。

其它結構與上述先前技術之CMOS相同。在nMOS裝置主動區內，將閘極絕緣膜8a與閘極電極9形成於磊晶層2預定區域上。在閘極絕緣膜8a與閘極電極9之側壁上，形成間隔物10。此外，在位於閘極絕緣膜8a與閘極電極9兩側之磊晶層2的表面形成N型源極擴散層11a與N型汲極擴散層12a。P型通道摻雜層5a在其兩側連接N型源極擴散層11a與N型汲極擴散層12a。因此，便構成nMOS。再者，P型前擴散層13a經由P型局部摻雜層5b連接P井層4a。在下文中，包括nMOS裝置主動區與P型前擴散層的區域稱為nMOS區。

再者，在pMOS裝置主動區內，將閘極絕緣膜8b與閘極



五、發明說明 (15)

電極9形成於井層6a預定區域上。在閘極絕緣膜8a與閘極電極9之側壁上，形成間隔物10。此外，在位於閘極絕緣膜8b與閘極電極9兩側之井層6a的表面形成P型源極擴散層14a與P型汲極擴散層15a。然後，在井層6a整個表面上形成之N型通道摻雜層7a連接P型源極擴散層14a底部與P型汲極擴散層15a底部。因此，便組成pMOS。再者，N型前擴散層16a經由N型摻雜層7b連接N井層6a。在下文中，包括pMOS裝置主動區與N型前擴散層的區域稱為nMOS區。

之後，如圖5所示，在CMOS反相器內，nMOS閘極電極9、N型源極擴散層11a及P型前擴散層13a連接GND。pMOS閘極電極9、P型源極擴散層14a及N型前擴散層16a連接Vdd。然後，nMOS N型汲極擴散層12a與pMOS P型汲極擴散層15a相互連接形成電壓 V_{in} 之輸入或電壓 V_{out} 之輸出訊號線。

如圖6所示，內部電路部分之CMOS結構與圖5所示之保護電路部分相同。然而，此CMOS實際尺寸遠小於圖5所示之保護電路部分。附帶一提，在圖6，為了便於與圖5比較，尺寸設成與圖5同一級。此外，如圖5以同樣的參考數字表示相同的組成元件，因此不再詳細說明。

與圖5的方式相同，如同圖6所示，在高濃度矽基板1上形成一層矽磊晶層2。在矽磊晶層2的表面形成裝置隔離絕緣膜3a與3b，因此便將nMOS與pMOS裝置主動區分離。

然後，同樣地在內部電路部分，與上述保護電路部分之方式相同，P井層4b在部分nMOS裝置主動區形成，而P型局部摻雜層5c選擇性在通道區底部形成。除此之外，在



五、發明說明 (16)

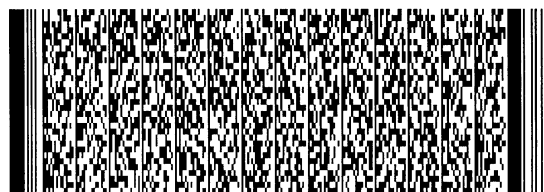
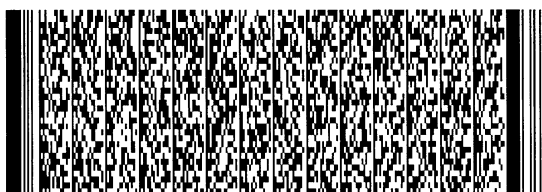
nMOS裝置主動區形成N井層6b，而N型通道摻雜區7c以類似帶狀之方式在N井層6b整個區域內形成。

在以此方式組成之矽基板1 nMOS區之預定區上，形成閘極絕緣膜8b與閘極電極9，在閘極絕緣膜8b與閘極電極9之側壁上，形成間隔物10。在位於閘極絕緣膜8b與閘極電極9兩側之磊晶層2的表面形成N型源極擴散層11b與N型汲極擴散層12b。以此方式，便形成內部電路部分之nMOS電晶體。再者，P型前擴散層13b經由裝置隔離絕緣膜3b在N型源極擴散層11b上形成。P型前擴散層13b經由P型摻雜層5d連接P井層4b。

此外，同樣地在nMOS裝置區之預定區上，形成閘極絕緣膜8b、閘極電極9及間隔物10，在位於閘極絕緣膜8b與閘極電極9兩側之井層6b的表面形成P型源極擴散層14b與P型汲極擴散層15b。內部電路CMOS之pMOS電晶體便以此方式組成。另外，N型前擴散層16b經由裝置隔離絕緣膜3b在P型源極擴散層14b上形成。N型前擴散層16b經由N型摻雜層7d連接N井層6b。

圖7A至7E所示為保護電路部分CMOS反相器之製造方法剖面圖。圖8A至8E所示依序為第一實施例內部電路部分CMOS之製造方法剖面圖。附帶一提，圖7A至7E所示之製程與圖8A至8E所示之製程相同。除此之外，如同圖5與圖6，相同的組成元件以同樣的參考數字表示。

如圖7A與圖8A所示，厚度3mm之矽磊晶層2形成於雜質濃度為 1×10^{19} atoms/cm³之高濃度P導電型矽基底1上。此



五、發明說明 (17)

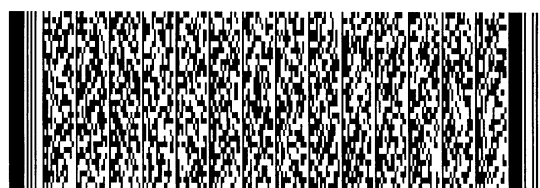
矽磊晶層2之雜質濃度為 1×10^{15} atoms/cm³。利用此方式形成P/P⁺矽基板。

接著，利用已知之溝渠裝置隔離技術在矽磊晶層2的表面形成裝置隔離絕緣膜3a與3b。然後，裸露保護電路與內部電路之部分nMOS裝置主動區，形成光阻阻擋層17，利用阻擋層17充當阻擋層離子植入硼18。在離子植入過程中，設定離子植入之能量為150KeV而離子植入劑量約為 2×10^{13} atoms/cm³。因此，P井層4a便在部分nMOS區內形成。藉由P井層4a，在裝置隔離絕緣膜3a、3b下方形成通道停止區。

接下來，如圖7B與圖8B所示，光阻阻擋層19覆蓋保護電路部分整個表面與內部電路部分之nMOS區，裸露內部電路部分之pMOS區。然後，如圖8B所示，利用光阻阻擋層19充當阻擋層離子植入磷或砷20。一開始，第一次離子植入，先離子植入磷。舉例說明，離子植入磷的能量為300KeV而離子植入劑量為 1×10^{13} atoms/cm³。緊接著，第二次離子植入，接連著離子植入砷。舉例說明，離子植入砷的能量為100KeV而離子植入劑量為 7×10^{12} atoms/cm³。再來便是做熱處理。以此方式在內部電路部分N井層6b內形成N型通道摻雜層7c與N型通道摻雜層7d。

在此實施例中，N井層6b之雜質濃度約為 1×10^{17} atoms/cm³而N型通道摻雜層7c與N型通道摻雜層7d之雜質濃度約為 1×10^{18} atoms/cm³。

以類似的方式，如圖7C與圖8C所示，光阻阻擋層21覆

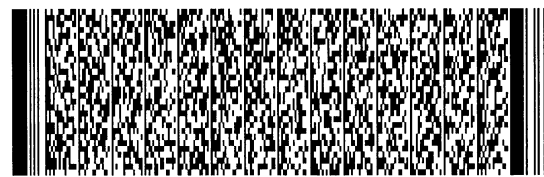
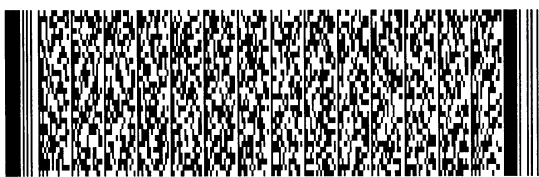


五、發明說明 (18)

蓋內部電路部分整個表面與保護電路部分之nMOS區，裸露保護電路部分之pMOS區。在內部電路部分以類似的方式，將磷與砷22連續離子植入至內部電路部分與保護電路部分。結果，如圖7C所示，在保護電路部分內便形成N井層6a、N型通道摻雜層7a及N型通道摻雜層7b。在此實施例中，N井層6a之雜質濃度約為 1×10^{17} atoms/cm³而N型通道摻雜層7a與N型通道摻雜層7b之雜質濃度約為 5×10^{17} atoms/cm³。

接著，如圖7D與圖8D所示，形成光阻阻擋層23覆蓋保護電路部分整個表面，裸露內部電路部分之通道區與前擴散區。然後，利用光阻阻擋層23充當阻擋層離子植入硼24。舉例說明，離子植入能量約為30KeV而離子植入劑量約為 1×10^{13} atoms/cm³。之後，如圖8D所示，經由熱處理，P型局部摻雜層5c，亦即通道摻雜層，選擇性地在矽磊晶層2內nMOS通道區底部區域形成。此外，在此同時，將硼離子植入至前擴散層形成區之P井層4b表面，於是在P井層4b內形成P型通道摻雜層5d。附帶一提，如圖7D所示，並未將硼離子植入至保護電路部分。

接著，如圖7E與圖8E所示，形成光阻阻擋層25覆蓋內部電路部分整個表面，裸露保護電路部分之通道區與前擴散層形成區。利用光阻阻擋層25充當阻擋層離子植入硼26。舉例說明，離子植入能量約為30KeV而離子植入劑量約為 6×10^{12} atoms/cm³。之後，經由熱處理，P型局部摻雜層5d選擇性地在保護電路部分之矽磊晶層2內nMOS區底部



五、發明說明 (19)

區域形成通道擴散層。此外，在此同時，將硼離子植入至前擴散層形成區之P井層4a表面，於是在P井層4a內形成P型摻雜層5b。

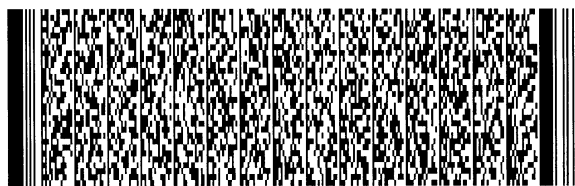
之後，如習用已知方法，如圖5與圖6所示，形成閘極絕緣膜8a與8b、閘極電極9及間隔物10。此外，藉由提供nMOS之源極擴散層、汲極擴散層及前擴散層與pMOS之源極擴散層、汲極擴散層及前擴散層以形成CMOS。

在此，舉例說明，內部電路部分閘極絕緣膜8b就二氧化矽膜而論，其厚度約為2nm，而其閘極長度約為0.1mm。另一方面，舉例說明，保護電路部分閘極絕緣膜8a就二氧化矽膜而論，其厚度約為6nm，而其閘極長度為0.3mm。

此外，舉例說明，P型摻雜層5a與5b之深度為0.15mm。再者，N井層6a與6b之深度約為0.5mm而N型通道摻雜層7a與7b之深度約為0.15mm。然後，nMOS與pMOS之源極擴散層、汲極擴散層及前擴散層之深度約為0.1mm。

接著將說明本發明之效果。圖9A所示為本實施例中CMOS之nMOS逆向容忍電壓特性，水平軸為nMOS源極與汲極間的電壓，垂直軸為nMOS源極與汲極間的電流。

隨後將說明量測容忍電壓特性之方法。圖9B與圖9C所示為根據第一實施例及先前技術之半導體裝置剖面圖，其中容忍電壓特性已量測。附帶一提，圖2與圖5之相同組成元件以同樣的參考數字表示。圖9B所示之裝置具有與本實施例保護電路部分相同之結構。亦即，矽磊晶層2形成於高濃度之矽基板1上。在矽磊晶層2通道區之底部形成P型



五、發明說明 (20)

局部摻雜層5a。之後，閘極電極9、N型源極擴散層11a及P型前擴散層13a相互連接至地GND因此電壓（輸入/輸出電壓）便輸入N型汲極擴散層12a。

再者，圖9C所示為利用P/P⁺基板抑制圖中所示先前技術之結構內部電路門鎖現象。亦即，以類似的方式如圖9B，矽磊晶層121形成於高濃度之矽基板120上。之後，P型井層105及P型通道摻雜層106a依序在磊晶層121之表面上形成。其餘結構與圖9B相同。

如圖9A所示，在圖9C之MOS電晶體中，以P/P⁺基板取代習用P/P基板，MOS電晶體之汲極電流與汲極電壓特性52只表示標準PN接面之累增崩潰，因此並未出現非急返特性。相對地，就本實施例而言，亦即，在本實施例中，如圖9B所示，MOS電晶體之汲極電流與汲極電壓特性51出現大的突然崩潰特性。

接著將說明在本實施例中產生之急返現象之機制。至於過剩之大浪湧電流輸入至N型汲極區12a，PN接面之逆向電流在N型汲極區12a與P型局部摻雜層5a（或矽磊晶層2）間流動。此電流穿越N型汲極區12a、P型局部摻雜層5a、矽磊晶層2及高濃度之矽基板1至P型前擴散層13a之側邊。此例中，矽磊晶層2具有低濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 及高電阻值。再者，選擇性地形成濃度約為 $5 \times 10^{17} \text{ cm}^{-3}$ 之通道擴散層（P型局部摻雜層5a）。結果，由於電流以集中的方式流經P型局部摻雜層5a與N型汲極擴散層12a接觸的部分，P型局部摻雜層5a之電位隨著電流自N型汲極區12a流向P型前擴散



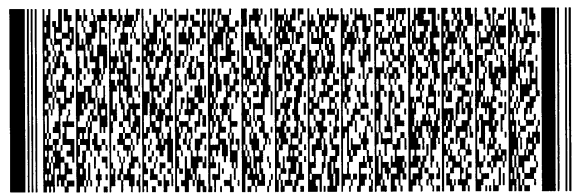
五、發明說明 (21)

層13a而變高。然後，當P型局部摻雜層5a之電位高到約0.6V，N型源極擴散層11a充當射極，P型局部摻雜層5a充當基極，而N型汲極擴散層12a充當集極，因此便產生雙極性操作且可觀察到急返之特性。

另一方面，如圖9C所示之MOS電晶體中，以P/P⁺基板取代習用P/P基板，PN接面之逆向電流經由N型汲極區113、P型通道摻雜層106a、P型井層105、矽磊晶層121及高濃度矽基板120流向P型前擴散層。此時，雜質濃度約為 $1 \times 10^{15} \text{ cm}^{-3}$ 之高電阻值矽磊晶層121是介於P井層105與高濃度矽基板120之間。此外，雜質濃度約為 $1 \times 10^{17} \text{ cm}^{-3}$ 之適中電阻值P井層105，其用途為電阻，介於P型通道摻雜層106a與高濃度矽基板120之間，導致整個電阻自N型汲極擴散層113至P型前擴散層114與第一實施例比較是相當低的。結果，基極之P型通道摻雜層106a之電位不易提升，由於在產生雙極性電晶體之前，N型汲極擴散層113與P型通道摻雜層106a間產生崩潰，亦即，並未產生急返操作因此破壞接面。

附帶一提，圖2所示之先前技術，其中並未使用P/P⁺基板，電流在具有中等電阻之P型井層105內水平方向流動。結果，只有在P型井層105的寬度產生電阻值因而產生急返操作。然而，如上所述，在微小的CMOS內卻產生內部電路之閉鎖現象導致具有如圖2所示之結構的電晶體無法讓人接受。

在本實施例之MOS電晶體中，MOS通道擴散層（P型局



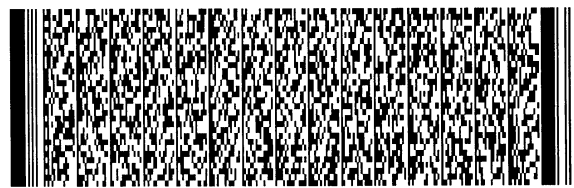
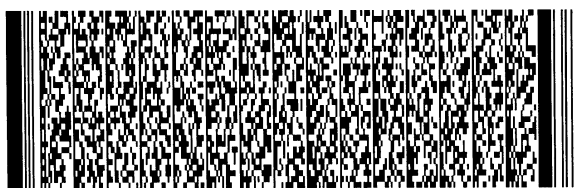
五、發明說明 (22)

部摻雜層)選擇性地在通道區底部形成且使用P/P⁺基板,藉由避免使用在nMOS主動區底部之P井層因此大大地提升保護功能。

接著,將說明本發明之第二實施例。在第二實施例中,保護電路部分之CMOS與第一實施例相同,但內部電路部分之CMOS則與第一實施例不同。第二實施例最好使用在提高半導體裝置之速度及製作更微小之組成內部電路部分之MOS電晶體的應用範圍內。附帶一提,圖10至圖12所示之第二實施例,相同的組成元件如圖5至圖9所示之第一實施例是以同樣的參考數字表示,因此不再詳細說明。

以相同的方式如同根據圖6所示第一實施例之半導體裝置(組成內部電路部分之CMOS),在本實施例內部電路之CMOS中,在高濃度矽基板1上形成一層矽磊晶層2並且在矽磊晶層2的表面形成裝置隔離絕緣膜3a與3b。結果,便將裝置主動區分離。

然後,在矽磊晶層2表面nMOS裝置主動區整個表面形成P井層4b。此外,P型通道摻雜層27a以類似帶狀之方式在P井層4b整個區域內形成。以相同的方式,在矽磊晶層2表面pMOS裝置主動區整個表面形成N井層6b,而N型通道摻雜層7c以類似帶狀之方式在N井層6b整個區域內形成。之後,以相同方式如同圖6形成閘極絕緣膜8b、閘極電極9、間隔物10、源極與汲極擴散層11b、14b、12b、15b及其它諸如此類,因此便組成CMOS。此方式,根據第二實施例,在組成半導體裝置內部電路之MOS電晶體與CMOS電晶體



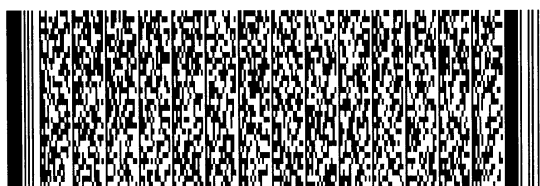
五、發明說明 (23)

中，在閘極電極及源極擴散層與汲極擴散層底部整個表面形成通道擴散層27a與7c。

接著將說明本實施例保護電路部分與內部電路部分CMOS之製造方法。圖11A至11D所示依序為根據本發明第二實施例保護電路部分CMOS之製造方法剖面圖。圖12A至12D所示依序為根據第二實施例內部電路部分CMOS之製造方法剖面圖。

如圖11A與圖12A所示，如同第一實施例以類似的方式，在高濃度矽基板1上形成一層厚度2mm矽磊晶層2。在此，矽磊晶層2之雜質濃度約為 31×10^{15} atoms/cm³。之後，在矽磊晶層2的表面形成裝置隔離絕緣膜3a與3b。此外，形成光阻阻擋層28，裸露保護電路部分部分nMOS區與內部電路部分nMOS區整個表面。利用光阻阻擋層28充當阻擋層連續離子植入硼兩次。舉例說明，第一次離子植入硼的能量為100KeV。舉例說明，第二次離子植入硼的能量為20KeV。之後，如圖11A所示，經由熱處理，在保護電路部分部分nMOS區形成P井層4a及P型摻雜層5b。在此同時，如圖12A所示，在內部電路部分nMOS區整個表面形成P井層4a、P型通道摻雜層27a及P型摻雜層27b。舉例說明，P井層4a與4b之雜質濃度為 2×10^{17} atoms/cm³而P型通道摻雜層27a與P型摻雜層27b之雜質濃度為 2×10^{18} atoms/cm³。

之後，如圖11B與圖12B所示，形成光阻阻擋層30，覆蓋內部電路部分整個表面，僅裸露保護電路部分nMOS通道區。然後，利用光阻阻擋層30充當阻擋層離子植入硼31。



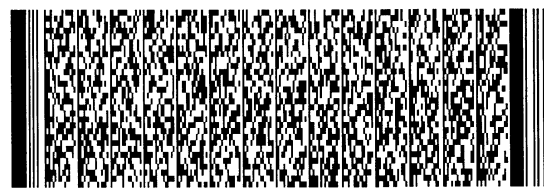
五、發明說明 (24)

舉例說明，離子植入硼的能量為20KeV而離子植入劑量約為 6×10^{12} atoms/cm³。接著，經由熱處理，構成通道摻雜層之P型局部摻雜層5a，選擇性地在保護電路部分之矽磊晶層2內nMOS通道區底部區域形成。

緊接著，如圖11B與圖12B所示，形成光阻阻擋層32，覆蓋保護電路部分整個表面及內部電路部分nMOS區，裸露pMOS區。然後，如圖12C所示，利用光阻阻擋層32充當阻擋層離子植入磷與砷。第一次離子植入，先離子植入磷。舉例說明，離子植入磷的能量為200KeV而離子植入劑量為 1×10^{13} atoms/cm³。然後，接連著離子植入砷33。舉例說明，第二次離子植入砷的能量為70KeV而離子植入劑量為 7×10^{12} atoms/cm³。之後進行熱處理。以此方式形成N井層6b、N型通道摻雜層7c及N型摻雜層7d。舉例說明，N井層6b之雜質濃度為 2×10^{17} atoms/cm³。N型通道摻雜層7c與N型摻雜層7d之雜質濃度為 2×10^{18} atoms/cm³。

接著，以類似之方式，如圖11D與圖12D所示，覆蓋內部電路部分整個表面及外部電路之nMOS區。形成光阻阻擋層34，僅裸露pMOS區。然後連續離子植入磷與砷兩次。之後，如圖11D所示，進行熱處理，在保護電路部分形成N井層6a、N型通道摻雜層7a及N型摻雜層7b。舉例說明，N井層6a之雜質濃度為 1×10^{17} atoms/cm³而N型通道摻雜層7a及N型摻雜層7b之雜質濃度為 5×10^{17} atoms/cm³。

之後，以相同之方式如同第一實施例，形成閘極絕緣膜8a與8b、閘極電極9及間隔物10。此外，提供nMOS與



五、發明說明 (25)

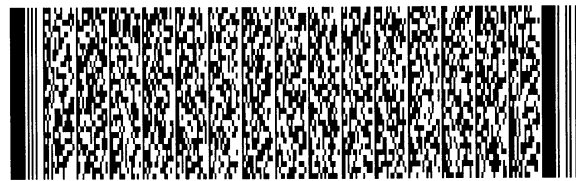
pMOS之源極與汲極擴散層及前擴散層以形成CMOS。

舉例說明，第二實施例內部電路部分閘極絕緣膜8b之厚度就二氧化矽膜而論為1.5nm，而閘極長度為0.1mm或更小。於是，保護電路部分閘極絕緣膜8a的厚度就二氧化矽膜而論為4nm，而閘極長度約為0.25mm或更小。

此外，舉例說明，P型局部摻雜層5之深度為0.10mm。N井層6a與6b之深度約為0.3mm。N型通道摻雜層7a與7b之深度約為0.19mm。而源極與汲極擴散層及前擴散層之深度為0.1mm或更小。

如圖9所示，在此實施例中，儘管在內部電路之nMOS電晶體整個表面上形成P型通道摻雜層，仍舊具有如同第一實施例般相同的效應。因此可進一步提升半導體裝置之積集度，故第二實施例顯得格外有用尤其是當構成內部電路部分之MOS電晶體變得更微小時。此外，與第一實施例比較，一次所需的光微影步驟是較少的，因此可進一步提升生產率。

亦即，當內部電路之MOS電晶體愈變愈小時，源極與汲極區的長度（裝置隔離區至通道區的距離）也會縮短。結果，源極與汲極擴散層之接面電容（ C_j ）也會變小。在此同時，限制通道摻雜層以同樣之方式如同第一實施例在通道區底部形成與通道摻雜層在包括源極與汲極擴散層底部所有區域內形成，兩者比較，當MOS電晶體愈變愈小時，差異也就跟著變小。然後，當半導體裝置做得更小時，寧可試圖藉由在包括源極與汲極擴散層底部所有區域



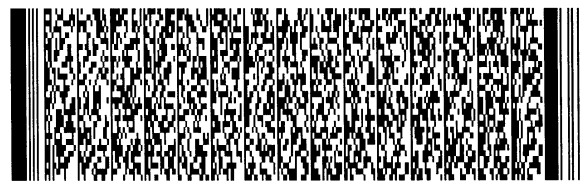
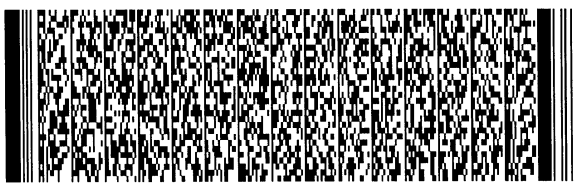
五、發明說明 (26)

內形成通道摻雜層來減少光微影步驟，也不要為了輕微改善Cj而增加光微影步驟，生產率改善後便可得到更有利的效果。

之後，將說明本發明之第三實施例。圖13所示為根據第三實施例之半導體裝置（保護電路部分之CMOS反相器）剖面圖。在第三實施例中，以相同方式如同nMOS在pMOS內形成局部摻雜層。此外，由於以相同的結構如同第一實施例組成內部電路部分，因此不再說明CMOS及其製造方法。附帶一提，在圖13與圖14所示之第三實施例中，相同的組成元件如圖5至圖9所示之第一實施例是以同樣的參考數字表示。因此不再詳細說明。

如圖13所示，根據第三實施例在保護電路之CMOS反相器中，在高濃度矽基板1上形成一層厚度約2mm之矽磊晶層2。之後，在矽磊晶層2的表面形成裝置隔離膜3a與3b因此便將裝置主動區分離。然後，在nMOS裝置主動區內，以相同的方式如同第一實施例，形成P井層4a，而P型局部摻雜層5a選擇性在矽磊晶層2內nMOS通道區底部區域形成。此外，在nMOS主動區內矽磊晶層2整個表面形成N井層6a，而N型局部摻雜層36，為通道擴散層，選擇性地在pMOS通道區底部區域形成，pMOS通道區底部區域即為N井層6a。其它結構與第一實施例相同。

接著，將說明根據本發明第三實施例半導體裝置（保護電路部分之CMOS反相器）之製造方法。圖14A至圖14D所示依序為第三實施例保護電路部分之CMOS反相器的製造方



五、發明說明 (27)

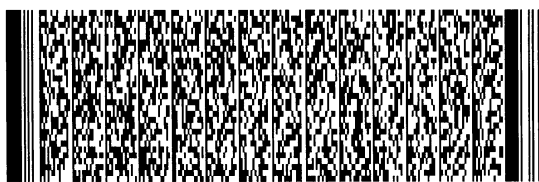
法剖面圖。

如圖14A所示，在高濃度矽基板1上形成一層厚度2mm矽磊晶層2。在此，矽磊晶層2之雜質濃度約為 2×10^{15} atoms/cm³。之後，在矽磊晶層2的表面形成裝置隔離絕緣膜3a與3b。接著，形成光阻阻擋層37，裸露部分nMOS區。連續離子植入硼38兩次至阻擋層以形成保護電路部分之P井層4a與P型摻雜層5b。

接著，如圖14B所示，形成光阻阻擋層39，僅裸露MOS電晶體之通道形成區。在此，利用光阻阻擋層39充當阻擋層離子植入硼40。在此，舉例說明，離子植入硼的能量為20KeV而離子植入劑量為 6×10^{12} atoms/cm³。之後，進行熱處理，P型局部摻雜層5a選擇性地在保護電路部分之矽磊晶層2內nMOS通道區底部區域形成。

接著，如圖14C所示，形成光阻阻擋層41，覆蓋nMOS區整個表面，僅裸露pMOS區。然後，利用光阻阻擋層41充當阻擋層離子植入磷42。在此，舉例說明，離子植入磷的能量為200KeV而離子植入劑量為 1×10^{13} atoms/cm³。之後，進行熱處理，形成N井層6a。

接著，如圖14D所示，形成光阻阻擋層43，僅裸露pMOS通道形成區。然後，利用光阻阻擋層43充當阻擋層離子植入砷44。舉例說明，離子植入的能量為70KeV而離子植入劑量為 5×10^{12} atoms/cm³。接下來，進行熱處理，在N井層6a內形成N型局部摻雜層36。之後，以相同的方式如同第一實施例，形成閘極電極、源極與汲極擴散層、前擴



五、發明說明 (28)

散層及其它諸如此類。

舉例說明，根據第三實施例P型局部摻雜層5a與N型局部摻雜層36之深度約為0.10mm。此外，N井層6a之深度約為0.3mm。各個擴散層之深度為0.1mm或更小。

接著，將說明本發明之效果。圖15所示為組成第三實施例保護電路部分nMOS內N型汲極擴散層與基板（對應到矽磊晶層或P井層）間接面的寄生電容圖。附帶一提，輸入與輸出電路或保護電路是假設的。MOS電晶體的閘極長度為0.35mm而閘極寬度為200mm。此外，源極與汲極擴散層之寬度為1mm。雜質濃度或擴散層深度與第一實施例或先前技術相同。

圖15之水平軸所示為施加於汲極擴散層與基板間的逆向偏壓，偏壓範圍從0V至2V。然後，垂直軸所示為當時的接面電容。如圖15所示，在本實施例中，寄生電容53減少至先前技術之寄生電容54的1/2至1/3。這是因為通道擴散層與汲極擴散層的形成及局部摻雜層與汲極擴散層重疊區域的大量減少以致於在先前技術中，通道擴散層與汲極擴散層在整個表面重疊，其中局部摻雜層對應到通道擴散層，選擇性地在本實施例中通道區底部形成。在本實施例中，以相同方式如同第一實施例與第二實施例減少pMOS之寄生電容。也以相同方式藉由選擇性地形成通道擴散層減少nMOS之寄生電容。

保護電路部分藉由此方式減少接面電容可大量減少能量的損耗。此外，藉由減少接面電容可改善保護電路部分



五、發明說明 (29)

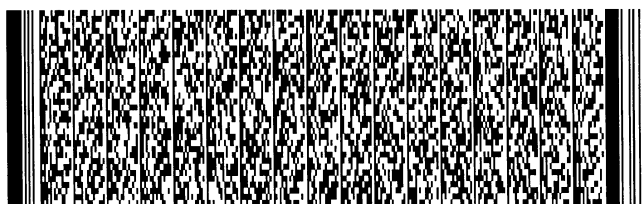
之操作速度。

此外，在第三實施例中，半導體裝置內部電路部分之CMOS，通道擴散層以相同方式如同第一實施例之nMOS電晶體局部形成，因此可減少寄生電容，雖然上述效果比減少保護電路部分之寄生電容的效果略差。

此外，在第一至第三實施例中，保證保護半導體裝置免受ESD的破壞，假設一開始便發生許多次ESD的破壞，而且可促進實現非常高積集度且非常快速之半導體裝置。此外，獲得高可靠度及高良率的半導體裝置也是有可能的。

附帶一提，關於第一至第三實施例，針對在P/P⁺磊晶層形成之半導體裝置已作說明。然而，本發明也可應用在一般塊狀基板形成之半導體裝置。此外，若矽基板之導電型式反向，本發明也可應用在相同之方式。

此外，本發明並不限於上述實施例，且在本發明的技術概念範圍內，所有實施例皆可做適當地修正。



圖式簡單說明

圖1所示為習用保護電路部分及輸入與輸出電路之典型範例電路圖；

圖2所示為保護電路部分之CMOS反相器之剖面圖；

圖3A至3D所示依序為習用保護電路部分之製造步驟剖面圖；

圖4A至4D所示依序為習用內部電路部分CMOS之製造步驟剖面圖；

圖5所示為根據第一實施例半導體裝置（保護電路部分之CMOS反相器）之剖面圖；

圖6所示為根據本發明第一實施例半導體裝置之半導體裝置（內部電路部分之CMOS）剖面圖；

圖7A至7E所示依序為根據本發明第一實施例保護電路部分CMOS電晶體之製造步驟剖面圖；

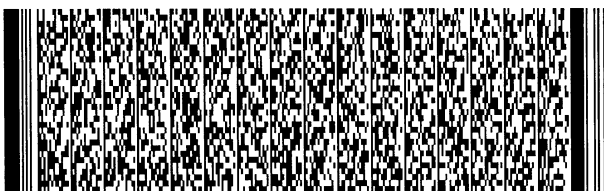
圖8A至8E所示依序為根據本發明第一實施例內部電路部分CMOS之製造步驟剖面圖；

圖9A所示為反相容忍電壓特性圖，水平軸為nMOS源極與汲極間的電壓，垂直軸為為nMOS源極與汲極間的電流；圖9B與9C所示為根據本發明第一實施例與先前技術半導體裝置之剖面圖，其中容忍電壓性質已被量測；

圖10所示為根據本發明第二實施例內部電路部分CMOS之剖面圖；

圖11A至11D所示依序為根據本發明第二實施例半導體裝置（保護電路部分之CMOS反相器）製造步驟剖面圖；

圖12A至12D所示依序為根據本發明第二實施例內部電



圖式簡單說明

路部分CMOS之製造步驟剖面圖；

圖13所示為根據本發明第三實施例半導體裝置（保護電路部分之CMOS反相器）之剖面圖；

圖14A至14D所示依序為根據本發明第三實施例保護電路部分CMOS反相器之製造步驟剖面圖；及

圖15所示為根據本發明第三實施例在保護電路部分之nMOS中介於N型汲極擴散層與基板間的接面寄生電容圖，其中水平軸為施加於汲極擴散層與基板間的反相偏壓，垂直軸為接面電容；

【符號說明】

100 保護電路

200 緩衝電路

101, 201 pMOS

102, 202 nMOS

1, 103, 120 矽基板

2, 121 矽磊晶層

3a, 3b, 104a, 104b 裝置隔離薄膜

4a, 4b, 105a, 105b P型井層

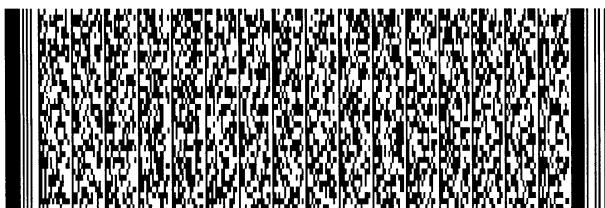
5a, 5c, 27a, 106a, 106c P型通道摻雜層

5b, 5d, 27b, 106b, 106d P型摻雜層

6a, 6b, 107a, 107b N型井層

7a, 7c, 36, 108a, 108c N型通道摻雜層

7b, 7d, 108b, 108d N型摻雜層



圖式簡單說明

8a, 8b, 109 閘極絕緣薄膜

9, 110 閘極電極

10, 111 側壁

11a, 11b, 112 N型源極擴散層

12a, 12b, 113 N型汲極擴散層

13a, 13b, 114 P型前擴散層

14a, 14b, 115 P型源極擴散層

15a, 15b, 116 P型汲極擴散層

16a, 16b, 117 N型前擴散層

17, 19, 21, 23, 25, 28, 30, 32, 34, 37, 39, 41,

43, 118, 120, 122, 124 光阻阻擋層

18, 24, 26, 29, 31, 38, 40, 119 硼離子

20, 22, 33, 35, 42, 44, 121, 123, 125 磷或砷離子

51, 52 MOS電晶體之汲極電流與汲極電壓特性

53, 54 寄生電容

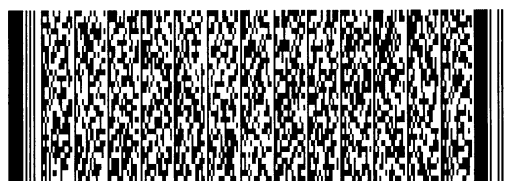


四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

一種保護電路部分，包括nMOS電晶體汲極及pMOS電晶體汲極連接之CMOS。汲極連接輸入或輸出端。在nMOS電晶體內，閘極絕緣膜及閘極電極形成於基板上，且源極與汲極擴散層在基板表面閘極電極的兩端形成。連接源極與汲極擴散層之P型通道層擴散層選擇性地在通道區的底部形成。在pMOS電晶體內，閘極絕緣膜、閘極電極及源極與汲極擴散層以相同之方式如同nMOS形成於基板表面的井層，而通道擴散層在通道區底部井層整個區域內形成。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME)

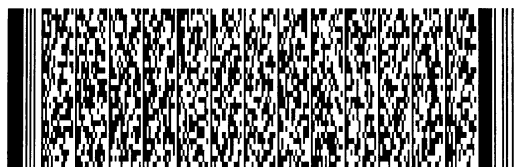
A protection circuit portion comprises a CMOS to which the drain of the nMOS transistor and the pMOS transistor are connected. The drain is connected to the input or output terminal. In the nMOS transistor, the gate insulating film and the gate electrode are formed on the substrate, and the source and the drain diffusion layer are formed on the surface of the substrate at a location sandwiching the gate electrode. A P-type channel layer diffusion layer connected to the



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME)

source and the drain diffusion layer is selectively formed on a lower portion of the region constituting a channel. In the pMOS, the gate insulating film, the gate electrode and the source and drain diffusion layer are formed on the well layer formed on the surface of the substrate in the same manner as the nMOS, and a channel diffusion layer is formed on the entire region of the well layer on a lower portion of the region which constitutes the channel.



六、申請專利範圍

1. 一種半導體裝置，包括：

一半導體基板；

一閘極絕緣膜及一閘極電極，前者形成於半導體基板之預定區，後者形成於閘極絕緣膜上；

源極與汲極擴散層，形成於半導體基板表面閘極電極下方之通道區兩端；及

一通道擴散層，其導電型式與源極與汲極擴散層相反且雜質濃度較半導體基板高，通道擴散層選擇性地形成於待連接在源極與汲極擴散層的通道區底部。

2. 一種半導體裝置，包括：

一半導體基板；

一磊晶層，其導電型式與半導體基板相同且雜質濃度較半導體基板低，該磊晶層形成於半導體基板上；

一閘極絕緣膜及一閘極電極，前者形成於磊晶層之預定區，後者形成於閘極絕緣膜上；

源極與汲極擴散層，在磊晶層表面閘極電極下方之通道區兩端形成；及

一通道擴散層，其導電型式與源極與汲極擴散層相反且雜質濃度較磊晶層高，通道擴散層選擇性地形成於待連接在源極與汲極擴散層的通道區底部。

3. 一種半導體裝置，包括：

一半導體基板；



六、申請專利範圍

一井層，其導電型式與半導體基板相反，該井層在半導體基板表面上形成；

一層閘極絕緣膜及一層閘極電極，前者形成於井層之預定區，後者形成於閘極絕緣膜上；

源極與汲極擴散層，形成於井層表面閘極電極下方之通道區兩端；及

一層通道擴散層，其導電型式與源極與汲極擴散層相反且雜質濃度較井層高，通道擴散層選擇性地形成於待連接在源極與汲極擴散層的通道區底部。

4. 一種半導體裝置，包括：

一半導體基板，具有第一導電型式；

一井層，具有第二導電型式，該井層選擇性地在半導體基板表面上形成；

一第一閘極絕緣膜及一第一閘極電極，前者形成於半導體基板之預定區，後者形成於第一閘極絕緣膜上；

第一源極與汲極擴散層，具有第一導電型式，在半導體基板表面第一閘極電極下方之通道區兩端形成；

第二源極與汲極擴散層，具有第二導電型式，在井層表面第二閘極電極下方之通道區兩端形成；

一第一通道擴散層，具有第二導電型式，雜質濃度較半導體基板高，第一通道擴散層選擇性地形成於待連接於第一源極與汲極擴散層的通道區底部；及

一第二通道擴散層，具有第一導電型式，雜質濃度較



六、申請專利範圍

井層高，第二通道擴散層在第二源極與汲極擴散層間之整個區域內形成，以便在通道區底部連接第二源極與汲極擴散層。

5. 一種半導體裝置，包括：

一半導體基板，具有第一導電型式；

一井層，具有第二導電型式，該井層選擇性地在半導體基板表面上形成；

一第一閘極絕緣膜及一第一閘極電極，前者形成於半導體基板之預定區，後者形成於第一閘極絕緣膜上；

一第二閘極絕緣膜及一第二閘極電極，前者形成於井層之預定區，後者形成於第二閘極絕緣膜上；

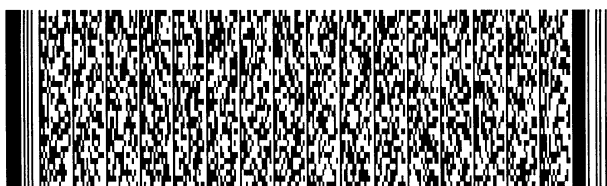
第一源極與汲極擴散層，具有第一導電型式，在半導體基板表面第一閘極電極下方之通道區兩端形成；

第二源極與汲極擴散層，具有第二導電型式，在井層表面第二閘極電極下方之通道區兩端形成；

一第一通道擴散層，具有第二導電型式，雜質濃度較半導體基板高，第一通道擴散層選擇性地形成於待連接於第一源極與汲極擴散層的通道區底部；及

一第二通道擴散層，具有第一導電型式，雜質濃度較井層高，第二通道擴散層選擇性地形成於待連接於第二源極與汲極擴散層的通道區底部。

6. 一種半導體裝置的製造方法，包括下列步驟：



六、申請專利範圍

在構成一通道的一區域之底部上，形成雜質濃度較半導體基板為高的一層通道擴散層，該通道擴散層之形成是藉由在第一導電型式之半導體基板上預定形成源極擴散層的區域與預定形成汲極擴散層的區域間選擇性離子植入第一導電型式之雜質的方式為之；

隨後，於通道擴散層上方之半導體基板上形成閘極絕緣膜，更於閘極絕緣膜上形成閘極電極；及

離子植入第二導電型式之雜質，俾於半導體基板表面上夾隔著閘極電極形成源極擴散層與汲極擴散層。

7. 一種半導體裝置的製造方法，包括下列步驟：

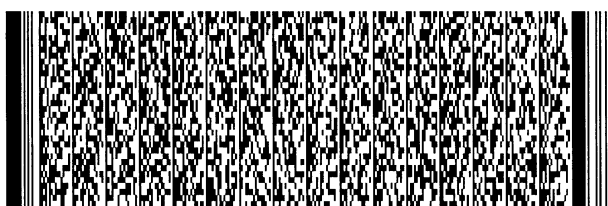
在第一導電型式之半導體基板表面上離子植入第二導電型式之雜質，以形成一井層；

在構成一通道的一區域之底部上，形成雜質濃度較井層為高的一層通道擴散層，該通道擴散層之形成是藉由在預定形成井層之源極擴散層的區域與預定形成汲極擴散層的區域間選擇性離子植入第二導電型式之雜質的方式為之；

隨後形成閘極絕緣膜與閘極電極，前者形成於通道擴散層上方之井層上，後者形成於閘極絕緣膜上；及

在井層表面閘極電極的兩端離子植入第一導電型式之雜質，而形成源極擴散層與汲極擴散層。

8. 一種半導體裝置的製造方法，包括下列步驟：



六、申請專利範圍

藉由在第一導電型式之半導體基板表面上第一MOS電晶體形成區內選擇性多次離子植入第二導電型式之雜質，而於構成第一MOS電晶體之一通道之區底部上的井層整個區域內，形成一井層及一通道擴散層，該通道擴散層之雜質濃度較該井層為高；

藉由在半導體基板表面上第二MOS電晶體形成區內之源極擴散層預定形成區域與汲極擴散層預定形成區域間，選擇性離子植入第一導電型式之雜質，而於構成第二MOS電晶體之一通道的一區域底部形成一層通道擴散層，其雜質濃度較半導體基板為高；

隨後，在半導體基板上構成第一MOS電晶體通道區與第二MOS電晶體通道區之井層上，分別形成第一MOS電晶體及第二MOS電晶體之閘極絕緣膜，並於閘極絕緣膜上形成閘極電極；

在井層表面夾隔著第一MOS電晶體之閘極電極的位置，離子植入第一導電型式之雜質以形成第一MOS電晶體之源極擴散層與汲極擴散層；及

在井層表面夾隔著第二MOS電晶體之閘極電極的位置，離子植入第二導電型式之雜質以形成第二MOS電晶體之源極擴散層與汲極擴散層。

9. 根據申請專利範圍第7項之半導體裝置的製造方法，包括下列步驟：

藉由在第一導電型式之半導體基板表面上選擇性地離



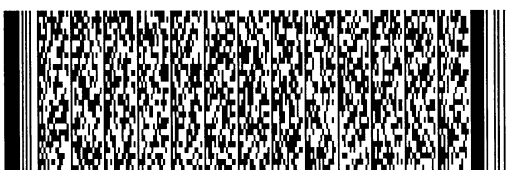
六、申請專利範圍

子植入第二導電型式之雜質，而形成一井層；

藉由在井層之源極擴散層的預定形成區與汲極擴散層的預定形成區之間，選擇性離子植入第二導電型式之雜質，而於構成一通道的區域之底部，形成雜質濃度較井層為高的一通道擴散層；

隨後，在構成通道的區域之井層上形成一閘極絕緣膜，並於閘極絕緣膜上形成一閘極電極；且

藉由在井層表面上夾隔著閘極電極的位置，植入第一導電型式之雜質，而形成源極擴散層與汲極擴散層。



圖式

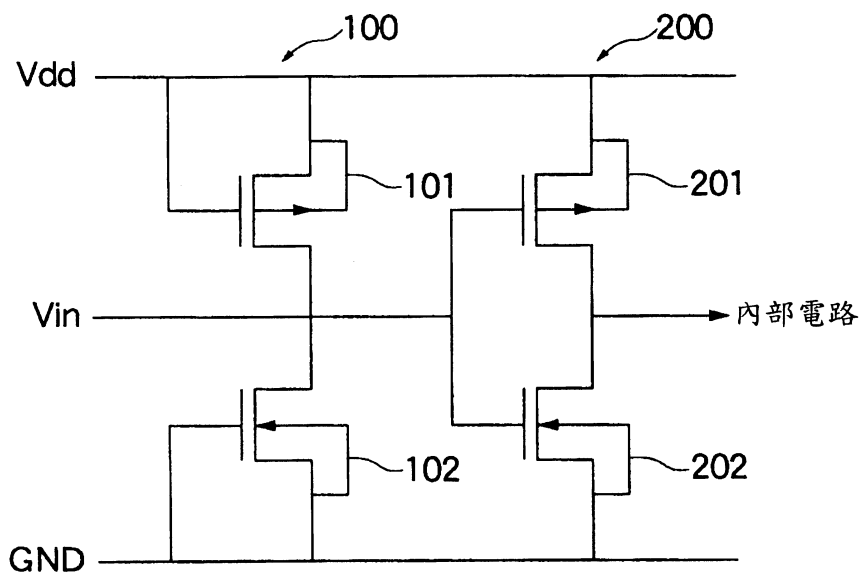


圖 1

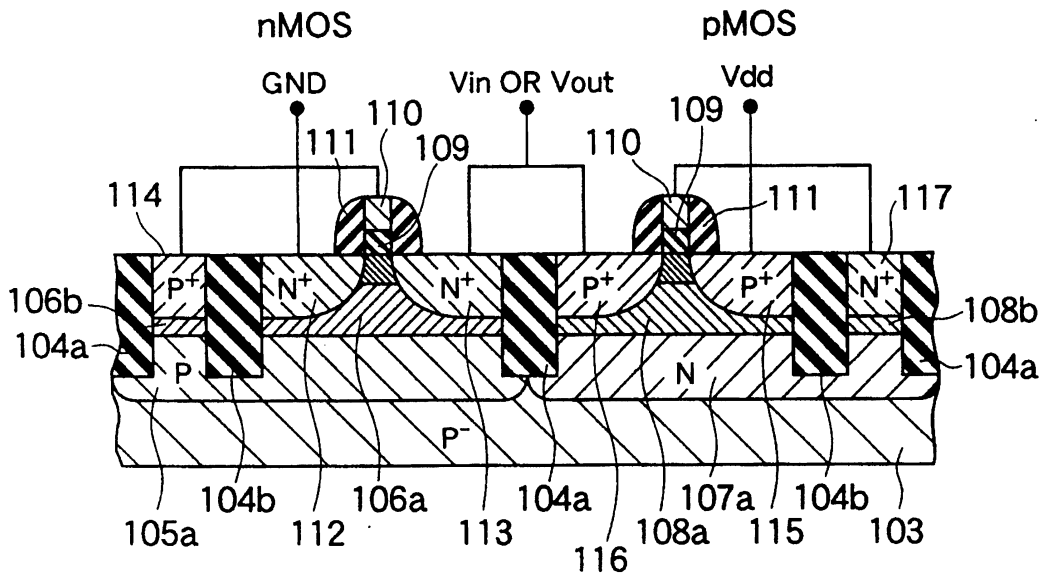
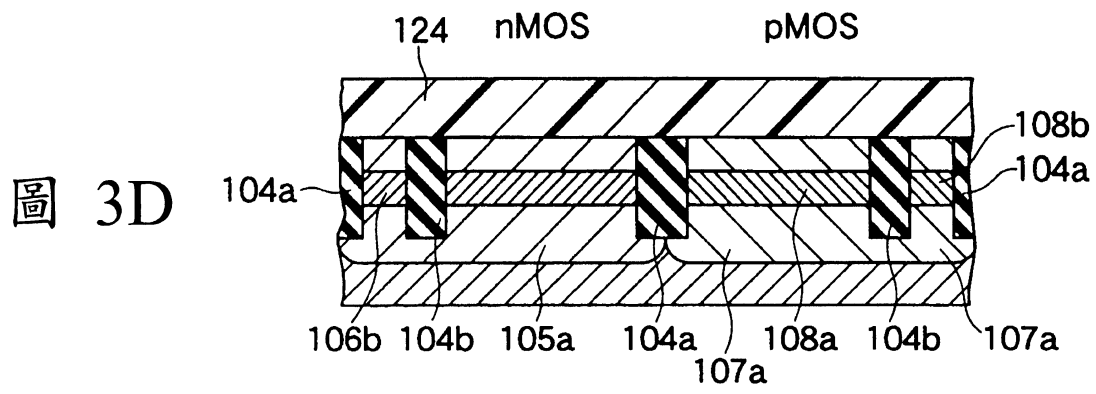
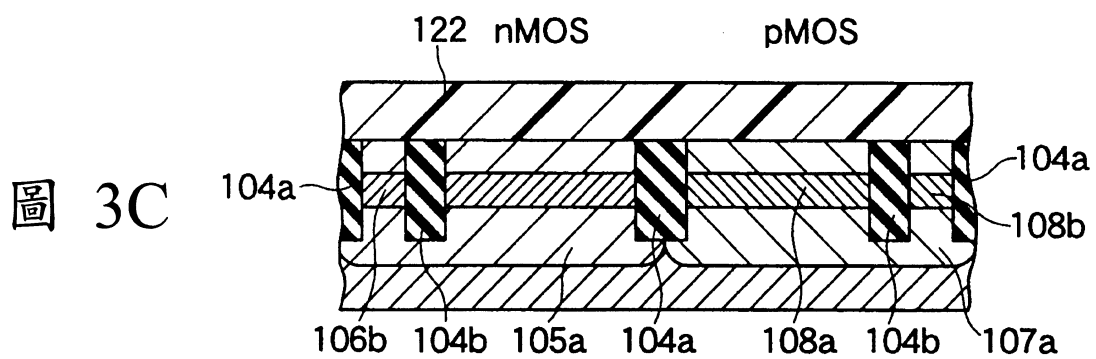
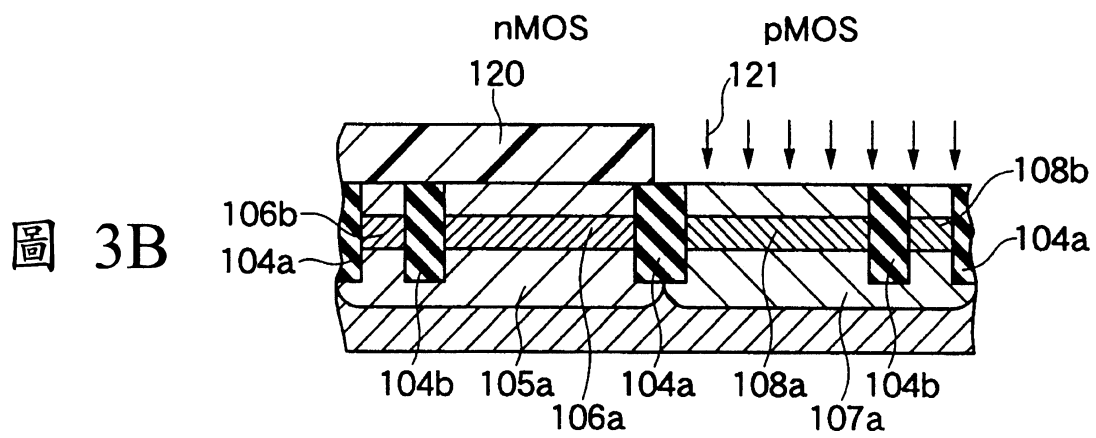
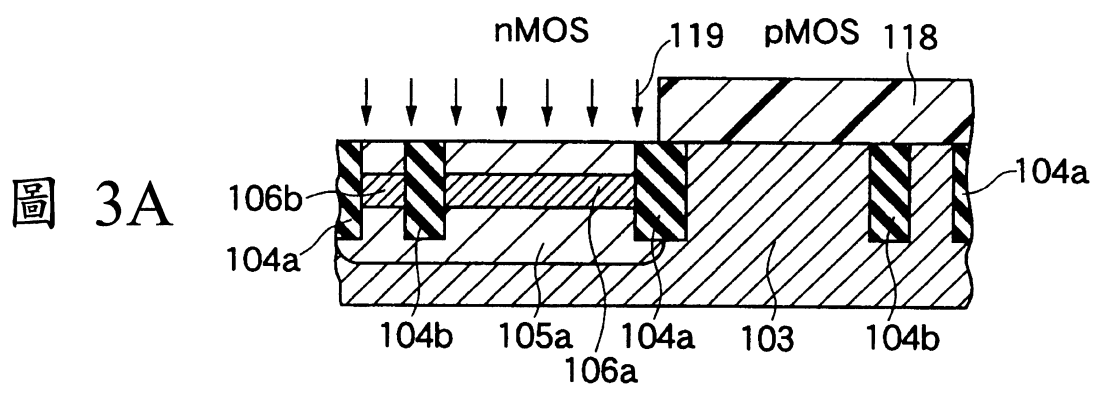
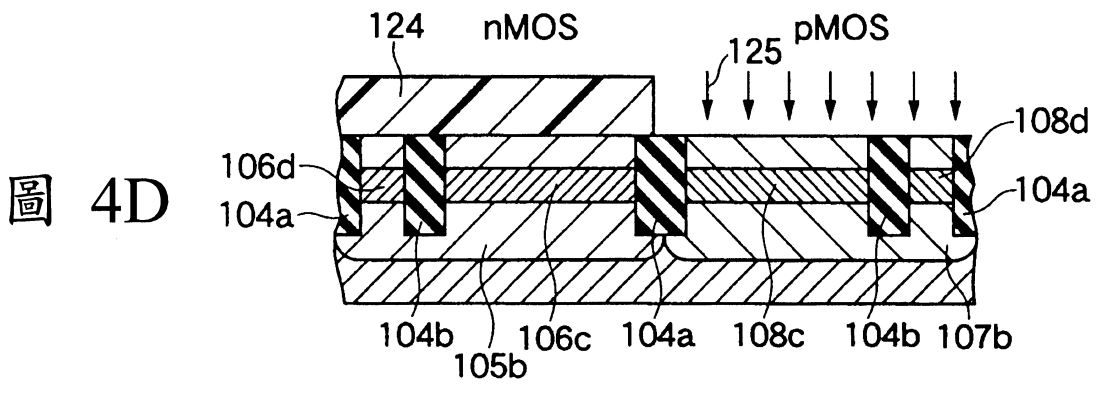
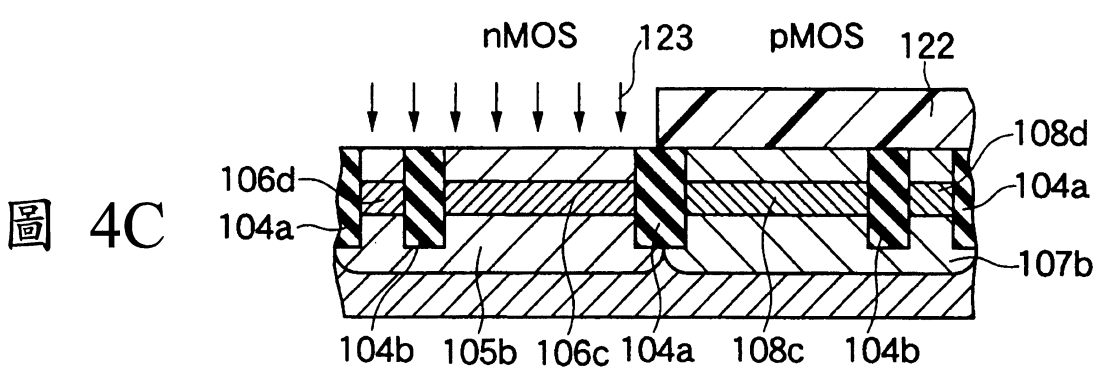
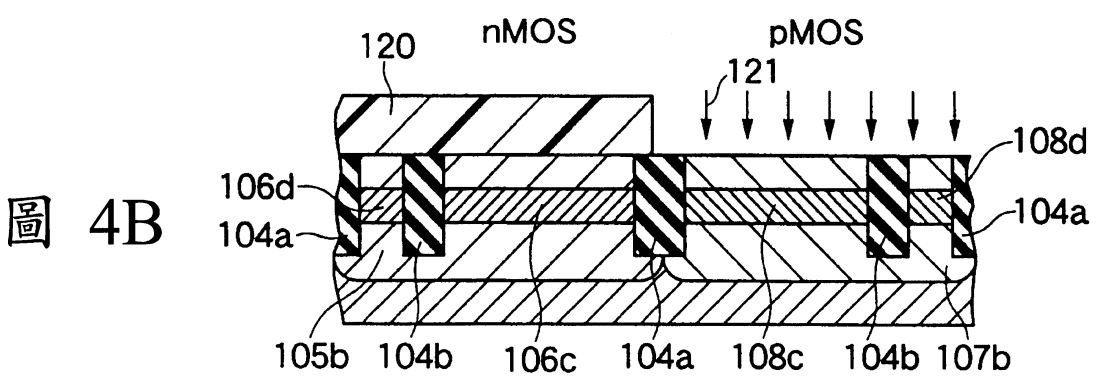
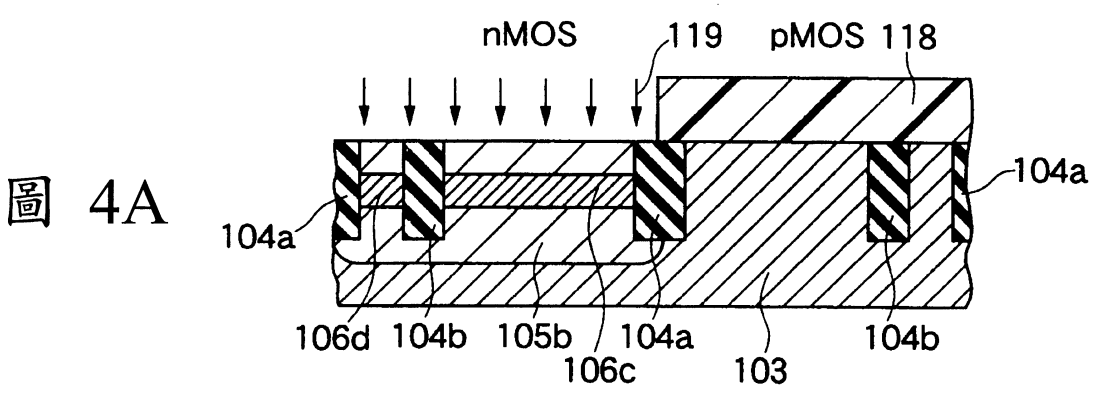


圖 2

圖式



圖式



圖式

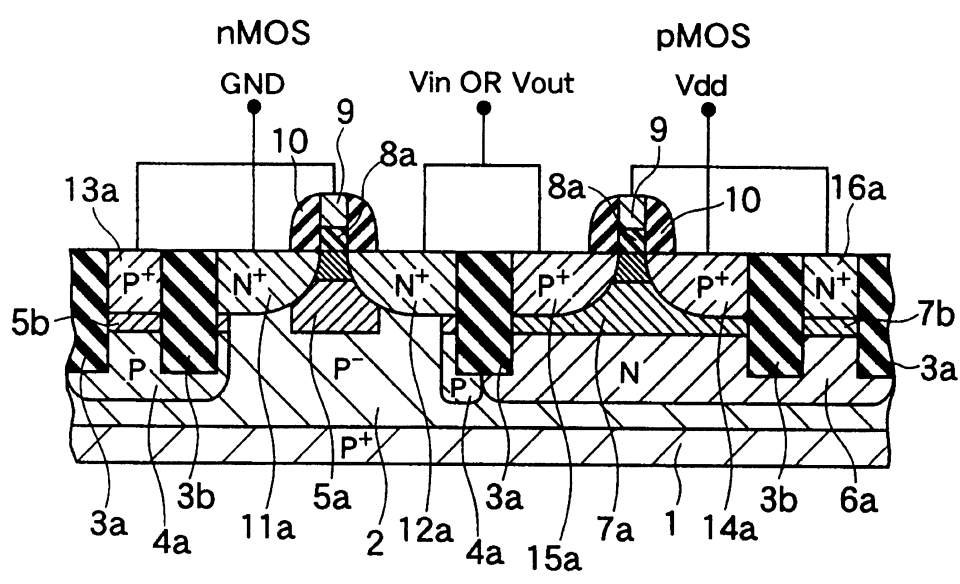


圖 5

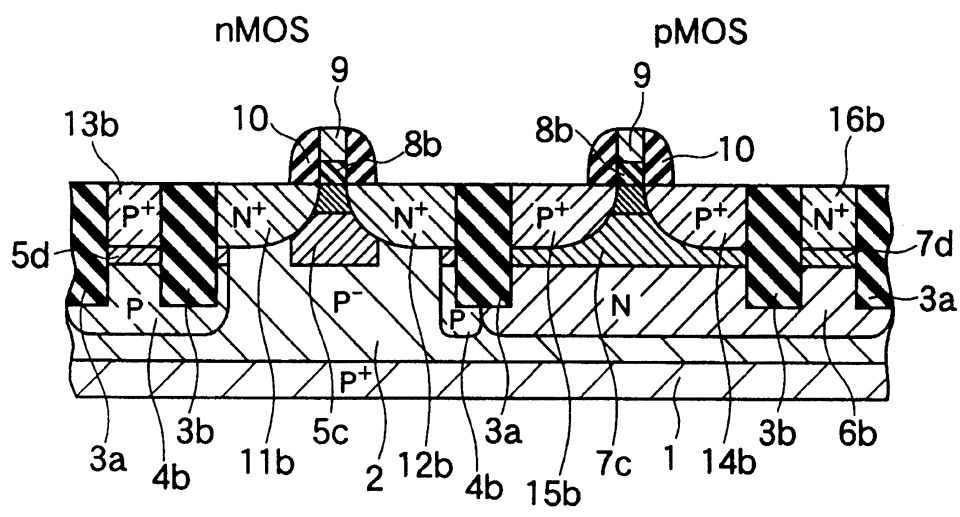


圖 6

圖式

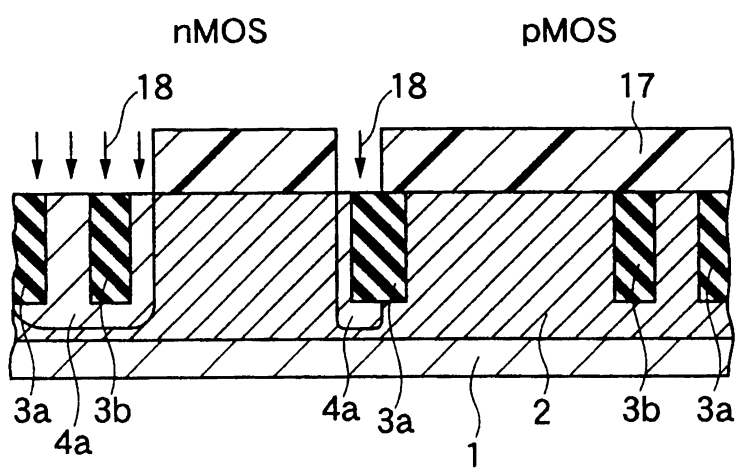


圖 7A

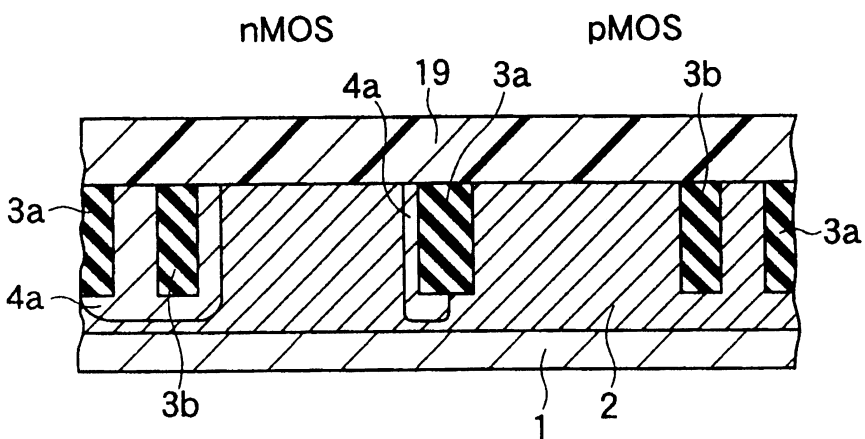


圖 7B

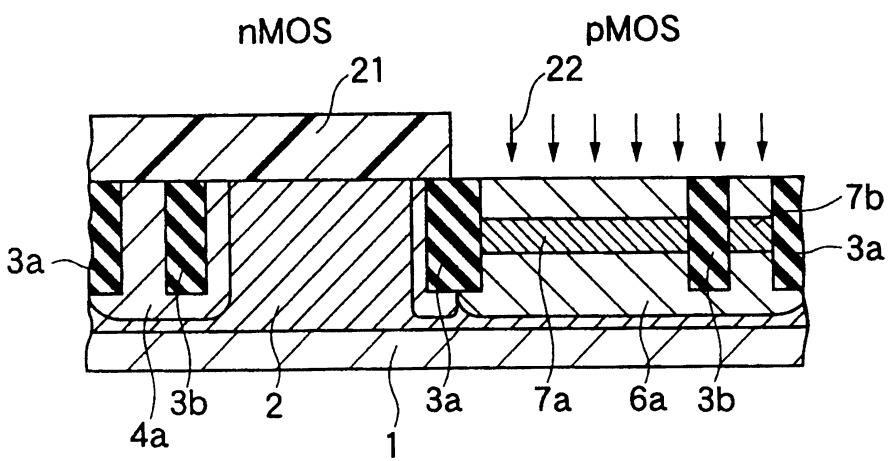


圖 7C

圖式

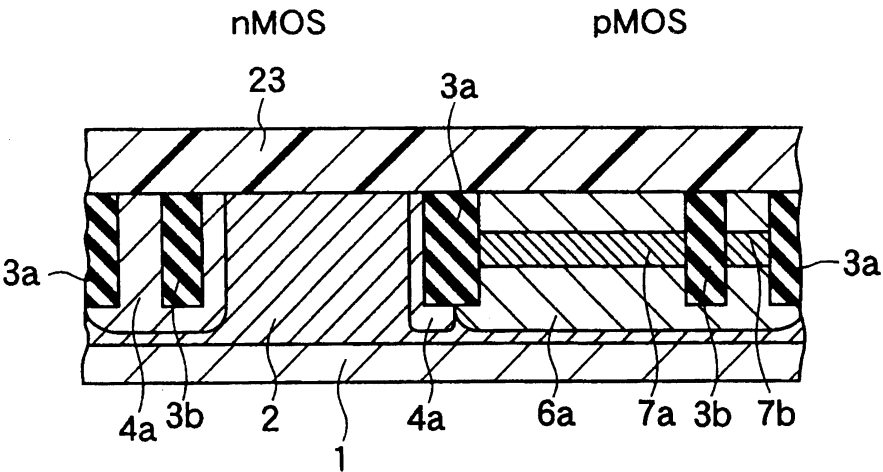


圖 7D

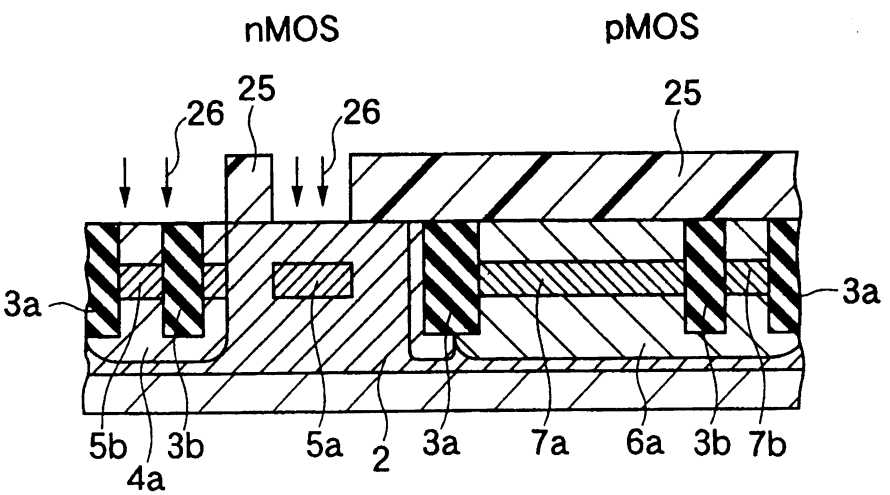


圖 7E

圖式

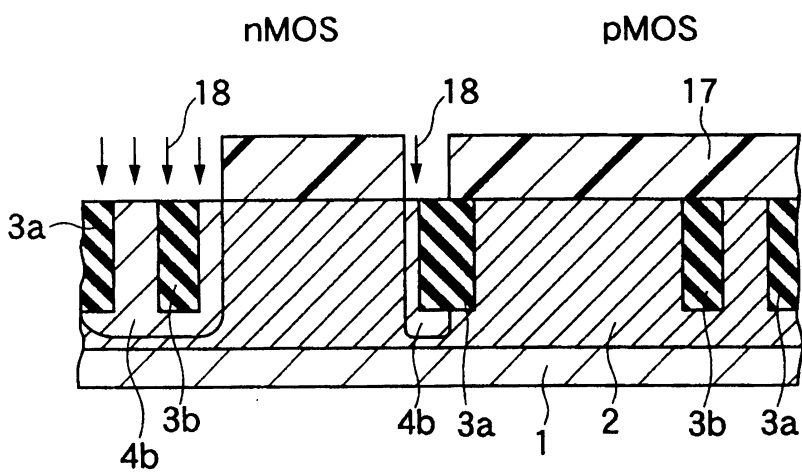


圖 8A

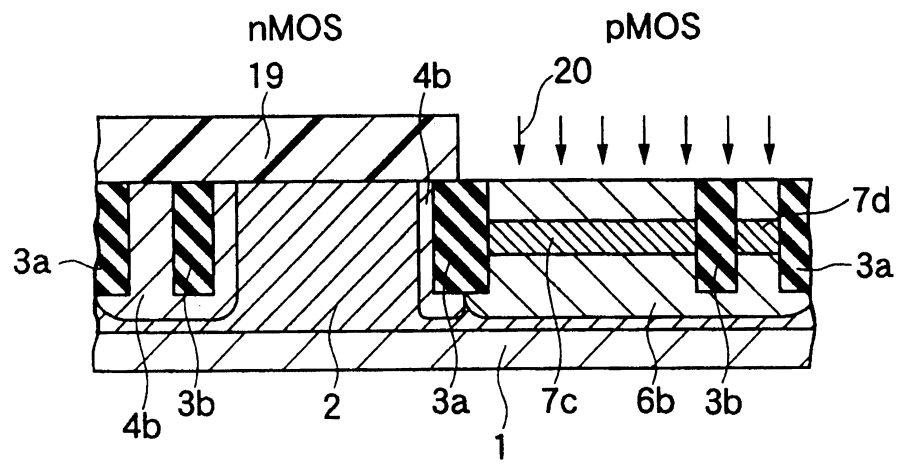


圖 8B

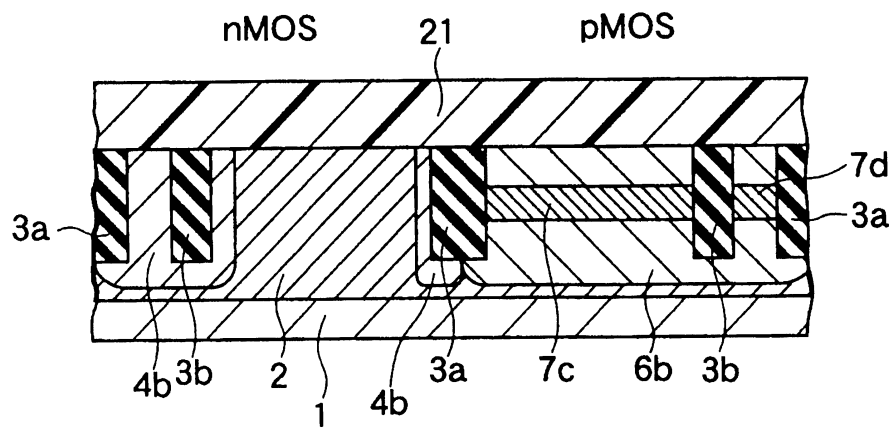
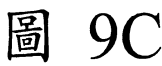
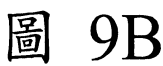


圖 8C





圖式

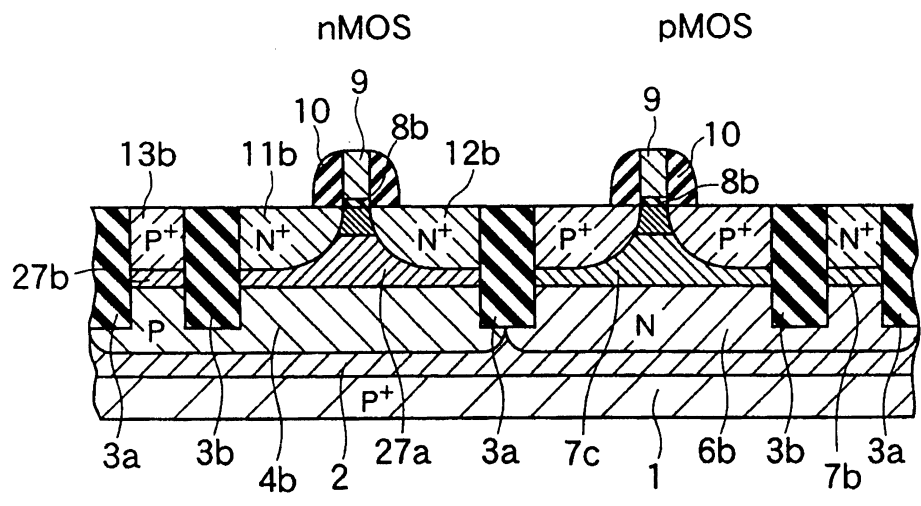


圖 10

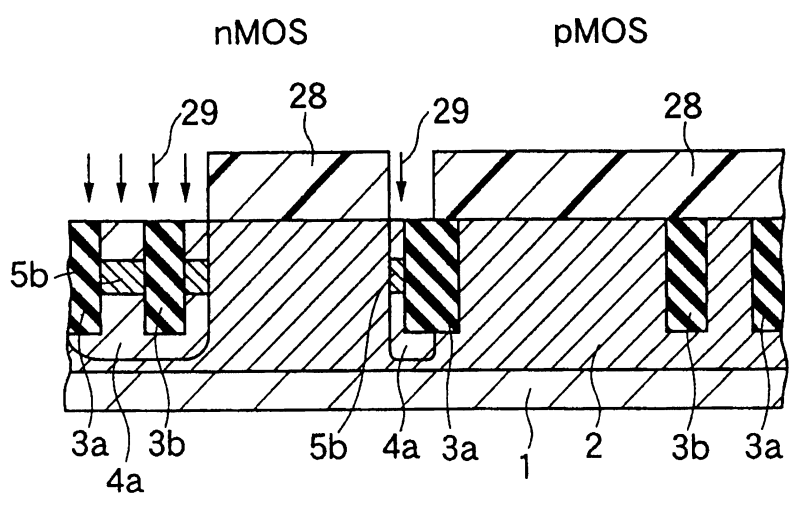


圖 11A

圖式

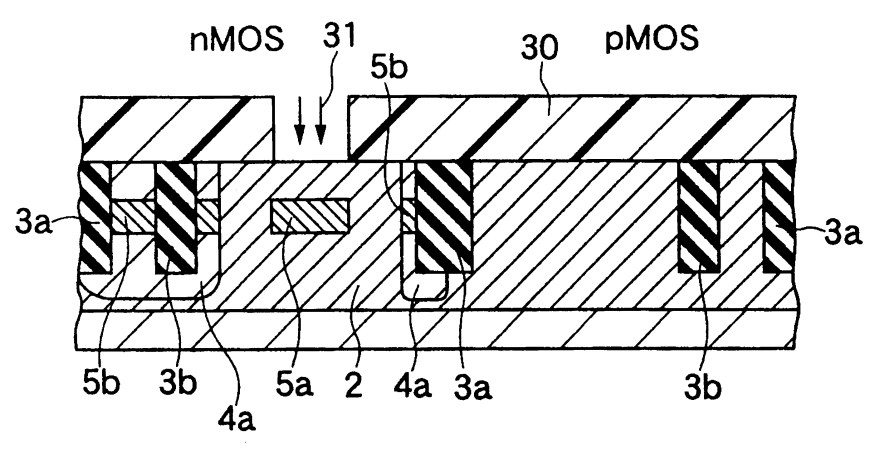


圖 11B

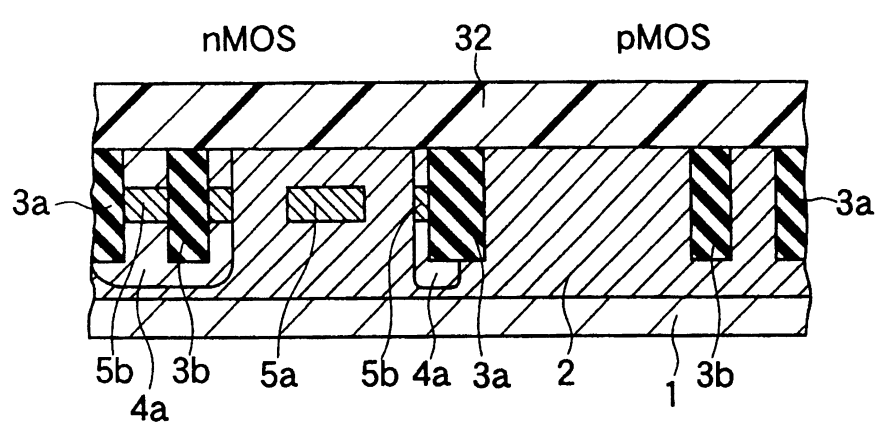


圖 11C

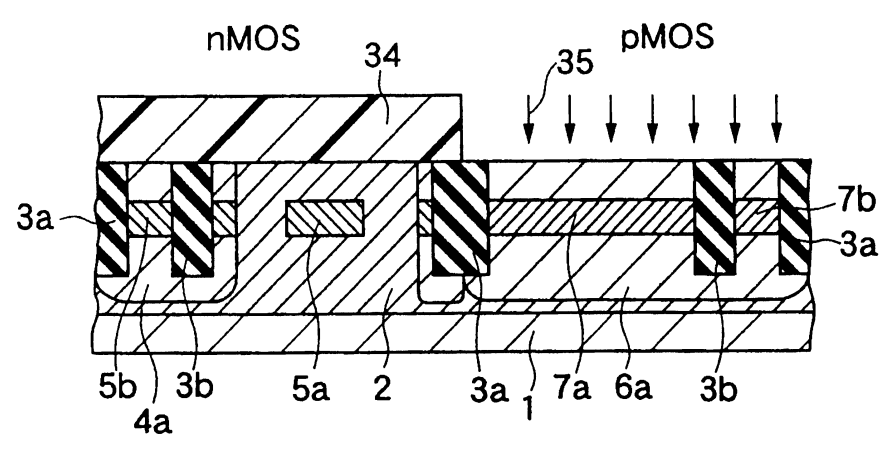


圖 11D

圖式

圖 12A

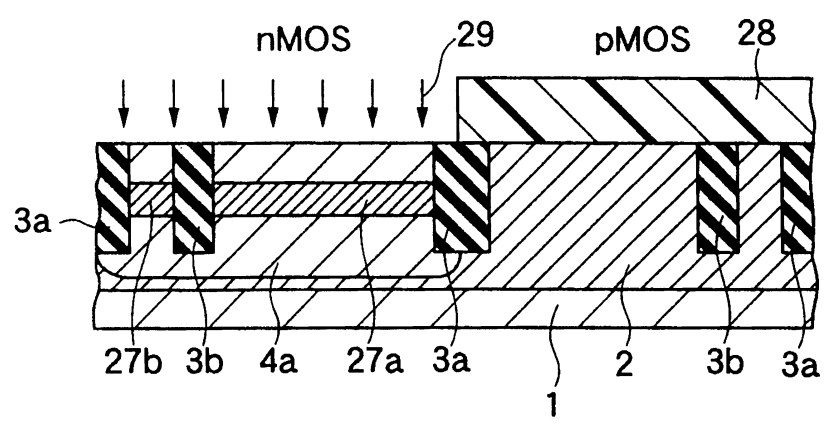


圖 12B

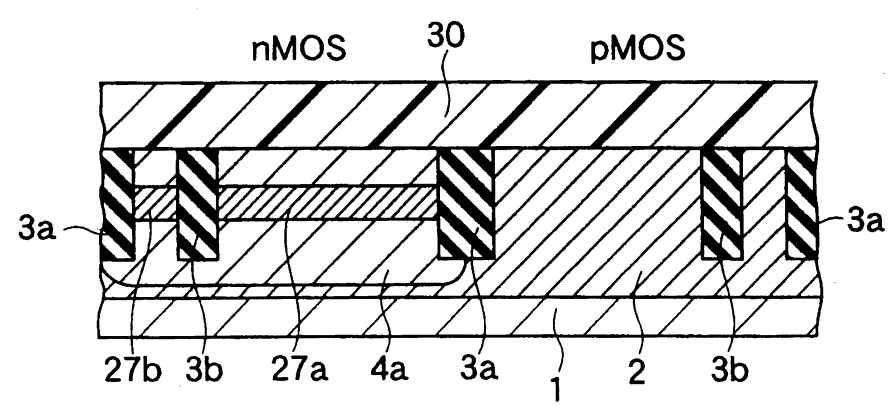


圖 12C

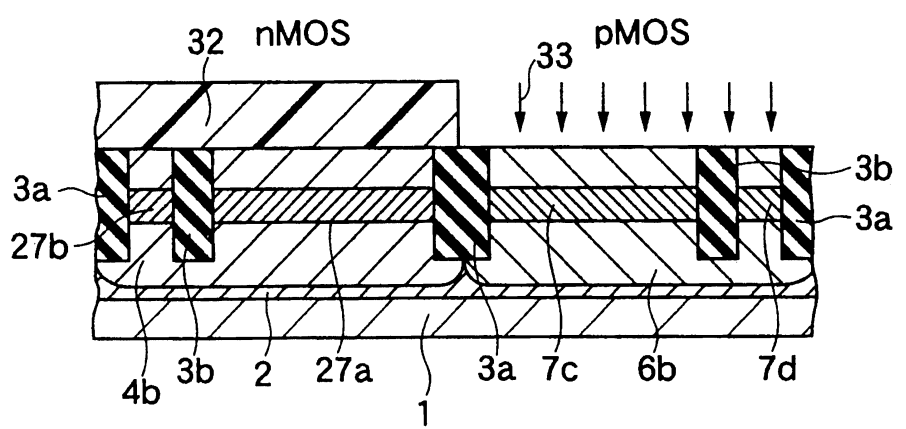
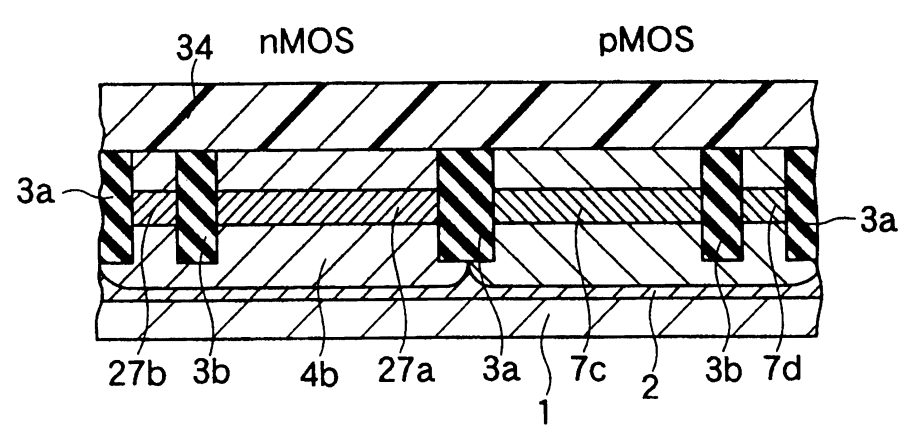


圖 12D



圖式

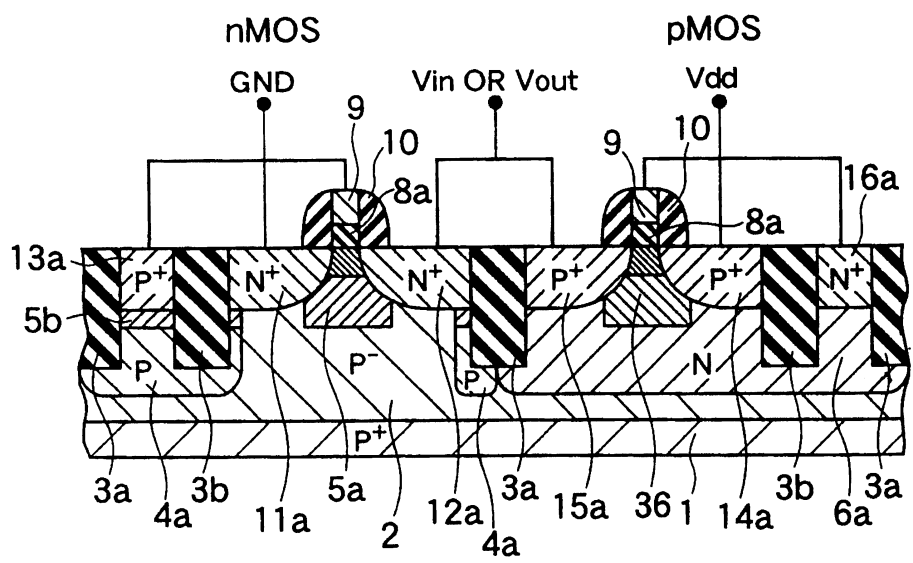


圖 13

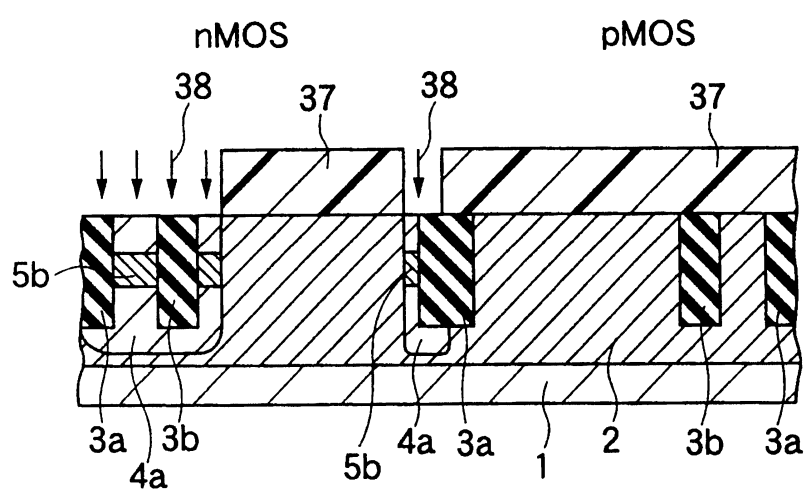


圖 14A

圖式

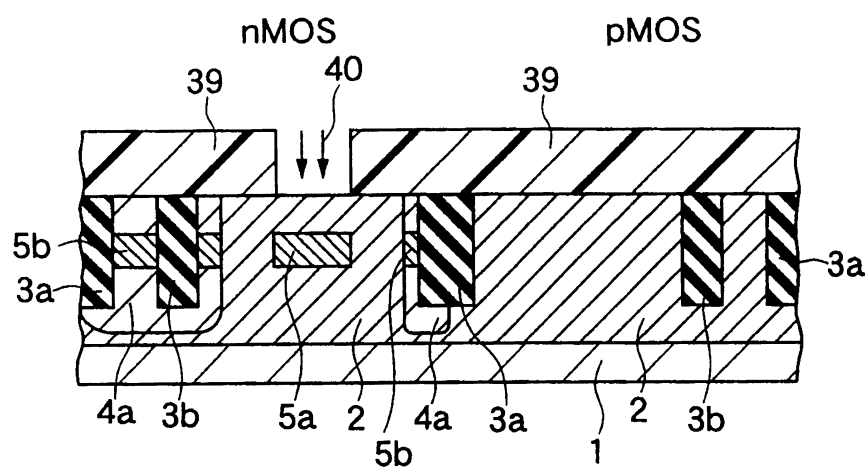


圖 14B

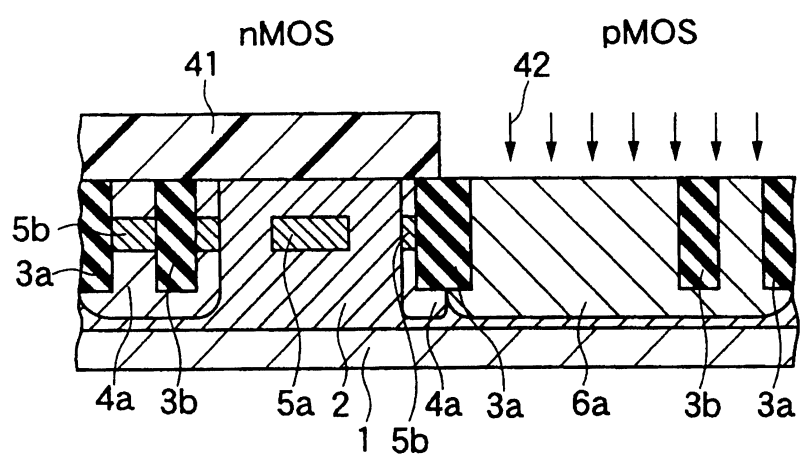


圖 14C

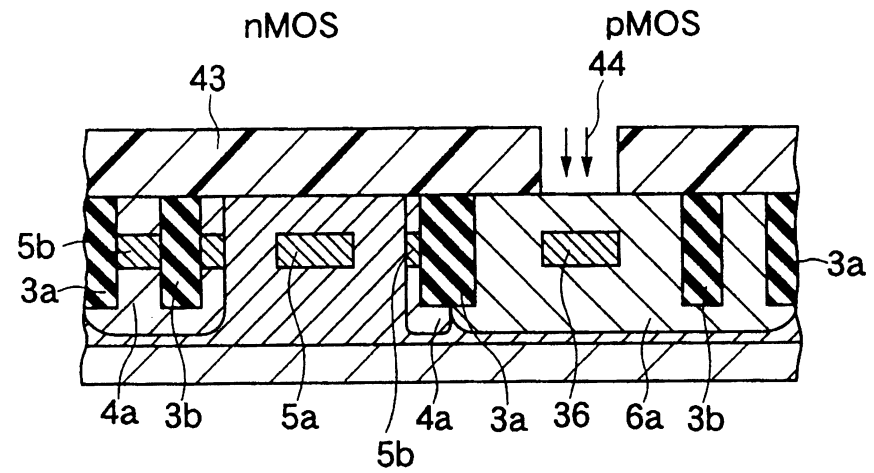


圖 14D

圖式

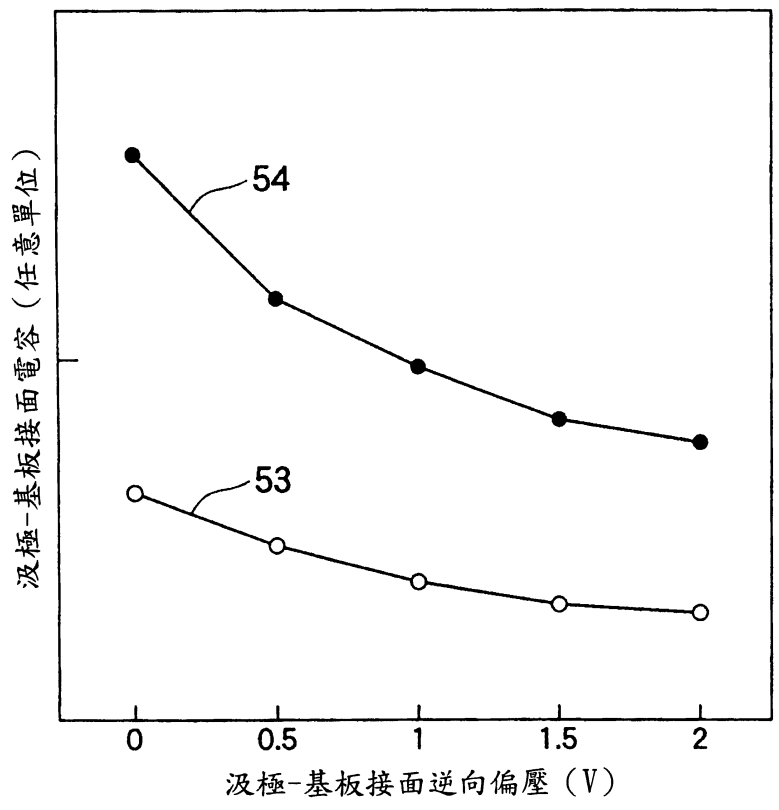


圖 15