

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 5 月 22 日 (22.05.2020)



(10) 国际公布号
WO 2020/098024 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2018/119706

(22) 国际申请日: 2018 年 12 月 7 日 (07.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811352465.8 2018 年 11 月 14 日 (14.11.2018) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(72) 发明人: 付婷婷(FU, Tingting); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。 葛邦同(GE, Bangtong); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳中一专利商标事务所(SHENZHEN ZHONGYI PATENT AND TRADEMARK OFFICE); 中国广东省深圳市福田区深南中路 1014 号老特区报社四楼 (5 号信箱), Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: METHOD FOR FABRICATING ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 一种阵列基板的制造方法及显示面板

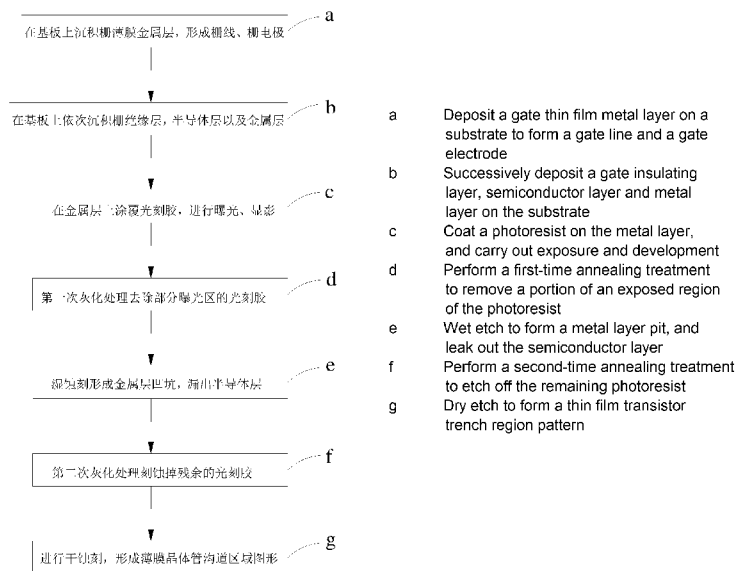


图 1

(57) Abstract: A method for fabricating an array substrate and a display panel, wherein the method for fabricating the array substrate comprises: precipitating a gate electrode; depositing a gate insulating layer, a semiconductor layer, a metal layer and a photoresist; forming an unexposed region, a partially exposed region and a fully exposed region by means of exposure and development; then, forming a metal layer pit by means of a first-time annealing treatment and wet etching, and by means of a second-time annealing treatment, etching off the remaining photoresist that was not etched off by the first-time annealing treatment; finally, forming a trench

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

region pattern by means of dry etching.

(57) 摘要: 一种阵列基板的制造方法及显示面板, 其中, 该阵列基板的制造方法包括沉淀栅电极、沉积栅绝缘层、半导体层、金属层、光刻胶, 通过曝光、显影形成未曝光区域、部分曝光区域以及完全曝光区域, 随后, 通过第一次灰化处理及湿刻蚀形成金属层凹坑, 并通过第二次灰化处理将第一次灰化处理未刻蚀掉的残余的所述光刻胶刻蚀掉, 最后通过干蚀刻形成沟道区域图形。

一种阵列基板的制造方法及显示面板

本申请要求于 2018 年 11 月 14 日提交中国专利局，申请号为 201811352465.8，发明名称为“一种阵列基板的制造方法、显示面板及显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及显示器技术领域，尤其涉及一种阵列基板的制造方法及显示面板。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然构成现有技术。随着科学技术的发展，电子设备（例如智能手机、笔记本电脑、数码相机等）越来越普及，使得作为电子设备的重要部件的液晶显示装置的需求量也大大提升，从而推动了液晶显示面板行业的快速发展。

显示面板制造行业中，光刻掩膜版是在光刻工艺的关键部件，利用紫外光和光刻掩膜版对涂布有光刻胶的图形进行曝光，可将光刻掩膜版上的电子器件图案转写到基板上，并经过显影、刻蚀、剥离等工艺形成电子器件。

然而，在光刻工艺过程中，由于光刻胶与沉积于基板上的金属层之间存在特征尺寸偏差（即设计值与实际值之间的偏差），影响了后续的刻蚀工艺，进而影响了阵列面板的电性表现。

申请内容

本申请的一个目的在于提供一种阵列基板的制造方法，包括但不限于解决光刻工艺中因光刻胶与金属层之间存在尺寸偏差而影响阵列面板电性的现象。

一种阵列基板的制造方法，包括如下步骤：

在基板上依次形成栅电极、栅绝缘层、半导体层以及金属层；

在所述金属层上涂覆光刻胶；通过曝光、显影形成未曝光区域、部分曝光区域以及完全曝光区域；

- 5 进行第一次灰化处理，去除部分曝光区域的光刻胶，暴露出对应所述部分曝光区域的金属层；

进行湿蚀刻，对部分曝光区域的所述金属层进行刻蚀，形成金属层凹坑，漏出半导体层；

- 进行第二次灰化处理，将所述金属层凹坑区域内经过第一次灰化处理未刻蚀掉的残余的所述光刻胶刻蚀掉；以及
- 10

进行干蚀刻，形成薄膜晶体管沟道区域图形。

本申请的另一目的在于提供一种阵列基板的制造方法，包括如下步骤：

在基板上依次形成栅电极、栅绝缘层、半导体层以及金属层；

- 在所述金属层上涂覆一层光刻胶；通过曝光、显影形成未曝光区域、部分曝光区域以及完全曝光区域；
- 15

进行第一次灰化处理去除部分曝光区域的光刻胶，暴露出对应所述部分曝光区域的金属层；

进行湿蚀刻对部分曝光区域的所述金属层进行刻蚀，形成金属层凹坑，漏出半导体层；

- 进行第二次灰化处理，将所述金属层凹坑区域内经过第一次灰化处理未刻蚀掉的残余的所述光刻胶刻蚀掉；以及
- 20

进行干蚀刻，形成薄膜晶体管沟道区域图形；

所述第一次灰化处理与第二次灰化处理均采用六氟化硫气体刻蚀。

本申请的再一目的在于提供一种显示面板，包括阵列基板和彩膜基板，所述阵列基板包括基板、以及呈层叠依次设置于所述基板上的栅电极、栅绝缘层、半导体层、金属层、及光刻胶，所述光刻胶上开设有通道，所述金属层上开设有连通所述通道并漏出所述半导体层的凹坑，所述凹坑的两侧壁与所述通道的
5 两侧壁相齐平。

本申请实施例提供的阵列基板的制造方法，通过采用第二次灰化处理，将金属层凹坑区域内经过第一次灰化处理未刻蚀掉的残余的光刻胶刻蚀掉，即通过在横向方向上减少第一次灰化处理未刻蚀掉光刻胶的覆盖量，保证光刻胶与金属层的边缘相齐平，降低了金属层与光刻胶之间的尺寸偏差，为后续的刻
10 蚀工艺提供保证，以实现后续的半导体层与金属层对齐。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳
15 动的前提下，还可以根据这些附图获得其它的附图。

图 1 是本申请实施例提供的一种阵列基板制造方法的流程图；

图 2 是本申请实施例提供的在基板上沉积栅金属薄膜层的结构示意图；

图 3 是本申请实施例提供的在基板上沉积栅绝缘层的结构示意图；

图 4 是本申请实施例提供的在基板上沉积半导体层的结构示意图；

20 图 5 是本申请实施例提供的在基板上沉积金属层的结构示意图；

图 6 是本申请实施例提供的经过第一次灰化处理及湿蚀刻后的结构示意图；

图 7 是本申请实施例提供的经过第二次灰化处理的结构示意图；

图 8 是本申请实施例提供的沉积钝化层与导电薄膜的结构示意图；

图 9 是本申请实施例提供的显示面板的结构示意图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实
5 施例，对本申请进行进一步详细说明。应当理解，此处所描述的具体实施例仅
用以解释本申请，并不设置为限定本申请。

需说明的是，当部件被称为“固定于”或“设置于”另一个部件，它可以
直接在另一个部件上或者间接在该另一个部件上。当一个部件被称为是“连接
于”另一个部件，它可以是直接或者间接连接至该另一个部件上。术语“上”、
10 “下”、“左”、“右”等指示的方位或位置关系为基于附图所示的方位或位置关
系，仅是为了便于描述，而不是指示或暗示所指的装置或元件必须具有特定的
方位、以特定的方位构造和操作，因此不能理解为对本专利的限制，对于本领
域的普通技术人员而言，可以根据具体情况理解上述术语的具体含义。术语“第
一”、“第二”仅设置为便于描述目的，而不能理解为指示或暗示相对重要性或
15 者隐含指明技术特征的数量。“多个”的含义是两个或两个以上，除非另有明
确具体的限定。

为了说明本申请所述的技术方案，以下结合具体附图及实施例进行详细说
明。

如图 1~8 所示，本申请实施例提供了一种阵列基板的制造方法，包括如下
20 步骤：

在基板 1 上依次形成栅电极 2、栅绝缘层 3、半导体层 4 以及金属层 5；对
应图 1 中的步骤 a 与步骤 b；

在金属层 5 上涂覆一层光刻胶 6；通过曝光、显影步骤形成未曝光区域 A、

部分曝光区域 B 以及完全曝光区域 C；对应图 1 中的步骤 c；

进行第一次灰化处理去除部分曝光区域 B 的光刻胶 6，暴露出对应所述部分曝光区域 B 的金属层 5；对应图 1 中的步骤 d；

进行湿蚀刻对部分曝光区域 B 的金属层 6 进行刻蚀，形成金属层凹坑 50，

5 漏出半导体层 4；对应图 1 中的步骤 e；

进行第二次灰化处理，将上述金属层凹坑 50 区域内经过第一次灰化处理未刻蚀掉的残余的光刻胶 6 刻蚀掉；对应图 1 中的步骤 f；

进行干蚀刻，形成薄膜晶体管沟道区域图形；对应图 1 中的步骤 g。

在本实施例中，请参阅图 6 与图 7，采用半色调或灰色调掩膜版曝光，使
10 光刻胶 6 形成完全曝光区域（光刻胶完全去除区域）C、部分曝光区域 B（光刻胶部分去除区域）、以及未曝光区域 A（光刻胶完全保留区域），这样，通过采用第一次灰化处理，从而去除部分曝光区域 B 的光刻胶 6，暴露出对应部分曝光区域 B 的金属层 5；通过进行湿蚀刻，从而对部分曝光区域 B 的金属层 5 进行刻蚀，形成金属层凹坑 50，漏出半导体层 4；由于经过第一次灰化处理后，
15 未能完全将金属层凹坑 50 上方的光刻胶 6 完全去除掉，故而需通过采用第二次灰化处理，将金属层凹坑 50 区域内经过第一次灰化处理未刻蚀掉的残余的光刻胶 6 刻蚀掉，即通过在横向方向上减少第一次灰化处理未刻蚀掉光刻胶 6 的覆盖量，保证光刻胶 6 与金属层 5 的边缘相齐平，降低了金属层 5 与光刻胶 6 之间的尺寸偏差，为后续的刻蚀工艺提供保证。当然，在本实施例中，该
20 制备方法不限于上述顺序，此处不作唯一限定。

在一个实施例中，如图 7 所示，图中的 X 代表的是上述所述的光刻胶 6 的横向方向。

在一个实施例中，上述第二次灰化处理可采用氧气或六氟化硫气体刻蚀，

从而可较好的将上述光刻胶 6 刻蚀掉。

可选地，上述第一次灰化处理也可采用氧气或六氟化硫气体刻蚀，从而可较好的将上述光刻胶 6 刻蚀掉。

当然，在本实施例中，上述第一灰化处理或第二次灰化处理也可以通过其
5 他气体来刻蚀，此处不作唯一限定。

在一个实施例中，上述半导体层 4 包括硅基薄膜层 41 和欧姆接触层 42，
该欧姆接触层 42 沉积于上述硅基薄膜 41 上。可选地，上述欧姆接触层 42 可
通过化学气相沉积法沉积于硅基薄膜层 41 上，当然，在本实施例中，上述欧
姆接触层 42 也可通过物理气相沉积法沉积于上述硅基薄膜层 41 上，此处不作
10 唯一限定。

在一个实施例中，在进行第二次灰化处理，将金属层凹坑 50 区域对应的
残余的光刻胶刻蚀掉的步骤之后还包括如下步骤：

进行干蚀刻，将暴露在所述金属层凹坑 50 中的所述欧姆接触层 42 刻蚀掉，
使得部分曝光区域 B 漏出所述硅基薄膜层 41，以此形成薄膜晶体管沟道区域
15 图形。这样，通过在干蚀刻之前设置第二次灰化处理，从而将金属层凹坑 50
中的多余的光刻胶 6 刻蚀掉，当进行干蚀刻时，从而可将漏出的金属层凹坑
50 中的半导体层 4 完全刻蚀掉，使得半导体层 4 与金属层 5 的边缘相齐平，
减少了因出现尺寸偏差而影响阵列基板的电性表现。

可选地，请参照表一，表一为灰化处理中不同气体对金属凹坑中的欧姆接
20 触层刻蚀的影响。通过对比能够明显的看出，在同等条件下，通过灰化处理可
使得金属层凹坑 50 中的残留量的欧姆接触层 42 较少；此外，在同等条件下，
相对于氧气刻蚀来讲，六氟化硫气体刻蚀使得金属层凹坑 50 中的欧姆接触层
42 残留量较少，进而使得显示面板具有较好的显示特性。

表一：灰化处理中不同气体对金属层凹坑中的欧姆接触层刻蚀的影响

处理条件	欧姆接触层残留量/微米
无灰化处理	0.5821
灰化处理（氧气刻蚀）	0.196
灰化处理（六氟化硫刻蚀）	0.0992

可选地，请参照表二，表二为氧气刻蚀下不同时间对金属凹坑中的半导体刻蚀的影响。通过对比能够明显的看出，在同等条件下，当刻蚀的时间越长时，金属层凹坑 50 中的欧姆接触层 42 残留量逐渐减少，当通气时间达到 60 秒时，效果较佳，可使得欧姆接触层 42 残留量达到 0.0769 微米，几乎能够实现欧姆接触层 42 与金属层 5 的边缘相齐平，避免了因欧姆接触层 42 出现残留量而影响阵列基板的电学特性。

表二：氧气刻蚀下不同时间对金属层凹坑中的欧姆接触层刻蚀的影响

时间/秒	欧姆接触层残留量/微米
20	0.196
40	0.0917
60	0.0769

10

可选地，请参照表三，表三为六氟化硫气体刻蚀下不同时间对金属凹坑中的欧姆接触层刻蚀的影响。通过对比能够明显的看出，在同等条件下，当刻蚀的时间越长时，金属层凹坑 50 中的欧姆接触层 42 残留量逐渐减少，当通气时间达到 20 秒时，效果较佳，可使得欧姆接触层 42 残留量达到 0.0992 微米，为欧姆接触层 42 的边缘能够与金属层 5 的边缘相齐平提供了保证。

15

表三：六氟化硫气体刻蚀下不同时间对金属层凹坑中的欧姆接触层刻蚀的影响

时间/秒	欧姆接触层残留量/微米
10	0.1365
20	0.0992

可选地，通过表二与表三对比能够看出，当采用氧气刻蚀，通气时长为 40 秒时，此时欧姆接触层 42 的残留量达到 0.09178 微米，当采用六氟化硫气体刻蚀，通气时长为 20 秒时，此时欧姆接触层 42 的残留量达到 0.0992 微米，通过对比能够发现，采用六氟化硫气体刻蚀能够在较短的时间内，使得欧姆接
5 触层 42 的残留量达到与氧气刻蚀在 40 秒的残留量，即通过采用六氟化硫气体刻蚀，可大大提高刻蚀的效率，进而节约了生产成本。

在一个实施例中，在所述金属层上设置光刻胶并形成未曝光区域、部分曝光区域以及完全曝光区域的步骤与所述进行第一次灰化处理去除部分曝光区域的光刻胶，暴露出对应所述部分曝光区域的金属层的步骤还包括如下步骤：

10 采用湿蚀刻工艺对完全曝光区域 C 进行刻蚀，将完全曝光区域 C 的金属层 5 刻蚀掉；

对完全曝光区域 C 的欧姆接触层 42 采用干蚀刻工艺进行蚀刻以形成数据线、源电极及漏电极。

这样，通过湿蚀刻及干蚀刻，从而可在基板 1 上形成数据线、源电极及漏
15 电极。在本实施例中，上述源电极及漏电极材料可选用铬、铝或铜等金属中的任意一种或多种，此处不作唯一限定。

在一个实施例中，请参阅图 8，在进行第二次灰化处理，将金属层凹坑 50 区域对应的残余的光刻胶刻蚀掉的步骤中还包括如下步骤：

在完全曝光区域 C 上沉积一层钝化层 7，通过干蚀刻在所述钝化层 7 上制
20 作出过孔。

可选地，在本实施例中，采用等离子体增强化学气相沉积法沉积一层钝化层 7，钝化层 7 采用氮化硅材料制备，这样，通过采用氮化硅材料制备钝化层 7，从而可起到防止水汽、钠离子和氧气杂质侵入到器件中，当然，在本实施例中，上述钝化层 7 也可通过其他有机绝缘材料制备，此处不作唯一限定。

5 在一个实施例中，请参阅图 8，在沉积所述钝化层 7 之后，将所述金属层凹坑 50 区域对应的残余的所述光刻胶刻蚀掉的步骤中还包括如下步骤：

在所述钝化层 7 上沉积一层导电薄膜 8，通过干蚀刻使所述导电薄膜 8 形成像素电极，所述像素电极通过所述过孔与所述漏电极电性连接；

剥离剩余的光刻胶 6。

10 可选地，在本实施例中，通过在上述钝化层 7 上涂覆一层光刻胶 6，采用普通掩膜版通过曝光和显影后，采用干法刻蚀工艺，在像素区域内形成钝化层凹坑（即过孔图形），钝化层凹坑内的钝化层 7 被完全刻蚀掉，从而可暴露出部分漏电极。

可选地，在本实施例中，采用磁控溅射或热蒸发的方法沉积一层导电薄膜
15 8，该导电薄膜 8 可采用氧化铟锡或氧化铟锌，这样，通过进行干蚀刻形成像素电极，且该像素电极可通过钝化层凹坑与漏电极电性相连。最后，利用带膜剥离工艺去除剩余的光刻胶 6 和覆盖在剩余光刻胶 6 上的导电薄膜 8，从而使得沉积在钝化层凹坑中的导电薄膜 8 保留下来。

可选地，上述栅绝缘层 3 与半导体层 4 均采用化学气相沉积沉积于上述基
20 板 1 上，且上述金属层 5 通过气相沉积法沉积于上述半导体层 4 上。

可选地，在本实施例中，上述栅绝缘层 3 的材料可为氧化物、氮化物或者氧氮化物等材料，当然，在本实施例中，上述栅绝缘层 3 也可通过其他材料制备，此处不作唯一限定。

在本申请中，还提供了一种阵列基板的制造方法，该阵列基板的制造方法与上述所述的阵列基板制造方法大致相同，可选地，上述第一次灰化处理与第二次灰化处理均采用六氟化硫气体刻蚀。这样，通过采用上述方法制造的阵列基板，从而可保证金属层 5 与光刻胶 6 的边缘相齐平，从而使得后续刻蚀的欧姆接触层 42 与金属层 5 的边缘相齐平，避免了因边缘不齐而引起尺寸偏差，从而影响了显示面板的电学特性。

在本申请中，还提供了一种显示面板，请参阅图 7 与图 9，该显示面板 9 包括阵列基板 91 和彩膜基板 92，其中，该阵列基板 91 包括基板 1，在该基板 1 上依次呈层叠设置的栅电极 2、栅绝缘层 3、半导体层 4、金属层 5、及光刻胶 6，上述光刻胶 6 上开设有通道 60，与此同时，上述金属层 5 上开设有金属层凹坑 50，该金属层凹坑 50 与上述通道 60 相连通，且上述金属层凹坑 50 的两侧壁与上述通道 60 的两侧壁相齐平。这样，通过设置金属层凹坑 50，从而可使得上述半导体层 4 裸露在外，以此形成薄膜晶体管沟道区域图形；通过将上述金属层凹坑 50 的两侧壁与上述通道 60 的两侧壁设置为相齐平，从而降低了金属层 5 与光刻胶 6 之间的尺寸偏差，为后续的刻蚀工艺提供保证，以实现后续的半导体层 4 与金属层 5 对齐。

在本申请中，通过在采用干蚀刻之前，增加第二次灰化处理，从而可降低金属层 5 与光刻胶 6 之间的尺寸偏差，从而为后续刻蚀的欧姆接触层 42 与金属层 5 的边缘相齐平提供了保证，此外，通过使用六氟化硫气体来对光刻胶 6 蚀刻，可实现在较短的时间内对光刻胶 6 进行较好的蚀刻，提高了刻蚀的生产效率，降低了生产成本。

以上仅为本申请的可选实施例而已，并不设置为限制本申请。对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的精神和原则之

内，所作的任何修改、等同替换、改进等，均应包含在本申请的权利要求范围之内。

权 利 要 求 书

1. 一种阵列基板的制造方法，其中，包括如下步骤：

在基板上依次形成栅电极、栅绝缘层、半导体层以及金属层；

在所述金属层上涂覆光刻胶；通过曝光、显影形成未曝光区域、部分曝光
5 区域以及完全曝光区域；

进行第一次灰化处理，去除部分曝光区域的光刻胶，暴露出对应所述部分
曝光区域的金属层；

进行湿蚀刻，对部分曝光区域的所述金属层进行刻蚀，形成金属层凹坑，
漏出半导体层；

10 进行第二次灰化处理，将所述金属层凹坑区域内经过第一次灰化处理未刻
蚀掉的残余的所述光刻胶刻蚀掉；以及

进行干蚀刻，形成薄膜晶体管沟道区域图形。

2. 根据权利要求 1 所述的一种阵列基板的制造方法，其中，所述第二次
灰化处理采用氧气刻蚀。

15 3. 根据权利要求 1 所述的一种阵列基板的制造方法，其中，所述第二次
灰化处理采用六氟化硫气体刻蚀。

4. 根据权利要求 1 所述的一种阵列基板的制造方法，其中，所述半导体
层包括硅基薄膜层和沉积于所述硅基薄膜层上的欧姆接触层。

5. 根据权利要求 4 所述的一种阵列基板的制造方法，其中，所述欧姆接
20 触层通过化学气相沉积于所述硅基薄膜层上。

6. 根据权利要求 4 所述的一种阵列基板的制造方法，其中，在进行所述
第二次灰化处理，将所述金属层凹坑区域对应的残余的所述光刻胶刻蚀掉的步

骤之后还包括如下步骤：

进行干蚀刻，将暴露在所述金属层凹坑中的所述欧姆接触层刻蚀掉，漏出所述硅基薄膜层，以此形成薄膜晶体管沟道区域图形。

5 7. 根据权利要求 6 所述的一种阵列基板的制造方法，其中，在所述金属层上设置光刻胶并形成未曝光区域、部分曝光区域以及完全曝光区域的步骤与
所述进行第一次灰化处理去除部分曝光区域的光刻胶，暴露出对应所述部分曝光区域的金属层的步骤之间还包括如下步骤：

采用湿蚀刻工艺对所述完全曝光区域进行刻蚀，将所述完全曝光区域的金属层刻蚀掉；以及

10 对所述完全曝光区域的欧姆接触层采用干蚀刻工艺进行蚀刻以形成数据线、源电极及漏电极。

8. 根据权利要求 7 所述的一种阵列基板的制造方法，其中，所述源电极或漏电极采用铬、铝和铜中的任意一种材料制备。

9. 根据权利要求 7 所述的一种阵列基板的制造方法，其中，在进行第二次灰化处理，将所述金属层凹坑区域对应的残余的所述光刻胶刻蚀掉的步骤中
15 还包括如下步骤：

在所述完全曝光区域内沉积一层钝化层，通过干蚀刻在所述钝化层上制作出过孔。

10. 根据权利要求 9 所述的一种阵列基板的制造方法，其中，所述钝化层
20 通过等离子体增强化学气相沉积法沉积于所述完全曝光区域内。

11. 根据权利要求 9 所述的一种阵列基板的制造方法，其中，在沉积所述钝化层之后，将所述金属层凹坑区域对应的残余的所述光刻胶刻蚀掉的步骤中还包括如下步骤：

在所述钝化层上沉积导电薄膜，通过干蚀刻使所述导电薄膜形成像素电极，所述像素电极通过所述过孔与所述漏电极电性连接；以及
剥离剩余的光刻胶。

12. 根据权利要求 11 所述的一种阵列基板的制造方法，其中，所述导电
5 薄膜通过磁控溅射或热蒸发法沉积于所述钝化层上。

13. 根据权利要求 11 所述的一种阵列基板的制造方法，其中，所述导电
薄膜为氧化铟锡和氧化铟锌中的任意一种材料制备。

14. 根据权利要求 1 所述的一种阵列基板的制造方法，其中，所述栅绝缘
层及所述半导体层通过化学气相沉积法依次沉积于所述基板上，所述金属层通
10 过物理气相沉积法沉积于所述半导体层上。

15. 根据权利要求 14 所述的一种阵列基板的制造方法，其中，所述栅绝
缘层的材料为氧化物、氮化物或者氧氮化物。

16. 一种阵列基板的制造方法，包括如下步骤：

在基板上依次形成栅电极、栅绝缘层、半导体层以及金属层；

15 在所述金属层上涂覆一层光刻胶；通过曝光、显影形成未曝光区域、部分
曝光区域以及完全曝光区域；

进行第一次灰化处理去除部分曝光区域的光刻胶，暴露出对应所述部分曝
光区域的金属层；

进行湿蚀刻对部分曝光区域的所述金属层进行刻蚀，形成金属层凹坑，漏
20 出半导体层；

进行第二次灰化处理，将所述金属层凹坑区域内经过第一次灰化处理未刻
蚀掉的残余的所述光刻胶刻蚀掉；以及

进行干蚀刻，形成薄膜晶体管沟道区域图形；

所述第一次灰化处理与所述第二次灰化处理均采用六氟化硫气体刻蚀。

17. 显示面板，包括阵列基板和彩膜基板，其中，所述阵列基板包括基板、以及呈层叠依次设置于所述基板上的栅电极、栅绝缘层、半导体层、金属层、及光刻胶，所述光刻胶上开设有通道，所述金属层上开设有连通所述通道并漏
- 5 出所述半导体层的凹坑，所述凹坑的两侧壁与所述通道的两侧壁相齐平。

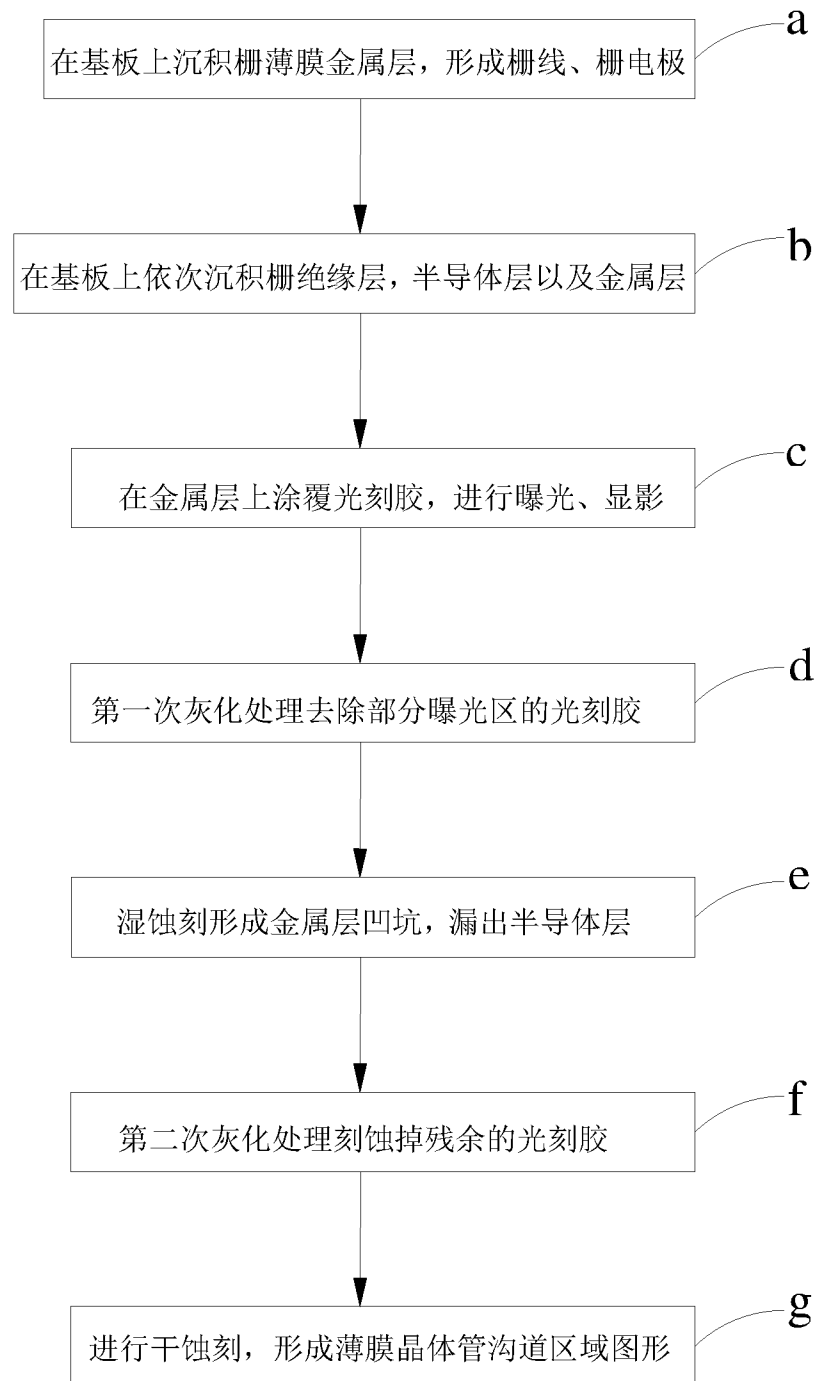


图 1

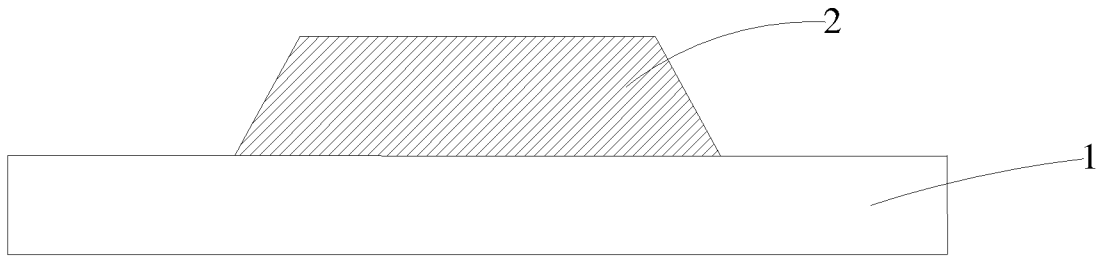


图 2

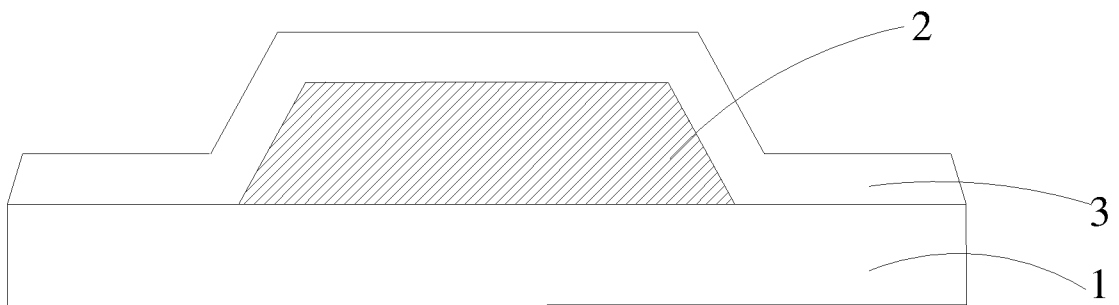


图 3

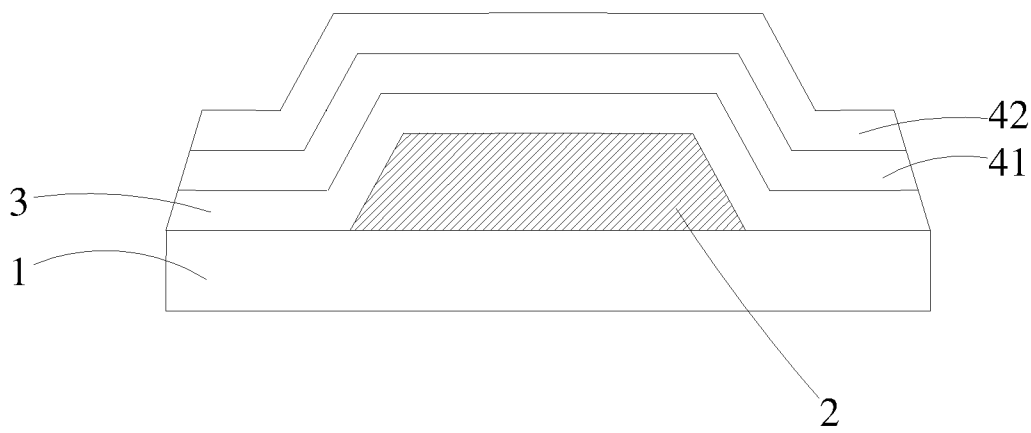


图 4

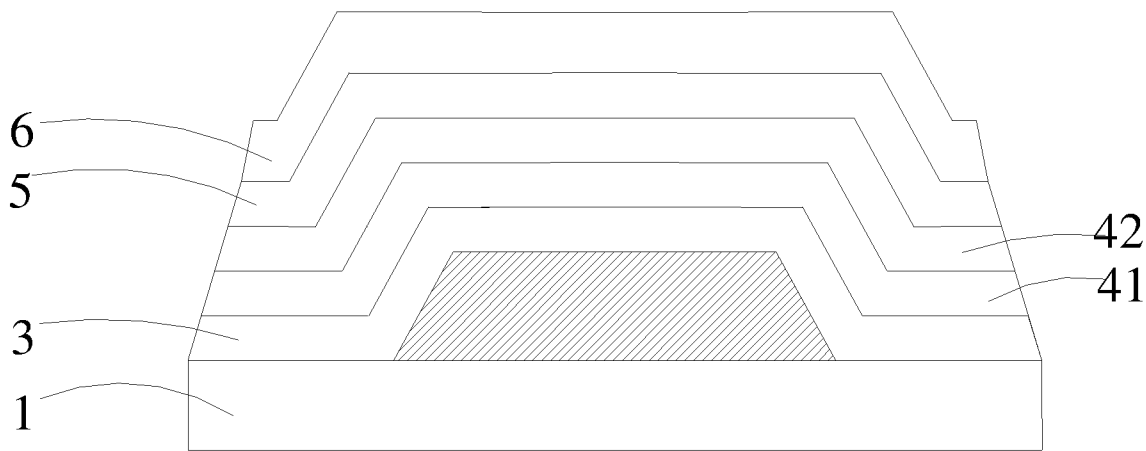


图 5

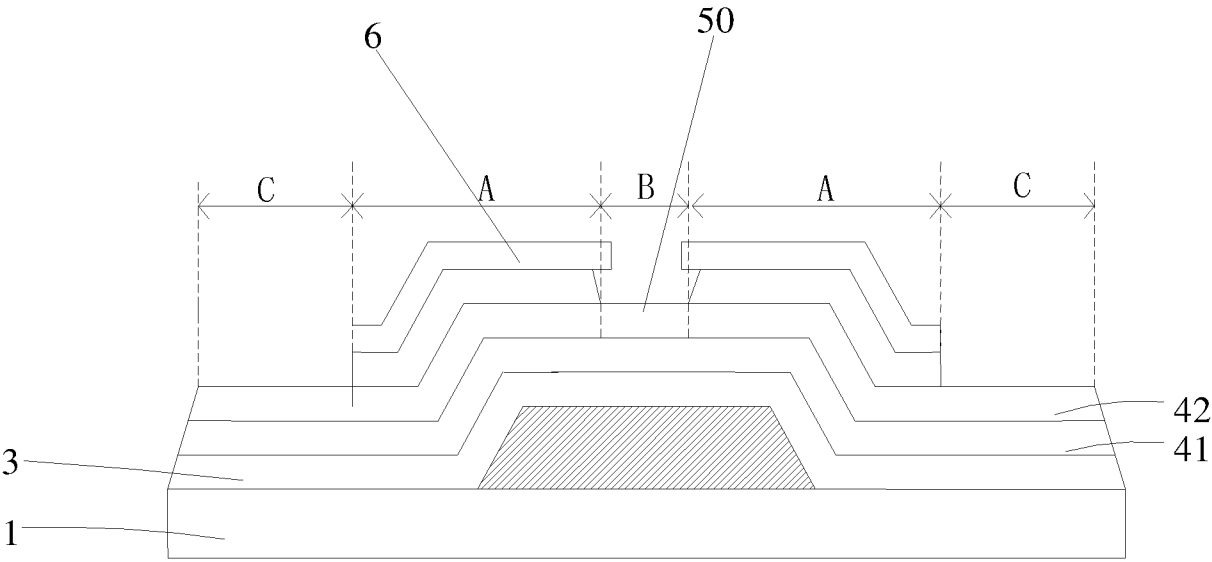


图 6

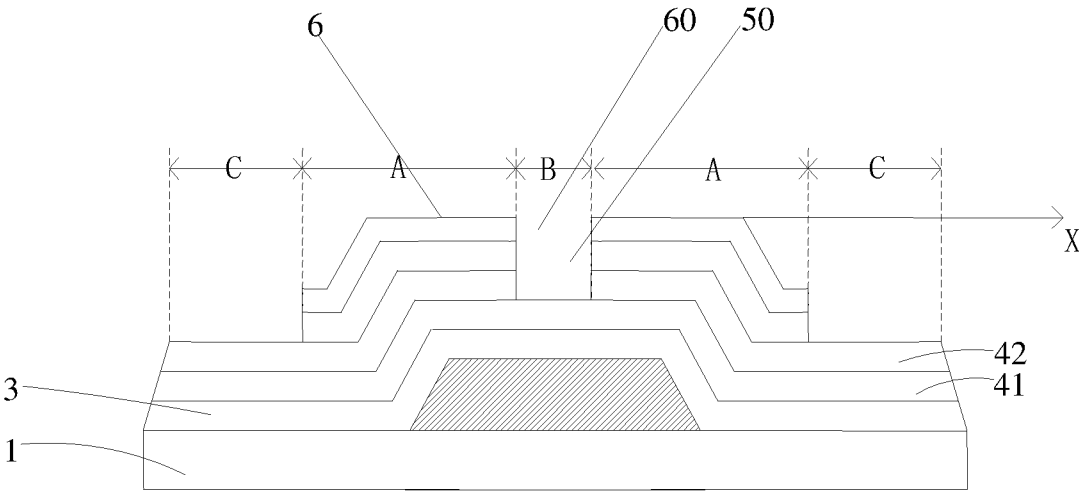


图 7

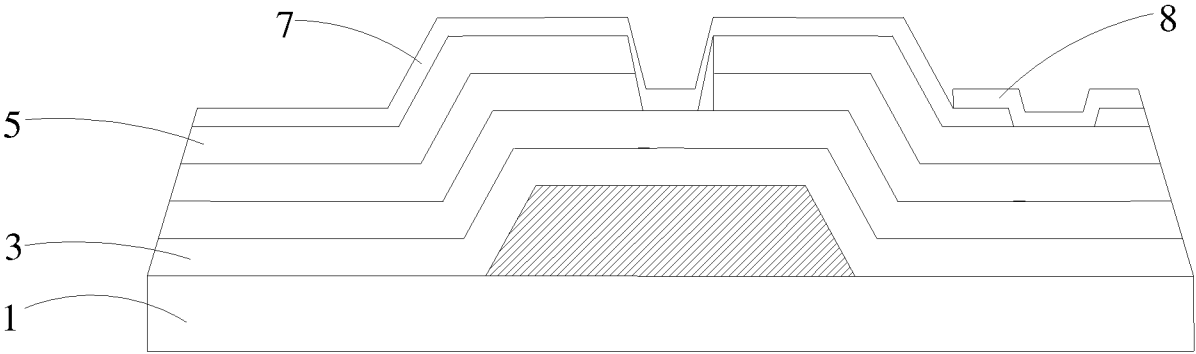


图 8

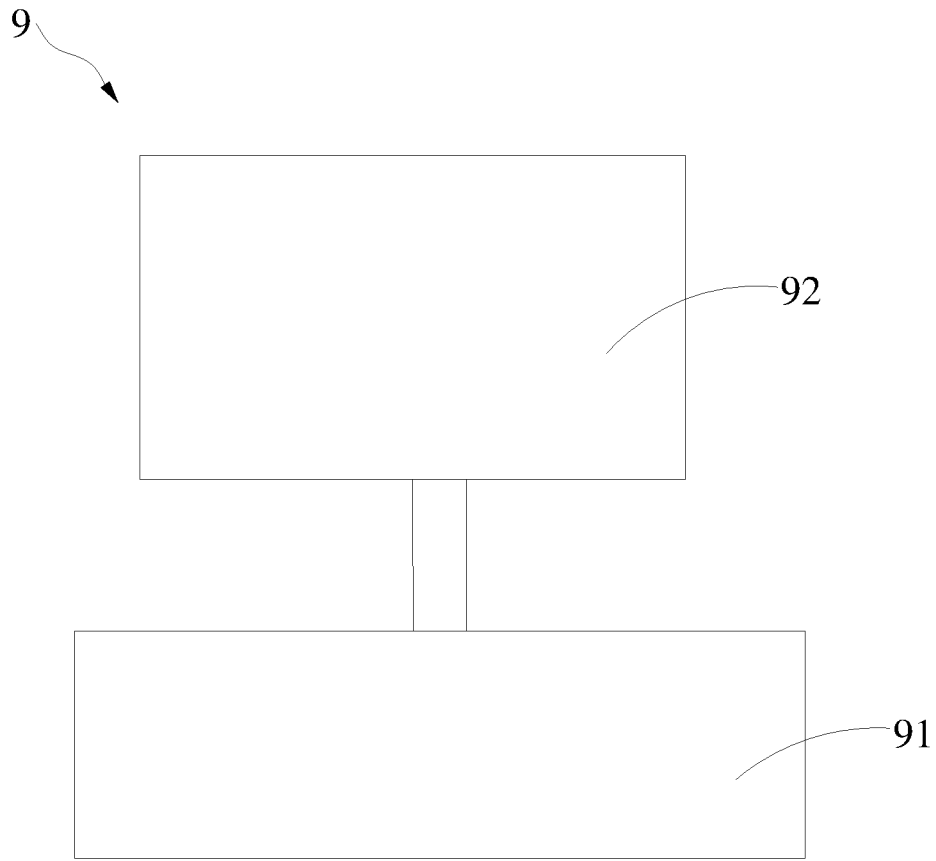


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/119706

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 阵列基板, 显示器, 液晶, 刻蚀, 蚀刻, 灰化, 齐平, 平齐, 金属, 光刻胶, lcd, etch+, ash +, metal+, photoresist, remove

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102629588 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 August 2012 (2012-08-08) description, paragraphs [0002]-[0076], and figures 1-2	17
A	US 2004018743 A1 (KIM, J.P.) 29 January 2004 (2004-01-29) entire document	1-17
A	CN 104425265 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 18 March 2015 (2015-03-18) entire document	1-17
A	CN 103163745 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 19 June 2013 (2013-06-19) entire document	1-17
A	CN 105845624 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 10 August 2016 (2016-08-10) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 July 2019

Date of mailing of the international search report

12 August 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/119706

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102629588	A	08 August 2012	CN	102629588	B	16 April 2014
US	2004018743	A1	29 January 2004	KR	20040009506	A	31 January 2004
				KR	100439844	B1	12 July 2004
CN	104425265	A	18 March 2015	CN	104425265	B	14 July 2017
CN	103163745	A	19 June 2013	CN	103163745	B	02 September 2015
CN	105845624	A	10 August 2016		None		

国际检索报告

国际申请号

PCT/CN2018/119706

A. 主题的分类 H01L 21/77(2017.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC, IEEE:阵列基板, 显示器, 液晶, 刻蚀, 蚀刻, 灰化, 齐平, 平齐, 金属, 光刻胶, lcd, etch+, ash+, metal+, photoresist, remove																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102629588 A (京东方科技集团股份有限公司 等) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0002]-[0076]段, 附图1-2</td> <td>17</td> </tr> <tr> <td>A</td> <td>US 2004018743 A1 (KIM, JAE-PIL) 2004年 1月 29日 (2004 - 01 - 29) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 104425265 A (中芯国际集成电路制造上海有限公司) 2015年 3月 18日 (2015 - 03 - 18) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 103163745 A (中芯国际集成电路制造上海有限公司) 2013年 6月 19日 (2013 - 06 - 19) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 105845624 A (上海华虹宏力半导体制造有限公司) 2016年 8月 10日 (2016 - 08 - 10) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102629588 A (京东方科技集团股份有限公司 等) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0002]-[0076]段, 附图1-2	17	A	US 2004018743 A1 (KIM, JAE-PIL) 2004年 1月 29日 (2004 - 01 - 29) 全文	1-17	A	CN 104425265 A (中芯国际集成电路制造上海有限公司) 2015年 3月 18日 (2015 - 03 - 18) 全文	1-17	A	CN 103163745 A (中芯国际集成电路制造上海有限公司) 2013年 6月 19日 (2013 - 06 - 19) 全文	1-17	A	CN 105845624 A (上海华虹宏力半导体制造有限公司) 2016年 8月 10日 (2016 - 08 - 10) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 102629588 A (京东方科技集团股份有限公司 等) 2012年 8月 8日 (2012 - 08 - 08) 说明书第[0002]-[0076]段, 附图1-2	17																		
A	US 2004018743 A1 (KIM, JAE-PIL) 2004年 1月 29日 (2004 - 01 - 29) 全文	1-17																		
A	CN 104425265 A (中芯国际集成电路制造上海有限公司) 2015年 3月 18日 (2015 - 03 - 18) 全文	1-17																		
A	CN 103163745 A (中芯国际集成电路制造上海有限公司) 2013年 6月 19日 (2013 - 06 - 19) 全文	1-17																		
A	CN 105845624 A (上海华虹宏力半导体制造有限公司) 2016年 8月 10日 (2016 - 08 - 10) 全文	1-17																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2019年 7月 31日		国际检索报告邮寄日期 2019年 8月 12日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 林少华 电话号码 86-(10)-53961454																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/119706

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102629588	A	2012年 8月 8日	CN	102629588	B	2014年 4月 16日
US	2004018743	A1	2004年 1月 29日	KR	20040009506	A	2004年 1月 31日
				KR	100439844	B1	2004年 7月 12日
CN	104425265	A	2015年 3月 18日	CN	104425265	B	2017年 7月 14日
CN	103163745	A	2013年 6月 19日	CN	103163745	B	2015年 9月 2日
CN	105845624	A	2016年 8月 10日	无			