(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6836180号
(P6836180)
(45)発行日　令和3年2月24日(2021.2.24)　(24)登録日　令和3年2月9日(2021.2.9)

(51)Int.Cl.　F I
H03H 9/24 (2006.01)　H03H 9/24 B

請求項の数 7　(全 25 頁)

(21)出願番号　特願2017-106270(P2017-106270)
(22)出願日　平成29年5月30日(2017.5.30)
(65)公開番号　特開2018-201184(P2018-201184A)
(43)公開日　平成30年12月20日(2018.12.20)
審査請求日　令和2年3月9日(2020.3.9)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目１番６号
(74)代理人　100116665
弁理士　渡辺　和昭
(74)代理人　100179475
弁理士　仲井　智至
(74)代理人　100216253
弁理士　松岡　宏紀
(72)発明者　蝦名　昭彦
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　山崎　隆
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】ＭＥＭＳ素子、電子機器および移動体

(57)【特許請求の範囲】
【請求項１】
素子を有する素子基板と、
前記素子基板を支持する支持基板と、
前記素子基板に配置される素子電極と、
前記素子基板に配置され、前記素子電極に接続する電極パッドと、
前記素子基板と前記電極パッドとの間に配置される素子調整層と、
前記素子調整層の、平面視で前記電極パッドと重なる位置に配置される第１の貫通孔と、
前記素子基板の、平面視で前記電極パッドと重なる位置に配置され、前記第１の貫通孔と連通する第２の貫通孔と、
前記支持基板の、平面視で前記電極パッドと重なる位置に配置され、前記第２の貫通孔と連通する第３の貫通孔と、
前記第１の貫通孔、前記第２の貫通孔および前記第３の貫通孔に配置され、前記電極パッドと導通する配線電極と、を有し、
前記第１の貫通孔の開口幅は、前記第２の貫通孔の開口幅よりも小さい、ＭＥＭＳ素子。
【請求項２】
前記第１の貫通孔を複数有し、
複数の前記第１の貫通孔を離間させる隔壁を有する請求項１に記載のＭＥＭＳ素子。

【請求項３】
３つ以上の前記隔壁が１点で交差する請求項２に記載のＭＥＭＳ素子。
【請求項４】
素子を有する素子基板と、
前記素子基板を支持する支持基板と、
前記素子基板に配置される素子電極と、
前記素子基板に配置され前記素子電極に接続する電極パッドと、
前記素子基板と前記電極パッドとの間に配置される素子調整層と、
前記素子調整層の、平面視で前記電極パッドと重なる位置に配置される第１の貫通孔と、
前記素子基板の、平面視で前記電極パッドと重なる位置に配置され、前記第１の貫通孔と連通する第２の貫通孔と、
前記支持基板の、平面視で前記電極パッドと重なる位置に配置され、前記第２の貫通孔と連通する第３の貫通孔と、
前記第１の貫通孔、前記第２の貫通孔および前記第３の貫通孔に配置され、前記電極パッドと導通する配線電極と、を有し、
前記第１の貫通孔の開口幅は、前記第２の貫通孔の開口幅よりも小さく、前記第２の貫通孔の開口幅は、前記第３の貫通孔の開口幅よりも小さい、ＭＥＭＳ素子。
【請求項５】
前記第１の貫通孔と前記第２の貫通孔とは、平面視で重なる部分を有する、請求項４に記載のＭＥＭＳ素子。
【請求項６】
請求項１乃至請求項５のいずれか一項に記載のＭＥＭＳ素子を備える電子機器。
【請求項７】
請求項１乃至請求項５のいずれか一項に記載のＭＥＭＳ素子を備える移動体。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＭＥＭＳ素子、ＭＥＭＳ素子を備えた電子機器および移動体に関する。
【背景技術】
【０００２】
従来、シリコン基板上にＭＥＭＳ技術を用いて作動素子を形成したＭＥＭＳ振動子が知られている。例えば、下記の特許文献１には、作動素子を形成したシリコン基板（素子基板）の作動素子の作動空間（内部空間）を、同じくシリコン基板で形成され、外部接続用の貫通孔電極（ＴＳＶ：Through Silicon Via）が設けられた蓋基板を接合して真空封止（減圧封止）し、個片化することでＭＥＭＳ振動子を製造する方法が開示されている。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２０１６－１７１３９３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
しかしながら、特許文献１に記載のＭＥＭＳ振動子では、作動空間を真空封止するために、貫通孔電極が設けられた蓋基板の接合面を凹凸の無い均一な面に加工する高度な加工方法が必要となるという課題があった。
また、素子基板と蓋基板とを一括して真空雰囲気（減圧雰囲気）で封止するためには、技術難度が高く、装置が大掛かりとなり、製造コストが高くなるという課題もあった。
【課題を解決するための手段】
【０００５】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の適用例又は形態として実現することが可能である。

【０００６】

［適用例１］本適用例に係るＭＥＭＳ素子は、素子と、前記素子を駆動するための素子電極と、を有する素子基板と、前記素子基板を支持する支持基板と、を有し、前記素子基板に配設され前記素子電極に接続する電極パッドを備え、前記素子基板と前記電極パッドとの間に素子調整層が配設され、前記素子調整層には、平面視で前記電極パッドと重なる位置に、第１の貫通孔が配設され、前記素子基板には、平面視で前記電極パッドと重なる位置に、第１の貫通孔と連通する第２の貫通孔が配設され、前記支持基板には、平面視で前記電極パッドと重なる位置に、第２の貫通孔と連通する第３の貫通孔が配設され、前記第１の貫通孔の開口幅は、前記第２の貫通孔の開口幅よりも小さく、前記第１の貫通孔、前記第２の貫通孔および前記第３の貫通孔には、前記電極パッドと導通する配線電極が配設されていることを特徴とする。

【０００７】

本適用例によれば、電極パッドと重なる位置に第１の貫通孔、第２の貫通孔および第３の貫通孔が配設され、第１の貫通孔、第２の貫通孔および第３の貫通孔に、電極パッドと導通する配線電極が配設されているため、素子基板の素子が形成された側と反対側の面で、容易に素子電極と電気的に接続することができる。そのため、高度な加工方法を必要とせずに信頼性に優れたＭＥＭＳ素子を得ることができる。また、第１の貫通孔の開口幅は、第２の貫通孔の開口幅よりも小さいので、電極パッドを支持する素子調整層の面積を大きくすることができ、電極パッドの強度を向上させることができる。

【０００８】

［適用例２］上記適用例に記載のＭＥＭＳ素子において、平面視で前記第２の貫通孔と重なる位置に配設される前記素子調整層は、断面視で前記第２の貫通孔まで延設されていることが好ましい。

【０００９】

本適用例によれば、第１の貫通孔を構成する素子調整層が第２の貫通孔まで延設されているので、電極パッドを支持する素子調整層の厚みが厚くなり、電極パッドの強度をより向上させることができる。

【００１０】

［適用例３］上記適用例に記載のＭＥＭＳ素子において、前記第１の貫通孔が複数あり、当該第１の貫通孔は隔壁により互いに離間されていることが好ましい。

【００１１】

本適用例によれば、複数の第１の貫通孔が素子調整層で構成される隔壁で互いに離間されているため、隔壁により電極パッドの強度を向上させつつ、複数の第１の貫通孔において電極パッドと配線電極との導通を図ることができ、信頼性に優れたＭＥＭＳ素子を得ることができる。

【００１２】

［適用例４］上記適用例に記載のＭＥＭＳ素子において、３つ以上の前記隔壁が１点で交差する構造を有することが好ましい。

【００１３】

本適用例によれば、３つ以上の隔壁が１点で交差する構造を有しているため、電極パッドを支持する素子調整層で構成される隔壁の強度を向上させ、電極パッドの強度をより向上させることができる。

【００１４】

［適用例５］本適用例に係るＭＥＭＳ素子は、素子と、前記素子を駆動するための素子電極と、を有する素子基板と、前記素子基板を支持する支持基板と、を有し、前記素子基板に配設され前記素子電極に接続する電極パッドを備え、前記素子基板と前記電極パッドとの間に素子調整層が配設され、前記素子調整層には、平面視で前記電極パッドと重なる位置に、第１の貫通孔が配設され、前記素子基板には、平面視で前記電極パッドと重なる

位置に、第１の貫通孔と連通する第２の貫通孔が配設され、前記支持基板には、平面視で前記電極パッドと重なる位置に、第２の貫通孔と連通する第３の貫通孔が配設され、前記第１の貫通孔および前記第２の貫通孔の開口幅は、前記第３の貫通孔の開口幅よりも小さく、前記第１の貫通孔、前記第２の貫通孔および前記第３の貫通孔には、前記電極パッドと導通する配線電極が配設されていることを特徴とする。

【００１５】

本適用例によれば、電極パッドと重なる位置に第１の貫通孔、第２の貫通孔および第３の貫通孔が配設され、第１の貫通孔、第２の貫通孔および第３の貫通孔に、電極パッドと導通する配線電極が配設されているため、素子基板の素子が形成された側と反対側の面で、容易に素子電極と導通することができる。そのため、高度な加工方法を必要とせずに信頼性に優れたＭＥＭＳ素子を得ることができる。また、第１の貫通孔および第２の貫通孔の開口幅は、第３の貫通孔の開口幅よりも小さいので、電極パッドを支持する素子調整層および第２の貫通孔を構成する素子基板の面積を大きくすることができ、電極パッドを支持する強度を向上させ、電極パッドの強度を向上させることができる。

【００１６】

［適用例６］上記適用例に記載のＭＥＭＳ素子において、前記素子調整層と前記素子基板とは、各々、平面視で重なる部分を有する前記第１の貫通孔と前記第２の貫通孔とを有することが好ましい。

【００１７】

本適用例によれば、素子調整層により構成される第１の貫通孔と素子基板により構成される第２の貫通孔とが、平面視で重なる部分を有しているため、電極パッドの支持強度を向上させつつ、電極パッドと配線電極との導通を図ることができ、信頼性に優れたＭＥＭＳ素子を得ることができる。

【００１８】

［適用例７］本適用例に係る電子機器は、上記適用例に記載のＭＥＭＳ素子を備えている。

【００１９】

本適用例によれば、電子機器に信頼性に優れたＭＥＭＳ素子が活用されることにより、より高性能の電子機器を提供することができる。

【００２０】

［適用例８］本適用例に係る移動体は、上記適用例に記載のＭＥＭＳ素子を備えている。

【００２１】

本適用例によれば、移動体に信頼性に優れたＭＥＭＳ素子が活用されることにより、より高性能の移動体を提供することができる。

【図面の簡単な説明】

【００２２】

【図１】第１実施形態に係るＭＥＭＳ素子の構成を示す概略平面図。

【図２Ａ】図１のＰ１－Ｐ１線における概略断面図。

【図２Ｂ】図２ＡのＱ１部を示す拡大図。

【図２Ｃ】図２ＡのＱ２部を示す拡大図。

【図３Ａ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。

【図３Ｂ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。

【図３Ｃ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。

【図３Ｄ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。

【図３Ｅ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置

に相当する概略断面図。
【図３Ｆ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｇ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｈ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｉ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｊ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｋ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｌ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｍ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｎ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｏ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｐ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｑ】第１実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図３Ｒ】本実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図４Ａ】第１実施形態に係るＭＥＭＳ素子の変形例１の構成を示す図１のＲ１における概略平面図。
【図４Ｂ】第１実施形態に係るＭＥＭＳ素子の変形例２の構成を示す図１のＲ１における概略平面図。
【図５Ａ】第２実施形態に係るＭＥＭＳ素子の構成を示す図１のＲ１における概略平面図。
【図５Ｂ】図５ＡのＰ２－Ｐ２線における概略断面図。
【図６Ａ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｂ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｃ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｄ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｅ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｆ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｇ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図６Ｈ】第２実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。

【図７Ａ】第３実施形態に係るＭＥＭＳ素子の構成を示す図１のＲ１における概略平面図。
【図７Ｂ】図７ＡのＰ３－Ｐ３線における概略断面図。
【図８Ａ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図８Ｂ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図８Ｃ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図８Ｄ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図８Ｅ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図８Ｆ】第３実施形態に係るＭＥＭＳ素子の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図。
【図９】本発明のＭＥＭＳ素子を備える電子機器としてのモバイル型（又はノート型）のパーソナルコンピューターの構成を示す斜視図。
【図１０】本発明のＭＥＭＳ素子を備える電子機器としての携帯電話機の構成を示す斜視図。
【図１１】本発明のＭＥＭＳ素子を備える電子機器としてのデジタルカメラの構成を示す斜視図。
【図１２】本発明のＭＥＭＳ素子を備える移動体としての自動車の構成を示す斜視図。
【発明を実施するための形態】
【００２３】
以下に本発明を具体化した実施形態について、図面を参照して説明する。以下は、本発明の一実施形態であって、本発明を限定するものではない。なお、以下の各図においては、説明を分かりやすくするため、実際とは異なる尺度で記載している場合がある。
【００２４】
（第１実施形態）
［ＭＥＭＳ素子］
先ず、第１実施形態に係るＭＥＭＳ素子１について、図１、図２Ａ、図２Ｂおよび図２Ｃを参照して説明する。
図１は、第１実施形態に係るＭＥＭＳ素子１の構成を示す概略平面図であり、図２Ａは、図１に示すＰ１－Ｐ１線における概略断面図であり、図２Ｂは、図２ＡのＱ１部の拡大図であり、図２Ｃは、図２ＡのＱ２部の拡大図である。なお、図１において、ＭＥＭＳ素子１の内部の構成を説明する便宜上、蓋部５を取り外した状態を図示している。また、図２Ａ、図２Ｂおよび図２Ｃにおいて、断面の背景を示す線は省略されている。
【００２５】
本実施形態に係るＭＥＭＳ素子１は、図１、図２Ａ、図２Ｂおよび図２Ｃに示すように、素子２０を気密封止するための蓋部５と、素子２０が形成されたＳＯＩ（Silicon on Insulator）基板１０と、を含み構成されている。
蓋部５は、単結晶シリコン等で構成され、ＳＯＩ基板１０側に開口するキャビティー７を有している。蓋部５のキャビティー７が設けられた側の面がＳＯＩ基板１０の素子２０が形成されている側の面に接合されている。
【００２６】
ＳＯＩ基板１０は、シリコン層１１と、ＢＯＸ（Buried Oxide）層１２と、表面シリコン層１３とが、この順で積層された基板である。例えば、シリコン層１１および表面シリコン層１３は、単結晶シリコンで構成され、ＢＯＸ層１２は、酸化ケイ素層（SiO_2等）で構成される。なお、本実施形態において、シリコン層１１およびＢＯＸ層１２は支持基板に、表面シリコン層１３は素子基板に相当する。

【００２７】
ＳＯＩ基板１０には、表面シリコン層１３のシリコンで構成された素子２０と、表面シリコン層１３上に形成された電極パッド５０と、素子２０を駆動するための素子電極と電極パッド５０とを接続する複数の配線４６（図２Ａ参照、図１では図示せず）と、電極パッド５０と接続し素子２０が形成されている側とは反対側の面に電極を引き出す配線電極５６，５８と、配線電極５６，５８を形成するための第２の貫通孔５２および第３の貫通孔５４と、蓋部５のキャビティー７とＳＯＩ基板１０に形成されたキャビティー８とにより構成される内部空間を気密封止するための第１の封止孔６０および第２の封止孔６２と、が配設されている。
【００２８】
素子２０は、ＢＯＸ層１２によって支持された基部２１と、ＢＯＸ層１２が除去された領域上において溝１３ａによって基部２１以外の周囲のシリコンから分離された振動部２２と、を有している。本実施形態で例示する素子２０は、３つの振動部２２を有している。振動部２２に対向する位置におけるシリコン層１１およびＢＯＸ層１２には、内部空間を構成するキャビティー８が設けられている。
また、素子２０の蓋部５側の面には、素子２０の所定の領域に配設されたシリコン酸化膜である素子調整層３０と、素子調整層３０の少なくとも一部を覆う圧電駆動部４０と、が設けられている。
【００２９】
素子調整層３０は、振動部２２の共振周波数の温度特性を補正するために設けられている。シリコンは、温度が高くなるにつれて低下する共振周波数を有しており、一方、シリコン酸化膜は、温度が高くなるにつれて上昇する共振周波数を有している。従って、シリコンの素子２０上にシリコン酸化膜である素子調整層３０を配設することにより、素子２０の振動部２２と素子調整層３０とで構成される複合体の共振周波数の温度特性をフラットに近付けることができる。なお、電極パッド５０と重なる位置に複数の第１の貫通孔５１が配設されている。
【００３０】
圧電駆動部４０は、ポリシリコン膜４１と、第１の電極４２と、圧電体層４３と、第２の電極４４と、を含んでいる。なお、本実施形態において、第１の電極４２および第２の電極４４は素子電極に相当する。
ポリシリコン膜４１は、不純物がドープされていないポリシリコンで構成され、例えば、アモルファスシリコンで構成されても良い。本実施形態において、ポリシリコン膜４１は、素子２０上に配設されている素子調整層３０を覆うように設けられている。このように、ポリシリコン膜４１と素子２０との間に素子調整層３０があることによって、ポリシリコン膜４１が、圧電駆動部４０の周囲のシリコン酸化膜のエッチングから素子調整層３０を保護することができる。
【００３１】
第１の電極４２および第２の電極４４は、圧電体層４３を挟むように配設されている。本実施形態に示す例においては、３つの振動部２２に対応して、３組の第１の電極４２、圧電体層４３および第２の電極４４が配設されている。
【００３２】
複数の配線４６は、隣り合う振動部２２を逆相で振動させるように、第１の電極４２および第２の電極４４に導通されている。また、複数の配線は電極パッド５０と導通されており、２つの電極パッド５０間に配線電極５６，５８を介して外部から電圧を印加することにより、隣り合う振動部２２を逆相で振動させることができる。
【００３３】
なお、これらを構成する材料としては、例えば、圧電体層４３は、窒化アルミニウム（ＡｌＮ）等で構成され、第１の電極４２および第２の電極４４は、窒化チタン（ＴｉＮ）等で構成され、複数の配線４６および電極パッド５０は、アルミニウム（Ａｌ）又は銅（Ｃｕ）等で構成されている。

【００３４】
２つの電極パッド５０を介して、第１の電極４２と第２の電極４４との間に電圧が印加されると、それによって圧電体層４３が伸縮して振動部２２が振動する。その振動は固有の共振周波数において大きく励起されて、インピーダンスが最小となる。その結果、このＭＥＭＳ素子１を発振回路に接続することで、主に振動部２２の共振周波数によって決定される発振周波数で発振する。
【００３５】
電極パッド５０は、図１に示すように、平面視で、蓋部５のキャビティー７の領域で、素子２０の両側に１つずつ配設されている。素子調整層３０には、平面視で電極パッド５０と重なる位置に、第１の貫通孔５１が配設され、素子基板となる表面シリコン層１３には、平面視で電極パッド５０と重なる位置に、第１の貫通孔５１と連通する第２の貫通孔５２が配設され、支持基板となるシリコン層１１およびＢＯＸ層１２には、平面視で電極パッド５０と重なる位置に、第２の貫通孔５２と連通する第３の貫通孔５４が配設されている。
なお、第１の貫通孔５１の開口幅Ｗ３は、第２の貫通孔５２の開口幅Ｗ４より小さい、そのため、電極パッド５０を支持する素子調整層３０の面積を大きくすることができるので、電極パッド５０の強度を向上させることができる。
【００３６】
また、電極パッド５０は、平面視で、第２の貫通孔５２と重なる位置では、第１の貫通孔５１、第２の貫通孔５２および第３の貫通孔５４に配設された配線電極５６，５８と、配線４６を介して電気的に接続されるよう配設され、第２の貫通孔５２と重ならない位置では、表面シリコン層１３上に素子調整層３０、ポリシリコン膜４１および配線４６を介して配設されている。そのため、電極パッド５０と配線電極５６，５８とが電気的に接続され、第１の電極４２および第２の電極４４を、ＳＯＩ基板１０の素子２０が形成されている側とは反対側の面に引き出すことができる。なお、配線電極５６，５８を構成する材料としては、チタニウム（Ｔｉ）やタングステン（Ｗ）や銅（Ｃｕ）等で構成されており、配線電極５６はスパッタ法により成膜したスパッタ層で、配線電極５８はメッキ法により形成されたメッキ層であり、スパッタ層（配線電極５６）にメッキ層（配線電極５８）が積層されている。
【００３７】
第１の封止孔６０および第２の封止孔６２は、平面視で、蓋部５のキャビティー７の領域で、基部２１の振動部２２が設けられている側と対向する側に配設されている。第１の封止孔６０は、表面シリコン層１３の、第２の封止孔６２と重なる位置に配設されている。また、第２の封止孔６２は、第１の封止孔６０に連通し、シリコン層１１およびＢＯＸ層１２に配設されている。
【００３８】
第１の封止孔６０は、開口幅Ｗ１が第２の封止孔６２の開口幅Ｗ２より小さく、第２の封止孔６２と重なる位置に複数配設されている。そのため、第２の封止孔６２の開口幅Ｗ２が第１の封止孔６０の開口幅Ｗ１より大きいため、第２の封止孔６２側から第１の封止孔６０を塞ぐ封止膜となる配線電極５６が第１の封止孔６０に到達し易くなり、封止が容易となる。また、第１の封止孔６０内には、スパッタ層からなる配線電極５６、つまり、配線電極５６と同じ金属層が配設され、蓋部５のキャビティー７とＳＯＩ基板１０に形成されたキャビティー８とにより構成される内部空間を気密封止している。
第２の封止孔６２内には、スパッタ層からなる配線電極５６が配設され、配線電極５６に積層するメッキ層からなる配線電極５８が配設されている。なお、本実施形態において、２つの第１の封止孔６０を配設しているが、これに限定されることはなく、１つ以上であれば良い。
【００３９】
以上述べたように、本実施形態に係るＭＥＭＳ素子１によれば、電極パッド５０と重なる位置に第１の貫通孔５１、第２の貫通孔５２および第３の貫通孔５４が配設され、第１

の貫通孔５１、第２の貫通孔５２および第３の貫通孔５４に、電極パッドと導通する配線電極５６，５８が配設されているため、素子基板としての表面シリコン層１３の素子２０が形成された側と反対側の面で、容易に第１の電極４２および第２の電極４４と電気的に接続することができる。そのため、高度な加工方法を必要とせずに信頼性に優れたＭＥＭＳ素子１を得ることができる。また、第１の貫通孔５１の開口幅Ｗ３は、第２の貫通孔５２の開口幅Ｗ４よりも小さいので、電極パッド５０を支持する素子調整層３０の面積を大きくすることができ、電極パッド５０の強度を向上させることができる。

【００４０】

［製造方法］

次に、本実施形態に係るＭＥＭＳ素子１の製造工程について、図３Ａ～図３Ｒを参照して説明する。

図３Ａ～図３Ｒは、本実施形態に係るＭＥＭＳ素子１の製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図である。なお、断面の背景を示す線は省略されている。

【００４１】

先ず、準備工程として、シリコン層１１と、ＢＯＸ層１２と、表面シリコン層１３とが、この順で積層されたＳＯＩ基板１０とキャビティー７を有する蓋部５を用意する（図２Ａ参照）。なお、ＳＯＩ基板１０は、シリコン層１１上にＢＯＸ層１２を形成し、ＢＯＸ層１２上に表面シリコン層１３を形成して作製しても良い。

【００４２】

第１の工程において、図３Ａに示すように、ＳＯＩ基板１０の表面シリコン層１３に、素子２０の振動部２２となる領域を素子２０の基部２１となる領域以外の周囲のシリコンから分離するトレンチ１３ｂ、素子調整層３０に第１の貫通孔５１を設けるためのトレンチ５１ｂおよび第１の封止孔６０を形成する。その際に、ＳＯＩ基板１０の表面シリコン層１３のトレンチ１３ｂによって素子２０の振動部２２から分離される領域に、スリット１３ｃが形成されても良い。それにより、溝１３ａ（図１参照）の幅が広い領域において、後に行われる振動部２２の周囲のシリコンのリリースエッチングを容易にすることができる。

【００４３】

トレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０の形成は、表面シリコン層１３上にレジスト１４を塗布し、フォトリソグラフィー法によってマスクパターンを形成し、レジスト１４をマスクとして表面シリコン層１３をエッチングすることにより、図３Ａに示すように、表面シリコン層１３に、素子２０の振動部２２となる領域を素子２０の基部２１となる領域以外の周囲のシリコンから分離するトレンチ１３ｂ、第１の貫通孔５１を設けるトレンチ５１ｂおよび第１の封止孔６０を形成する。なお、ＳＯＩ基板１０の表面シリコン層１３の表面を熱酸化することにより、シリコン酸化膜を形成し、フォトリソグラフィー法によってシリコン酸化膜によるマスクを形成し、表面シリコン層１３をエッチングすることで、トレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０を形成しても構わない。

【００４４】

第２の工程において、図３Ｂに示すように、表面シリコン層１３の上面、トレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０内の側壁に、シリコン酸化膜である素子調整層３０を形成する。例えば、ＳＯＩ基板１０の表面シリコン層１３を熱酸化することにより、表面シリコン層１３の上面、トレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０内の側壁に、熱酸化膜（シリコン酸化膜）が形成される。熱酸化膜の厚さは、例えば、０．３μｍ～１．２μｍ程度であり、所望の温度特性により調整しても良い。この熱酸化膜は、後に行われる振動部２２の周囲のシリコンのリリースエッチングから振動部２２および圧電駆動部４０を保護する保護壁となる。

【００４５】

次に、表面シリコン層１３のトレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０を埋めるシリコン酸化膜を、ＣＶＤ（化学蒸着）法によって形成する。その際に、トレン

チ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０内のシリコン酸化膜に「す」が発生しても、熱酸化膜が強固なので問題はない。また、加工によって形成された表面シリコン層１３のトレンチ１３ｂ、トレンチ５１ｂおよび第１の封止孔６０がシリコン酸化膜によって埋められて表面がほぼ平坦となるため、この後のフォトリソグラフィー工程への段差による悪影響を排除することができる。

【００４６】

従って、表面シリコン層１３を熱酸化することにより形成された熱酸化膜と、ＣＶＤ法によって形成されたシリコン酸化膜と、が図２Ａに示す素子調整層３０となる。なお、第２の工程において、素子調整層３０は、平坦性の程度により熱酸化膜のみで形成しても良い。又は、熱酸化膜を形成せずに、熱ＣＶＤ法によってシリコン酸化膜を形成しても良いし、更には、熱ＣＶＤ法とプラズマＣＶＤ法との２段階のＣＶＤ法によってシリコン酸化膜を形成しても良い。

【００４７】

第３の工程において、素子調整層３０の上にレジストを塗布し、フォトリソグラフィー法によって、第１の貫通孔５１、第１の封止孔６０および振動部２２を含む素子２０等の所定の領域を保護するマスクパターンを形成し、レジストをマスクとして素子調整層３０をエッチングすることにより、表面シリコン層１３に達するトレンチを形成する。その後、図３Ｃに示すように、素子調整層３０の上面とトレンチの側壁を覆うポリシリコン膜４１をＣＶＤ法により形成する。

【００４８】

第４の工程において、ポリシリコン膜４１上にレジストを塗布し、フォトリソグラフィー法によってマスクパターンを形成し、レジストをマスクとしてポリシリコン膜４１をエッチングする。それにより、図３Ｄに示すように、振動部２２を含む素子２０の所定の領域や第１の貫通孔５１となる所定の領域に形成された素子調整層３０の側面を含む領域にポリシリコン膜４１が形成される。

【００４９】

ポリシリコン膜４１は、素子２０との間で素子調整層３０を覆っており、ポリシリコン膜４１の厚さは、例えば、０．２μｍ程度である。ＣＶＤ法によるポリシリコン膜４１の埋め込み性は良好なので、後に行われる振動部２２および圧電駆動部４０の周囲のシリコン酸化膜のリリースエッチングから素子調整層３０を保護する強固なポリシリコン膜４１の壁を、小さい厚さで形成することができる。

【００５０】

第５の工程において、図３Ｅに示すように、素子２０の所定の領域に形成されたポリシリコン膜４１上に第１の電極４２、圧電体層４３、および第２の電極４４を、この順でフォトリソグラフィー法により形成する。なお、ポリシリコン膜４１～第２の電極４４は、圧電駆動部４０を構成する。また、第１の電極４２および第２の電極４４を形成する際は、第１の電極４２と電極パッド５０とを接続するための配線４６および第２の電極４４と電極パッド５０とを接続するための配線４６も同時に形成する。

【００５１】

第６の工程において、圧電駆動部４０が形成されたＳＯＩ基板１０上に、シリコン酸化膜３３をＣＶＤ法により形成する。その後、図３Ｆに示すように、電極パッド５０を形成する位置が開口したマスクパターンをフォトリソグラフィー法によって形成し、シリコン酸化膜３３をマスクとしてスパッタ法によりアルミニウム（Ａｌ）又は銅（Ｃｕ）等を電極パッド５０を形成する位置に成膜し、電極パッド５０を形成する。

【００５２】

第７の工程において、図３Ｇに示すように、電極パッド５０やシリコン酸化膜３３が形成されたＳＯＩ基板１０上に、ＣＶＤ法によりシリコン酸化膜３４を形成する。その後、シリコン酸化膜３４上にレジストを塗布し、フォトリソグラフィー法によってマスクパターンを形成し、レジストをマスクとしてシリコン酸化膜３４をエッチングする。それにより、図３Ｇに示すように、表面シリコン層１３に達するトレンチ１３ｂに対応する所定の

領域が開口するシリコン酸化膜３４が形成される。

【００５３】

第８の工程において、図３Ｈに示すように、シリコン酸化膜３４上にレジスト１６を塗布し、フォトリソグラフィー法によってマスクパターンを形成し、レジスト１６をマスクとして、トレンチ１３ｂに対応するシリコン酸化膜３４、素子調整層３０、ＢＯＸ層１２の順でエッチングする。それにより、振動部２２、圧電駆動部４０および電極パッド５０を保護するシリコン酸化膜３４や素子調整層３０を残しつつ、振動部２２の周囲を囲むような形状で、シリコン層１１に達する深さの開口を形成する。

【００５４】

第９の工程において、図３Ｉに示すように、レジスト１６を剥離した後に、シリコン酸化膜３４、素子調整層３０、表面シリコン層１３、ＢＯＸ層１２の開口を通して、振動部２２の周囲のシリコンをエッチングする（リリースエッチング）。その際に、シリコン層１１のシリコンの一部をエッチングして、振動部２２の下方におけるシリコン層１１にキャビティー８を形成する。第９の工程においては、ウエットエッチングが行われ、エッチング液としては、例えば、ＴＭＡＨ（水酸化テトラメチルアンモニウム）が用いられる。

【００５５】

第１０の工程において、図３Ｊに示すように、振動部２２、圧電駆動部４０、電極パッド５０、第１の封止孔６０の周囲のシリコン酸化膜３４、素子調整層３０およびＢＯＸ層１２がエッチングされる（リリースエッチング）。それにより、振動部２２上に素子調整層３０が残る。第１０の工程においては、ウエットエッチングが行われ、エッチング液としては、例えば、ＢＨＦ（バッファードフッ酸）が用いられる。その後、ＳＯＩ基板１０の素子２０が形成された面（表面シリコン層１３上面）に蓋部５のキャビティー７を有する面を配置し、接合する。なお、接合方法としては、接合面を活性化させて行う直接接合や低融点ガラス等の接合部材を用いた方法等がある。

【００５６】

第１１の工程において、図３Ｋに示すように、ＳＯＩ基板１０のシリコン層１１に第３の貫通孔５４と第２の封止孔６２を形成する。第３の貫通孔５４および第２の封止孔６２の形成は、エッチング用のマスク層３６を形成した後、フォトリソグラフィー法によってＳＯＩ基板１０のシリコン層１１をエッチングして行う。マスク層３６としては、レジスト膜を用いるが、シリコン層１１の表面を熱酸化することによるシリコン酸化膜でも良い。

【００５７】

第１２の工程において、図３Ｌに示すように、ＳＯＩ基板１０のＢＯＸ層１２をエッチングし、支持基板を構成するＢＯＸ層１２にも第３の貫通孔５４を形成する。その後、トレンチ５１ｂおよび第１の封止孔６０内の素子調整層３０をエッチングし、電極パッド５０と重なる位置に配置された素子調整層３０に第１の貫通孔５１を形成する。

【００５８】

第１３の工程において、図３Ｍに示すように、フイルムレジスト１８をマスク層３６上に貼り、フォトリソグラフィー法によって第３の貫通孔５４を開口するパターンを形成し、表面シリコン層１３をエッチングして、第２の貫通孔５２を形成する。その後、第１の貫通孔５１内のポリシリコン膜４１を反応性イオンエッチング（ＲＩＥ）等の異方性ドライエッチングにより除去する。

【００５９】

第１４の工程において、図３Ｎに示すように、フイルムレジスト１８を除去した後、ＣＶＤ法によりシリコン層１１上のマスク層３６の表面と、第１の貫通孔５１、第２の貫通孔５２、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁と、にシリコン酸化膜３２を成膜する。

【００６０】

第１５の工程において、図３Ｏに示すように、第１の貫通孔５１、第２の貫通孔５２、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁を除く、マスク層

３６、素子調整層３０、配線４６およびポリシリコン膜４１の表面のシリコン酸化膜３２を、反応性イオンエッチング（ＲＩＥ）等の異方性ドライエッチングにより除去する。

【００６１】

第１６の工程において、図３Ｐに示すように、スパッタ装置等の前処理室で、真空（減圧）雰囲気において、第１の封止孔６０に露出したポリシリコン膜４１をエッチングし、第１の封止孔６０上のポリシリコン膜４１に貫通孔を作成する。その後、キャビティー７，８で構成される内部空間を前処理室と同等の圧力とし、連続処理にて配線電極５６となるチタニウム（Ｔｉ）やタングステン（Ｗ）や銅（Ｃｕ）等の金属層をスパッタする。

【００６２】

本工程により、素子２０が形成されている側とは反対側の面に第１の電極４２および第２の電極４４と接続する配線電極５６を形成することができる。また、本工程では、配線電極５６が第１の封止孔６０を塞ぐため、素子２０が形成されているキャビティー７，８で構成される内部空間を真空雰囲気（減圧雰囲気）に封止することができる。従って、第１の貫通孔５１、第２の貫通孔５２および第３の貫通孔５４に配線電極５６を形成する工程と、配線電極５６で第１の封止孔６０を塞ぎ内部空間を気密封止する工程と、を同時に行うことができる。

【００６３】

第１７の工程において、図３Ｑに示すように、配線電極５６の表面にメッキ法等で配線電極５６に用いた金属層と同等の金属層を積層し配線電極５８を作成する。第１の貫通孔５１、第２の貫通孔５２、第３の貫通孔５４および第２の封止孔６２を完全に塞ぐことにより、導通性や機械的強度が向上し信頼性が向上する。なお、配線電極５６はスパッタ層であり、配線電極５８はメッキ層と言える。

【００６４】

第１８の工程において、図３Ｒに示すように、ＳＯＩ基板１０の蓋部５が接合された面とは反対側の面を研磨装置等で平坦化加工することで、電極パッド５０の強度が向上し信頼性に優れたＭＥＭＳ素子１が完成する。

【００６５】

［変形例］

次に、第１実施形態に係るＭＥＭＳ素子１の変形例について、図４Ａおよび図４Ｂを参照して説明する。

図４Ａは、第１実施形態に係るＭＥＭＳ素子１の変形例１の構成を示す図１のＲ１における概略平面図であり、図４Ｂは、第１実施形態に係るＭＥＭＳ素子１の変形例２の構成を示す図１のＲ１における概略平面図である。

【００６６】

第１実施形態に係るＭＥＭＳ素子１の変形例１および変形例２では、図４Ａおよび図４Ｂに示すように、第１実施形態における第１の貫通孔５１の形状が異なる。

変形例１における第１の貫通孔５１ａａは、図４Ａに示すように、形状が矩形であり、長手方向がそれぞれ交差するように配設されている。

また、変形例２における第１の貫通孔５１ａｂは、図４Ｂに示すように、３つの矩形がそれぞれの長手方向の一点で連結するように配設されている。

以上の構成とすることで、第１実施形態と同様に、電極パッド５０の強度を向上させつつ、電極パッド５０と配線電極５６，５８との導通を図ることができ、信頼性に優れたＭＥＭＳ素子１を得ることができる。

【００６７】

（第２実施形態）

［ＭＥＭＳ素子］

次に、本発明の第２実施形態に係るＭＥＭＳ素子１ａについて、図５Ａおよび図５Ｂを参照して説明する。

図５Ａは、第２実施形態に係るＭＥＭＳ素子１ａの構成を示す図１のＲ１における概略平面図であり、図５Ｂは、図５ＡのＰ２－Ｐ２線における概略断面図である。なお、上述

した実施形態との相違点を中心に説明し、同様の構成には、同一の符号を附してあり、同様の事項については、その説明を省略する。

【００６８】

第２実施形態に係るＭＥＭＳ素子１ａは、第１実施形態に係るＭＥＭＳ素子１の第１の貫通孔５１と比較し、第１の貫通孔５１ａｃの形状と構成が異なる。

本実施形態のＭＥＭＳ素子１ａの第１の貫通孔５１ａｃは、図５Ａに示すように、平面視で電極パッド５０および第２の貫通孔５２と重なる位置に配設され、素子調整層３０で構成された隔壁３８により、四角形や八角形の孔形状である。つまり、３つの隔壁３８が１点で交差する構造によって四角形の孔形状や八角形の孔形状を構成し、隔壁３８で互いに離間されている。

【００６９】

また、第１の貫通孔５１ａｃは、素子調整層３０に第１の貫通孔５１ａｃを形成するために設けられたトレンチ５１ｂに埋め込まれた素子調整層３０である隔壁３８で構成されており、図５Ｂに示すように、第２の貫通孔５２まで延設されている。従って、電極パッド５０を支持する素子調整層３０の厚みが厚くなり、電極パッド５０の強度が向上する。なお、本実施形態では、３つの隔壁３８が１点で交差する構造によって、第１の貫通孔５１ａｃを構成していたが、これに限定される必要はなく、３つ以上の隔壁３８が１点で交差する構造で、第１の貫通孔５１ａｃを構成しても構わない。３つ以上の隔壁３８を１点で交差させることで、電極パッド５０の支持強度が増し、電極パッド５０の強度をより向上させることができる。

【００７０】

以上述べたように、本実施形態に係るＭＥＭＳ素子１ａによれば、第１の貫通孔５１ａｃを構成する素子調整層３０が第２の貫通孔５２まで延設されているので、電極パッド５０を支持する素子調整層３０の厚みが厚くなり、電極パッド５０の強度をより向上させることができる。

【００７１】

また、複数の第１の貫通孔５１ａｃが素子調整層３０で構成される隔壁３８で互いに離間されているため、隔壁３８により電極パッド５０の強度を向上させつつ、複数の第１の貫通孔５１ａｃにおいて電極パッド５０と配線電極５６，５８との導通を図ることができ、信頼性に優れたＭＥＭＳ素子１ａを得ることができる。

【００７２】

また、３つ以上の隔壁３８が１点で交差する構造を有しているため、電極パッド５０を支持する素子調整層３０で構成される隔壁３８の強度を向上させ、電極パッド５０の強度をより向上させることができる。

【００７３】

［製造方法］

次に、第２実施形態に係るＭＥＭＳ素子１ａの製造工程について、図６Ａ～図６Ｈを参照して説明する。

図６Ａ～図６Ｈは、第２実施形態に係るＭＥＭＳ素子１ａの製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図である。なお、断面の背景を示す線は省略されている。なお、第２実施形態における製造工程は、前述した第１実施形態における製造工程の第１の工程から第１１の工程（図３Ａから図３Ｋ）まで同一なので、第１１の工程（図３Ｋ）に相当する工程以降について、説明する。

【００７４】

第１１の工程は、図６Ａに示すように、ＳＯＩ基板１０のシリコン層１１をマスク層３６をマスクとしてエッチングすることにより、第３の貫通孔５４と第２の封止孔６２を形成する。

【００７５】

第１２の工程は、図６Ｂに示すように、第３の貫通孔５４と第２の封止孔６２内のＳＯＩ基板１０のＢＯＸ層１２をエッチングし、その後、露出したトレンチ５１ｂおよび第１

の封止孔６０内の素子調整層３０の一部をエッチングする。

【００７６】

第１３の工程は、図６Ｃに示すように、フイルムレジスト１８をマスク層３６上に貼り、フォトリソグラフィー法によって第３の貫通孔５４を開口するパターンを形成し、表面シリコン層１３をエッチングして、第２の貫通孔５２を形成する。

【００７７】

第１４の工程は、図６Ｄに示すように、フイルムレジスト１８を除去した後、第２の貫通孔５２および第１の封止孔６０内の素子調整層３０をエッチングし、第２の貫通孔５２内のポリシリコン膜４１が露出するまで、素子調整層３０をエッチングする。

【００７８】

第１５の工程は、図６Ｅに示すように、フイルムレジスト１８をマスク層３６上に貼り、フォトリソグラフィー法によって第２の封止孔６２を開口するパターンを形成し、第１の封止孔６０内の素子調整層３０をエッチングし、第１の封止孔６０内のポリシリコン膜４１を露出する。

【００７９】

第１６の工程は、図６Ｆに示すように、ＣＶＤ法によりシリコン層１１上のマスク層３６の表面と、第１の貫通孔５１ａｃ、第２の貫通孔５２、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁と、にシリコン酸化膜３２を成膜する。その後、第１の貫通孔５１ａｃ、第２の貫通孔５２、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁を除く、マスク層３６、素子調整層３０、配線４６およびポリシリコン膜４１の表面のシリコン酸化膜３２を、反応性イオンエッチング（ＲＩＥ）等の異方性ドライエッチングにより除去する。その後、スパッタ装置等の前処理室で、真空（減圧）雰囲気において、第１の封止孔６０に露出したポリシリコン膜４１をエッチングし、第１の封止孔６０上のポリシリコン膜４１に貫通孔を作成する。

【００８０】

第１７の工程は、図６Ｇに示すように、キャビティー７，８で構成される内部空間を前処理室と同等の圧力とし、連続処理にて配線電極５６をスパッタし、第１の封止孔６０を塞ぐ、素子２０が形成されているキャビティー７，８で構成される内部空間を真空雰囲気（減圧雰囲気）に封止する。

【００８１】

第１８の工程において、図６Ｈに示すように、配線電極５６の表面にメッキ法等で配線電極５８を作成する。その後、ＳＯＩ基板１０の蓋部５が接合された面とは反対側の面を研磨装置等で平坦化加工することで、電極パッド５０の強度が向上し信頼性に優れたＭＥＭＳ素子１ａが完成する。

【００８２】

（第３実施形態）

［ＭＥＭＳ素子］

次に、本発明の第３実施形態に係るＭＥＭＳ素子１ｂについて、図７Ａおよび図７Ｂを参照して説明する。

図７Ａは、第３実施形態に係るＭＥＭＳ素子１ｂの構成を示す図１のＲ１における概略平面図であり、図７Ｂは、図７ＡのＰ３－Ｐ３線における概略断面図である。なお、上述した実施形態との相違点を中心に説明し、同様の構成には、同一の符号を附してあり、同様の事項については、その説明を省略する。

【００８３】

第３実施形態に係るＭＥＭＳ素子１ｂは、第１実施形態に係るＭＥＭＳ素子１の第１の貫通孔５１および第２の貫通孔５２と比較し、第１の貫通孔５１ａｄと第２の貫通孔５２ｂの形状と構成が異なる。

本実施形態のＭＥＭＳ素子１ｂの第１の貫通孔５１ａｄおよび第２の貫通孔５２ｂは、図７Ａに示すように、平面視で電極パッド５０および第３の貫通孔５４と重なる位置に配設され、第１の貫通孔５１ａｄおよび第２の貫通孔５２ｂの開口幅Ｗ３，Ｗ４は、第３の

貫通孔５４の開口幅Ｗ５より小さい。また、図７Ｂに示すように、第１の貫通孔５１ａｄは、素子調整層３０に配設され、第２の貫通孔５２ｂは、表面シリコン層１３に配設されており、第１の貫通孔５１ａｄの開口幅Ｗ３が第２の貫通孔５２ｂの開口幅Ｗ４より大きい。

【００８４】

以上述べたように、本実施形態に係るＭＥＭＳ素子１ｂによれば、第１の貫通孔５１ａｄおよび第２の貫通孔５２ｂの開口幅Ｗ３，Ｗ４は、第３の貫通孔５４の開口幅Ｗ５よりも小さいので、電極パッド５０を支持する素子調整層３０および第２の貫通孔５２ｂを構成する表面シリコン層１３の面積を大きくすることができ、電極パッド５０を支持する強度を向上させ、電極パッド５０の強度を向上させることができる。

【００８５】

また、素子調整層３０により構成される第１の貫通孔５１ａｄと表面シリコン層１３により構成される第２の貫通孔５２ｂとが、平面視で重なる部分を有しているため、電極パッド５０の支持強度を向上させつつ、電極パッド５０と配線電極５６，５８との導通を図ることができ、信頼性に優れたＭＥＭＳ素子１ｂを得ることができる。

【００８６】

［製造方法］

次に、第３実施形態に係るＭＥＭＳ素子１ｂの製造工程について、図８Ａ～図８Ｆを参照して説明する。

図８Ａ～図８Ｆは、第３実施形態に係るＭＥＭＳ素子１ｂの製造工程を示す図１のＰ１－Ｐ１線の位置に相当する概略断面図である。なお、断面の背景を示す線は省略されている。なお、第３実施形態における製造工程は、前述した第１実施形態における製造工程の第１の工程から第１１の工程（図３Ａから図３Ｋ）まで同一なので、第１１の工程（図３Ｋ）に相当する工程以降について、説明する。

【００８７】

第１１の工程は、図８Ａに示すように、ＳＯＩ基板１０のシリコン層１１をマスク層３６をマスクとしてエッチングすることにより、第３の貫通孔５４と第２の封止孔６２を形成する。

【００８８】

第１２の工程は、図８Ｂに示すように、第３の貫通孔５４と第２の封止孔６２内のＳＯＩ基板１０のＢＯＸ層１２をエッチングし、その後、露出したトレンチ５１ｂおよび第１の封止孔６０内の素子調整層３０をエッチングする。素子調整層３０をオーバーエッチングすることで、第２の貫通孔５２ｂの中央に位置する表面シリコン層１３とポリシリコン膜４１との素子調整層３０がエッチングされ、第２の貫通孔５２ｂの中央に位置する表面シリコン層１３が脱落し、第２の貫通孔５２ｂおよび第１の貫通孔５１ａｄが形成される。

【００８９】

第１３の工程は、図８Ｃに示すように、ＣＶＤ法によりシリコン層１１上のマスク層３６の表面と、第１の貫通孔５１ａｄおよび第１の封止孔６０内のポリシリコン膜４１の表面と、第１の貫通孔５１ａｄ、第２の貫通孔５２ｂ、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁と、にシリコン酸化膜３２を成膜する。

【００９０】

第１４の工程は、図８Ｄに示すように、第１の貫通孔５１ａｄ、第２の貫通孔５２ｂ、第３の貫通孔５４、第１の封止孔６０および第２の封止孔６２内の側壁を除く、マスク層３６およびポリシリコン膜４１の表面のシリコン酸化膜３２を、反応性イオンエッチング（ＲＩＥ）等の異方性ドライエッチングにより除去する。

【００９１】

第１５の工程は、図８Ｅに示すように、スパッタ装置等の前処理室で、真空（減圧）雰囲気において、第１の貫通孔５１ａｄおよび第１の封止孔６０に露出したポリシリコン膜４１をエッチングし、第１の貫通孔５１ａｄおよび第１の封止孔６０上のポリシリコン膜

４１に貫通孔を作成する。その後、キャビティー７，８で構成される内部空間を前処理室と同等の圧力とし、連続処理にて配線電極５６をスパッタし、第１の封止孔６０を塞ぐ、素子２０が形成されているキャビティー７，８で構成される内部空間を真空雰囲気（減圧雰囲気）に封止する。また、第１の貫通孔５１ａｄにおけるポリシリコン膜４１の貫通孔において、配線電極５６と配線４６とが電気的に接続される。

【００９２】

第１６の工程において、図８Ｆに示すように、配線電極５６の表面にメッキ法等で配線電極５８を作成する。その後、ＳＯＩ基板１０の蓋部５が接合された面とは反対側の面を研磨装置等で平坦化加工することで、電極パッド５０の強度が向上し信頼性に優れたＭＥＭＳ素子１ｂが完成する。

【００９３】

［電子機器］

次に、本発明の一実施形態に係るＭＥＭＳ素子１，１ａ，１ｂを適用した電子機器について、図９、図１０および図１１を参照して説明する。なお、以下では、ＭＥＭＳ素子１を適用した構成を例示して説明する。

【００９４】

図９は、本実施形態に係るＭＥＭＳ素子１を備える電子機器としてのモバイル型（又はノート型）のパーソナルコンピューターの構成の概略を示す斜視図である。この図において、パーソナルコンピューター１１００は、キーボード１１０２を備えた本体部１１０４と、ディスプレイ１０００を備えた表示ユニット１１０６とにより構成され、表示ユニット１１０６は、本体部１１０４に対しヒンジ構造部を介して回動可能に支持されている。このようなパーソナルコンピューター１１００には、基準クロック等として機能するＭＥＭＳ素子１が内蔵されている。

【００９５】

図１０は、本発明の一実施形態に係るＭＥＭＳ素子１を備える電子機器としての携帯電話機（ＰＨＳ（Personal Handyhone System）やスマートフォンも含む）の構成の概略を示す斜視図である。この図において、携帯電話機１２００は、複数の操作ボタン１２０２、受話口１２０４および送話口１２０６を備え、操作ボタン１２０２と受話口１２０４との間には、ディスプレイ１０００が配置されている。このような携帯電話機１２００には、基準クロック等として機能するＭＥＭＳ素子１が内蔵されている。

【００９６】

図１１は、本発明の一実施形態に係るＭＥＭＳ素子１を備える電子機器としてのデジタルスチールカメラの構成の概略を示す斜視図である。なお、この図には、外部機器との接続についても簡易的に示されている。デジタルスチールカメラ１３００は、被写体の光像をＣＣＤ（Charge Coupled Device）等の撮像素子により光電変換して撮像信号（画像信号）を生成する。

デジタルスチールカメラ１３００におけるケース（ボディー）１３０２の背面には、ディスプレイ１０００が設けられ、ＣＣＤによる撮像信号に基づいて表示を行なう構成になっており、ディスプレイ１０００は、被写体を電子画像として表示するファインダーとして機能する。また、ケース１３０２の正面側（図中裏面側）には、光学レンズ（撮像光学系）やＣＣＤ等を含む受光ユニット１３０４が設けられている。

撮影者がディスプレイ１０００に表示された被写体像を確認し、シャッターボタン１３０６を押下すると、その時点におけるＣＣＤの撮像信号が、メモリー１３０８に転送・格納される。また、このデジタルスチールカメラ１３００においては、ケース１３０２の側面に、ビデオ信号出力端子１３１２と、データ通信用の入出力端子１３１４とが設けられている。そして、図示されるように、ビデオ信号出力端子１３１２にはテレビモニター１３３０が、データ通信用の入出力端子１３１４にはパーソナルコンピューター１３４０が、それぞれ必要に応じて接続される。さらに、所定の操作により、メモリー１３０８に格納された撮像信号が、テレビモニター１３３０や、パーソナルコンピューター１３４０に出力される構成になっている。このようなデジタルスチールカメラ１３００には、基準ク

ロック等として機能するＭＥＭＳ素子１が内蔵されている。
【００９７】
上述したように、電子機器に、信頼性に優れたＭＥＭＳ素子１が活用されることにより、より高性能の電子機器を提供することができる。
【００９８】
なお、本発明の一実施形態に係るＭＥＭＳ素子１，１ａ，１ｂは、図９のパーソナルコンピューター１１００（モバイル型パーソナルコンピューター）、図１０の携帯電話機１２００、図１１のデジタルスチールカメラ１３００の他にも、例えば、インクジェット式吐出装置（例えばインクジェットプリンター）、ラップトップ型パーソナルコンピューター、テレビ、ビデオカメラ、カーナビゲーション装置、ページャー、電子手帳（通信機能付も含む）、電子辞書、電卓、電子ゲーム機器、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、ＰＯＳ（Point of Sale）端末、医療機器（例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡）、魚群探知機、各種測定機器、計器類（例えば、車両、航空機、船舶の計器類）、フライトシミュレーター等の電子機器に適用することができる。
【００９９】
［移動体］
次に、本発明の一実施形態に係るＭＥＭＳ素子１，１ａ，１ｂを適用した移動体について、図１２を参照して説明する。なお、以下では、ＭＥＭＳ素子１を適用した構成を例示して説明する。
図１２は、本発明の移動体の一例としての自動車１４００を概略的に示す斜視図である。
自動車１４００には、ＭＥＭＳ素子１が搭載されている。ＭＥＭＳ素子１は、キーレスエントリー、イモビライザー、ナビゲーションシステム、エアコン、アンチロックブレーキシステム（ＡＢＳ：Antilock Brake System）、エアバック、タイヤプレッシャーモニタリングシステム（ＴＰＭＳ：Tire Pressure Monitoring System）、エンジンコントロール、ハイブリッド自動車や電気自動車の電池モニター、車体姿勢制御システム等の電子制御ユニット（ＥＣＵ：Electronic Control Unit）１４１０に広く適用できる。
【０１００】
上述したように、移動体に、信頼性に優れたＭＥＭＳ素子１が活用されることにより、より高性能の移動体を提供することができる。
【０１０１】
以上、本発明のＭＥＭＳ素子１，１ａ，１ｂ、電子機器（１１００，１２００，１３００）、および移動体（１４００）について、図示の実施形態に基づいて説明したが、本発明は、これに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置換することができる。また、本発明に、他の任意の構成物が付加されていても良い。また、前述した各実施形態を適宜組み合わせても良い。
【０１０２】
また、上述の実施形態では、矩形形状のＳＯＩ基板１０の一つの対角線の方向に沿って基部２１や振動部２２が延在するように素子２０が配設されている例で説明したが、これに限らない。他の配置例としては、矩形形状のＳＯＩ基板１０の外縁に沿って基部２１や振動部２２が延在するように素子２０が配設されている構成などであってもよい。
【０１０３】
また、上述ではＭＥＭＳ素子の一例として、基部２１や振動部２２などを含む機能素子としての素子２０を備えているＭＥＭＳ素子１，１ａ，１ｂを示して説明したが、これに限らない。上述の封止構造を備えた他のＭＥＭＳ素子としては、機能素子として加速度の検出機能を備えている加速度センサー素子、角速度の検出機能を備えている角速度センサー素子、圧力検出機能を備えている圧力センサー素子、重量検出機能を備えている重量センサー素子や、これらの機能素子が複合した複合センサーなどを備えているＭＥＭＳ素子であってもよい。また、ＭＥＭＳ素子は、機能素子として振動素子を備えた振動子、発振

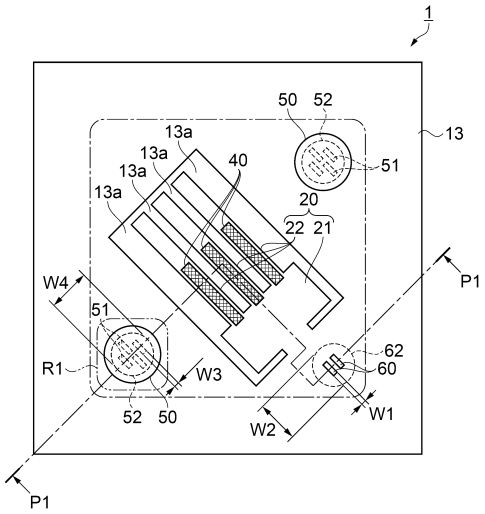
器、周波数フィルターなどであってもよい。

【符号の説明】

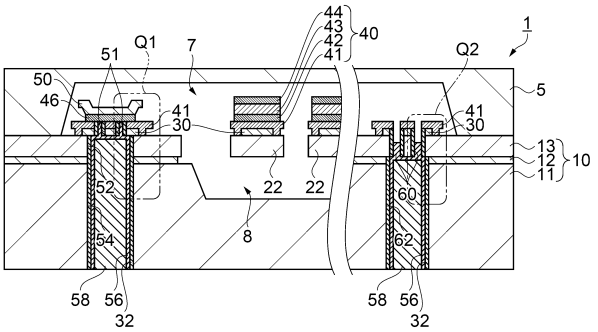
【０１０４】

１，１ａ，１ｂ…ＭＥＭＳ素子、５…蓋部、７，８…キャビティー、１０…ＳＯＩ基板、１１…シリコン層、１２…ＢＯＸ層、１３…表面シリコン層、１３ａ…溝、１３ｂ…トレンチ、１３ｃ…スリット、１４，１６…レジスト、１８…フイルムレジスト、２０…素子、２１…基部、２２…振動部、３０…素子調整層、３２，３３，３４…シリコン酸化膜、３６…マスク層、３８…隔壁、４０…圧電駆動部、４１…ポリシリコン膜、４２…第１の電極、４３…圧電体層、４４…第２の電極、４６…配線、５０…電極パッド、５１…第１の貫通孔、５１ｂ…トレンチ、５２…第２の貫通孔、５４…第３の貫通孔、５６，５８…配線電極、６０…第１の封止孔、６２…第２の封止孔、１０００…ディスプレイ、１１００…パーソナルコンピューター、１１０２…キーボード、１１０４…本体部、１１０６…表示ユニット、１２００…携帯電話機、１２０２…操作ボタン、１２０４…受話口、１２０６…送話口、１３００…デジタルスチールカメラ、１３０２…ケース、１３０４…受光ユニット、１３０６…シャッターボタン、１３０８…メモリー、１３１２…ビデオ信号出力端子、１３１４…入出力端子、１３３０…テレビモニター、１３４０…パーソナルコンピューター、１４００…自動車、１４１０…電子制御ユニット、Ｗ１，Ｗ２，Ｗ３，Ｗ４，Ｗ５…開口幅。

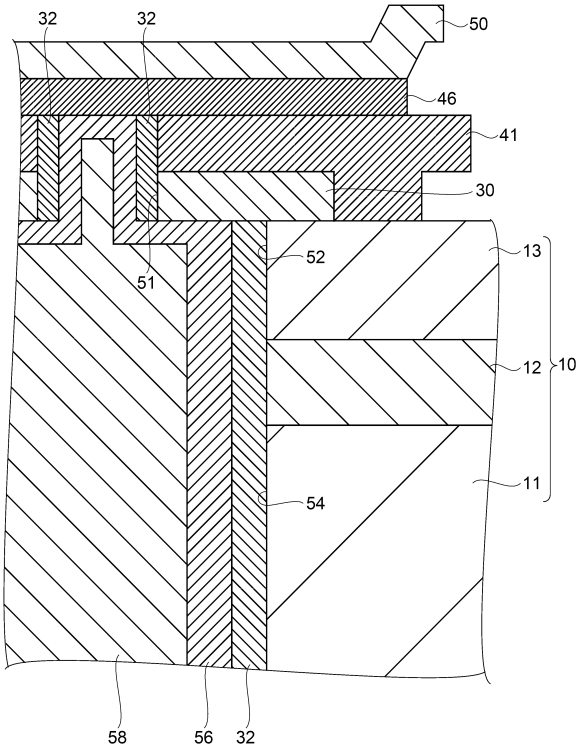
【図１】



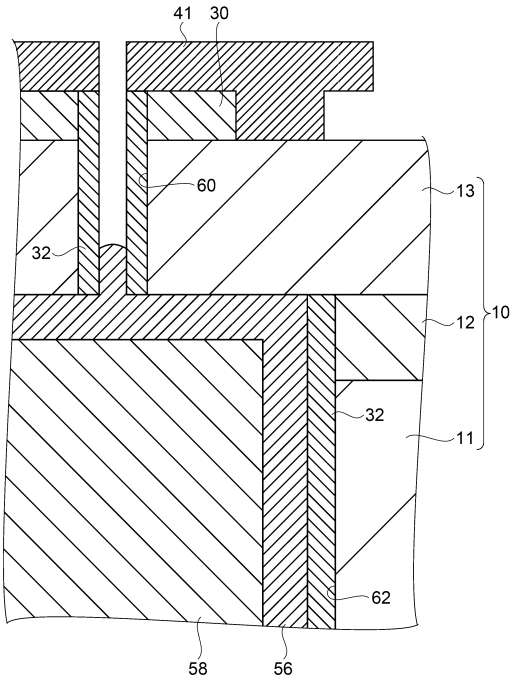
【図２Ａ】



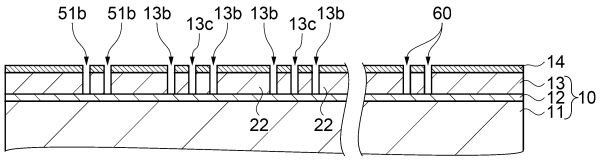
【図２Ｂ】



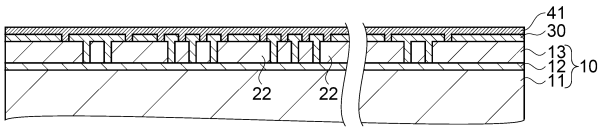
【図２Ｃ】



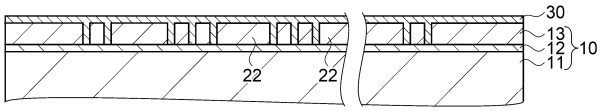
【図３Ａ】



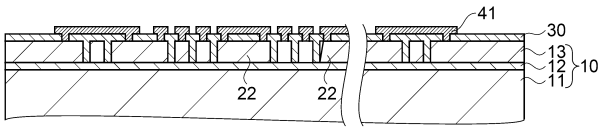
【図３Ｃ】



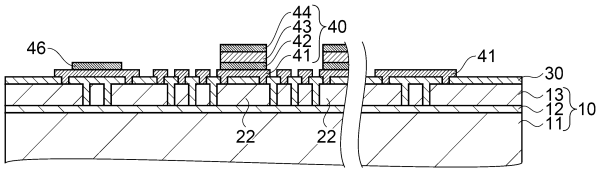
【図３Ｂ】



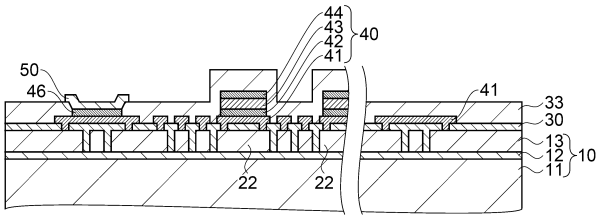
【図３Ｄ】



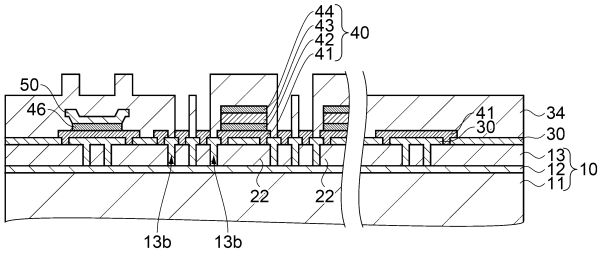
【図３Ｅ】



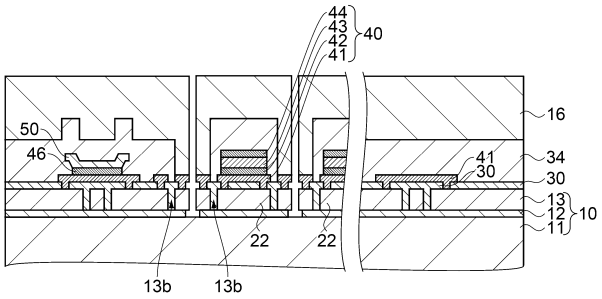
【図３Ｆ】



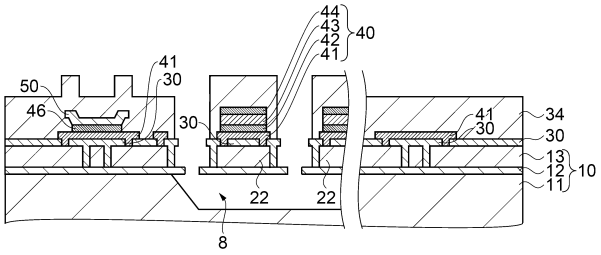
【図３Ｇ】



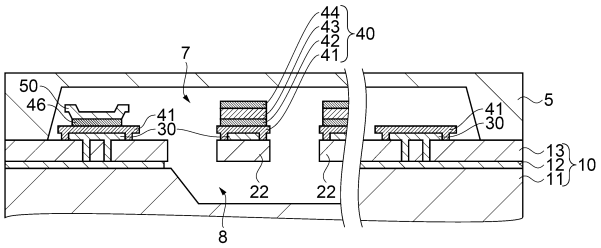
【図３Ｈ】



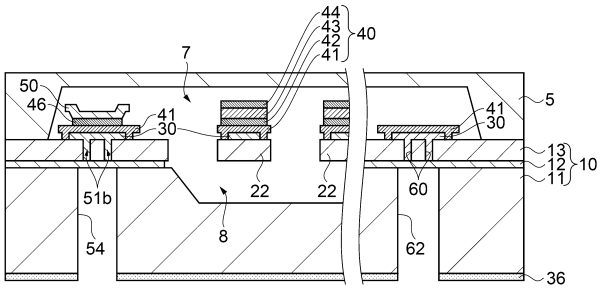
【図３Ｉ】



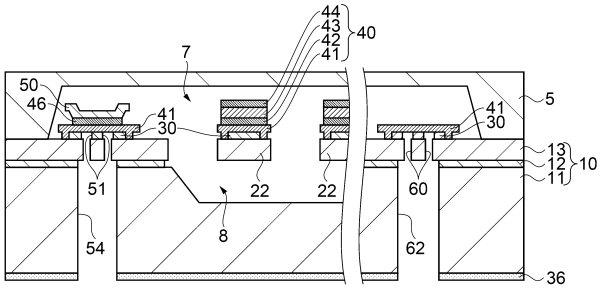
【図３Ｊ】



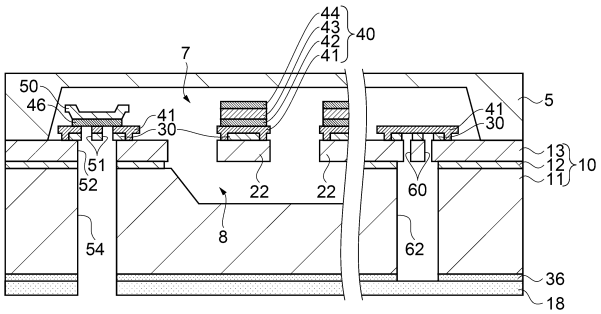
【図３Ｋ】



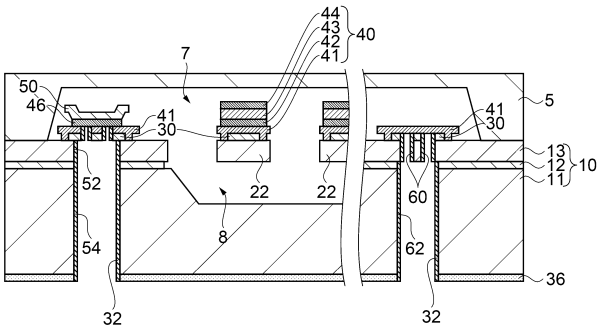
【図３Ｌ】



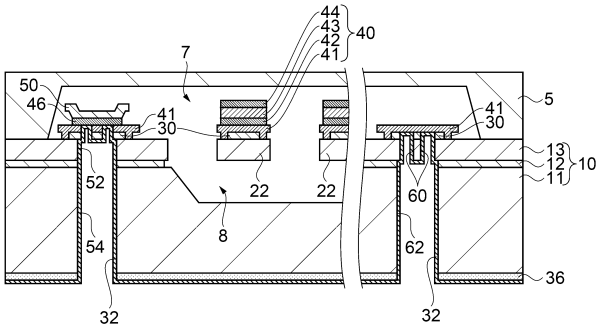
【図３Ｍ】



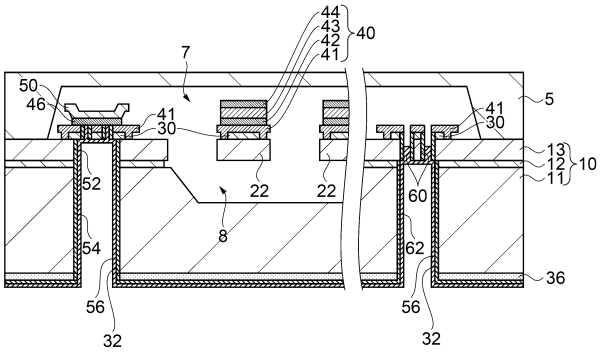
【図３Ｏ】



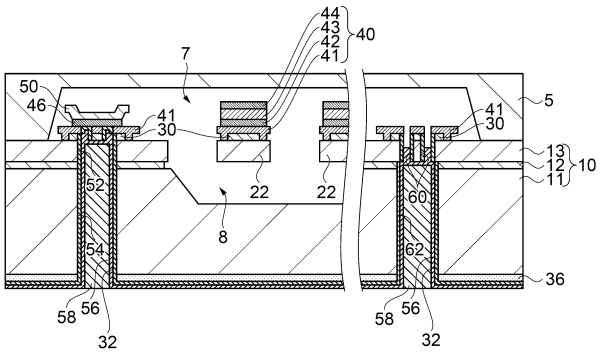
【図３Ｎ】



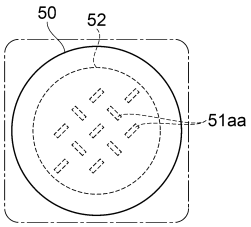
【図３Ｐ】



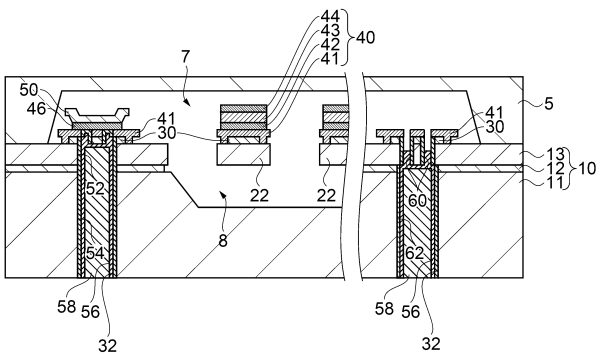
【図３Ｑ】



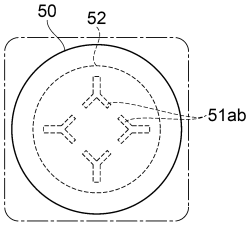
【図４Ａ】



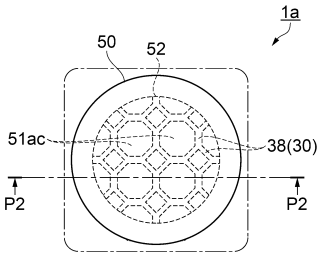
【図３Ｒ】



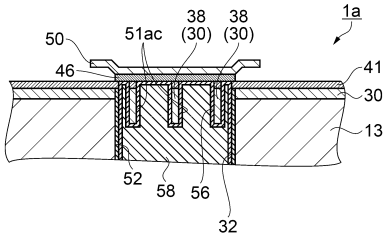
【図４Ｂ】



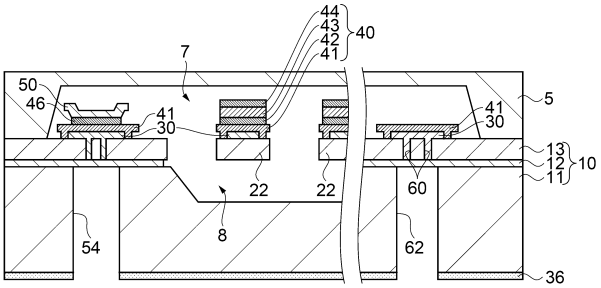
【図５Ａ】



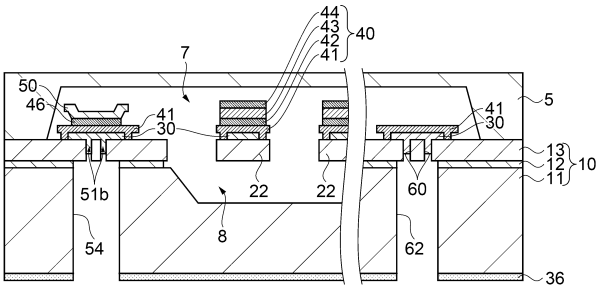
【図５Ｂ】



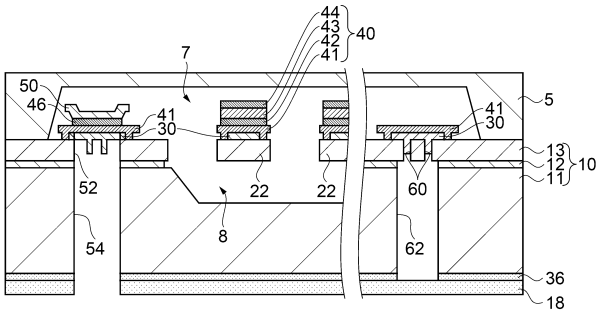
【図６Ａ】



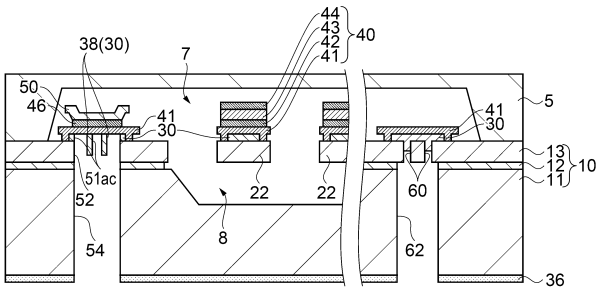
【図６Ｂ】



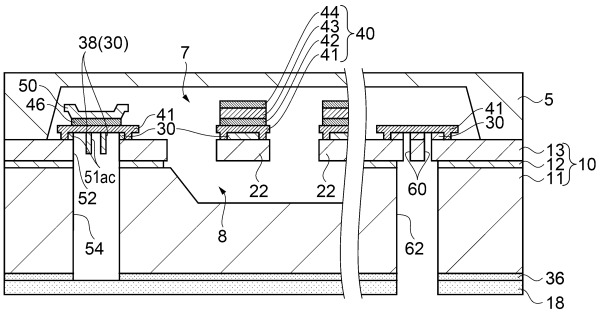
【図６Ｃ】



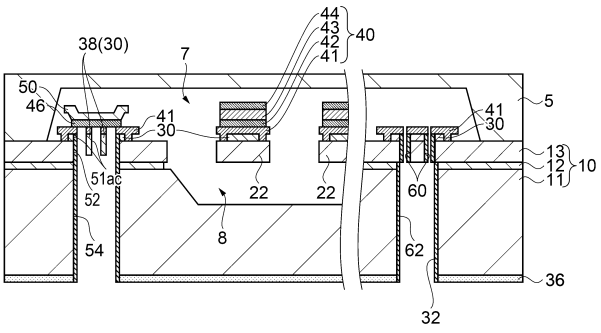
【図６Ｄ】



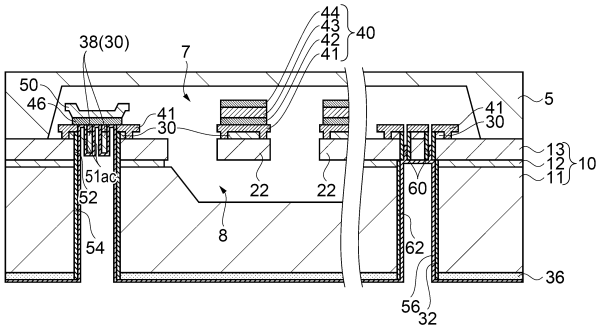
【図６Ｅ】



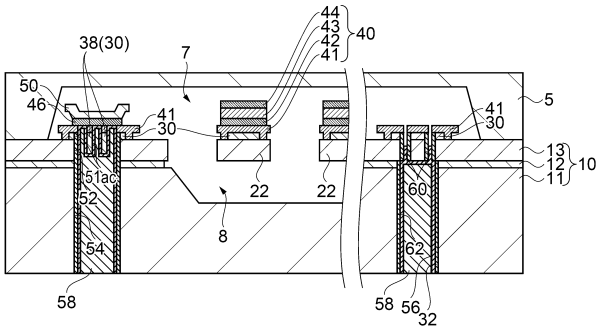
【図６Ｆ】



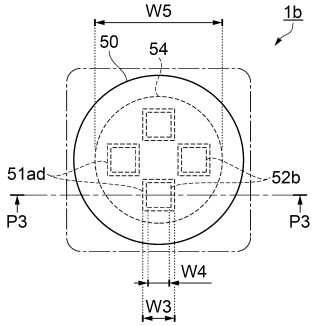
【図６Ｇ】



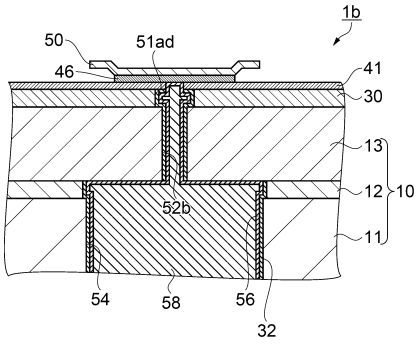
【図６Ｈ】



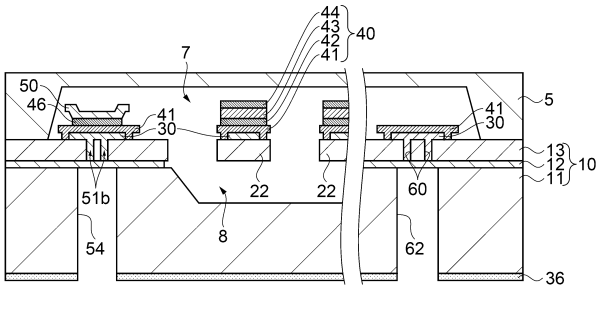
【図７Ａ】



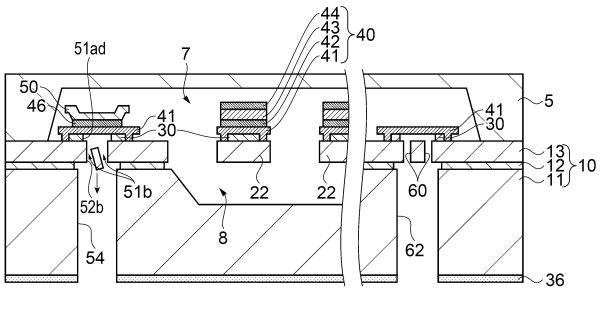
【図７Ｂ】



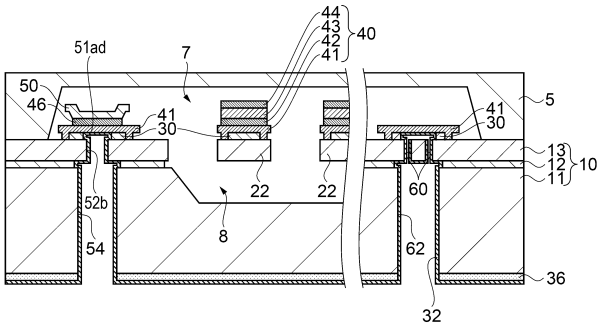
【図８Ａ】



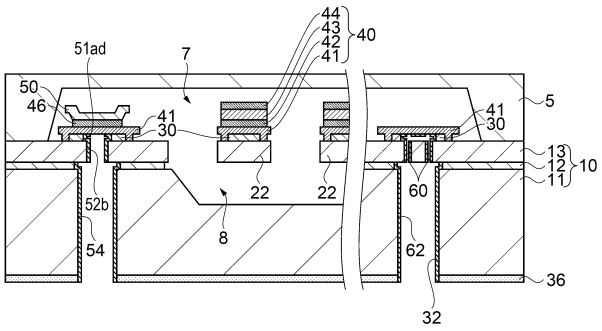
【図８Ｂ】



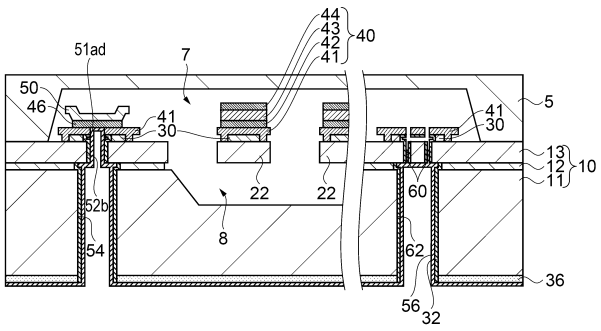
【図８Ｃ】



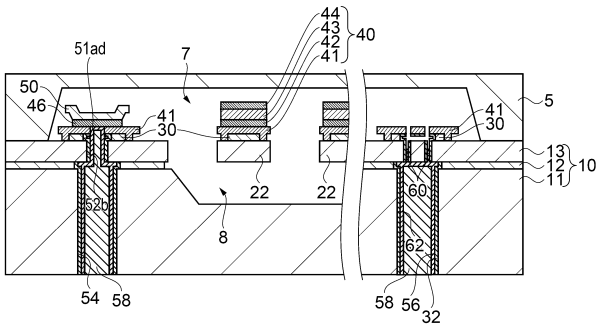
【図８Ｄ】



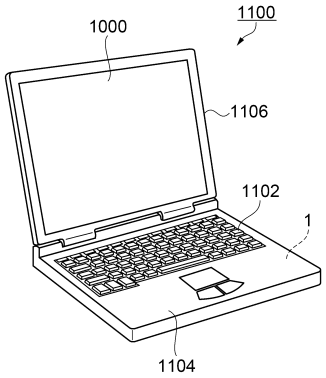
【図８Ｅ】



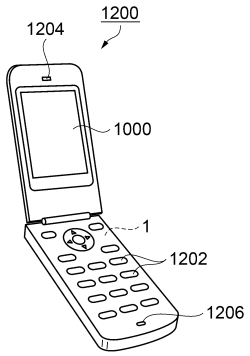
【図８Ｆ】



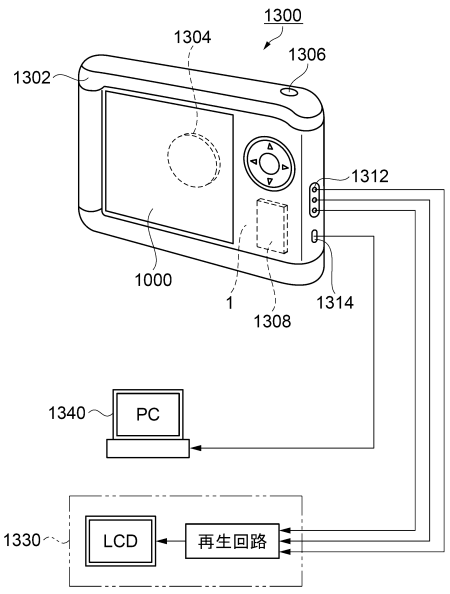
【図９】



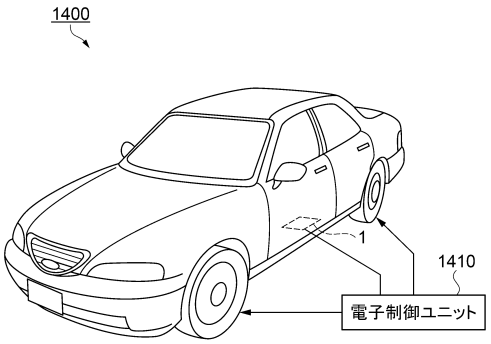
【図１０】



【図１１】



【図１２】



フロントページの続き

(72)発明者　川内　修
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　横山　好彦
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　橋本　和志

(56)参考文献　特開２０１５－２２６２４２（ＪＰ，Ａ）
特開２０１５－１６０２９３（ＪＰ，Ａ）
特開２０１０－０２８５３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｈ　　９／２４