



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 低出力インピーダンスを維持しつつ、広いダイナミックレンジを実現でき、小面積化及び低消費電力を図ることが可能なバッファ回路を提供する。バッファ回路は、第1のトランジスタと、電流源と、第2のトランジスタと、出力端子と、第1及び第2のキャパシタとを備える。第1のトランジスタは、入力信号が入力されるゲートを有する。電流源は、第1のトランジスタの一方の端子に接続される。第2のトランジスタは、第1のトランジスタの他方の端子に接続される。出力端子は、第1のトランジスタの一方または他方の端子に接続される。第1及び第2のキャパシタは、電流源と第2のトランジスタのゲートとの間に設けられる。第1のトランジスタと第2のトランジスタと第1のキャパシタとによって第1のフィードバック回路を形成する。第1のトランジスタと電流源と第2のキャパシタとによって第2のフィードバック回路を形成する。

明 細 書

発明の名称：バッファ回路及び撮像装置

技術分野

[0001] 本開示に係る技術（本技術）は、バッファ回路、及びバッファ回路を備える撮像装置に関する。

背景技術

[0002] 撮像装置において、画素から読み出された画素信号は、典型的には、カラムアナログ／デジタル変換器によりアナログ信号からデジタル信号に変換され、デジタル信号プロセッサ（DSP）により信号処理される。カラムアナログ／デジタル変換器には、ランプ信号ソースフォロワ回路が用いられる。このランプ信号ソースフォロワ回路には、様々な特性改善に有利なバッファ回路が望まれている。そこで、低出力インピーダンスを実現できるバッファ回路としてフリップド・ボルテージ・フォロワ回路（以下、FVF回路と称する）が知られている。

[0003] しかし、FVF回路では、限られた電圧範囲でしか動作できないため、応用上適用できる回路もまた制約されるという課題がある。例えば、ランプ信号ソースフォロワ回路に適用できれば、様々な特性改善につながることを期待できるが、撮像装置の仕様上、ランプ信号ソースフォロワ回路には広いダイナミックレンジが要求されるため、FVF回路を適用することができない。

[0004] 特許文献1に記載のバッファ回路は、ソース接地増幅回路を用いた多段構成のバッファ回路である。このため、構成が複雑で回路面積も大きくなり、さらに消費電力も大きくなる。

先行技術文献

特許文献

[0005] 特許文献1：WO2006／132315

発明の概要

発明が解決しようとする課題

[0006] 以前より、広いダイナミックレンジを実現でき、さらに小面積化及び低消費電力を図ることが可能なバッファ回路が強く望まれている。

[0007] 本開示はこのような事情に鑑みてなされたもので、低出力インピーダンスを維持しつつ、広いダイナミックレンジを実現でき、小面積化及び低消費電力を図ることが可能なバッファ回路及び撮像装置を提供することを目的とする。

課題を解決するための手段

[0008] 本開示の一態様は、入力信号が入力されるゲートを有する第1のトランジスタと、前記第1のトランジスタの一方の端子に接続される電流源と、前記第1のトランジスタの他方の端子に接続される第2のトランジスタと、前記第1のトランジスタの一方または他方の端子に接続される出力端子と、前記電流源と前記第2のトランジスタのゲートとの間に設けられる第1及び第2のキャパシタと、を備え、前記第1のトランジスタと前記第2のトランジスタと前記第1のキャパシタとによって第1のフィードバック回路が形成され、前記第1のトランジスタと前記電流源と前記第2のキャパシタとによって第2のフィードバック回路が形成される、バッファ回路である。

[0009] 本開示の他の態様は、外部から入射した光に応じた画素信号を生成可能な複数の画素により構成される画素アレイ部とバッファ回路と、前記バッファ回路の出力信号と前記複数の画素のそれぞれから出力される画素信号とを比較し、比較結果に基づいて画像データを生成する信号処理部と、前記画素アレイ部、前記バッファ回路及び前記信号処理部のそれぞれの動作に必要な電力を供給する電源回路と、を備える撮像装置であって、前記バッファ回路は、入力信号が入力されるゲートを有する第1のトランジスタと、前記第1のトランジスタの一方の端子に接続される電流源と、前記第1のトランジスタの他方の端子に接続される第2のトランジスタと、前記第1のトランジスタの一方または他方の端子に接続される出力端子と、前記電流源と前記第2のトランジスタのゲートとの間に設けられる第1及び第2のキャパシタと、を

備え、前記第 1 のトランジスタと前記第 2 のトランジスタと前記第 1 のキャパシタとによって第 1 のフィードバック回路が形成され、前記第 1 のトランジスタと前記電流源と前記第 2 のキャパシタとによって第 2 のフィードバック回路が形成される、撮像装置である。

図面の簡単な説明

[0010] [図1]本開示の第 1 の実施形態に係る撮像装置の概略的構成の一例を示すブロック図である。

[図2]本開示の第 1 の実施形態に係る撮像装置における画像信号読み出し機構の一例を説明するためのブロック図である。

[図3]本開示の第 1 の実施形態に係るランプ信号バッファ回路の構成を示す回路図（その 1）である。

[図4]本開示の第 1 の実施形態に係るランプ信号バッファ回路の構成を示す回路図（その 2）である。

[図5]第 2 のフィードバック回路を形成しない場合における第 1 のキャパシタと第 2 のキャパシタとの間の電圧 V_{fb} の変化を示すための図である。

[図6]第 2 のフィードバック回路を形成した場合における第 1 のキャパシタと第 2 のキャパシタとの間の電圧 V_{fb} の変化を示すための図である。

[図7]本開示の第 2 の実施形態に係るランプ信号バッファ回路の構成を示す回路図である。

[図8]本開示の第 3 の実施形態に係る電源回路及びランプ信号バッファ回路の構成を示す回路図である。

[図9]本開示の第 4 の実施形態に係るランプ信号バッファ回路の構成を示す回路図である。

[図10]本開示の第 5 の実施形態に係るランプ信号バッファ回路の構成を示す回路図である。

[図11]本開示の第 6 の実施形態に係るランプ信号バッファ回路の構成を示す回路図である。

[図12]本開示の第 7 の実施形態に係るランプ信号バッファ回路の構成を示す

回路図である。

[図13]本開示の第8の実施形態に係るランプ信号バッファ回路の構成を示す回路図である。

[図14]本技術を適用した電子機器としての撮像システムの構成例を示すブロック図である。

発明を実施するための形態

[0011] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。

[0012] なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0013] <第1の実施形態>

(撮像装置の全体構成)

図1は、本開示の第1の実施形態に係る撮像装置の概略的構成の一例を示すブロック図である。撮像装置1は、各画素を構成するフォトダイオード等の光電変換素子を用いて、該画素上に結像した光の強弱に応じた電荷量を電気信号に変換し、これを画像データとして出力する半導体装置であり、例えばCMOSイメージセンサとして構成される。撮像装置1は、例えば、CMOS LSIのようなシステム・オン・チップ(SoC)として一体的に構成され得るが、例えば、以下に示すいくつかのコンポーネントが別体のLSIとして構成されても良い。

[0014] 同図に示すように、撮像装置1は、例えば、画素アレイ部11と、垂直駆動部12と、カラム処理部13と、水平駆動部14と、システム制御部15と、信号処理部16と、データ格納部17といったコンポーネントを含み構成される。

[0015] 画素アレイ部11は、水平方向(行方向)及び垂直方向(列方向)にアレイ配列された画素110を構成するフォトダイオード等の光電変換素子群を含み構成される。画素アレイ部11は、各画素110上に結像した入射光の

強さに応じた電荷量を電気信号に変換し、画素信号として出力する。

[0016] 垂直駆動部 12 は、シフトレジスタやアドレスデコーダ等を含み構成される。垂直駆動部 12 は、複数の画素駆動線 18 を介して各画素 110 に駆動信号等を供給することにより、画素アレイ部 11 の各画素 110 を例えば同時に又は行単位等で駆動する。

[0017] カラム処理部 13 は、画素アレイ部 11 の画素列（カラム）ごとに垂直信号線（VSL）19 を介して各画素から画素信号を読み出して、ノイズ除去処理、相関二重サンプリング（CDS）処理、及び A/D（Analog-to-Digital）変換処理等を行う。カラム処理部 13 により処理された画素信号は、信号処理部 16 に出力される。

[0018] 水平駆動部 14 は、シフトレジスタやアドレスデコーダ等を含み構成される。水平駆動部 14 は、カラム処理部 13 の画素列に対応する画素 110 を順番に選択する。この水平駆動部 14 による選択走査により、カラム処理部 13 において画素 110 ごとに信号処理された画素信号が順番に信号処理部 16 に出力される。

[0019] システム制御部 15 は、各種のタイミング信号を生成するタイミングジェネレータ等を含み構成される。システム制御部 15 は、例えば図示しないタイミングジェネレータにより生成されたタイミング信号に基づいて、垂直駆動部 12、カラム処理部 13、及び水平駆動部 14 の駆動制御を行なう。

[0020] 信号処理部 16 は、必要に応じてデータ格納部 17 にデータを一時的に格納しながら、カラム処理部 13 から供給された画素信号に対して演算処理等の信号処理を行ない、各画素信号に基づく画像信号を出力する。

[0021] なお、本技術が適用される撮像装置 1 は、上述したような構成に限られるものではない。例えば、撮像装置 1 は、データ格納部 17 がカラム処理部 13 の後段に配置され、カラム処理部 13 から出力される画素信号を、データ格納部 17 を経由して信号処理部 16 に供給するように構成されても良い。或いは、撮像装置 1 は、縦続的に接続されたカラム処理部 13 とデータ格納部 17 と信号処理部 16 とが各画素信号を並列的に処理するように構成され

ても良い。

[0022] 図2は、本開示の第1の実施形態に係る撮像装置における画像信号読み出し機構の一例を説明するためのブロック図である。同図では、1画素列における1画素110からの画素信号読み出し機構20が例示的に示されている。

同図では、カラム処理部13の構成として、ランプ信号バッファ回路131と、ランプ信号生成回路132と、アナログ／デジタル変換器（以下、A/D変換器と称する）133とが示されている。

[0023] ランプ信号生成回路132は、A/D変換器133によるA/D変換処理に必要なランプ信号を生成し、出力する。ランプ信号は、例えば、電圧レベルが経時的に傾斜変化する信号である。ランプ信号バッファ回路131は、ランプ信号生成回路132から出力されるランプ信号に対しインピーダンス変換処理を行う。

[0024] A/D変換器133は、画素110から出力されるアナログ形式である画素信号をデジタル形式の画素信号（画素データ）に変換する。A/D変換器133は、画素列に対応する垂直信号線19ごとに並列的に設けられる。また、A/D変換器133は、比較器134と、カウンタ135とを含み構成される。つまり、A/D変換器133は、ランプ信号バッファ回路131から出力されるランプ信号と画素110から読み出される画素信号とを比較器134により経時的に比較しながらカウンタ135によりカウントを実行し、該カウントされた値をデジタル形式の画素信号として信号処理部16に出力する。

[0025] <ランプ信号バッファ回路の構成>

図3及び図4は、本開示の第1の実施形態に係るランプ信号バッファ回路131の構成を示す回路図である。図3は、リセットモードのときのランプ信号バッファ回路131の構成を示す回路図であり、図4は、通常駆動モード（A/Dモード）のときのランプ信号バッファ回路131の構成を示す回路図である。

[0026] 図3に示すように、ランプ信号バッファ回路131は、入力制御部141

と、出力制御部 142 と、電流源 143 と、入力端子 144 と、出力端子 145 と、第 1 のキャパシタ (C1) 146 と、第 2 のキャパシタ (C2) 147 と、第 1 のスイッチ部 151 と、第 2 のスイッチ部 152 と、第 3 のスイッチ部 153 と、第 4 のスイッチ部 154 と、第 1 の電圧印加部 161 と、第 2 の電圧印加部 162 とを備えている。

[0027] 入力制御部 141、出力制御部 142 及び電流源 143 は例えば、P 型の金属－酸化物－半導体 (Metal-Oxide-Semiconductor: MOS) トランジスタで構成されている。入力端子 144 は、入力制御部 141 を構成する MOS トランジスタのゲートに接続されている。入力端子 144 は、ランプ信号生成回路 132 から出力されるランプ信号を入力制御部 141 のゲートに入力させる。ランプ信号の電圧が、入力制御部 141 を構成する MOS トランジスタのゲート及びドレイン間の閾値電圧 V_{th1} 以上の場合、入力制御部 141 は導通状態 (オン状態) になる。一方、ランプ信号の電圧が、入力制御部 141 を構成する MOS トランジスタのゲート及びドレイン間の閾値電圧 V_{th1} よりも低い場合、入力制御部 141 は非導通状態 (オフ状態) になる。

[0028] 入力制御部 141 のソースには、出力制御部 142 を構成する MOS トランジスタのドレイン及び出力端子 145 が接続される。また、入力制御部 141 のドレインには、電流源 143 を構成する MOS トランジスタのドレインが接続される。入力制御部 141 は、入力端子 144 と出力端子 145 との間を導通させることにより、ランプ信号生成回路 132 から出力されるランプ信号を AD 変換器 133 に入力する。

[0029] 出力制御部 142 のゲートと、電流源 143 のゲートとの間には、第 1 のキャパシタ 146 と第 2 のキャパシタ 147 とが直列に接続される。入力制御部 141、出力制御部 142 及び第 1 のキャパシタ 146 は、第 1 のフィードバック回路 FB1 を形成する。入力制御部 141、電流源 143 及び第 2 のキャパシタ 147 は、第 2 のフィードバック回路 FB2 を形成する。

[0030] 出力制御部 142 のソースには、電源が接続される。入力端子 144 に入

力されるランプ信号は、入力制御部 141 のドレイン及び第 1 のキャパシタ 146 を介してランプ信号の交流（AC）電圧として、出力制御部 142 のゲートに入力される。出力制御部 142 は、出力端子 145 に流れる出力電流を増幅する。

[0031] 第 1 のスイッチ部 151 は、出力制御部 142 のゲートと出力端子 145 との接続をオン・オフする。第 2 のスイッチ部 152 は、入力制御部 141 のドレインと第 1 のキャパシタ 146 及び第 2 のキャパシタ 147 との接続をオン・オフする。第 3 のスイッチ部 153 は、第 1 のフィードバック回路 FB1 への第 1 の電圧印加部 161 の接続をオン・オフする。第 4 のスイッチ部 154 は、第 2 のフィードバック回路 FB2 への第 2 の電圧印加部 162 の接続をオン・オフする。

[0032] 図 3 に示すリセットモードにおいて、第 1 のスイッチ部 151、第 3 のスイッチ部 153、第 4 のスイッチ部 154 をオンし、第 2 のスイッチ部 152 をオフする。つまり、第 1 のスイッチ部 151 をオンにすることで、出力制御部 142 をダイオード接続にして、出力制御部 142 のゲートに電圧 V_y を充電する。第 3 のスイッチ部 153 をオンにすることで、第 1 のキャパシタ 146 と第 2 のキャパシタ 147 との間の電圧 V_{fb} を第 1 の電圧印加部 161 からの外部の印加電圧 V_{ext} に充電する。第 4 のスイッチ部 154 をオンにすることで、電流源 143 のゲートに印加される電圧 V_z を第 2 の電圧印加部 162 からの外部の印加電圧 V_{bias} に充電する。

[0033] 図 4 に示す駆動モードにおいて、第 1 のスイッチ部 151、第 3 のスイッチ部 153、第 4 のスイッチ部 154 をオフし、第 2 のスイッチ部 152 をオンする。つまり、第 2 のスイッチ部 152 をオンすることで、入力制御部 141 のドレインから出力制御部 142 のゲートに信号をフィードバックし、入力制御部 141 のドレインから電流源 143 のゲートに V_x と V_{ext} との差分をフィードバックする。

[0034] これにより、入力ダイナミックレンジ V_{in} は、以下となる。

$$V_x - |V_{th1}| < V_{in} < V_y + |V_{th2}| - V_{sg1}$$

[0035] これにより、 V_x と V_y との差分が大きいほど広くレンジが取れる。なお、 V_{sg1} は、入力制御部141を構成するMOSトランジスタのゲート及びソース間の電圧である。

[0036] (電流源FBが必要な理由1)

ここで、電流源143へのフィードバックが必要な理由について説明する。

リセットモードΦ1のときに、第1のキャパシタ146及び第2のキャパシタ147に蓄積される電荷を Q_1 、 Q_2 、駆動モードΦ2のときに、第1のキャパシタ146及び第2のキャパシタ147に蓄積された電荷を Q'_1 、 Q'_2 とする。 Q_1 、 Q_2 と Q'_1 、 Q'_2 で電荷保存則が成り立つと仮定すると(実際は V_x からわずかに電荷が抜けるための誤差が生じる)、次式が成り立つ。

$$Q_1 + Q_2 = Q'_1 + Q'_2$$

$$C_1 (V_{ext} - V_y) + C_2 (V_{ext} - V_{bias}) = C_1 (V_x - V_y) + C_2 (V_x - V_z)$$

$$V_z = V_{bias} + K (V_x - V_{ext})$$

$$K = (C_1 + C_2) / C_2$$

[0037] ここで、 $(V_x - V_{ext})$ を誤差電圧とすると、誤差電圧が0になるように負帰還(フィードバック)が働くので、 $(V_x - V_{ext})$ は0に収束し、これにより、 V_x は V_{ext} に収束し、 V_z は V_{bias} に収束する。

[0038] 以上のことから、以下の2点が言える。

負帰還をかけることにより、入力制御部141のドレイン電圧 V_x を外部の印加電圧 V_{ext} によって決めることができる。また、これによって生じる電流源143のゲート電圧 V_z の誤差は微小となる。

[0039] (電流源FBが必要な理由2)

図5は、第2のフィードバック回路FB2を形成しない場合における第1のキャパシタ146と第2のキャパシタ147との間の電圧 V_{fb} の変化を示している。

[0040] リセットモードΦ１のときに、第２のスイッチ部１５２をオフし、第３のスイッチ部１５３をオンにすることで、第１のキャパシタ１４６と第２のキャパシタ１４７との間の電圧 V_{fb} を外部の印加電圧 V_{ext} に充電する。駆動モードΦ２のときに、第２のスイッチ部１５２をオンし、第３のスイッチ部１５３をオフにすることで、印加電圧 V_{ext} に充電された電圧 V_{fb} を入力制御部１４１のドレイン電圧 V_x と短絡した際に、電圧 V_{fb} は入力制御部１４１のドレイン電圧 V_x に近い電圧になる。これは、インピーダンスの低い方に電位が引っ張られるためである。

[0041] 図６は、第２のフィードバック回路 FB_2 を形成した場合における第１のキャパシタ１４６と第２のキャパシタ１４７との間の電圧 V_{fb} の変化を示している。

[0042] リセットモードΦ１のときに、第２のスイッチ部１５２をオフし、第３のスイッチ部１５３をオンにすることで、第１のキャパシタ１４６と第２のキャパシタ１４７との間の電圧 V_{fb} を外部の印加電圧 V_{ext} に充電する。駆動モードΦ２のときに、第２のスイッチ部１５２をオンし、第３のスイッチ部１５３をオフにすることで、印加電圧 V_{ext} に充電された電圧 V_{fb} を入力制御部１４１のドレイン電圧 V_x と短絡した際に、電圧 V_{fb} は瞬間的に入力制御部１４１のドレイン電圧 V_x に引っ張られる。しかし、負帰還が働くため、最終的に電圧 V_{fb} は印加電圧 V_{ext} に収束する。

[0043] <第１の実施形態による作用効果>

以上のように第１の実施形態によれば、第１のフィードバック回路 FB_1 に第１のキャパシタ１４６を挿入し、第２のフィードバック回路 FB_2 に第２のキャパシタ１４７を挿入して交流電圧のみを出力制御部１４２のゲートに帰還することで低出力インピーダンスを維持しつつ、入力制御部１４１のドレインと出力制御部１４２のゲートが直流的に同電位となることを避けることができ、広いダイナミックレンジを確保できる。

[0044] また、第１の実施形態によれば、第１の電圧印加部１６１からの外部の印加電圧 V_{ext} 及び第２の電圧印加部１６２からの外部の印加電圧 V_{bia}

sを用いることで、応用上、十分に広いダイナミックレンジを確保できる。

[0045] <第2の実施形態>

図7は、本開示の第2の実施形態に係るランプ信号バッファ回路131Aの構成を示す回路図である。図7において、上記図3及び図4と同一部分には同一符号を付して詳細な説明を省略する。

[0046] 本開示の第2の実施形態において、入力制御部311は例えば、P型とは逆極性のN型のMOSトランジスタで構成されている。これにより、上記図3及び図4の場合と比較して、出力制御部142および電流源143を構成するMOSトランジスタの役割が反転する。入力端子312は、入力制御部311を構成するMOSトランジスタのゲートに接続されている。ランプ信号の電圧が、入力制御部311を構成するMOSトランジスタのゲート及びソース間の閾値電圧以上の場合、入力制御部311は導通状態（オン状態）になる。一方、ランプ信号の電圧が、入力制御部311を構成するMOSトランジスタのゲート及びソース間の閾値電圧よりも低い場合、入力制御部311は非導通状態（オフ状態）になる。

[0047] 入力制御部311のドレインには、電流源143を構成するMOSトランジスタのドレインが接続される。また、入力制御部311のソースには、出力制御部142を構成するMOSトランジスタのドレイン及び出力端子313が接続される。入力制御部311、電流源143及び第2のキャパシタ147は、第2のフィードバック回路FB2Aを形成する。入力制御部311、出力制御部142及び第1のキャパシタ146は、第1のフィードバック回路FB1Aを形成する。

[0048] 第1のスイッチ部314は、出力制御部142のゲートと出力端子313との接続をオン・オフする。第2のスイッチ部315は、入力制御部311のドレインと第1のキャパシタ146及び第2のキャパシタ147との接続をオン・オフする。

[0049] リセットモードにおいて、第1のスイッチ部314、第3のスイッチ部153、第4のスイッチ部154をオンし、第2のスイッチ部315をオフす

る。つまり、第1のスイッチ部314をオンにすることで、出力制御部142をダイオード接続にして、出力制御部142のゲートに電圧 V_y を充電する。第3のスイッチ部153をオンにすることで、第1のキャパシタ146と第2のキャパシタ147との間の電圧 V_{fb} を第1の電圧印加部161からの外部の印加電圧 V_{ext} に充電する。第4のスイッチ部154をオンにすることで、電流源143のゲートに印加される電圧 V_z を第2の電圧印加部162からの外部の印加電圧 V_{bias} に充電する。

[0050] 駆動モードにおいて、第1のスイッチ部314、第3のスイッチ部153、第4のスイッチ部154をオフし、第2のスイッチ部315をオンする。つまり、第2のスイッチ部315をオンすることで、入力制御部311のドレインから電流源143のゲートに信号をフィードバックし、入力制御部311のドレインから出力制御部142のゲートに V_y と V_{ext} との差分をフィードバックする。

[0051] <第2の実施形態による作用効果>

以上のように第2の実施形態によれば、上記第1の実施形態と同様の作用効果が得られる。

[0052] <第3の実施形態>

図8は、本開示の第3の実施形態に係る電源回路410及びランプ信号バッファ回路131Bの構成を示す回路図である。図8において、上記図3及び図4と同一部分には同一符号を付して詳細な説明を省略する。

[0053] 電源回路410は、画素アレイ部11、ランプ信号バッファ回路131Bを含むカラム処理部13及び信号処理部16のそれぞれの動作に必要な電力を供給する。本開示の第4の実施形態に係る電源回路410は、LDO (Low Drop Out) 411を備えている。一例として、LDO 411は、DC (直流) - DC (直流) コンバータである。LDO 411は、電源回路410の電源電圧変動除去比 (Power Supply Rejection Ratio: PSRR) を補償する構成要素である。電源回路410の電源電圧変動除去比は、電源電圧に変動 (リップル) がある場合に、電源回路410

が電源VDDの電圧変動を除去できる能力である。

[0054] つまり、LDO411は、電源回路410から入力される電源電圧の変動量を減衰し、一定電圧レベルの基準信号を、入力制御部141、出力制御部142及び電流源143に対し出力できる。

[0055] <第3の実施形態による作用効果>

以上のように第3の実施形態によれば、電源回路410自体にLDO411を備えることで、電源電圧変動除去比の改善を図ることができる。

[0056] <第4の実施形態>

図9は、本開示の第4の実施形態に係るランプ信号バッファ回路131Cの構成を示す回路図である。図9において、上記図3及び図4と同一部分には同一符号を付して詳細な説明を省略する。

[0057] 本開示の第4の実施形態に係るランプ信号バッファ回路131Cは、入力制御部141、出力制御部142及び電流源143に対し動作に必要な電力を供給する電源ラインに接続されるソースフォロワ回路510を備える。ソースフォロワ回路510は、例えば、N型のMOSトランジスタで構成されている。ソースフォロワ回路510のソースには、出力制御部142のソースが接続される。ソースフォロワ回路510のドレインには、電源ラインが接続される。

[0058] ソースフォロワ回路510は、ドレインを介して入力される電源電圧の電源ノイズを減衰し、一定電圧レベルの基準信号を、入力制御部141、出力制御部142及び電流源143に対し出力できる。

[0059] <第4の実施形態による作用効果>

以上のように第4の実施形態によれば、ソースフォロワ回路510を備えることにより、電源ノイズを減衰させることができる。

[0060] <第5の実施形態>

図10は、本開示の第5の実施形態に係るランプ信号バッファ回路131Dの構成を示す回路図である。図10において、上記図3及び図4と同一部分には同一符号を付して詳細な説明を省略する。

[0061] 本開示の第5の実施形態に係るランプ信号バッファ回路131Dは、入力制御部141、出力制御部142及び第1のキャパシタ146が形成する第1のフィードバック回路FB1Dにカスコードトランジスタ610を挿入している。カスコードトランジスタ610は、例えば、P型のMOSトランジスタで構成されている。カスコードトランジスタ610のドレインには、入力制御部141のソースが接続される。カスコードトランジスタ610のソースには、出力制御部142のドレイン及び出力端子145が接続される。

[0062] <第5の実施形態による作用効果>

以上のように第5の実施形態によれば、第1のフィードバック回路FB1Dにカスコードトランジスタ610を挿入することにより、第1のフィードバック回路FB1Dのループゲインの向上を図ることができる。

[0063] <第6の実施形態>

図11は、本開示の第6の実施形態に係るランプ信号バッファ回路131Eの構成を示す回路図である。図11において、上記図7と同一部分には同一符号を付して詳細な説明を省略する。

[0064] 本開示の第6の実施形態に係るランプ信号バッファ回路131Eは、入力制御部311、出力制御部142及び第1のキャパシタ146が形成する第1のフィードバック回路FB1Eにカスコードトランジスタ710を挿入している。

[0065] カスコードトランジスタ710は、例えば、N型のMOSトランジスタで構成されている。カスコードトランジスタ710のドレインには、入力制御部141のソースが接続される。カスコードトランジスタ710のソースには、出力制御部142のドレイン及び出力端子313が接続される。

[0066] <第6の実施形態による作用効果>

以上のように第6の実施形態によれば、第1のフィードバック回路FB1Eにカスコードトランジスタ710を挿入することにより、第1のフィードバック回路FB1Eのループゲインの向上を図ることができる。

[0067] <第7の実施形態>

図 1 2 は、本開示の第 7 の実施形態に係るランプ信号バッファ回路 1 3 1 F の構成を示す回路図である。図 1 2 において、上記図 3 及び図 4 と同一部分には同一符号を付して詳細な説明を省略する。

[0068] 本開示の第 7 の実施形態に係るランプ信号バッファ回路 1 3 1 F は、入力制御部 1 4 1、電流源 1 4 3 及び第 2 のキャパシタ 1 4 7 が形成する第 2 のフィードバック回路 F B 2 F にカスコードトランジスタ 8 1 0 を挿入している。カスコードトランジスタ 8 1 0 は、例えば、N 型の MOS トランジスタで構成され、電流源 1 4 3 の線形性を補償するための構成要素である。

[0069] カスコードトランジスタ 8 1 0 のドレインには、入力制御部 1 4 1 のドレインが接続される。カスコードトランジスタ 8 1 0 のソースには、電流源 1 4 3 のドレインが接続される。

[0070] <第 7 の実施形態による作用効果>

以上のように第 7 の実施形態によれば、入力制御部 1 4 1 と電流源 1 4 3 との間に、カスコードトランジスタ 8 1 0 を接続することで、電流源 1 4 3 の線形性向上を図ることができる。

[0071] <第 8 の実施形態>

図 1 3 は、本開示の第 8 の実施形態に係るランプ信号バッファ回路 1 3 1 G の構成を示す回路図である。図 1 3 において、上記図 7 と同一部分には同一符号を付して詳細な説明を省略する。

[0072] 本開示の第 8 の実施形態に係るランプ信号バッファ回路 1 3 1 G は、入力制御部 3 1 1、電流源 1 4 3 及び第 2 のキャパシタ 1 4 7 が形成する第 2 のフィードバック回路 F B 2 G にカスコードトランジスタ 9 1 0 を挿入している。カスコードトランジスタ 9 1 0 は、例えば、P 型の MOS トランジスタで構成され、電流源 1 4 3 の線形性を補償するための構成要素である。

[0073] カスコードトランジスタ 9 1 0 のドレインには、入力制御部 3 1 1 のドレインが接続される。カスコードトランジスタ 9 1 0 のソースには、電流源 1 4 3 のドレインが接続される。

[0074] <第 8 の実施形態による作用効果>

以上のように第 8 の実施形態によれば、入力制御部 3 1 1 と電流源 1 4 3 との間に、カスコードトランジスタ 9 1 0 を接続することで、電流源 1 4 3 の線形性向上を図ることができる。

[0075] <その他の実施形態>

上記のように、本技術は第 1 から第 8 の実施形態によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の第 1 から第 8 の実施形態が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなろう。また、第 1 から第 8 の実施形態がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0076] <電子機器への応用例>

上述した光検出装置は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

図 1 4 は、本技術を適用した電子機器としての撮像システムの構成例を示すブロック図である。

[0077] 図 1 4 に示される撮像システム 2 2 0 1 は、光学系 2 2 0 2、シャッタ装置 2 2 0 3、撮像装置としての固体撮像素子 2 2 0 4、制御回路 2 2 0 5、信号処理回路 2 2 0 6、モニタ 2 2 0 7、およびメモリ 2 2 0 8 を備えて構成され、静止画像および動画を撮像可能である。

[0078] 光学系 2 2 0 2 は、1 枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子 2 2 0 4 に導き、固体撮像素子 2 2 0 4 の受光面に結像させる。

シャッタ装置 2 2 0 3 は、光学系 2 2 0 2 および固体撮像素子 2 2 0 4 の間に配置され、制御回路 2 2 0 5 の制御に従って、固体撮像素子 2 2 0 4 へ

の光照射期間および遮光期間を制御する。

[0079] 固体撮像素子 2204 は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子 2204 は、光学系 2202 およびシャッタ装置 2203 を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子 2204 に蓄積された信号電荷は、制御回路 2205 から供給される駆動信号（タイミング信号）に従って転送される。

[0080] 制御回路 2205 は、固体撮像素子 2204 の転送動作、および、シャッタ装置 2203 のシャッタ動作を制御する駆動信号を出力して、固体撮像素子 2204 およびシャッタ装置 2203 を駆動する。

[0081] 信号処理回路 2206 は、固体撮像素子 2204 から出力された信号電荷に対して各種の信号処理を施す。信号処理回路 2206 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 2207 に供給されて表示されたり、メモリ 2208 に供給されて記憶（記録）されたりする。

このように構成されている撮像システム 2201 においても、上述した固体撮像素子 2204 に代えて、撮像装置 1 を適用することが可能となる。

[0082] なお、本開示は以下のような構成も取ることができる。

(1)

入力信号が入力されるゲートを有する第 1 のトランジスタと、
前記第 1 のトランジスタの一方の端子に接続される電流源と、
前記第 1 のトランジスタの他方の端子に接続される第 2 のトランジスタと、
、
前記第 1 のトランジスタの一方または他方の端子に接続される出力端子と、
、
前記電流源と前記第 2 のトランジスタのゲートとの間に設けられる第 1 及び第 2 のキャパシタと、を備え、

前記第 1 のトランジスタと前記第 2 のトランジスタと前記第 1 のキャパシタとによって第 1 のフィードバック回路が形成され、

前記第 1 のトランジスタと前記電流源と前記第 2 のキャパシタとによって

第2のフィードバック回路が形成される、
バッファ回路。

(2)

前記第1のフィードバック回路に対し、所定の第1の電圧を印加する第1の電圧印加部をさらに備える、上記(1)に記載のバッファ回路。

(3)

前記第2のフィードバック回路に対し、前記第1の電圧とは異なる第2の電圧を印加する第2の電圧印加部をさらに備える、上記(2)に記載のバッファ回路。

(4)

前記第2のトランジスタのゲートと前記出力端子との接続をオン・オフする第1のスイッチ部と、

前記第1のトランジスタの前記出力端子が接続されない端子と前記第1及び第2のキャパシタとの接続をオン・オフする第2のスイッチ部と、

前記第1の電圧印加部と前記第1及び第2のキャパシタの接続をオン・オフする第3のスイッチ部と、

前記第2の電圧印加部と前記第2のキャパシタ及び前記電流源との接続をオン・オフする第4のスイッチ部と、を備え、

リセットモードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオンし、前記第2のスイッチ部をオフし、

駆動モードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオフし、前記第2のスイッチ部をオンする、上記(3)に記載のバッファ回路。

(5)

前記第1のトランジスタは、第1の導電型であり、

前記出力端子は、前記第1のトランジスタと前記第2のトランジスタとの間に接続される、上記(1)に記載のバッファ回路。

(6)

前記第 1 のフィードバック回路に対し、所定の第 1 の電圧を印加する第 1 の電圧印加部と、

前記第 2 のフィードバック回路に対し、前記第 1 の電圧とは異なる第 2 の電圧を印加する第 2 の電圧印加部と、

前記第 2 のトランジスタのゲートと前記出力端子との接続をオン・オフする第 1 のスイッチ部と、

前記第 1 のトランジスタの前記出力端子が接続されない端子と前記第 1 及び第 2 のキャパシタとの接続をオン・オフする第 2 のスイッチ部と、

前記第 1 の電圧印加部と前記第 1 及び第 2 のキャパシタの接続をオン・オフする第 3 のスイッチ部と、

前記第 2 の電圧印加部と前記第 2 のキャパシタ及び前記電流源との接続をオン・オフする第 4 のスイッチ部と、を備え、

リセットモードで、前記第 1 のスイッチ部、前記第 3 のスイッチ部、前記第 4 のスイッチ部をオンし、前記第 2 のスイッチ部をオフし、

駆動モードで、前記第 1 のスイッチ部、前記第 3 のスイッチ部、前記第 4 のスイッチ部をオフし、前記第 2 のスイッチ部をオンする、上記（５）に記載のバッファ回路。

（７）

前記第 1 のトランジスタと前記出力端子との間に、カスコードトランジスタを接続する、上記（５）に記載のバッファ回路。

（８）

前記第 1 のトランジスタと前記電流源との間に、カスコードトランジスタを接続する、上記（５）に記載のバッファ回路。

（９）

前記第 1 のトランジスタは、前記第 1 の導電型とは逆極性の第 2 の導電型であり、

前記出力端子は、前記第 1 のトランジスタと前記第 2 のトランジスタとの間に接続される、上記（５）に記載のバッファ回路。

(10)

前記第1のフィードバック回路に対し、所定の第1の電圧を印加する第1の電圧印加部と、

前記第2のフィードバック回路に対し、前記第1の電圧とは異なる第2の電圧を印加する第2の電圧印加部と、

前記第2のトランジスタと前記出力端子との接続をオン・オフする第1のスイッチ部と、

前記第1のトランジスタの前記出力端子が接続されない端子と前記第1及び第2のキャパシタとの接続をオン・オフする第2のスイッチ部と、

前記第1の電圧印加部と前記第1及び第2のキャパシタの接続をオン・オフする第3のスイッチ部と、

前記第2の電圧印加部と前記第2のキャパシタ及び前記電流源との接続をオン・オフする第4のスイッチ部と、を備え、

リセットモードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオンし、前記第2のスイッチ部をオフし、

駆動モードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオフし、前記第2のスイッチ部をオンする、上記(9)に記載のバッファ回路。

(11)

前記第1のトランジスタと前記出力端子との間に、カスコードトランジスタを接続する、上記(9)に記載のバッファ回路。

(12)

前記第1のトランジスタと前記電流源との間に、カスコードトランジスタを接続する、上記(9)に記載のバッファ回路。

(13)

前記第1のトランジスタ、前記第2のトランジスタ及び前記電流源に対し動作に必要な電力を供給する電源ラインに接続され、一定電圧レベルの基準信号を前記第1のトランジスタ、前記第2のトランジスタ及び前記電流源に

対し出力するソースフォロワ回路を備える、上記（１）に記載のバッファ回路。

（１４）

外部から入射した光に応じた画素信号を生成可能な複数の画素により構成される画素アレイ部と、

バッファ回路と、

前記バッファ回路の出力信号と前記複数の画素のそれぞれから出力される画素信号とを比較し、比較結果に基づいて画像データを生成する信号処理部と、

前記画素アレイ部、前記バッファ回路及び前記信号処理部のそれぞれの動作に必要な電力を供給する電源回路と、を備える撮像装置であって、

前記バッファ回路は、

入力信号が入力されるゲートを有する第１のトランジスタと、

前記第１のトランジスタの一方の端子に接続される電流源と、

前記第１のトランジスタの他方の端子に接続される第２のトランジスタと

、

前記第１のトランジスタの一方または他方の端子に接続される出力端子と

、

前記電流源と前記第２のトランジスタのゲートとの間に設けられる第１及び第２のキャパシタと、を備え、

前記第１のトランジスタと前記第２のトランジスタと前記第１のキャパシタとによって第１のフィードバック回路が形成され、

前記第１のトランジスタと前記電流源と前記第２のキャパシタとによって第２のフィードバック回路が形成される、撮像装置。

（１５）

前記電源回路は、一定電圧レベルの基準信号を前記第１のトランジスタ、前記第２のトランジスタ及び前記電流源に対し出力する機能を備える、上記

(14)に記載の撮像装置。

符号の説明

[0083] 1 撮像装置

11 画素アレイ部

12 垂直駆動部

13 カラム処理部

14 水平駆動部

15 システム制御部

16 信号処理部

17 データ格納部

18 画素駆動線

19 垂直信号線

20 画素信号読み出し機構

110 画素

131, 131A, 131B, 131C, 131D, 131E, 131G

ランプ信号バッファ回路

132 ランプ信号生成回路

133 AD変換器

134 比較器

135 カウンタ

141, 311 入力制御部

142 出力制御部

143 電流源

144, 312 入力端子

145, 313 出力端子

146 第1のキャパシタ (C1)

147 第2のキャパシタ (C2)

151, 314 第1のスイッチ部

- 1 5 2, 3 1 5 第2のスイッチ部
- 1 5 3 第3のスイッチ部
- 1 5 4 第4のスイッチ部
- 1 6 1 第1の電圧印加部
- 1 6 2 第2の電圧印加部
- 2 0 1 第1のモジュール
- 2 0 2 第2のモジュール
- 2 1 1, 2 1 2 ソースフォロワ回路
- 4 1 0 電源回路
- 4 1 1 L D O
- 5 1 0 ソースフォロワ回路
- 6 1 0, 7 1 0, 8 1 0, 9 1 0 カスコードトランジスタ
- 2 2 0 1 撮像システム
- 2 2 0 2 光学系
- 2 2 0 3 シャッタ装置
- 2 2 0 4 固体撮像素子
- 2 2 0 5 制御回路
- 2 2 0 6 信号処理回路
- 2 2 0 7 モニタ
- 2 2 0 8 メモリ

請求の範囲

- [請求項1] 入力信号が入力されるゲートを有する第1のトランジスタと、
 前記第1のトランジスタの一方の端子に接続される電流源と、
 前記第1のトランジスタの他方の端子に接続される第2のトランジスタと、
 前記第1のトランジスタの一方または他方の端子に接続される出力端子と、
 前記電流源と前記第2のトランジスタのゲートとの間に設けられる第1及び第2のキャパシタと、を備え、
 前記第1のトランジスタと前記第2のトランジスタと前記第1のキャパシタとによって第1のフィードバック回路が形成され、
 前記第1のトランジスタと前記電流源と前記第2のキャパシタとによって第2のフィードバック回路が形成される、
 バッファ回路。
- [請求項2] 前記第1のフィードバック回路に対し、所定の第1の電圧を印加する第1の電圧印加部をさらに備える、請求項1に記載のバッファ回路。
- [請求項3] 前記第2のフィードバック回路に対し、前記第1の電圧とは異なる第2の電圧を印加する第2の電圧印加部をさらに備える、請求項2に記載のバッファ回路。
- [請求項4] 前記第2のトランジスタのゲートと前記出力端子との接続をオン・オフする第1のスイッチ部と、
 前記第1のトランジスタの前記出力端子が接続されない端子と前記第1及び第2のキャパシタとの接続をオン・オフする第2のスイッチ部と、
 前記第1の電圧印加部と前記第1及び第2のキャパシタの接続をオン・オフする第3のスイッチ部と、
 前記第2の電圧印加部と前記第2のキャパシタ及び前記電流源との

接続をオン・オフする第4のスイッチ部と、を備え、

リセットモードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオンし、前記第2のスイッチ部をオフし、

駆動モードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオフし、前記第2のスイッチ部をオンする、請求項3に記載のバッファ回路。

[請求項5] 前記第1のトランジスタは、第1の導電型であり、

前記出力端子は、前記第1のトランジスタと前記第2のトランジスタとの間に接続される、請求項1に記載のバッファ回路。

[請求項6] 前記第1のフィードバック回路に対し、所定の第1の電圧を印加する第1の電圧印加部と、

前記第2のフィードバック回路に対し、前記第1の電圧とは異なる第2の電圧を印加する第2の電圧印加部と、

前記第2のトランジスタのゲートと前記出力端子との接続をオン・オフする第1のスイッチ部と、

前記第1のトランジスタの前記出力端子が接続されない端子と前記第1及び第2のキャパシタとの接続をオン・オフする第2のスイッチ部と、

前記第1の電圧印加部と前記第1及び第2のキャパシタの接続をオン・オフする第3のスイッチ部と、

前記第2の電圧印加部と前記第2のキャパシタ及び前記電流源との接続をオン・オフする第4のスイッチ部と、を備え、

リセットモードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッ

チ部をオンし、前記第2のスイッチ部をオフし、

駆動モードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオフし、前記第2のスイッチ部をオンする、請求項5に記載のバッファ回路。

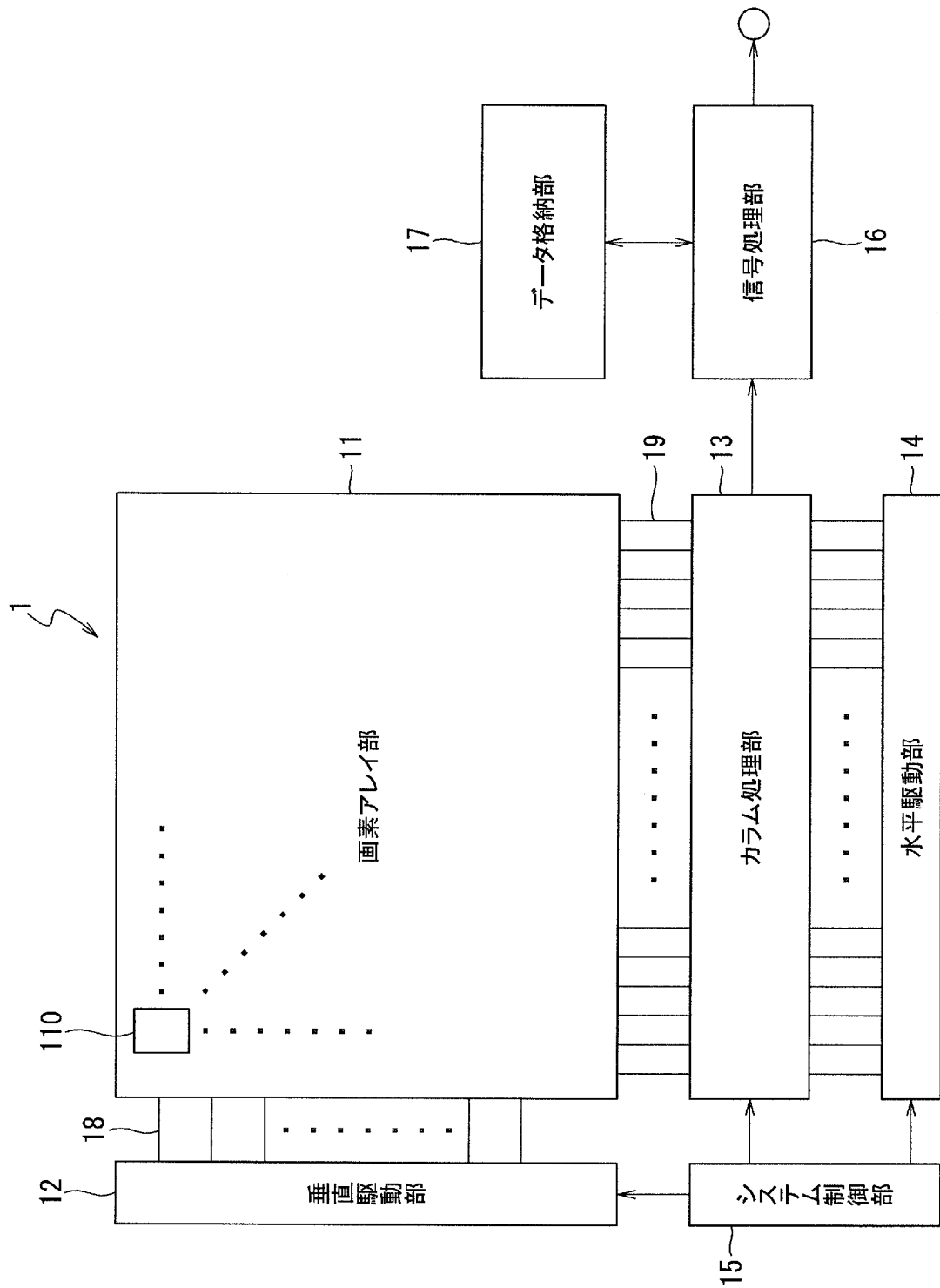
- [請求項7] 前記第1のトランジスタと前記出力端子との間に、カスコードトランジスタを接続する、請求項5に記載のバッファ回路。
- [請求項8] 前記第1のトランジスタと前記電流源との間に、カスコードトランジスタを接続する、請求項5に記載のバッファ回路。
- [請求項9] 前記第1のトランジスタは、前記第1の導電型とは逆極性の第2の導電型であり、
前記出力端子は、前記第1のトランジスタと前記第2のトランジスタとの間に接続される、請求項5に記載のバッファ回路。
- [請求項10] 前記第1のフィードバック回路に対し、所定の第1の電圧を印加する第1の電圧印加部と、
前記第2のフィードバック回路に対し、前記第1の電圧とは異なる第2の電圧を印加する第2の電圧印加部と、
前記第2のトランジスタと前記出力端子との接続をオン・オフする第1のスイッチ部と、
前記第1のトランジスタの前記出力端子が接続されない端子と前記第1及び第2のキャパシタとの接続をオン・オフする第2のスイッチ部と、
前記第1の電圧印加部と前記第1及び第2のキャパシタの接続をオン・オフする第3のスイッチ部と、
前記第2の電圧印加部と前記第2のキャパシタ及び前記電流源との接続をオン・オフする第4のスイッチ部と、を備え、
リセットモードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオンし、前記第2のスイッチ部をオフし、
駆動モードで、前記第1のスイッチ部、前記第3のスイッチ部、前記第4のスイッチ部をオフし、前記第2のスイッチ部をオンする、請求項9に記載のバッファ回路。
- [請求項11] 前記第1のトランジスタと前記出力端子との間に、カスコードトランジスタを接続する、請求項9に記載のバッファ回路。

- [請求項12] 前記第1のトランジスタと前記電流源との間に、カスコードトランジスタを接続する、請求項9に記載のバッファ回路。
- [請求項13] 前記第1のトランジスタ、前記第2のトランジスタ及び前記電流源に対し動作に必要な電力を供給する電源ラインに接続され、一定電圧レベルの基準信号を前記第1のトランジスタ、前記第2のトランジスタ及び前記電流源に対し出力するソースフォロワ回路を備える、請求項1に記載のバッファ回路。
- [請求項14] 外部から入射した光に応じた画素信号を生成可能な複数の画素により構成される画素アレイ部と、
バッファ回路と、
前記バッファ回路の出力信号と前記複数の画素のそれぞれから出力される画素信号とを比較し、比較結果に基づいて画像データを生成する信号処理部と、
前記画素アレイ部、前記バッファ回路及び前記信号処理部のそれぞれの動作に必要な電力を供給する電源回路と、を備える撮像装置であって、
前記バッファ回路は、
入力信号が入力されるゲートを有する第1のトランジスタと、
前記第1のトランジスタの一方の端子に接続される電流源と、
前記第1のトランジスタの他方の端子に接続される第2のトランジスタと、
前記第1のトランジスタの一方または他方の端子に接続される出力端子と、
前記電流源と前記第2のトランジスタのゲートとの間に設けられる第1及び第2のキャパシタと、を備え、
前記第1のトランジスタと前記第2のトランジスタと前記第1のキャパシタとによって第1のフィードバック回路が形成され、
前記第1のトランジスタと前記電流源と前記第2のキャパシタとに

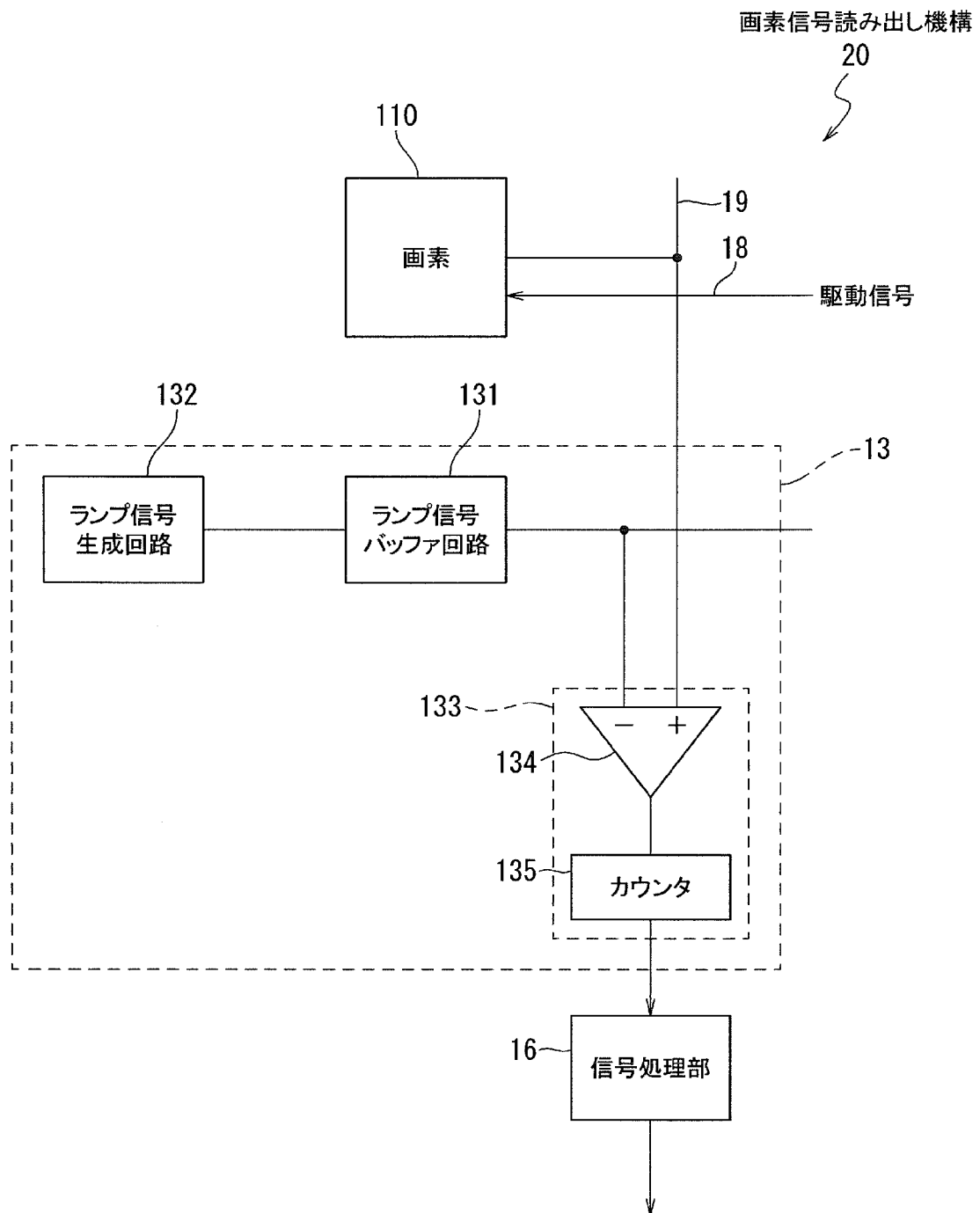
よって第2のフィードバック回路が形成される、
撮像装置。

[請求項15] 前記電源回路は、一定電圧レベルの基準信号を前記第1のトランジスタ、前記第2のトランジスタ及び前記電流源に対し出力する機能を備える、請求項14に記載の撮像装置。

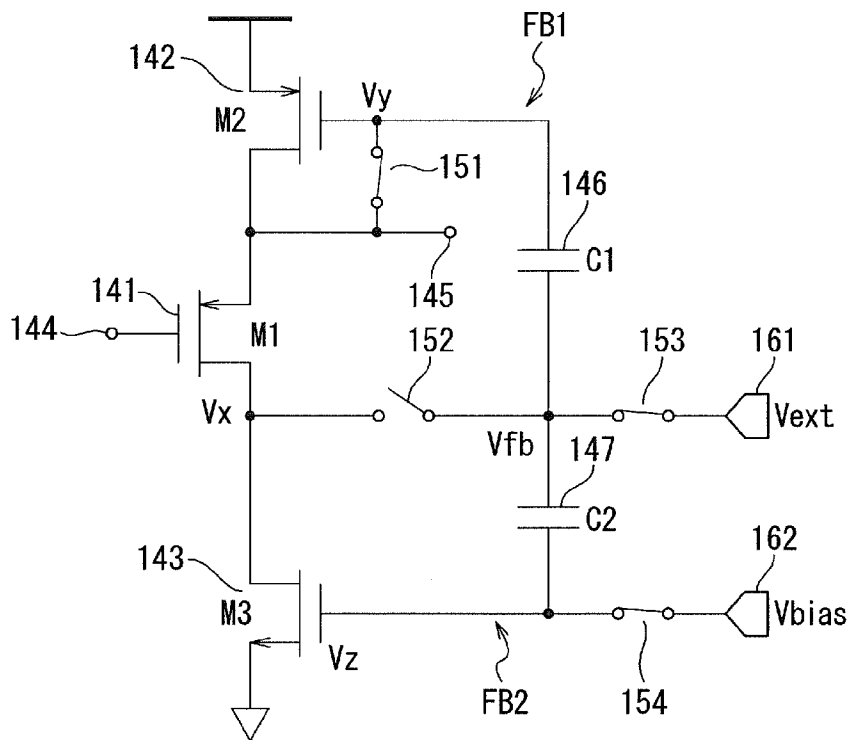
[図1]



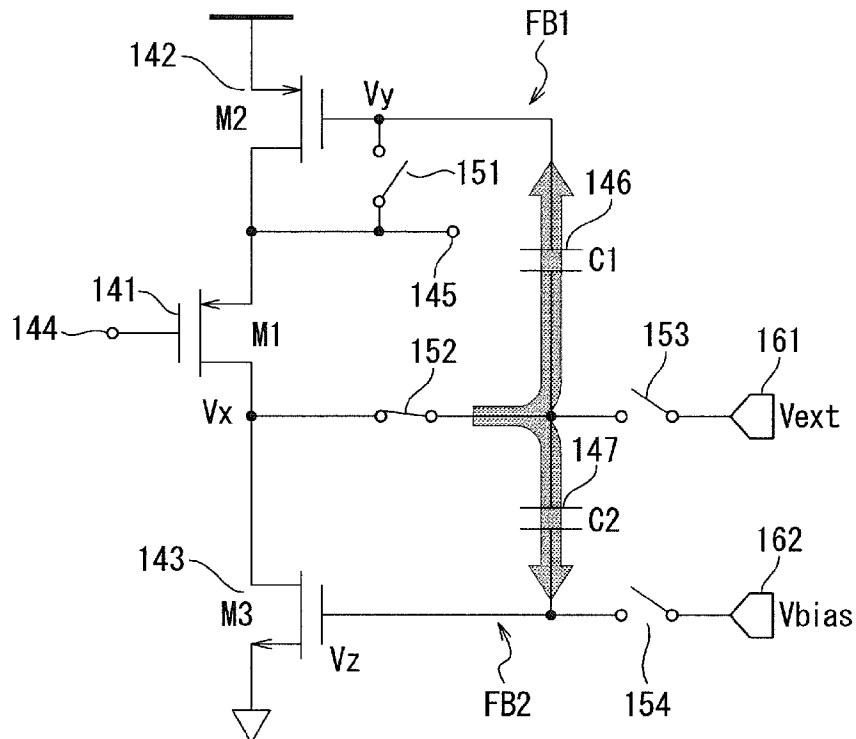
[図2]



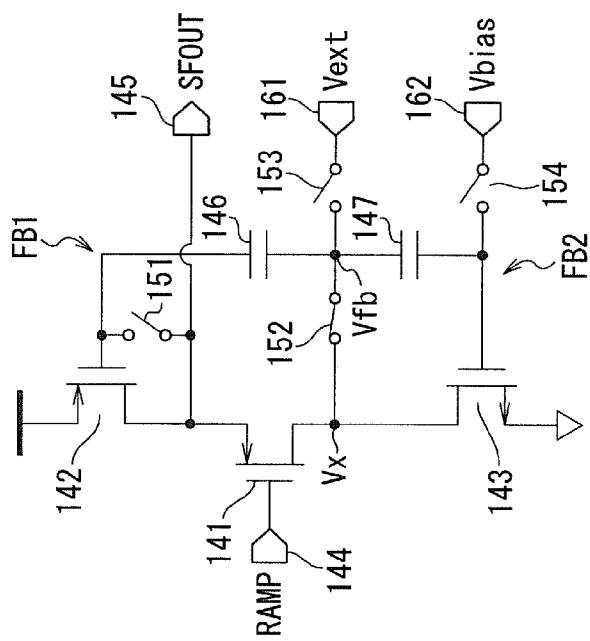
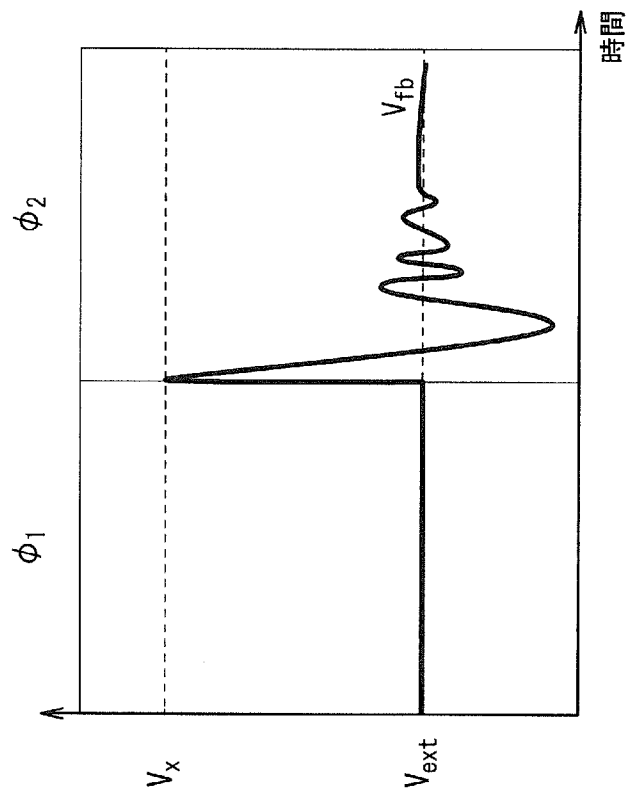
[図3]

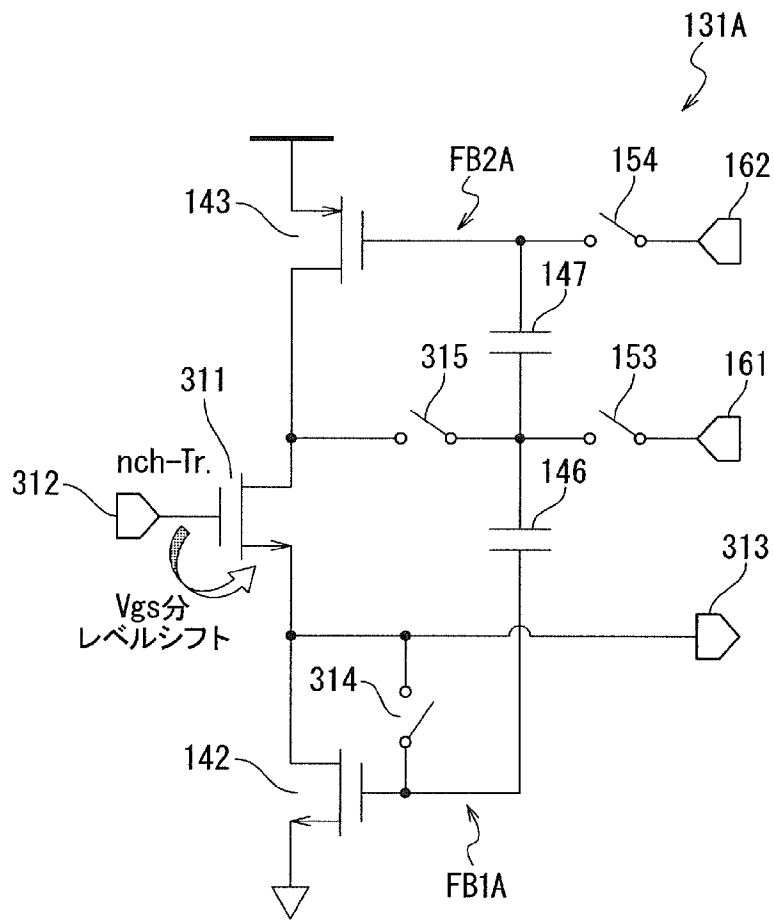


[図4]

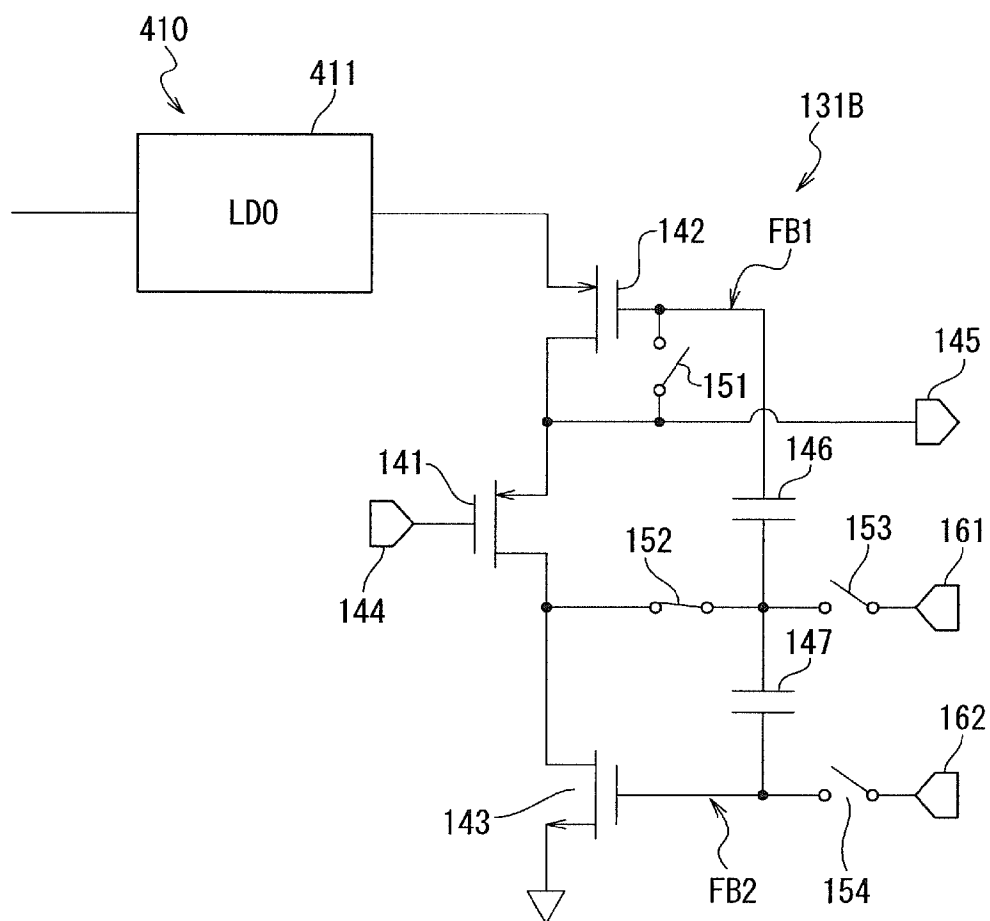


[図6]



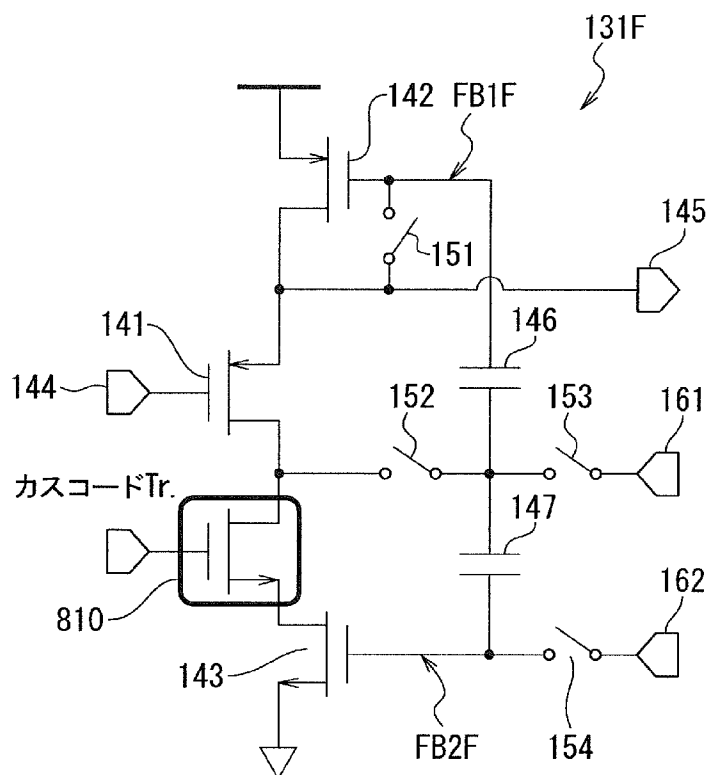


[図8]



The circuit diagram shows a differential signal processing circuit 131C. It consists of two input transistors 141 and 143, two output transistors 142 and 144, and two output nodes 145 and 146. The circuit is connected to a power supply 510 and ground. The input transistors 141 and 143 are connected to the power supply 510 and ground. The output transistors 142 and 144 are connected to the output nodes 145 and 146. The output nodes 145 and 146 are connected to the capacitors 147 and 148. The switches 151 and 152 are connected to the output nodes 145 and 146. The switches 151 and 152 are controlled by a common control signal 153. The output nodes 145 and 146 are connected to the output terminals 161 and 162. The output terminals 161 and 162 are connected to the output signals 163 and 164.

[illegible]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/022641

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/78**(2023.01)i; **H03F 1/34**(2006.01)i; **H03K 19/0175**(2006.01)i

FI: H04N25/78; H03K19/0175 220; H03F1/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/78; H03F1/34; H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-91759 A (SEIKO EPSON CORP.) 06 May 2011 (2011-05-06) paragraphs [0045]-[0049], fig. 2	1-15
A	JP 2016-152495 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 22 August 2016 (2016-08-22) paragraph [0049], fig. 2	1-15
A	WO 2022/030207 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 10 February 2022 (2022-02-10) paragraphs [0100]-[0101], fig. 8	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

22 August 2023

Date of mailing of the international search report

05 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/022641

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-91759	A	06 May 2011	(Family: none)	
JP	2016-152495	A	22 August 2016	(Family: none)	
WO	2022/030207	A1	10 February 2022	CN	115804012 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/78(2023.01)i; H03F 1/34(2006.01)i; H03K 19/0175(2006.01)i FI: H04N25/78; H03K19/0175 220; H03F1/34										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04N25/78; H03F1/34; H03K19/0175										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2011-91759 A（セイコーエプソン株式会社）06.05.2011（2011 - 05 - 06） 段落[0045]-[0049], 図2	1-15								
A	JP 2016-152495 A（パナソニックIPマネジメント株式会社）22.08.2016（2016 - 08 - 22） 段落[0049], 図2	1-15								
A	WO 2022/030207 A1（ソニーセミコンダクタソリューションズ株式会社）10.02.2022（2022 - 02 - 10） 段落[0100]-[0101], 図8	1-15								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 22.08.2023	国際調査報告の発送日 05.09.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/022641

引用文献			公表日	パテントファミリー文献			公表日
JP	2011-91759	A	06.05.2011	(ファミリーなし)			
JP	2016-152495	A	22.08.2016	(ファミリーなし)			
WO	2022/030207	A1	10.02.2022	CN	115804012	A	