

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和5年8月23日(2023.8.23)

【国際公開番号】WO2022/123633
 【出願番号】特願2022-567907(P2022-567907)
 【国際特許分類】
 H10B10/00(2023.01)
 【FI】
 H10B10/00

10

【手続補正書】
 【提出日】令和5年6月5日(2023.6.5)
 【手続補正1】
 【補正対象書類名】明細書
 【補正対象項目名】0004
 【補正方法】変更
 【補正の内容】
 【0004】

図4に、NチャンネルSGTの模式構造図を示す。P型又はi型(真性型)の導電型を有するSi柱120(以下、シリコン半導体柱を「Si柱」と称する。)内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層121a、121bが形成されている(「N⁺層」は、ドナー不純物を高濃度で含む半導体領域を指す。以下同様。)このソース、ドレインとなるN⁺層121a、121b間のSi柱120の部分がチャンネル領域122となる。このチャンネル領域122を囲むようにゲート絶縁層123が形成されている。このゲート絶縁層123を囲むようにゲート導体層124が形成されている。SGTは、ソース、ドレインとなるN⁺層121a、121b、チャンネル領域122、ゲート絶縁層123、ゲート導体層124より構成されている。N⁺層121b上の絶縁層125に開けられたコンタクトホールCを介してN⁺層121bとソース配線金属層Sが接続されている。これにより、平面視において、SGTの占有面積は、プレーナ型MOSトランジスタの単一のソース又はドレインN⁺層の占有面積に相当する。そのため、SGTを有する回路チップは、プレーナ型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

20

30

【手続補正2】
 【補正対象書類名】明細書
 【補正対象項目名】0007
 【補正方法】変更
 【補正の内容】
 【0007】

図5に示すように、PチャンネルSGT_Pc1、Pc2のソースは電源端子Vddに接続されている。そして、NチャンネルSGT_Nc1、Nc2のソースはグランド端子Vssに接続されている。選択NチャンネルSGT_SN1、SN2が2つのインバータ回路の両側に配置されている。選択NチャンネルSGT_SN1、SN2のゲートはワード線端子Wltに接続されている。選択NチャンネルSGT_SN1のソース、ドレインはNチャンネルSGT_Nc1、PチャンネルSGT_Pc1のドレインとビット線端子BLtに接続されている。選択NチャンネルSGT_SN2のソース、ドレインはNチャンネルSGT_Nc2、PチャンネルSGT_Pc2のドレインと反転ビット線端子BLRtに接続されている。このようにSRAMセルを有する回路は、2個の負荷PチャンネルSGT_Pc1、Pc2と、2個の駆動用NチャンネルSGT_Nc1、Nc2と、2個の選択用NチャンネルSN1、SN2とからなる合計6個のSGTから構成されている(例えば、特許文献2を参照

40

50

)。このSRAMセルにおいて、各電極間、接続配線間の寄生容量を如何に減少させるかが課題である。同時に、SRAMセルの高密度化に伴う、各電極間の短絡に伴う不良を如何に減少させるかも課題である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

上記の課題を解決するために、本発明の柱状半導体メモリ装置の製造方法は、
基板上に、平面視において第1の線上に並び、且つ垂直方向に立った第1のSGT (Surrounding Gate Transistor) を形成する第1の半導体柱と、前記第1の半導体柱に隣接して、第2のSGTを形成する第2の半導体柱と、平面視において前記第1の線に並行な第2の線上に並び、且つ垂直方向に立った第3のSGTを形成する第3の半導体柱と、前記第3の半導体柱に隣接して第4のSGTを形成する第4の半導体柱と、を形成する工程と、

10

前記第1の半導体柱を囲んだ第1のゲート絶縁層と、前記第2の半導体柱を囲んだ第2のゲート絶縁層と、前記第3の半導体柱を囲んだ第3のゲート絶縁層と、前記第4の半導体柱を囲んだ第4のゲート絶縁層と、を形成する工程と、

前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、前記第2のゲート絶縁層を囲み、且つ、平面視において、前記第2の線の方向に突き出た第2のゲート導体層と、平面視において、前記第3のゲート絶縁層を囲み、且つ、平面視において、前記第1の線の方向に突き出た第3のゲート導体層と、前記第4のゲート絶縁層を囲んだ第4のゲート導体層と、を形成する工程と、

20

前記第1の半導体柱の底部にある第1の不純物領域と、前記第2の半導体柱の底部にある第2の不純物領域とを繋げる第1の接続領域と、平面視において第1の線方向に突き出た前記第3のゲート導体層と、の上に第1のコンタクトホールを形成し、同時に、前記第3の半導体柱の底部にある第3の不純物領域と、前記第4の半導体柱の底部にある第4の不純物領域とを繋げる第2の接続領域と、平面視において前記第2の線方向に突き出た前記第2のゲート導体層と、の上に第2のコンタクトホールを形成する工程と、

30

前記第1のコンタクトホールの底部に第1の導体層を形成し、同時に前記第2のコンタクトホールの底部に第2の導体層を形成する工程と、

前記第1の導体層上の前記第1のコンタクトホール内に、第1の空孔または低誘電率材料層よりなる第1の絶縁材料層を形成し、同時に前記第2のゲート導体層上の前記第2のコンタクトホール内に、第2の空孔または低誘電率材料層よりなる第2の絶縁材料層を形成する工程と、を有し、

前記第1のSGTと、前記第4のSGTがSRAMメモリセルの選択トランジスタであり、前記第2のSGTと、前記第3のSGTがSRAMメモリセルの負荷トランジスタであることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

上記発明において、さらに、前記第1のゲート絶縁層、前記第2のゲート絶縁層、前記第3のゲート絶縁層、前記第4のゲート絶縁層、を囲み、且つ、垂直方向において、上面位置が前記第1の半導体柱、前記第2の半導体柱、前記第3の半導体柱、前記第4の半導体柱の頂部より下にある第2の導体層を形成する工程と、

前記第1の半導体柱、前記第2の半導体柱、前記第3の半導体柱、前記第4の半導体柱

40

50

の頂部を囲んだ第1のマスク材料層を形成する工程と、

平面視において、前記第2の半導体柱に繋がり、且つ一部が前記第2の線方向に突き出した第2のマスク材料層と、前記第3の半導体柱に繋がり、且つ一部が前記第1の線方向に突き出した第3のマスク材料層と、を形成する工程と、

前記第1のマスク材料層と、前記第2のマスク材料層と、前記第3のマスク材料層と、をマスクにして、前記第2のゲート導体層をエッチングして、前記第1のゲート導体層、前記第2のゲート導体層、前記第3のゲート導体層、前記第4のゲート導体層を形成する工程と、有し、

平面視において、前記第2のマスク材料層と重なった、前記第2のゲート導体層の膜厚が、前記第1のマスク材料層の膜厚より厚く形成され、平面視において、前記第3のマスク材料層と重なった、前記第3のゲート導体層の膜厚が、前記第3のマスク材料層の膜厚より厚く形成する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

上記の課題を解決するために、本発明の柱状半導体メモリ装置は、

基板上に、平面視において第1の線上に並び、且つ垂直方向に立った第1のSGT (Surrounding Gate Transistor) を形成する第1の半導体柱と、前記第1の半導体柱に隣接して、第2のSGTを形成する第2の半導体柱と、平面視において前記第1の線に並行な第2の線上に並び、且つ垂直方向に立った第3のSGTを形成する第3の半導体柱と、前記第3の半導体柱に隣接して第4のSGTを形成する第4の半導体柱と、

前記第1の半導体柱を囲んだ第1のゲート絶縁層と、前記第2の半導体柱を囲んだ第2のゲート絶縁層と、前記第3の半導体柱を囲んだ第3のゲート絶縁層と、前記第4の半導体柱を囲んだ第4のゲート絶縁層と、

前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、前記第2のゲート絶縁層を囲み、且つ、平面視において、前記第2の線の方に突き出した第2のゲート導体層と、平面視において、前記第3のゲート絶縁層を囲み、且つ、平面視において、前記第1の線の方に突き出した第3のゲート導体層と、前記第4のゲート絶縁層を囲んだ第4のゲート導体層と、

前記第1の半導体柱の底部にある第1の不純物領域と、前記第2の半導体柱の底部にある第2の不純物領域とを繋げる第1の接続領域と、平面視において第1の線方向に突き出した前記第3のゲート導体層と、の上に垂直方向に延びた第1のコンタクト部と、前記第3の半導体柱の底部にある第3の不純物領域と、前記第4の半導体柱の底部にある第4の不純物領域とを繋げる第2の接続領域と、平面視において前記第2の線方向に突き出した前記第2のゲート導体層と、の上に垂直方向に延びた第2のコンタクト部と、

前記第1のコンタクト部の底部にある第1の導体層と、前記第2のコンタクト部の底部にある第2の導体層と、

前記第1の導体層上の前記第1のコンタクト部内にある、第1の空孔、または低誘電率材料層よりなる第1の絶縁材料層と、前記第2のゲート導体層上の前記第2のコンタクト部内にある、第2の空孔、または低誘電率材料層よりなる第2の絶縁材料層と、を有し、

前記第1のSGTと、前記第4のSGTがSRAMメモリセルの選択トランジスタであり、前記第2のSGTと、前記第3のSGTがSRAMメモリセルの負荷トランジスタであることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

10

20

30

40

50

【補正の内容】

【0016】

上記発明において、垂直方向において、前記第1の空孔、前記第2の空孔の上端位置が、前記第1のゲート導体層、前記第2のゲート導体層、前記第3のゲート導体層、前記第4のゲート導体層の上端位置より低いことを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

10

【0017】

前記第2のコンタクト部に接する領域の、前記第2のゲート導体層の厚さが、前記第2のゲート絶縁層を囲んだ前記第2のゲート導体層の厚さより厚いことを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

【図1A】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。 20

【図1B】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1C】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1D】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1E】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1F】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。 30

【図1G】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1H】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1I】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1J】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1K】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。 40

【図1L】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1M】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1N】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1O】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図1P】第1実施形態に係るSGTを有する柱状半導体メモリ装置及びその製造方法を 50

説明するための平面図と断面構造図である。

【図 1 Q】第 1 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 1 R】第 1 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 1 S】第 1 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 1 T】第 1 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 1 U】第 1 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。 10

【図 2 A】第 2 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 2 B】第 2 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 3 A】第 3 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 3 B】第 3 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。

【図 3 C】第 3 実施形態に係る SGT を有する柱状半導体メモリ装置及びその製造方法を説明するための平面図と断面構造図である。 20

【図 4】従来例の SGT を示す模式構造図である。

【図 5】従来例の SGT を用いた SRAM セル回路図である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

次に、CVD 法により全体に、 SiO_2 層（図示せず）を被覆する。そして、図 1 N に示すように、CMP 法により、 SiO_2 層の上面位置を、 AlO 層 29 の上面位置まで研磨して、 Si 柱 6 a ~ 6 f の頂部を覆い、且つ凹部 30 A、30 B、30 C、30 D、30 E、30 F 内に、 SiO_2 層 31 a、31 b（図示せず）31 c、31 d、31 e（図示せず）、31 f を形成する。そして、リソグラフィ法と、ケミカルエッチング法により、 SiO_2 層 31 b、31 e を除去する。そして、選択エピタキシャル結晶成長法によりアクセプタ不純物を含んだ P^+ 層 32 b、32 e を、 Si 柱 6 b、6 e の頂部を覆い、且つ凹部 30 B、30 E 内に形成する。 P^+ 層 32 b、32 e の外周が、平面視において、凹部 30 B、30 E の外周より外側にならないように形成する。なお、 P^+ 層 32 b、32 e を形成する前に、 Si 柱 6 b、6 e の頂部を薄く酸化した後に、この酸化膜を除く処理を行い、 Si 柱 6 b、6 e の頂部表層のダメージ層の除去、及び洗浄を行うことが望ましい。なお、 P^+ 層 32 b、32 e は、選択エピタキシャル結晶成長法以外の、例えば分子線結晶成長法などの他の方法を用いて単結晶である P^+ 層 32 b、32 e を形成してもよい。また、 P^+ 層 32 b、32 e は、全面にアクセプタ不純物を含んだ半導体層を被覆した後に、CMP 法により、その上面位置が AlO 層 29 の上面位置まで研磨した後に、上面を CDE 法、またはケミカルエッチして形成してもよい。 30 40

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【 0 0 4 0 】

次に、図 1 T に示すように、帯状コンタクトホール C 3 を埋め、W 層 3 3 b と、3 3 e と、を接続した電源配線金属層 V d d を形成する。なお、電源配線金属層 V d d は、金属だけでなく、合金、ドナーまたはアクセプタ不純物を多く含んだ半導体よりなる材料層を単層、または複数層用いて形成してもよい。

【 手 続 補 正 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 4 5

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

10

【 0 0 4 5 】

第 1 実施形態の製造方法によれば、次のような特徴が得られる。

(特 徴 1)

図 1 U に示す、選択 S G T と負荷 S G T が形成される S i 柱 6 a、6 b 間の、N⁺層 3 a a、P⁺層 4 a a、ゲート T i N 層 2 4 c とを接続する W 層 3 4 a と、実効的な低誘電率層である S i O₂ 層 3 5 a とが、コンタクトホール C 1 内に形成される。これにより、W 層 3 4 a と S i O₂ 層 3 5 a とが自己整合により形成される。同様に、W 層 3 4 b と S i O₂ 層 3 5 b とが自己整合により形成される。この自己整合形成は、S R A M セルの高集積化に繋がる。

(特 徴 2)

20

空孔 3 6 a を含む S i O₂ 層 3 5 a は、選択 S G T のゲート T i N 層 2 4 a と、負荷 S G T、駆動 S G T のゲート T i N 層 2 4 b 間のカップリング容量を小さくさせる。同様に、空孔 3 6 b を含む S i O₂ 層 3 5 b は、選択 S G T のゲート T i N 層 2 4 d と、負荷 S G T のゲート T i N 層 2 4 c 間のカップリング容量を小さくさせる。このカップリング容量の低減は、S R A M 装置の高速化、低消費電力化に繋がる。

(特 徴 3)

図 1 R に示すように、垂直方向において、W 層 3 4 a は、その上面が、ゲート T i N 層 2 4 a ~ 2 4 d の下端位置より下、または近傍になるように形成される。これにより、W 層 3 4 a の側面が、ゲート T i N 層 2 4 a、2 4 b の側面と対面する面積が小さく、又は離して形成できる。これにより、製造上で、W 層 3 4 a とゲート T i N 層 2 4 a、2 4 b との電氣的短絡不良を低減させることができる。同様に、W 層 3 4 b と、ゲート T i N 層 2 4 c、2 4 d との短絡不良を少なく出来る。これは S R A M 装置の歩留り向上に寄与する。

30

【 手 続 補 正 1 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 4 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 4 9 】

第 2 実施形態の製造方法によれば、次のような特徴が得られる。

40

図 2 B に示すように、P⁺層 4 c a、4 c b、N⁺層 4 6 a、4 6 c、4 6 d、4 6 f は平面視において、一部が重なり、かつ P⁺層 4 c a、4 c b、N⁺層 4 6 a、4 6 c、4 6 d、4 6 f の底部は、S i N 層 2 7 上、または接して形成される。これに対し、空孔 3 6 a、3 6 b の垂直方向における上端位置が、S i N 層 2 7 より下方になるように形成される。これにより、空孔 3 6 a、3 6 b が、P⁺層 4 c a、4 c b、N⁺層 4 6 a、4 6 c、4 6 d、4 6 f の形成工程において、崩れることはない。これは、平面視において、実効的な低誘電層である S i O₂ 層 3 5 a、3 5 b と、P⁺層 4 6 b とを、重ねて形成できることを示している。これにより、S R A M セルの高密度化が図れる。

【 手 続 補 正 1 3 】

【 補 正 対 象 書 類 名 】 明 細 書

50

【補正対象項目名】 0051

【補正方法】 変更

【補正の内容】

【0051】

第1実施形態における図1Iまでの工程を行う。そして、全面を覆って、ALD (Atomic Layered Deposition) を用いてHfO₂層 (図示せず)、TiN層 (図示せず) を堆積し、そして、CVD法によりSiO₂層 (図示せず) を堆積する。そして、CMP法により、HfO₂層、TiN層、SiO₂層の上面が、マスク材料層7a~7fの上面位置になるように研磨する。そして、マスク材料層7a~7fをマスクにして、RIE法によりTiN層、SiO₂層を、上面位置がN⁺層3ba、3bb、3Ba、3Bb、P⁺層4ca、4Caの下端位置近傍までエッチングして、図3Aに示すように、TiN層24、SiO₂層25Aを形成する。そして、全面にSiN層 (図示せず) を堆積する。そして、RIE法によりSiN層をエッチングすることにより、N⁺層3ba、3bb、3Ba、3Bb、P⁺層4ca、4Caと、マスク材料層7a~7fの側面にSiN層26a、26b、26c、26dを形成する。この場合、P⁺層4ca、N⁺層3bb間の距離が短い場合、SiN層26bが、P⁺層4ca、N⁺層3bb間で繋がって形成される。同じくP⁺層4Ca、N層3Ba間の距離が短い場合、SiN層26cが、P⁺層4ca、N⁺層3Ba間で繋がって形成される。そして、平面視において、SiN層26aに一部重なったマスク材料層26A、SiN層26bに一部重なったマスク材料層26B、SiN層26cに一部重なったマスク材料層26C、SiN層26dに一部重なったマスク材料層26Dを形成する。この場合、平面視におけるマスク材料層26A~26Dの厚さL1を、TiN層の厚さL2より小さくして形成する。

【手続補正14】

【補正対象書類名】 明細書

【補正対象項目名】 0052

【補正方法】 変更

【補正の内容】

【0052】

次に、図3Bに示すように、マスク材料層7a~7d、26A~26D、SiN層26a~26dをマスクにして、SiO₂層25A、TiN層24を、エッチングして、TiN層24A、24B、24C、24Dを形成する。この場合、マスク材料層26A~26Dの下にSiO₂層25Aは残される。このエッチングにより、TiN層24A~24Dの底部の厚さL2は維持された状態で、Si柱6a~6fを囲んだTiN層24A~24Dの厚さがL1と薄く形成される。

【手続補正15】

【補正対象書類名】 明細書

【補正対象項目名】 0064

【補正方法】 変更

【補正の内容】

【0064】

なお、薄い単結晶Si層45a~45eは、結晶性のよいP⁺層46b、N⁺層46a、46c、46d、46fを形成するための層であるので、この目的に合うものであれば、他の単結晶半導体薄膜層であってもよい。

【手続補正16】

【補正対象書類名】 明細書

【補正対象項目名】 0069

【補正方法】 変更

【補正の内容】

【0069】

また、第2実施形態において、ALD法による薄い単結晶Si層45a~45eと、工

ピタキシャル結晶成長法によるN⁺層またはP⁺層46a~46eを形成した。薄い単結晶Si層45a~45eは、結晶性のよいN⁺層、P⁺層46a~46eを得るための材料層である。結晶性のよいN⁺層、P⁺層46a~46eを得るための材料層であれば、他の単層または複数層の材料層であってもよい。

【手続補正17】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

10

【請求項1】

基板上に、平面視において第1の線上に並び、且つ垂直方向に立った第1のSGT(Surrounding Gate Transistor)を形成する第1の半導体柱と、前記第1の半導体柱に隣接して、第2のSGTを形成する第2の半導体柱と、平面視において前記第1の線に並行な第2の線上に並び、且つ垂直方向に立った第3のSGTを形成する第3の半導体柱と、前記第3の半導体柱に隣接して第4のSGTを形成する第4の半導体柱と、を形成する工程と、

前記第1の半導体柱を囲んだ第1のゲート絶縁層と、前記第2の半導体柱を囲んだ第2のゲート絶縁層と、前記第3の半導体柱を囲んだ第3のゲート絶縁層と、前記第4の半導体柱を囲んだ第4のゲート絶縁層と、を形成する工程と、

20

前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、前記第2のゲート絶縁層を囲み、且つ、平面視において、前記第2の線の方向に突き出た第2のゲート導体層と、平面視において、前記第3のゲート絶縁層を囲み、且つ、平面視において、前記第1の線の方向に突き出た第3のゲート導体層と、前記第4のゲート絶縁層を囲んだ第4のゲート導体層と、を形成する工程と、

前記第1の半導体柱の底部にある第1の不純物領域と、前記第2の半導体柱の底部にある第2の不純物領域とを繋げる第1の接続領域と、平面視において第1の線方向に突き出た前記第3のゲート導体層と、の上に第1のコンタクトホールを形成し、同時に、前記第3の半導体柱の底部にある第3の不純物領域と、前記第4の半導体柱の底部にある第4の不純物領域とを繋げる第2の接続領域と、平面視において前記第2の線方向に突き出た前記第2のゲート導体層と、の上に第2のコンタクトホールを形成する工程と、

30

前記第1のコンタクトホールの底部に第1の導体層を形成し、同時に前記第2のコンタクトホールの底部に第2の導体層を形成する工程と、

前記第1の導体層上の前記第1のコンタクトホール内に、第1の空孔または低誘電率材料層よりなる第1の絶縁材料層を形成し、同時に前記第2のゲート導体層上の前記第2のコンタクトホール内に、第2の空孔または低誘電率材料層よりなる第2の絶縁材料層を形成する工程と、を有し、

前記第1のSGTと、前記第4のSGTがSRAMメモリセルの選択トランジスタであり、前記第2のSGTと、前記第3のSGTがSRAMメモリセルの負荷トランジスタである、

40

ことを特徴とする柱状半導体メモリ装置の製造方法。

【請求項2】

垂直方向において、前記第1の空孔、前記第2の空孔の上端位置が、前記第1のゲート導体層、前記第2のゲート導体層、前記第3のゲート導体層、前記第4のゲート導体層の上端位置より低く形成する、

ことを特徴とする請求項1に記載の柱状半導体メモリ装置の製造方法。

【請求項3】

前記第2のゲート導体層を形成する工程において、前記第2のコンタクトホールに接する領域の、前記第2のゲート導体層の厚さを、前記第2のゲート絶縁層を囲んだ前記第2のゲート導体層の厚さより厚く形成する、

50

ことを特徴とする請求項 1 に記載の柱状半導体メモリ装置の製造方法。

【請求項 4】

前記第 1 のゲート絶縁層、前記第 2 のゲート絶縁層、前記第 3 のゲート絶縁層、前記第 4 のゲート絶縁層、を囲み、且つ、垂直方向において、上面位置が前記第 1 の半導体柱、前記第 2 の半導体柱、前記第 3 の半導体柱、前記第 4 の半導体柱の頂部より下にある第 2 の導体層を形成する工程と、

前記第 1 の半導体柱、前記第 2 の半導体柱、前記第 3 の半導体柱、前記第 4 の半導体柱の頂部を囲んだ第 1 のマスク材料層を形成する工程と、

平面視において、前記第 2 の半導体柱に繋がり、且つ一部が前記第 2 の線方向に突き出た第 2 のマスク材料層と、前記第 3 の半導体柱に繋がり、且つ一部が前記第 1 の線方向に突き出た第 3 のマスク材料層と、を形成する工程と、

前記第 1 のマスク材料層と、前記第 2 のマスク材料層と、前記第 3 のマスク材料層と、をマスクにして、前記第 2 のゲート導体層をエッチングして、前記第 1 のゲート導体層、前記第 2 のゲート導体層、前記第 3 のゲート導体層、前記第 4 のゲート導体層を形成する工程と、を有し、

平面視において、前記第 2 のマスク材料層と重なった、前記第 2 のゲート導体層の膜厚が、前記第 1 のマスク材料層の膜厚より厚く形成され、平面視において、前記第 3 のマスク材料層と重なった、前記第 3 のゲート導体層の膜厚が、前記第 3 のマスク材料層の膜厚より厚く形成されている、

ことを特徴とする請求項 3 に記載の柱状半導体メモリ装置の製造方法。

【請求項 5】

基板上に、平面視において第 1 の線上に並び、且つ垂直方向に立った第 1 の S G T (S u r r o u n d i n g G a t e T r a n s i s t o r) を形成する第 1 の半導体柱と、前記第 1 の半導体柱に隣接して、第 2 の S G T を形成する第 2 の半導体柱と、平面視において前記第 1 の線に並行な第 2 の線上に並び、且つ垂直方向に立った第 3 の半導体柱と、前記第 3 の半導体柱に隣接して第 4 の S G T を形成する第 4 の半導体柱と、

前記第 1 の半導体柱を囲んだ第 1 のゲート絶縁層と、前記第 2 の半導体柱を囲んだ第 2 のゲート絶縁層と、前記第 3 の半導体柱を囲んだ第 3 のゲート絶縁層と、前記第 4 の半導体柱を囲んだ第 4 のゲート絶縁層と、

前記第 1 のゲート絶縁層を囲んだ第 1 のゲート導体層と、前記第 2 のゲート絶縁層を囲み、且つ、平面視において、前記第 2 の線の方向に突き出た第 2 のゲート導体層と、平面視において、前記第 3 のゲート絶縁層を囲み、且つ、平面視において、前記第 1 の線の方向に突き出た第 3 のゲート導体層と、前記第 4 のゲート絶縁層を囲んだ第 4 のゲート導体層と、

前記第 1 の半導体柱の底部にある第 1 の不純物領域と、前記第 2 の半導体柱の底部にある第 2 の不純物領域とを繋げる第 1 の接続領域と、平面視において第 1 の線方向に突き出た前記第 3 のゲート導体層と、の上に垂直方向に延びた第 1 のコンタクト部と、前記第 3 の半導体柱の底部にある第 3 の不純物領域と、前記第 4 の半導体柱の底部にある第 4 の不純物領域とを繋げる第 2 の接続領域と、平面視において前記第 2 の線方向に突き出た前記第 2 のゲート導体層と、の上に垂直方向に延びた第 2 のコンタクト部と、

前記第 1 のコンタクト部の底部にある第 1 の導体層と、前記第 2 のコンタクト部の底部にある第 2 の導体層と、

前記第 1 の導体層上の前記第 1 のコンタクト部内にある、第 1 の空孔、または低誘電率材料層よりなる第 1 の絶縁材料層と、前記第 2 のゲート導体層上の前記第 2 のコンタクト部内にある、第 2 の空孔、または低誘電率材料層よりなる第 2 の絶縁材料層と、を有し、

前記第 1 の S G T と、前記第 4 の S G T が S R A M メモリセルの選択トランジスタであり、前記第 2 の S G T と、前記第 3 の S G T が S R A M メモリセルの負荷トランジスタである、

ことを特徴とする柱状半導体メモリ装置。

【請求項 6】

10

20

30

40

50

垂直方向において、前記第 1 の空孔、前記第 2 の空孔の上端位置が、前記第 1 のゲート導体層、前記第 2 のゲート導体層、前記第 3 のゲート導体層、前記第 4 のゲート導体層の上端位置より低い、

ことを特徴とする請求項 5 に記載の柱状半導体メモリ装置。

【請求項 7】

前記第 2 のコンタクト部に接する領域の、前記第 2 のゲート導体層の厚さが、前記第 2 のゲート絶縁層を囲んだ前記第 2 のゲート導体層の厚さより厚い、

ことを特徴とする請求項 5 に記載の柱状半導体メモリ装置。

10

20

30

40

50