

(52) CPC특허분류

H03F 3/45475 (2013.01)

H03F 2200/372 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711057416

부처명 과학기술정보통신부

연구관리전문기관 정보통신기술진흥센터

연구사업명 국제교류활성화지원

연구과제명 IT/BT 센서를 활용한 자동검사 로봇 및 생체정보 획득 시스템 개발

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2017.06.01 ~ 2017.12.31

명세서

청구범위

청구항 1

생체신호를 증폭하기 위한 복수의 연산증폭기; 및
 상기 복수의 연산증폭기에 연결되는 복수의 이중MOS;를 포함하며,
 상기 복수의 연산증폭기는, 전단연산증폭기와 후단연산증폭기를 포함하고,
 상기 복수의 이중MOS는 전단이중MOS와 후단이중MOS를 포함하며,
 상기 전단이중MOS는 상기 전단연산증폭기의 출력과 연결되며,
 상기 전단이중MOS를 통해 상기 전단연산증폭기로 입력되는 입력누설전류를 상쇄하는 전류가 상기 전단연산증폭기의 입력단으로 피드백됨으로써, 상기 입력누설전류를 차단하여 상기 전단연산증폭기의 입력임피던스를 높이는 것을 특징으로 하는 생체신호 전단증폭기.

청구항 2

청구항 1에 있어서,
 상기 이중MOS는,
 N형 MOS와 P형 MOS로 이루어진 것을 특징으로 하는 생체신호 전단증폭기.

청구항 3

청구항 1에 있어서,
 상기 복수의 연산증폭기는,
 캐스코드구조인 것을 특징으로 하는 생체신호 전단증폭기.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

청구항 1에 있어서,
 상기 후단연산증폭기는 후단이중MOS 및 가상저항과 연결되는 것을 특징으로 하는 생체신호 전단증폭기.

청구항 8

청구항 1에 있어서,
 상기 전단이중MOS와 상기 후단이중MOS에 흐르는 전류의 비는 1:2인 것을 특징으로 하는 생체신호 전단증폭기.

청구항 9

청구항 1에 있어서,

상기 생체신호는,

뇌파, 심전도 또는 국소부위전위를 포함하는 것을 특징으로 하는 생체신호 진단증폭기.

청구항 10

청구항 1에 있어서,

상기 복수의 연산증폭기는,

MOS 쌍의 폭과 길이를 증가시켜 잡음을 줄이는 것을 특징으로 하는 생체신호 진단증폭기.

청구항 11

청구항 1에 있어서,

상기 복수의 연산증폭기는,

MOS 쌍으로 구성되는 널링 저항과 밀러 커패시턴스를 포함하는 것을 특징으로 하는 생체신호 진단증폭기.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

생체신호를 증폭하기 위한 복수의 연산증폭기; 및

상기 복수의 연산증폭기에 연결되는 복수의 이중MOS;를 포함하며,

상기 복수의 연산증폭기는, 전단연산증폭기와 후단연산증폭기를 포함하고,

상기 복수의 이중MOS는 전단이중MOS와 후단이중MOS를 포함하며,

상기 전단이중MOS는 상기 전단연산증폭기의 출력과 연결되며,

상기 전단이중MOS를 통해 상기 전단연산증폭기로 입력되는 입력누설전류를 상쇄하는 전류가 상기 전단연산증폭기의 입력단으로 피드백됨으로써, 상기 입력누설전류를 차단하여 상기 전단연산증폭기의 입력임피던스를 높이는 것을 특징으로 하는 생체신호 진단증폭기를 포함하는 것을 특징으로 하는 생체신호 진단장치.

발명의 설명

기술 분야

[0001] 본 발명은 저전력으로 동작하고 고입력 임피던스를 가지는 CMOS 전단 증폭기에 관한 것으로, 더욱 상세하게는 누설전류소거루프를 통해 누설전류를 상쇄하는 이중 MOS 피드백 기법을 토대로 입력 누설 전류를 보상하여 넓은 입력주파수 범위에서 높은 입력 임피던스를 유지하도록 함으로써, 증폭효과를 높이고 노이즈 신호를 줄일 수 있도록 하는 전단 증폭기에 관한 것이다.

배경 기술

[0002] 생체신호는 인체에서 발생하는 미세한 전기적 신호로서, 뇌파나 심전도, 근전도등이 있으며 의료분야에서 질병

등의 진단에 활용된다.

- [0003] 생체신호를 계측하기 위한 장치는 생체신호가 감지되는 인체의 특정 부위에 전극을 접촉시키고 생체전위를 검출하며 검출된 생체전위는 증폭기에 연결되어 증폭된다.
- [0004] 이러한 뇌파나 심전도 또는 국소부위전위 등의 신호는 진폭이 작고 대역폭이 수 헤르츠에서 킬로헤르츠까지 다양하며 신호를 정확하게 검출하기 위해서는 노이즈가 없는 신호를 높은 비율로 증폭하는 것이 중요하다.
- [0005] 증폭기에는 연산증폭기(OP-Amp)가 사용되며 이상적인 연산증폭기는 출력저항은 0이고 입력단자간의 전압 차이는 0이 되며 입력임피던스가 무한대가 되어 작은 전위라도 이상적으로 증폭이 가능하다.
- [0006] 그러나 일반적으로 연산증폭기는 이상적으로 동작하지 않으며 연산증폭기를 구성하는 MOS(Metaloxide semiconductor)에는 서브쓰레숄드(Sub-Threshold)효과로 인해 누설전류가 발생하게 된다.
- [0007] 서브쓰레숄드 효과란 MOS 반도체의 문턱 전압 이하에서 MOS 반도체가 동작되어 누설전류가 흐르는 현상으로 누설전류가 생기게 되면 증폭기의 입력임피던스의 크기에 제한이 생기며 입력임피던스가 낮아지면 증폭효과가 떨어지게 된다.
- [0008] 또한 노이즈 신호가 입력되게 되면 노이즈 신호 또한 증폭되고 올바른 신호검출이 어렵게 되므로 입력임피던스를 높게 유지하여 노이즈 신호를 차단할 필요성이 있다.
- [0009] 따라서 본 발명에서는 누설전류소거루프를 통해 누설전류를 상쇄함으로써 입력임피던스를 최대한 크게 하여 증폭효과를 높이고 노이즈 신호를 줄이고자 한다.
- [0010] 다음으로 본 발명의 기술 분야에 존재하는 선행기술에 대하여 간단하게 설명하고, 이어서 본 발명이 상기 선행기술에 비해서 차별적으로 이루고자 하는 기술적 사항에 대해서 기술하고자 한다.
- [0011] 한국공개특허 제2008-0028651호(2008.04.01. 공개)는 차동 전극 임피던스의 상대적인 측정을 이용한 전극의 접촉 모니터링 방법에 관한 것으로, 보다 상세히는 전극을 접촉하여 생체전위를 측정하는 생체신호 검출 시스템에서 전극이 피부에 잘 접촉되어 있는지 여부를 차동 전극 임피던스의 상대적인 측정을 이용하여 모니터링하는 전극의 접촉 모니터링 방법에 관한 것이다.
- [0012] 상기 선행기술은 전극의 임피던스의 상대적인 측정을 통해 전극의 접촉 불량여부를 판단하는 것으로서 증폭기의 누설 입력 전류를 억제함으로써 증폭기의 입력임피던스를 최대한 크게 하여 증폭효과를 높이는 본원발명과는 그 차이점이 분명하다.
- [0013] 국제공개특허 제2016-182093호(2016.11.17. 공개)는 전극 간의 임피던스 불평형이 발생하더라도 전극으로 검출한 생체신호를 신호처리하여 임피던스 불평형에 따른 동상 잡음의 잔류를 억제하며 이에 따라 임피던스 불평형에 따른 문제를 신속하게 해결하는 생체신호 계측장치에 관한 것이다.
- [0014] 상기 선행 기술은 2개의 전극을 통해 생체전위를 입력받는 2개의 채널에 각각 증폭기를 설치하여 동상잡음 신호의 파위가 작아지도록 증폭기의 증폭도를 조절함으로써, 2개의 전극을 통한 2개의 채널간에 임피던스 불평형이 발생하더라도 동상잡음을 억제한 생체신호를 얻을 수 있고 채널간의 임피던스 불평형이 발생할 시에 채널의 임피던스를 조절하여 임피던스 평형을 맞추는 것이 아니라 차동 연산 이전에 증폭기를 이용하여 증폭 연산하는 신호처리에 의해서 임피던스 불평형을 해소한다.
- [0015] 그러나 상기 선행기술은 2개의 전극간의 임피던스 평형을 맞추는 것으로서 증폭기의 입력 임피던스를 최대한 크게 하는 본원발명과는 상이한 기술이다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 진단증폭기의 누설 전류를 제거하여 입력 임피던스를 최대한으로 높이는 것을 목적으로 한다.
- [0017] 또한 본 발명은 진단 증폭기의 입력 노이즈를 최대한 줄임으로써 증폭효과가 우수한 진단증폭기를 제공하는 것을 또 다른 목적으로 한다.
- [0018] 또한 본 발명은 누설전류를 줄이고 저전압에서도 동작하여 전력을 적게 소모하는 진단증폭기를 제공하는 것을

또 다른 목적으로 한다.

- [0019] 또한 본 발명은 넓은 주파수 범위에서도 입력 노이즈를 줄이고 입력 임피던스를 높임으로써 다양한 생체 신호 검출에도 활용될 수 있는 전단증폭기를 제공하는 것을 또 다른 목적으로 한다.
- [0020] 또한 본 발명은 전력을 적게 소모하고 증폭효과가 우수한 전단증폭기를 포함하는 의료진단장치를 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

- [0021] 본 발명의 일 실시예에 따른 생체신호 전단증폭기는, 복수의 연산증폭기와, 연산증폭기에 연결된 복수의 이중 MOS를 포함하고, 상기 이중MOS는 누설입력전류를 차단함으로써 입력임피던스를 높이는 것을 특징으로 한다.
- [0022] 또한 상기 이중MOS는 N형 MOS와 P형 MOS로 이루어진 것을 특징으로 한다.
- [0023] 또한 상기 복수의 연산증폭기는 캐스코드구조인 것을 특징으로 한다.
- [0024] 또한 복수의 연산증폭기는 전단연산증폭기와 후단연산증폭기를 포함하는 것을 특징으로 한다.
- [0025] 또한 상기 복수의 이중MOS는 전단이중MOS와 후단이중MOS를 포함하는 것을 특징으로 한다.
- [0026] 또한 상기 전단이중MOS는 전단연산증폭기의 출력과 연결되고, 상기 전단이중MOS를 통해서 입력누설전류를 상쇄하는 전류가 피드백되는 것을 특징으로 한다.
- [0027] 또한 상기 후단연산증폭기는 후단이중MOS 및 가상저항과 연결되는 것을 특징으로 한다.
- [0028] 또한 상기 전단이중MOS와 상기후단이중MOS에 흐르는 전류의 비는 1:2인 것을 특징으로 한다.
- [0029] 또한 상기 생체신호는 뇌파, 심전도 또는 국소부위전위를 포함하는 것을 특징으로 한다.
- [0030] 또한 상기 복수의 연산증폭기는 MOS 쌍의 폭과 길이를 증가시켜 잡음을 줄이는 것을 특징으로 한다.
- [0031] 또한 상기 복수의 연산증폭기는 MOS 쌍으로 구성되는 널링 저항과 밀러 커패시턴스를 포함하는 것을 특징으로 한다.
- [0032] 본 발명의 또 다른 일실시예에 따른 연산증폭기는, 복수의 MOS와 복수의 널링 저항과 밀러 커패시턴스를 포함하고, 상기 복수의 MOS는 캐스코드구조인 것을 특징으로 한다.
- [0033] 또한 상기 연산증폭기는 서브쓰레스홀드 영역에서 동작하는 것을 특징으로 한다.
- [0034] 또한 상기 널링 저항은 2단계로 구성되어 있는 것을 특징으로 한다.
- [0035] 본 발명의 또 다른 일실시예에 따른 생체신호 진단장치는 전단증폭기를 포함하는 것을 특징으로 한다.

발명의 효과

- [0036] 본 발명은 저전력으로 동작하고 고입력 임피던스를 가지는 CMOS 전단 증폭기에 관한 것으로, 누설 전류가 제거되어 입력 임피던스가 최대한으로 높아짐으로써, 증폭효과가 향상되는 효과가 있다.
- [0037] 또한 본 발명은 전단 증폭기의 입력 노이즈를 최대한 줄임으로써 생체 신호 검출이 용이해지는 효과가 있다.
- [0038] 또한 본 발명은 누설전류를 줄이고 저전압에서 동작함으로써 전력을 적게 소모하는 효과가 있다.
- [0039] 또한 본 발명은 넓은 주파수 범위에서도 입력 노이즈를 줄이고 입력 임피던스를 높임으로써 다양한 생체 신호 검출에도 활용할 수 있는 효과가 있다.

도면의 간단한 설명

- [0040] 도 1은 본 발명의 일 실시예에 따른 진단장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 전단 증폭기의 블록도와 신호의 흐름을 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 전단증폭기의 회로도를 나타낸 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 전단증폭기에 사용되는 연산증폭기의 회로도를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 주파수에 따른 진단 증폭기의 입력단에서의 AC 전류를 나타낸 것이다.

도 6은 본 발명의 일 실시예에 따른 진단증폭기의 활성 레이아웃 영역을 나타낸 것이다.

도 7은 본 발명의 일 실시예에 따른 진단증폭기의 주파수 응답을 나타낸 것이다.

도 8은 본 발명의 일 실시예에 따른 진단증폭기의 광범위한 주파수 입력 범위에 대한 입력참조잡음을 나타낸 것이다.

도 9는 본 발명의 일 실시예에 따른 진단증폭기의 주파수에 따른 전원공급거부비율(PSRR)을 나타낸 것이다.

도 10은 본 발명의 일 실시예에 따른 진단증폭기의 주파수에 따른 입력 임피던스를 나타낸 것이다.

도 11은 본 발명의 일 실시예에 따른 진단증폭기의 성능을 이전 연구와 비교하여 요약한 것을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하, 첨부한 도면을 참조하여 본 발명의 진단증폭기에 대한 바람직한 실시 예를 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다. 또한 본 발명의 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.
- [0042] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는 것이 바람직하다.
- [0043] 도 1은 본 발명의 일 실시예에 따른 진단장치의 블록도이다.
- [0044] 도 1에 도시한 바와 같이 본 발명의 일 실시예에 따른 진단장치(100)는 인터페이스(110), 진단증폭기(120), 제어부(130), 신호검출부(140), 통신부(150)를 포함한다.
- [0045] 인터페이스는 인체표면에 부착되거나 연결되며, 인체의 뇌파나 심전도, 국소 부위 전위 등의 신호를 측정한다.
- [0046] 측정되는 신호는 작은 진폭의 특성을 가지며, 수 헤르츠(Hz)에서 킬로헤르츠까지의 대역폭을 가지며 진단증폭기(120)에 전달된다.
- [0047] 진단증폭기에서는 신호의 증폭이 이루어지며 이에 따라 검출에 적당한 크기로 신호가 증폭된다.
- [0048] 신호검출부에서는 증폭된 신호를 기반으로 생체신호를 검출한다.
- [0049] 증폭된 신호가 생체신호로서 판단할 수 없거나 생체신호로서 판단하기에 적합하지 않은 경우 제어부에 에러메시지를 전송한다.
- [0050] 또한 정상적으로 검출된 경우 정상메시지를 전송한다.
- [0051] 제어부는 신호검출부로부터 수신한 메시지를 받아서 통신부를 통해서 원격의 서버에 생체신호의 정상검출여부를 송신한다.
- [0052] 정상적으로 검출된 경우 검출된 생체신호도 함께 송신한다.
- [0053] 도 2는 본 발명의 일 실시예에 따른 진단 증폭기의 블록도와 신호의 흐름을 나타낸 도면이다.
- [0054] 도 2에 도시한 바와 같이 본 발명의 일 실시예에 따른 진단 증폭기는 진단연산증폭기(121), 전단이중MOS(122), 후단이중MOS(123) 및 후단연산증폭기(124)를 포함한다.
- [0055] 진단연산증폭기(121)와 전단이중MOS(122), 후단이중MOS(123)는 서로 연결되어 있으며 후단이중MOS(123)는 후단연산증폭기(124)와 연결되어 있다.
- [0056] 연산증폭기는 서브쓰레숄드(Sub-Threshold) 영역에서 동작하며 내부 MOS들은 캐스코드(Cascode)방식으로 구성되어 있다.
- [0057] 이중MOS는 MOS가 2개 결합된 구조이다.

- [0058] 진단연산증폭기의 입력단에는 진단장치의 인터페이스를 통해 전달된 전위가 인가된다.
- [0059] 이 때 입력누설전류(I_{OP1})도 진단연산증폭기에 입력된다.
- [0060] 인가된 전위는 진단연산증폭기에 의해 증폭되며 진단연산증폭기에서 출력되는 전류(I_{OP2})중 일부는 후단이중 MOS(123)에 입력되고, 일부는 전단이중 MOS(122)에 피드백되어 입력되는 전류(I_f)이다.
- [0061] 전단이중 MOS로 피드백되어 입력되는 전류(I_f)는 진단연산증폭기의 입력단으로 입력되어(I_{OP1}) 진단연산증폭기에서 누설되는 전류(I_{OP1})를 상쇄하게 된다.
- [0062] 한편 후단이중 MOS를 통과한 전류는 후단 연산증폭기로 흐르거나(I_{OP2}), 진단연산증폭기의 입력단으로 입력된다(I_{OP1}).
- [0063] 후단연산증폭기(124)에 입력된 전위는 증폭된 전위(I_{OP2})로 출력된다.
- [0064] 도 3은 본 발명의 일 실시예에 따른 진단증폭기의 회로도를 나타낸 도면이다.
- [0065] 도 3에 도시한 바와 같이 진단 증폭기는 진단연산증폭기 OP1(121), 후단연산증폭기 OP2(124), 전단이중 MOS DMS1(122) 및 후단이중 MOS DMS2(123)를 포함한다.
- [0066] 진단장치의 인터페이스에 의해 인가된 전압 V_{in} 은 OP1의 양극에 인가된다.
- [0067] 이 때 OP1의 양극에는 I_{OP1} 전류가 흐르며 I_{OP1} 전류는 전단이중 MOS를 통과한 전류 I_{can} 과 I_{in} 전류를 합한 값에 해당한다.
- [0068] 진단연산증폭기 OP1(121)의 출력전압 V_{OP1} 은 I_{OP2} 와 I_f 를 공급할 수 있을 만큼의 전압이다.
- [0069] 전단이중 MOS(122)는 피드백 회로로서 구성되는데 전단이중 MOS(122)에 입력되는 전류는 I_{DMS1} 으로서 이 전류는 I_{can} 과 같다.
- [0070] 후단이중 MOS(123)에 입력되는 전류는 I_{DMS2} 로서 이 전류는 다시 I_{OP2} 와 I_f 로 나누어진다.
- [0071] I_f 는 진단연산증폭기 OP1(121)의 음극단으로 입력된다.
- [0072] 전단이중 MOS(122)와 후단이중 MOS(123)는 각각 N형 MOS와 P형 MOS로 구성되어 있다.
- [0073] MN1과 MN2는 N형 MOS이며 MP1과 MP2는 P형 MOS이다.
- [0074] MN1과 MP1은 소스단끼리 서로 연결되어 있으며, 또한 드레인단끼리 연결되어 있다.
- [0075] MN2와 MP2의 경우에도 소스단과 드레인단끼리 서로 연결되어 있다.
- [0076] 도 3에 도시된 바와 같이, 정합된 2개의 이중 MOS는 4개의 트랜지스터 MN1, MP1, MN2, MP2를 포함하며 동일한 게이트 소스 전압 및 동일한 게이트 드레인 전압으로 바이어스된다.
- [0077] 따라서 MN1과 MN2 및 MP1과 MP2는 항상 동일한 작동 지점에서 작동한다.
- [0078] 또한 전단이중 MOS는 입력전류인 I_{DMS1} 에 의해서만 바이어스된다.
- [0079] 피드백 루프의 안정성은 MN1과 MP1에 병렬로 작은 크기의 커패시터 $C1=22fF$ 를 추가함으로써 보장된다.
- [0080] 도 3에서 V_{in} , V_f 및 V_{out} 은 모든 단자에서 동일한 누설 전류를 보장하기 위해 거의 동일하다($I_{OP1} \approx I_{OP2} \approx I_f$).
- [0081] 후단이중 MOS를 통과하는 전류인 I_{DMS2} 는 I_{OP2} 와 I_f 의 합과 같다.
- [0082] 후단이중 MOS 트랜지스터 MN2, MP2에 흐르는 전류는 각각 전단이중 MOS 트랜지스터 MN1과 MP1의 2배로 구성된다.
- [0083] 따라서 전단이중 MOS를 통과하는 전류 I_{DMS1} 은 I_{DMS2} 의 절반이며 진단연산증폭기 OP1의 누설 전류 I_{OP1} 과 실질적으로 같은 양의 전류이다.

[0084] I_{can} 은 누설전류소거루프를 통과하는 전류로서 입력전류 I_{in} 은 다음과 같이 표현될 수 있다.

[0085]
$$I_{in} = I_{OP1} - I_{can}$$

[0086]
$$I_{can} = I_{DMS1} = \frac{I_{DMS1}}{2} = \frac{1}{2} \frac{V_{OP1}}{(R_{MN2} \parallel R_{MP2})}$$

$$= \frac{1}{2} (I_f + I_{OP2}) = I_{OP1}$$

[0087] 여기서 R_{MN2} 와 R_{MP2} 는 각각 M_{N2} 와 M_{P2} 의 턴온 저항이다.

[0088] MOS가 ON상태일 때 MOS의 소스단과 드레인단사이에는 약간의 저항이 존재하게 되는데 이를 이용해 하나의 MOS를 하나의 저항으로 생각할 수 있고, 이에 따른 활용도 가능하다.

[0089] 본 발명에서는 후단이중MOS에 흐르는 전류가 전단이중MOS에 흐르는 전류의 2배가 되도록 후단이중MOS가 조절된다.

[0090] 즉, 후단이중MOS가 ON상태일 때 후단이중MOS에 흐르는 전류가 전단이중MOS에 흐르는 전류의 2배가 되도록 후단이중MOS가 갖는 저항을 조절하는 것이다.

[0091] 상기 수식은 MOS가 갖는 이러한 측면을 활용하여 후단이중MOS에 전류가 상단이중MOS에 흐르는 전류의 2배가 되도록 구성한 것을 나타낸 것이다.

[0092] 도 3에서 가상저항(125, PR)은 OP2의 입력 트랜지스터를 바이어스하고 뇌파나 국소부위전위 신호를 수용하기 위해 C_2 가 있는 서브 Hz 하이 패스 주파수 코너를 형성하는 면적 효율적인 접근법으로 사용된다.

[0093] 즉, MOS가 ON 상태에서 가상의 저항처럼 작동하며 C_2 를 지나는 전류가 PR을 통과하게되면 가상저항(125)에 걸리는 전압이 OP2의 양극에 입력되게 된다.

[0094] 도 4는 본 발명의 일 실시예에 따른 전단증폭기에 사용되는 연산증폭기의 회로도를 나타낸 도면이다.

[0095] 도 4에 도시된 바와 같이 본 발명의 연산증폭기의 트랜지스터 구성은 밀러 보상을 갖는 2단계로 구성되어 있으며 서브쓰레숄드(Sub-Threshold) 영역에서 동작한다.

[0096] 본 발명의 연산증폭기는 캐스코드(Cascode)구조로 되어 있으며 캐스코드 구조는 전력 소모 또는 잡음을 증가시키지 않으면서 개방 루프 이득을 증가시킨다.

[0097] 입력을 참조하는 노이즈는 연산증폭기의 캐스코드 입력 MOS 트랜지스터 M1부터 M4까지의 크기를 증가시킴으로써 줄일 수 있다.

[0098] M_{PR1} 부터 M_{PR4} 까지의 트랜지스터는 활성 칩 면적을 최소화하기 위해 도 4와 같이 2단계의 널링 저항(PR, Pseudo Resistor)을 형성하고 C_M 커패시터는 밀러 보상에 이용된다.

[0099] 밀러효과는 입력저항 또는 입력커패시턴스가 연산증폭기의 증폭비에 비례해 작아지거나 커지고, 출력저항 또는 출력커패시턴스가 연산증폭기의 증폭비에 비례해 커지거나 작아지는 효과로 C_M 커패시터는 이러한 밀러 효과를 보상하기 위한 것이다.

[0100] 입력을 참조하는 잡음에 대한 분석을 단순화하기 위해 각 캐스코드 쌍은 단일 트랜지스터로 간주되며, 트랜지스터의 등가 길이는 해당 캐스코드 게이트의 합이 된다.

[0101] 마찬가지로 밀러 커패시턴스도 C_{M1} 과 C_{M2} 의 합이다.

[0102] 또한 등가 널링 저항은 M_{PR1} - M_{PR2} 와 M_{PR3} - M_{PR4} 의 병렬 조합의 균등화이다.

[0103] 도 4의 등가 회로의 입력 기준 전압 잡음 (V_n^2)은 다음과 같이 열 및 플리커(1/f) 잡음으로 구성된다.

$$\overline{V_n^2} = \overline{V_{n,thermal}^2} + \overline{V_{n,flicker}^2}$$

[0104]

[0105] 열 및 플리커 잡음은 다음과 같이 주어진다.

$$\overline{V_{n,thermal}^2} = \frac{16kT}{3} \frac{1}{g_{m1_equ}^2} (g_{m1_equ} + g_{m3_equ})$$

[0106]

$$\overline{V_{n,flicker}^2} = \frac{2}{C_{ox}f} \left[\frac{K_p}{W_{1_equ}L_{1_equ}} + \frac{\mu_n K_n L_{1_equ}}{\mu_p W_{1_equ}L_{3_equ}^2} \right]$$

[0107]

[0108] 여기서 W, L, μ , C_{ox} , f, k 및 T는 너비, 길이, 이동도, 게이트 커패시턴스 밀도, 신호 주파수, 볼츠만 상수 및 절대 온도이며, K는 1/f 잡음의 공정 종속 상수이다.

[0109] 또한, g_{m1_equ} 및 g_{m3_equ} 는 MOSFET 쌍 M₁-M₃ 및 M₅-M₇의 등가 트랜스 컨덕턴스이다.

[0110] 상기 식에 나타난 것과 같이, 열 잡음은 g_{m1_equ} 를 증가시킴으로써 억제될 수 있고, 1/f 잡음은 L_{3_equ}(도 5의 M5와 M7의 길이의 합과 근사)과 L_{4_equ}(도 5의 M6과 M8의 길이의 합과 근사)를 늘임으로써 줄일 수 있다.

[0111] 또한 MOS의 폭 W_{1_equ}(M₁-M₃) 및 W_{2_equ}(M₂-M₄)를 크게 하면 1/f 잡음을 감소시킬 뿐만 아니라 증폭기의 트랜스 컨덕턴스를 증가시켜 열 잡음을 추가로 억제한다.

[0112] 제안된 누설전류소거루프는 전류 제어 전압 루프이며 전단이중MOS를 통해 입력에 연결된다.

[0113] 도 5는 본 발명의 일 실시예에 따른 주파수에 따른 전단 증폭기의 입력단에서의 AC 전류를 나타낸 것이다.

[0114] 도 5에 도시된 바와 같이, 가로축은 주파수를 나타내며 세로축은 AC 전류량을 나타낸다.

[0115] AC 전류는 전단 증폭기의 양극(+) 입력 포트에서의 전류를 나타낸다.

[0116] 도 5에서, I_{OP1}은 주파수와 함께 증가한다. 또한 I_{can}도 I_{OP1}과 함께 증가하는데 I_{can}은 I_{op1}을 상쇄시키므로 I_{in}의 전류량을 최소화시켜 전단증폭기의 입력 임피던스가 증가된다.

[0117] 도 6은 본 발명의 일 실시예에 따른 전단증폭기의 활성 레이아웃 영역을 나타낸 것이다.

[0118] 본 발명에 따른 전단증폭기의 활성 레이아웃 영역은 0.016mm²이며 해당 레이아웃은 도 6에 나타나 있다.

[0119] 전단증폭기의 기본 블록인 캐스코드 2단 CMOS 연산증폭기는 서브쓰레숄드(Sub-Threshold) 영역에서 동작하도록 구현된다.

[0120] 전단증폭기에 필요한 전원 전압은 0.5V이며 소비 전력은 320nW에 불과하다.

[0121] 도 7은 본 발명의 일 실시예에 따른 전단증폭기의 주파수 응답을 나타낸 것이다.

[0122] 중간 대역 이득은 51.57 dB이고, -3dB 고역 통과와 저역 통과 주파수는 각각 10.3 kHz 및 0.093 Hz 이다.

[0123] 도 8은 본 발명의 일 실시예에 따른 전단증폭기의 광범위한 주파수 입력 범위에 대한 입력참조잡음을 나타낸 것이다.

[0124] 도 8에 도시되어 있는 바와 같이, 전단증폭기의 입력참조잡음은 100Hz보다 큰 주파수에 대해서는 1 μ V/(Hz)^{1/2} 보다 낮다.

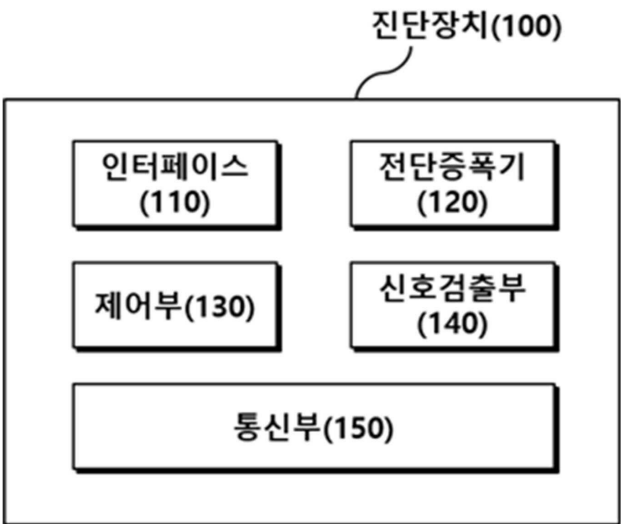
- [0125] 도 9는 본 발명의 일 실시예에 따른 전단증폭기의 주파수에 따른 전원공급거부비율(PSRR)을 나타낸 것이다.
- [0126] 도 9에 도시되어 있는 바와 같이, 전단증폭기의 전원 공급 거부 비율은 100Hz에서 -54.95dB이다.
- [0127] 도 10은 본 발명의 일 실시예에 따른 전단증폭기의 주파수에 따른 입력 임피던스를 나타낸 것이다.
- [0128] 도 10에 도시된 바와 같이, 1 kHz에서 시뮬레이션된 입력 임피던스(Z_{in})는 44.9 GΩ이다.
- [0129] 또한 높은 임피던스가 넓은 주파수 범위에서 유지된다.
- [0130] 넓은 주파수 범위에서 높은 임피던스를 유지함으로써 다양한 주파수를 가진 생체신호를 감지하는 데 유용하게 활용할 수 있다.
- [0131] 도 11은 본 발명의 일 실시예에 따른 전단증폭기의 성능을 이전 연구와 비교하여 요약한 것을 나타낸 것이다.
- [0132] 도 11에서 보는 바와 같이, 본 발명의 일 실시예에 따른 전단증폭기는 180nm 공정에서 0.016mm^2 의 면적위에 제조된다.
- [0133] 또한 0.5V에서 동작하며 $0.32\mu\text{W}$ 의 초저전력을 소비한다.
- [0134] $0.153\mu\text{V}/(\text{Hz})^{1/2}$ 의 낮은 잡음만을 발생시키며 또한 44.9 GΩ의 높은 입력임피던스로 동작하므로 증폭기는 이상적인 증폭기에 가깝게 동작하게 된다.
- [0135] 본 발명의 초저전력을 소비하는 전단증폭기는, 기존 최저 전력 소모 증폭기보다 약 2.5배 낮은 전력을 소비한다.
- [0136] 입력기준잡음은 1kHz에서 $153\text{nV}/\text{Hz}^{1/2}$ 에 불과하며 매칭된 이중 MOS 피드백 루프를 사용하여 게이트 누설 전류를 상쇄함으로써 높은 입력 임피던스가 달성되며 이상적인 증폭 효과가 발생하게 된다.
- [0137] 또한 누설전류없이 넓은 주파수 대역폭이 확보되어 서로 다른 주파수 범위를 가진 신경 신호 검출에도 사용될 수 있다.
- [0138] 이에 따라 본 발명에 따른 전단증폭기는 생체 전자 시스템에서 폭넓게 활용될 수 있을 것이다.
- [0139] 상기에서는 본 발명에 따른 바람직한 실시예를 위주로 상술하였으나, 본 발명의 기술적 사상은 이에 한정되는 것은 아니며 본 발명의 각 구성요소는 동일한 목적 및 효과의 달성을 위하여 본 발명의 기술적 범위 내에서 변경 또는 수정될 수 있을 것이다.
- [0140] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특성의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형 실시가 가능한 것은 물론이고, 이러한 변형 실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

부호의 설명

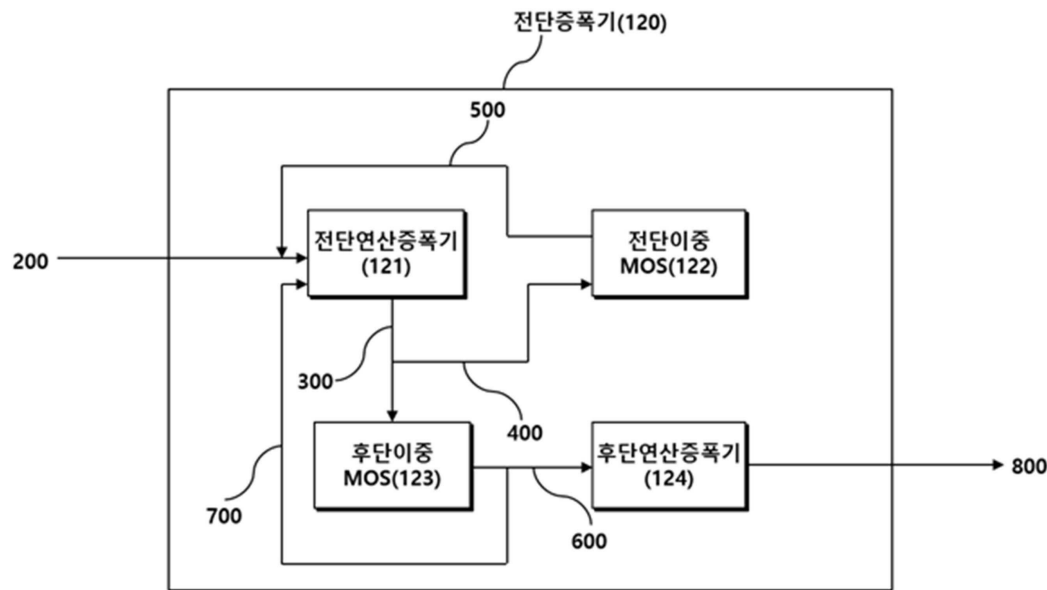
- | | | |
|--------|---------------|---------------|
| [0141] | 100 : 진단장치 | 110 : 인터페이스 |
| | 120 : 전단증폭기 | 121 : 전단연산증폭기 |
| | 122 : 전단이중MOS | 123 : 후단이중MOS |
| | 124 : 후단연산증폭기 | 130 : 제어부 |
| | 140 : 신호검출부 | 150 : 통신부 |

도면

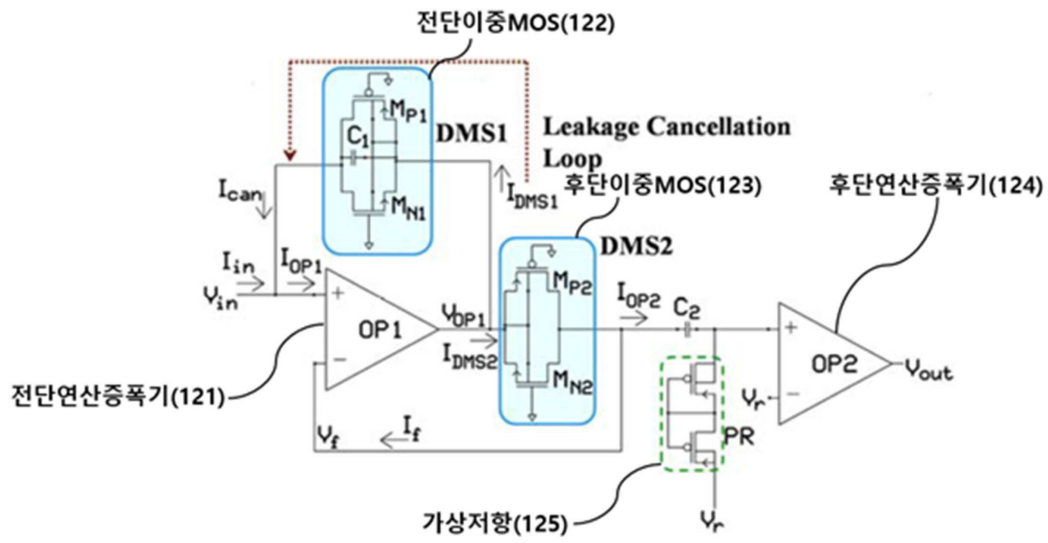
도면1



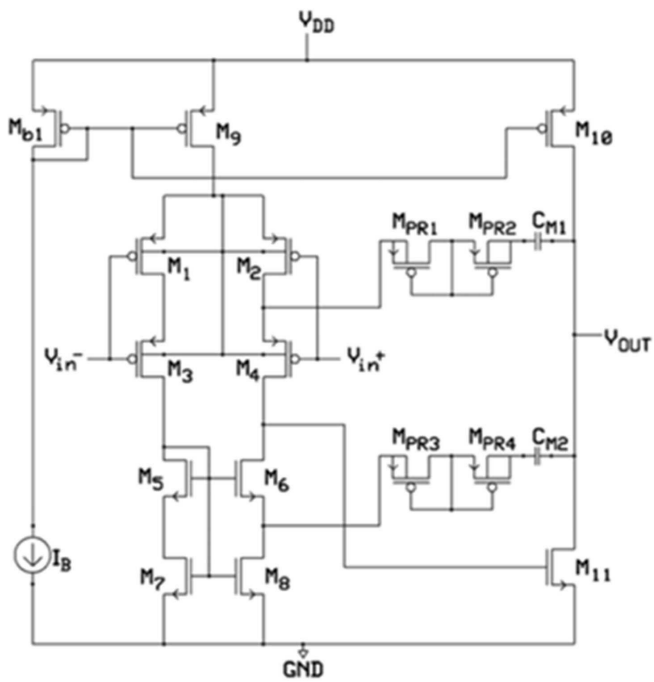
도면2



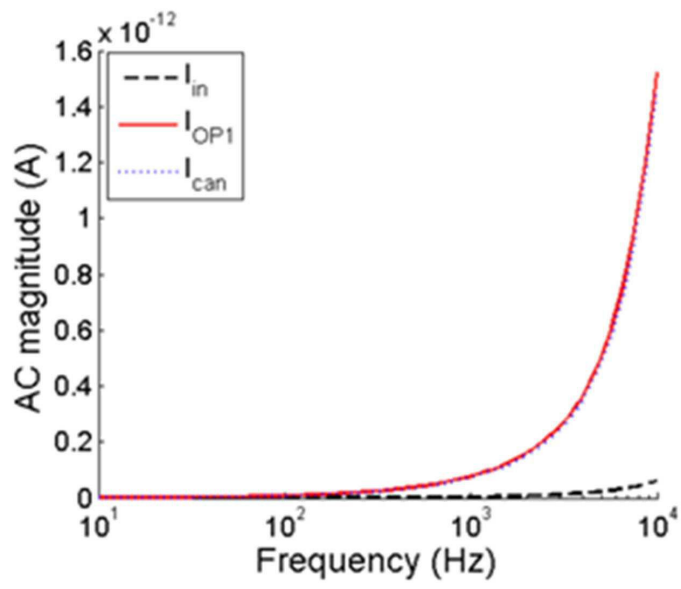
도면3



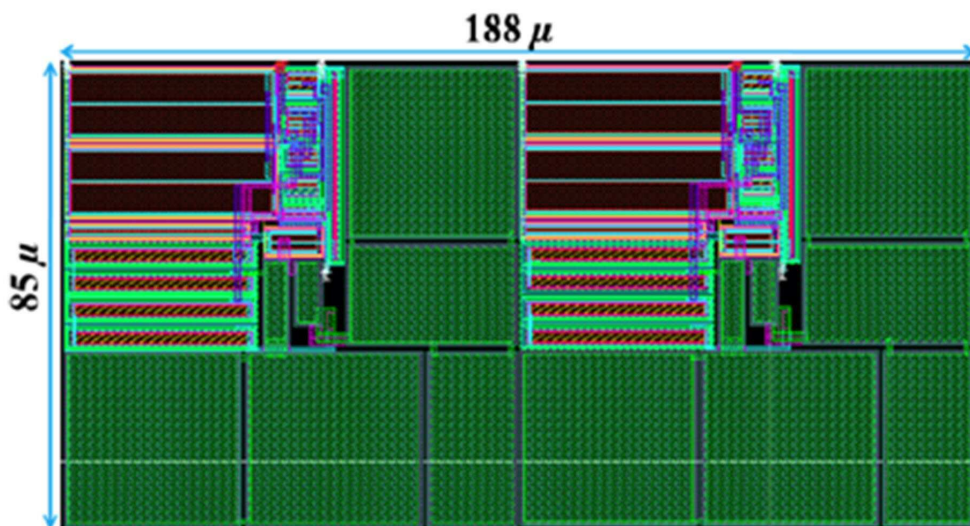
도면4



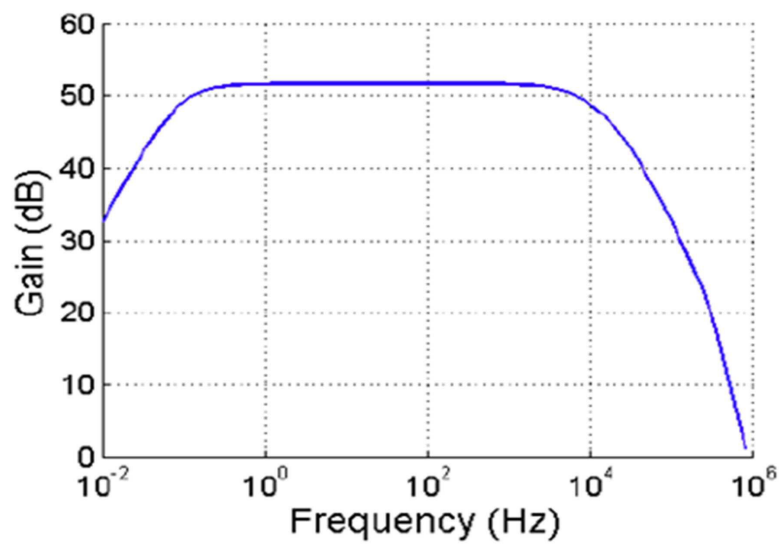
도면5



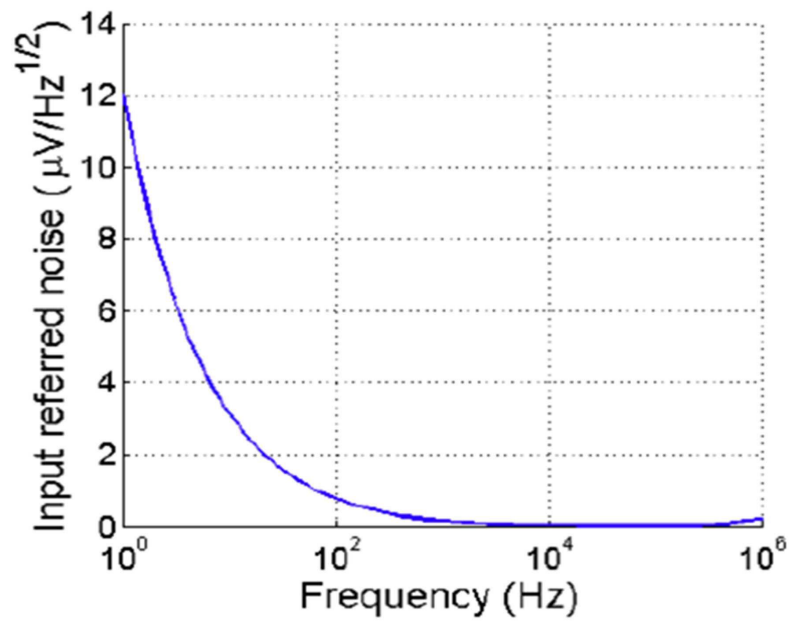
도면6



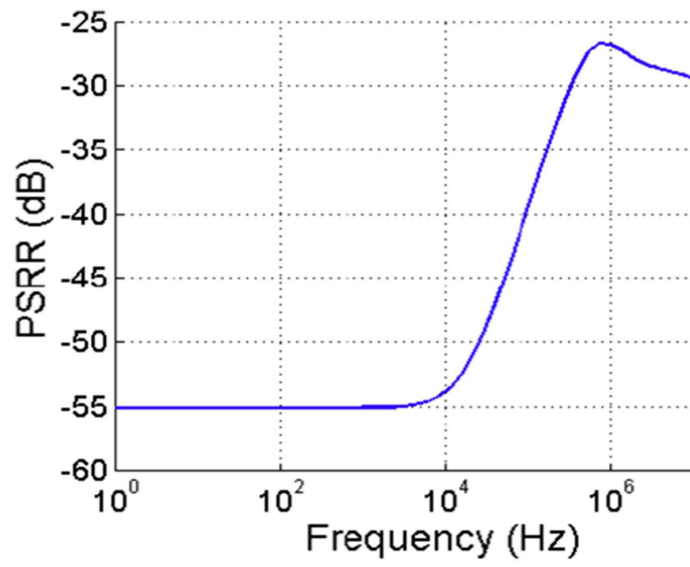
도면7



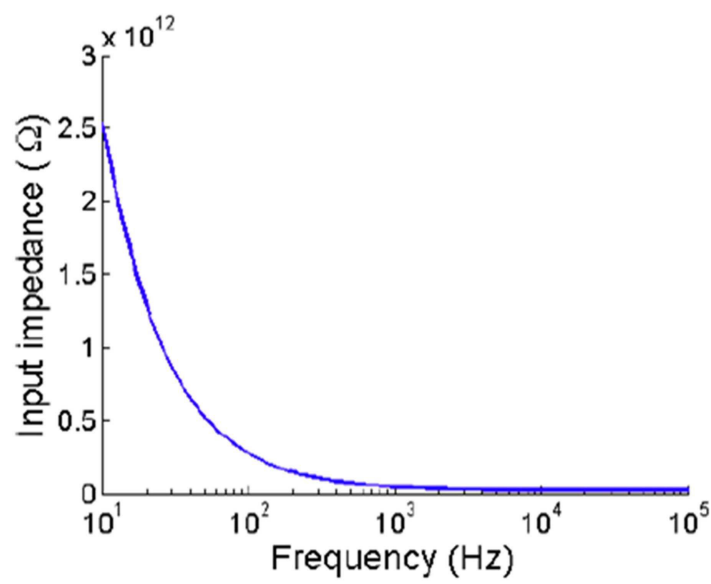
도면8



도면9



도면10



도면11

	R.Shulyzki (2015)	A.Abdi (2016)	Z.Zhou (2016)	본 발명
Process(nm)	350	180	350	180
Area(mm ²)	0.16	0.29	0.042	0.016
V _{dd} (V)	3.0	0.8	3.3	0.5
Gain(dB)	53 – 72	38.5	75	51.57
Bandwidth(Hz)	0.1 – 10k	1-5k	22.8M (Gain = 0)	0.093 – 10.3k
PSRR(dB)(100Hz)	-	50	-	54.95
CMRR(dB)(100Hz)	60	80	-	86
Z _{in} (1kHz)	-	-	42GΩ	44.9GΩ
Input-referred noise (μV/Hz ^{1/2}) (1kHz)	7.99	8	0.0182	0.153
Power(μW)	12.9	0.8	3.1	0.32