

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2001年06月23日 09/888,278 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

先前申請案之參照

本申請案先前已於2001年6月23日於美國提出申請，其專利申請案號為09/888,278。

發明領域

本發明係大致有關資料處理系統，尤係有關資料處理系統內的通訊匯流排控制之仲裁。

發明背景

在包含多個通訊匯流排主控裝置的資料處理系統中，匯流排仲裁邏輯電路係用來在數個提出要求的主控裝置中選出一個可取得匯流排主控權之主控裝置。可利用若干種習知的方法進行一匯流排主控裝置之選擇。用來執行選擇的現有演算法之例子包括：以循環順序來執行選擇；公平地執行選擇；或按照一嚴格指定的優先順序來執行選擇。在許多資料處理系統中，一匯流排主控裝置需要在與一快取記憶體之快取線填入或複製回作業相關聯的一資料段傳輸之持續期間保有一整體性通訊匯流排之主控權，使匯流排主控權不會有任何中斷，以便提昇記憶體系統之工作效率。在此類作業期間，通常係將諸如一資料段傳輸屬性等的某一指示提供給被整段傳輸或傳送的資料傳輸之一起始部分。在該系統內承認此種屬性，且匯流排仲裁控制電路不會重新分配通訊匯流排之主控權。一旦取得匯流排主控權之後，現有的匯流排主控裝置即在資料段傳輸持續期間保有匯流排主控權。

用來保有匯流排主控權的另一種技術即是控制匯流排的

五、發明說明 (2)

裝置觸發一匯流排鎖定信號。此種技術的一個缺點在於：在撤銷該鎖定信號之前，系統中其他緊要的中斷也不得使用該匯流排。特殊鎖定位元的使用是先前配合該鎖定信號而使用之一實施例。

其他習知的系統則規定資料段傳輸是可以中斷的，並要求：一旦重新取得匯流排主控權之後，被中斷的該匯流排主控裝置重新開始被中斷的一資料段傳輸。此種技術的一個缺點在於：被中斷的匯流排主控裝置必須重新建立匯流排傳輸順序，因而降低了整體系統效率，並增加了匯流排協定之複雜性。

在某些特殊的情況中，一快取記憶體快取線填入作業之時間長度可能超過一時間急迫的輪替匯流排主控裝置之最大必要延遲時間。雖然發生此種中斷的頻度通常較低，但是此類的輪替匯流排主控裝置可能需要立即使用該匯流排。在此種情形中，要緊的是要暫時中斷現有的資料段傳輸順序，然後再恢復該資料段傳輸順序，但是以此種方式中斷一現有的資料段傳輸時，必然將降低記憶體系統及與該現有資料段傳輸相關聯的處理器之效率。

圖式簡述

將以舉例之方式說明本發明，且本發明並不限於各附圖，而在這些附圖中，相同的代號指示類似的元件。

圖1是配合本發明而使用的一例示處理系統之方塊圖；

圖2是有界限的及無界限的資料段傳輸的特徵化格式之時序圖；

五、發明說明 (3)

圖3是與不同類型的記憶裝置相關聯的資訊整段傳輸的特徵化格式之時序圖；

圖4是根據本發明的圖1所示匯流排仲裁器的一實施例之方塊圖；

圖5是圖4所示控制暫存器的一控制欄位之一編碼表；以及

圖6是圖4所示控制暫存器的一控制欄位之一替代編碼表。

熟習此項技藝者當可了解，係在簡化及清晰的原則下示出該等圖式之各元件，且並不必然按照比例而繪製該等元件。例如，該等圖式中某些元件之尺寸可能比其他元件的尺寸放大了，以便有助於了解本發明之實施例。

詳細說明

對於需要多個通訊匯流排主控裝置的資料處理系統而言，需要一種改良式匯流排主控權協定，尤其是在有關採用資訊整段傳輸的系統中轉移匯流排主控權時更需要此種協定。在包含多個通訊匯流排主控裝置的資料處理系統中，係利用匯流排仲裁邏輯電路在數個提出要求的主控裝置中選出一個可取得匯流排主控權之主控裝置。可利用若干種習知的方法選擇一匯流排主控裝置。按照優先順序處理的架構是一種經常用來決定哪一系統資源將取得匯流排控制權的技術。在許多資料處理系統中，一旦取得匯流排主控權之後，現有的主控裝置將在資料段傳輸的持續期間保有主控權。

五、發明說明 (4)

圖1示出需要匯流排仲裁的一例示資料處理系統10。一整體性匯流排12是資料處理系統10內的通訊中心。整體性匯流排12具有若干導體(圖中未示出)，用以傳送資料、位址、及控制資訊。一中央處理單元(Central Processing Unit；簡稱CPU)14係連接到整體性匯流排12。CPU14具有一匯流排介面16，該匯流排介面16係連接到整體性匯流排12及一快取記憶體18。匯流排介面16亦係連接到CPU14的所有其他電路(圖中未示出)。一系統記憶體20、一系統記憶體22、及一系統記憶體24係分別連接到整體性匯流排12。每一該等系統記憶體代表了一不同類型的記憶體。系統記憶體20係標示為實施一類型A，系統記憶體22係標示為實施一類型B，且系統記憶體24係標示為實施一類型C。記憶體類型的例子包括動態隨機存取記憶體(Dynamic Random Access Memory；簡稱DRAM)、快閃記憶體、唯讀記憶體(Read Only Memory；簡稱ROM)、及靜態機存取記憶體(Static Random Access Memory；簡稱SRAM)。一預定數目的周邊裝置係連接到整體性匯流排12。作為第一周邊裝置的一周邊裝置28係連接到整體性匯流排12，且作為第N個周邊裝置之周邊裝置30係連接到整體性匯流排12。周邊裝置28至30可以是各種的周邊裝置，其中包括一記憶體控制器、一圖形控制器、一顯示器、及一鍵盤等。在所示之圖式中，N是一個預定的整數值。一匯流排仲裁器34係連接到整體性匯流排12。此外，另一預定數目的輪替匯流排主控裝置係連接到整體性匯流排12。

五、發明說明 (5)

在所示之圖式中，一輪替匯流排主控裝置36、一輪替匯流排主控裝置38、及一輪替匯流排主控裝置40係分別連接到整體性匯流排12。

在作業中，CPU14係用來協同每一該等周邊裝置、記憶體、及輪替匯流排主控裝置而作業，以便執行一預定的系統功能或作業。係由系統記憶體20、22及24提供並儲存系統10所需的及系統10所產生的被選出之資訊。因為係在系統10內同時執行多個作業，所以匯流排仲裁器34必須用來控制整體性匯流排12的主控權。為了儘量減少CPU14存取系統記憶體的需求，CPU14具有內部快取記憶體18，該快取記憶體18的儲存容量通常遠小於任何系統記憶體的儲存容量。快取記憶體18可以用來存放指令及資料之統一式快取記憶體，或者可實施不同的快取記憶體模組，而將指令及資料存放在不同的模組中。快取記憶體18通常存放來自系統記憶體20、系統記憶體22、及系統記憶體24的資訊拷貝。快取記憶體18利用快取記憶體資料段傳輸，而自系統記憶體20、系統記憶體22、及系統記憶體24取得資訊，並將資訊寫回到該等系統記憶體。快取記憶體資料段傳輸通常經由整體性匯流排12而傳輸一"區段"或"快取線"的資訊，該等一訊包含一資料段序列中的多個資料字組。在一資料處理系統內實施的許多記憶體係經由資訊的整段傳輸而進行通訊，其中係在迅速且連續的資料段中傳送資訊。

可將資料段傳輸分成兩種類型：有界限的資料段及無界

五、發明說明 (6)

限的資料段。圖2的時序圖示出兩種類型的資料段傳輸的一個例子，用以解釋一有界限的資料段與一無界限的資料段間之差異。有界限的資料段通常是與快取記憶體相關聯，其中一資料段具有一固定長度，且通常具有二的乘冪的一個數目之"字組傳輸時段"("beat")。例如，採用四個字組的一快取線長度之一快取記憶體將執行一個包含四個字組傳輸時段之快取記憶體資料段，而每一字組傳輸時段對應於四個字組中之一個字組。圖2所示之有界限的資料段在所示的每一快取記憶體資料段中具有四個字組傳輸時段。無界限的資料段的一個例子可能涉及諸如一直接記憶體存取(Direct Memory Access；簡稱DMA)控制器(DMAC)等的一輪替匯流排主控裝置，其中DMA控制器被設定成傳輸一任意數目的資訊位元組或字組。如圖2所示，該無界限的資料段可以是可變長度，因而一匯流排仲裁器無法可靠地預測該DMA控制器何時將釋出匯流排主控權。

圖3示出採用資訊整段傳輸且有不同資料段類型的各種記憶裝置的一特徵化之時序圖。圖中示出一整段傳輸模式裝置具有一起始資料段或字組傳輸時段，且該起始字組傳輸時段較緊接著的各字組傳輸時段為長。例如，該起始字組傳輸時段可能是三個時脈的長度，且該等後續的字組傳輸時段可分別是一個時脈的持續時間。該整段傳輸模式裝置可支援如圖所示的無界限的資料段、或有界限的資料段。常見的整段傳輸模式裝置之例子包括DRAM及快閃記憶體。圖中示出一較慢整段傳輸裝置在相同的時脈持續期間

五、發明說明 (7)

具有較長(亦即較慢)的連續字組傳輸時段。舉例而言，圖示之每一字組傳輸時段係為四個時脈週期的持續期間。對一較慢整段傳輸裝置的資料段存取可以是無界限的或有界限的。常見的較慢整段傳輸裝置之一個例子是ROM。相反地，較快整段傳輸裝置則呈現一串連續的較短字組傳輸時段之資訊。在圖3所示之例子中，圖示每一字組傳輸時段只有一個時脈週期的持續期間。如同整段傳輸模式裝置及較慢整段傳輸裝置，對一較快整段傳輸裝置的資料段存取可以是圖示之無界限的，也可以是有界限的。

圖4示出根據本發明的圖1所示匯流排仲裁器34的一實施例之一詳細例子。為了便於理解，圖1至圖4的所有共同元件都採用相同的代號。一邏輯電路50具有一連接到整體性匯流排12之一第一輸入端，用以接收一目前傳輸類型信號。該目前傳輸類型信號53可包括與經由整體性匯流排12傳送的現行或目前傳輸相關聯的各種資訊。各類資訊的例子包括(但不限於)用來識別整體性匯流排12目前正在傳輸指令(亦即程式)資訊或資料資訊之資訊。其他的目前傳輸類型資訊可包括：目前傳輸是一讀取或一寫入傳輸；目前傳輸是一單一傳輸或一多個傳輸；目前傳輸是一有界限的資料段或一無界限的資料段；哪一所選擇的記憶裝置係與目前傳輸相關聯；以及何種類型的記憶裝置係與目前傳輸相關聯。邏輯電路50亦具有複數個匯流排要求輸入端，用以分別自CPU14以及輪替匯流排主控裝置36、38、及40中之每一裝置接收一匯流排要求信號。自直接自每一該等

五、發明說明 (8)

提出要求的裝置傳送匯流排要求信號(亦即，點對點)，或者可經由整體性匯流排12傳送匯流排要求信號。邏輯電路50也具有複數個匯流排授予輸出端，該等匯流排授予輸出端係分別連接到CPU14以及輪替匯流排主控裝置36、38、40中之每一裝置。一策略選擇邏輯電路54產生一仲裁策略信號，而該仲裁策略信號係連接到邏輯電路50的一第二輸入端。策略選擇邏輯電路54具有一控制暫存器56，該控制暫存器56具有複數個預定位元寬度之欄位。在所示之圖式中，控制暫存器56具有與第一輪替匯流排主控裝置36、第二輪替匯流排主控裝置38、第三輪替匯流排主控裝置40、及CPU14相關聯之欄位。控制暫存器56的每一欄位係連接到一多工器(Mux)58的一輸入端。多工器58的一輸出端係連接到邏輯電路50的該第二輸入端，以便提供仲裁策略信號。邏輯電路50的一輸出端係連接到多工器58的一控制輸入端，以便選擇要使用控制暫存器56的哪一欄位。如有需要，可提供額外的控制暫存器。如將於下文的作業說明中所要說明的，控制暫存器62-65及多工器68是或有的電路，且提供額外的使用者選項，以便建立一匯流排仲裁協定。圖中所示之控制暫存器62-65具有一根據輪替匯流排主控裝置數目的一預定數目之欄位。在所示之圖式中，CPU14及輪替匯流排主控裝置36、38、40中之每一裝置具有一額外的控制暫存器。此外，每一控制暫存器62-65具有一對應於CPU以及輪替匯流排主控裝置36、38及40之欄位。每一控制暫存器62-65係連接到多工器(Mux)68的

五、發明說明 (9)

一預定輸入端。多工器68的一輸出端係連接到策略選擇邏輯電路54之控制暫存器56。

在作業中，匯流排仲裁器34係用來控制資料處理系統10內的哪一裝置是整體性匯流排12之主控裝置(亦即，具有使用整體性匯流排之權利)。雖然圖示之匯流排仲裁器34是資料處理系統10內獨立的且與其他有所不同的，但是我們當了解，亦可將匯流排仲裁功能放入CPU14或資料處理系統10的其他部分中，而不須以一不同的模組來執行匯流排仲裁。匯流排仲裁器34在接收到使用整體性匯流排12的一個或多個匯流排要求時，利用與一目前傳輸有關的資訊來作出整體性匯流排12控制權決定。當邏輯電路50自CPU14以及輪替匯流排主控裝置36、38及40中之任一裝置接收到一個或多個匯流排要求時，即根據與應先服務哪一匯流排要求有關的某些預定準則，而在邏輯電路50內作出一決定。在所示之圖式中，係根據一優先順序準則而作出該決定，但是我們當了解，亦可使用不涉及優先順序之其他準則，例如按照循環順序來選擇。邏輯電路50將一用來指示一最高優先順序的競爭主控裝置(亦即，對應於被選擇提供服務的匯流排要求)之信號提供給多工器58，且多工器58利用該信號來選擇與該最高優先順序主控裝置相關聯的控制暫存器56之控制欄位。係利用一用來決定匯流排仲裁器34針對提出要求的該特定裝置而要使用的仲裁策略之使用者設計或使用者控制之編碼(亦即一控制值)，而將控制暫存器56之該控制欄位編碼。一使用者可使用受匯流排仲裁

五、發明說明 (10)

器34控制的一積體電路的一積體電路接腳上之一信號或電壓，或在資料處理系統10內執行一使用者提供的軟體指令，而產生該控制值，或促成該控制值的產生。邏輯電路50然後將控制暫存器56的所選擇控制欄位解碼，並決定是否將待決定的資料段傳輸期間之整體性匯流排12主控權授予資料處理系統10內最高優先順序的競爭匯流排主控裝置，或者決定是否必須等候進行中的一資料段傳輸之完成。邏輯電路50根據目前傳輸類型信號53、及控制暫存器56中存放的資訊，而針對提出要求的輪替匯流排主控裝置36、38及40中一輪替匯流排主控裝置，有條件地觸發該匯流排授予CPU信號或一匯流排授予信號。如果匯流排主控權被轉移給一並非執行目前傳輸的主控裝置之一主控裝置(亦即，自一現行或目前通訊匯流排主控裝置之轉移主控裝置狀態)，則中斷該目前傳輸，並取消一先前觸發的匯流排授予信號，以便強制釋出整體性匯流排12，並因而讓該最高優先順序的主控裝置取得一正在進行的資料段傳輸之匯流排主控權。我們當了解，使用者可將控制暫存器56設定成使一資料處理系統有更大的彈性及能力來調整中斷匯流排延遲時間。更具體而言，可利用將特定的信號輸入用來實施資料處理系統10的一積體電路之預定積體電路接腳，或利用資料處理系統10內存放的信號，而以將要由邏輯電路50解譯的特定匯流排仲裁策略編碼來設定控制暫存器56。在替代實施例中，使用者可在軟體指令控制下，或利用其他的使用者程式設定技術，而設定控制暫存器56。

五、發明說明 (11)

圖5示出可在控制暫存器56內的每一控制欄位中使用的一編碼例子。有許多可以使用的不同編碼，且我們當了解，可以容易地修改或擴張本文所提供的例子。為了便於解說，假設選擇了一個三位元的編碼欄位，因而提供了總共有八個的不同編碼。圖5所示之編碼示出了一種基於下列原則的仲裁策略，所根據的原則包括：在資料段傳輸週期中是否將容許匯流排控制權之改變；是否將根據所傳送的資訊類型(亦即，指令或程式資訊還是資料資訊)而容許匯流排控制權之改變；是否將根據發生了對一系統記憶體的一讀取或寫入作業，而容許匯流排控制權之改變；以及是否將根據發生了一快取記憶體資料段傳輸(亦即一有界限的資料段傳輸)或一更一般性的無界限的循序資料段傳輸，而容許匯流排控制權之改變。仲裁策略可基於其他的因素、或本文所述的該等特徵之一組合。一旦已識別出在整體性匯流排12上呈現哪一類型的目前傳輸之後，邏輯電路50可建構成以一正確的匯流排授予信號作出最佳的回應。例如，在資料處理系統10的某些實施例中，如果識別出一快取記憶體資料段目前正出現在整體性匯流排12，則在發出一將改變匯流排主控權的匯流排授予信號之前，應先完成該快取記憶體資料段的傳輸。然而，如果並未出現一快取記憶體資料段，則可因與一無界限的循序資料段相關聯的不確定長度，而發出一匯流排授予信號。快取記憶體資料段傳輸不同於無界限的循序資料段傳輸，這是因為快取記憶體資料段通常具有諸如四或八個字組傳輸時段等的一有限且

五、發明說明 (12)

已知的長度。因此，與該快取記憶體資料段相關聯的傳輸時間是有界限的。若在一快取線資料段傳輸的有限時段中不將匯流排授予一輪替主控裝置，則由於可以有最佳的整段傳輸記憶體作業，並儘量減少CPU搭配阻塞的快取記憶體的停頓週期之數目，而可提昇系統效能。

此外，在資料處理系統10的某些實施例中，如果發生了一讀取作業，而使資訊自其中一個系統記憶體提供給CPU14，則將該資訊視為重要到足以避免CPU14的一潛在停頓狀態，以便在容許一匯流排主控權改變之前完成該資料段交易。然而，如果發生了一寫入作業，則可在一特定的系統應用中發生一匯流排主控權之改變，而不會顯著降低系統效能。本發明可讓一使用者調整與何時可改變通訊匯流排主控權相關聯的一特定應用規則。因此，本段內所說明的該等規則可能並不必然適用於所有的系統，且可在控制暫存器56中設定適當的編碼，以便將一特定的系統應用最佳化。

在某些特殊的情況中，一快取線填入所需之時間長度可能超過一時間急迫的輪替匯流排主控裝置之最大必要延遲時間。這些主控裝置需要立即使用該匯流排，且此類要求的頻度通常是較低的。對於此類的主控裝置，重要的是要中斷任何的資料段序列並於爾後再恢復該資料段序列，而不必顧及要求該資料段的CPU及被存取的記憶體系統之較低的效率。最好是儘量減少一系統中資料段傳輸中斷的發生，並將資料段傳輸中斷限定於一組有限的主控裝置。

五、發明說明 (13)

在所示之圖式中，一個000的編碼指示：在任何快取記憶體資料段傳輸週期中，不容許任何的匯流排主控權改變。對於涉及資料段傳輸的系統設計而言，該特殊功能是有利的。如果一匯流排主控裝置在定義上是當該匯流排主控裝置正在整段傳輸資訊時不容許對該匯流排主控裝置仲裁一系統匯流排之主控權，則該匯流排主控裝置無須額外的邏輯電路，即可實施部分的整段傳輸。在另一個極端的情形中，一個111的編碼指示：在任何資料段傳輸週期中，都容許匯流排主控權的轉移。一個001的編碼指示：只有在一指令快取記憶體(I快取記憶體)資料段傳輸週期中或一無界限的資料段傳輸中，才容許一匯流排主控權的改變。亦即，當進行快取記憶體資料段傳輸時，只有在該匯流排上的資訊類型是程式資訊，且該資料段傳輸是無界限的情形下，或者在進行任何類型的一無界限的資料段傳輸時，才容許匯流排主控權的改變。一個010的編碼指示：如果發生一快取記憶體資料段傳輸時，則只有在一資料快取記憶體(D快取記憶體)資料段讀取週期中，可容許匯流排主控權的改變。因此，該編碼指示了三個準則：(1)資訊是資料；(2)資料段是一快取記憶體資料段；以及(3)匯流排上的交易是一讀取交易。一個011的編碼指示：只有在快取記憶體資料段讀取週期中，或發生任何類型的無界限的資料段傳輸時，才可容許匯流排主控權的改變。一個100的編碼指示：只有在快取記憶體資料段寫入週期中，或發生任何類型的無界限的資料段傳輸時，才可容許匯流排主控權的改變。

五、發明說明 (14)

一個101的編碼指示：只有在資料快取記憶體資料段寫入週期或指令快取記憶體資料段傳輸週期中，或發生任何類型的無界限的資料段傳輸時，才可容許匯流排主控權的改變。一個110的編碼指示：只有在資料快取記憶體資料段傳輸週期中，或發生任何類型的無界限的資料段傳輸時，才可容許匯流排主控權的改變。因此，提供邏輯電路50的邏輯，以便在策略選擇邏輯電路54呈現特定值時，辨識所述的這些限制作為一仲裁策略。匯流排仲裁器34可回應該編碼之控制資訊，而針對整體性匯流排12上的資訊之整段傳輸執行至少兩種不同的仲裁策略。該等變化可讓使用者能夠針對一系統中需要匯流排主控權且在某一預定選擇方案下可取得匯流排主控權之每一電路模組，設定與資料段傳輸相關聯的一依照各別需求而制定之仲裁策略。我們當了解，與此處所揭示的一整體性資料匯流排上的整段傳輸資訊相關聯之仲裁方法不同於在數個提出要求的主控裝置中選出一個主控裝置所用之演算法。

圖6示出對使用兩個位元的欄位的控制暫存器56內之各欄位的一種編碼方式。一個00的編碼指示：在資料段傳輸週期中，不容許任何匯流排主控權的改變；而一個11的編碼則指示：在任何資料段傳輸週期中，都容許匯流排主控權的改變。一個01的編碼指示：在存取一整段傳輸模式裝置期間，不容許任何匯流排主控權的改變。一個10的編碼指示：在存取一快速記憶裝置期間，不容許任何匯流排主控權的改變。因此，舉該例子而言，一使用者顯然可根據一

五、發明說明 (15)

提出要求的裝置是在匯流排控制權屬於一涉及DRAM或快閃記憶體的傳輸時還是在該傳輸涉及一SRAM時提出一要求，而設定一仲裁策略。

此外，可將控制暫存器62-65及多工器68與控制暫存器56結合，以便根據匯流排主控裝置或資料段傳輸類型，而提供選擇性控制。因為資料段傳輸的類型通常與不同的裝置有關，所以該裝置的特性可能也會影響到仲裁協定的選擇。每一控制暫存器62-65係與一特定的匯流排主控裝置有關，且可根據哪一匯流排主控裝置有目前的匯流排控制權以及哪一匯流排主控裝置正在要求匯流排控制權，而改變系統中每一主控裝置的控制欄位(亦即匯流排仲裁協定)。多工器68根據目前主控裝置信號55所提供的資訊，而選擇控制暫存器62-65中的一個控制暫存器。對於每一潛在的匯流排主控裝置而言，根據現用的匯流排主控裝置，而將控制暫存器62-65中所選擇的一個控制暫存器提供給策略選擇邏輯電路54。策略選擇邏輯電路54然後可利用所提供的一個控制暫存器62-65內的該等控制欄位來決定目前匯流排主控裝置的匯流排佔用期間之仲裁策略。可以每一目前匯流排主控裝置獨有的資訊來設定控制暫存器62-65，因而可以與所有其他主控裝置的匯流排佔用無關之方式設定一特定匯流排主控裝置的匯流排佔用期間之匯流排仲裁協定。對各別主控裝置的選擇性控制權可依據不同的主控裝置佔用匯流排之情形而改變匯流排仲裁協定，且可將該選擇性控制權最佳化，以便進一步提昇系統效

五、發明說明 (16)

能。

現在我們當了解，本發明提供了一種使用一暫存器或其他儲存裝置中的一組控制位元或其他的發訊機制來控制資料段傳輸期間處理仲裁的方式之方法及系統。對於系統中之每一潛在主控裝置而言，提供了一控制資訊欄位，用以控制資料段傳輸期間之匯流排仲裁。在該欄位內，可針對諸如一I快取記憶體填入、一D快取記憶體填入、一D快取記憶體複製回(寫回)等的每一類型的傳輸而提供一控制權。在一替代實施例中，該控制欄位存有對應於所選擇的一裝置及該裝置所支援的資料段傳輸類型之控制資訊。在資料段傳輸期間，如果一輪替主控裝置對該匯流排提出一要求，則根據進行中的傳輸類型及相關聯的控制欄位之對應設定，而審核該要求。

因為實施本發明之裝置大部分包含熟習此項技藝者所習知的各種電子組件及電路，所以將以不超過前文所述且超過一般人認為必要的詳細程度來說明電路細節，以便本發明的基本觀念可以被了解及理解，但不會模糊了或脫離了本發明的揭示事項。

在前文的說明書中，係參照一些特定的實施例而說明本發明。然而，對此項技藝具有一般知識者當可了解，在不脫離下文申請專利範圍所述的本發明之範圍下，仍可作出各種修改及改變。例如，配合本發明而使用任何類型的記憶體及任何類型的快取記憶體。可根據特定的系統而將各種資料段傳輸策略編碼。可經由與前文說明中使用的控制

五、發明說明 (17)

暫存器不同的方法或結構而提供控制策略資訊。此外，雖然一系統中只有一個匯流排主控裝置可使用匯流排交易，但是可採用本發明。因此，係將本說明書及各圖式視為舉例，而並非對本發明加以限制，且所有此類修改係包含在本發明的範圍內。

前文已參照一些特定實施例而說明了各項效益、其他優點、及問題的解決方案。然而，並不將該等效益、其他優點、及問題的解決方案、以及可使任何效益、優點、或解決方案發生或成為更明顯的任何元素視為任何或所有申請專利範圍的關鍵性的、或必要的、或不可或缺之特徵或元素。在本文的用法中，術語"包含"或該術語的任何其他變形係在涵蓋一非獨有的包含性，例如包含一清單的元件之一程序、方法、物品、或裝置不只是包含那些元件，而且也包含並未明顯列出的或此種程序、方法、物品、或裝置所固有的其他元件。

五、發明說明 (18)

元件符號對照表

序號	元件編號	原文	中文
1	10	data processing system	資料處理系統
2	12	global bus	整體性匯流排
3	14	central processing unit	中央處理單元
4	16	bus interface	匯流排介面
5	18	cache	快取記憶體
6	20	system memory	系統記憶體
7	22	system memory	系統記憶體
8	24	system memory	系統記憶體
9	28	peripheral	周邊裝置
10	30	peripheral	周邊裝置
11	34	bus arbiter	匯流排仲裁器
12	36	alternate bus master	輪替匯流排主控裝置
13	38	alternate bus master	輪替匯流排主控裝置
14	40	alternate bus master	輪替匯流排主控裝置
15	50	logic circuit	邏輯電路
16	53	current transfer type signal	目前傳輸類型信號
17	54	policy select logic circuit	策略選擇邏輯電路
18	56	control register	控制暫存器
19	58	multiplexer	多工器
20	62 - 65	control register	控制暫存器
21	68	multiplexer	多工器
22	55	current master signal	目前主控裝置信號

六、申請專利範圍

1. 一種具有一用來控制一通訊匯流排的使用的裝置之系統，包含：

複數個通訊匯流排主控裝置，至少一個該等複數個通訊匯流排主控裝置係耦合到該通訊匯流排，以便在通訊匯流排主控裝置成為一匯流排主控裝置時，在資料段傳輸週期中經由該通訊匯流排而傳送資訊；以及

耦合到該通訊匯流排之一匯流排仲裁器，該匯流排仲裁器係回應想要該通訊匯流排的主控權該等複數個通訊匯流排主控裝置之兩個通訊匯流排主控裝置，該匯流排仲裁器實施一仲裁策略，用以選擇性地容許該等複數個通訊匯流排主控裝置中之一通訊匯流排主控裝置唯一地取得該通訊匯流排之主控權，該匯流排仲裁器具有受使用者控制之電路，用以接收控制資訊，該控制資訊可在該等複數個通訊匯流排主控裝置中之一現有的通訊匯流排主控裝置進行資訊的整段傳輸期間中之任何時間重新指定該通訊匯流排之控制權，而無須等候該通訊匯流排上的一目前存在的資料段通訊之結束。

2. 如申請專利範圍第1項之系統，其中該匯流排仲裁器所接收的該控制資訊根據該通訊匯流排上目前存在的資料段傳輸之類型，而決定該仲裁策略。
3. 如申請專利範圍第2項之系統，其中係根據該通訊匯流排上目前存在的資料段傳輸之類型是一有界限的資料段傳輸或一無界限的資料段傳輸，而決定該仲裁策略。
4. 如申請專利範圍第2項之系統，進一步包含：

六、申請專利範圍

耦合到該通訊匯流排之一記憶體，其中係根據該通訊匯流排上目前存在的資料段傳輸之類型是對該記憶體的一讀取或寫入，而決定該仲裁策略。

5. 如申請專利範圍第1項之系統，其中該匯流排仲裁器所接收的該控制資訊根據該等複數個通訊匯流排主控裝置中之哪一通訊匯流排主控裝置目前具有該通訊匯流排之控制權，而決定該仲裁策略。

6. 如申請專利範圍第1項之系統，其中該匯流排仲裁器所接收的該控制資訊根據該等複數個通訊匯流排主控裝置中之哪一或哪些通訊匯流排主控裝置目前正要求該通訊匯流排之控制權，而決定該仲裁策略。

7. 如申請專利範圍第1項之系統，其中該匯流排仲裁器所接收的該控制資訊根據正在回應該通訊匯流排上目前存在的一資料段傳輸之一記憶裝置之資料段類型，而決定該仲裁策略。

8. 如申請專利範圍第1項之系統，其中該受使用者控制之電路進一步包含：

一個或多個暫存器，用以儲存一使用者所決定的至少一個預定控制信號，而該預定控制信號係規定該仲裁策略。

9. 如申請專利範圍第8項之系統，其中該匯流排仲裁器進一步包含：

耦合到該等一個或多個暫存器之邏輯電路，該邏輯電路係回應該等至少一個預定控制信號及該通訊匯流排所

六、申請專利範圍

傳送的一目前資料段傳輸之一預定特徵，而執行該仲裁策略。

10. 一種用來控制一系統中的一通訊匯流排的使用之方法，包含下列步驟：

將一控制值經由一受使用者控制之裝置而提供給一匯流排仲裁器，該控制值於資訊的整段傳輸期間在一預定複數個仲裁策略中選擇一個仲裁策略，以便在複數個匯流排主控裝置中選擇匯流排主控權。

11. 如申請專利範圍第10項之方法，進一步包含下列步驟：

將一狀態信號提供給該匯流排仲裁器，該狀態信號包含用來提供與經由該通訊匯流排傳送的一目前資料段傳輸有關之類型資訊；以及

利用該控制值及該狀態信號，在一目前匯流排主控裝置進行資訊的一現行整段傳輸期間中之任何時間重新指定該通訊匯流排之控制權，而無須等候該現行整段傳輸之結束。

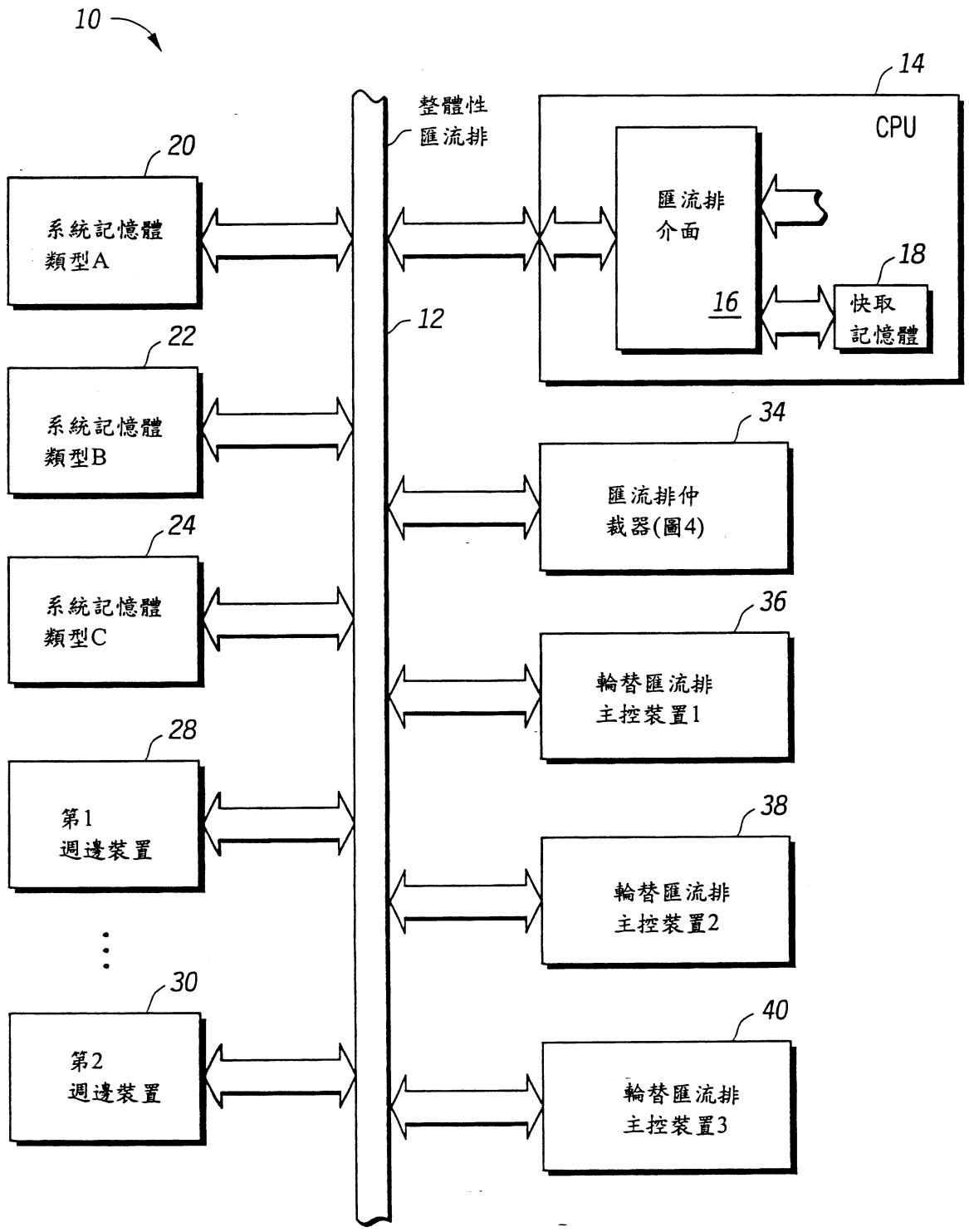


圖 1

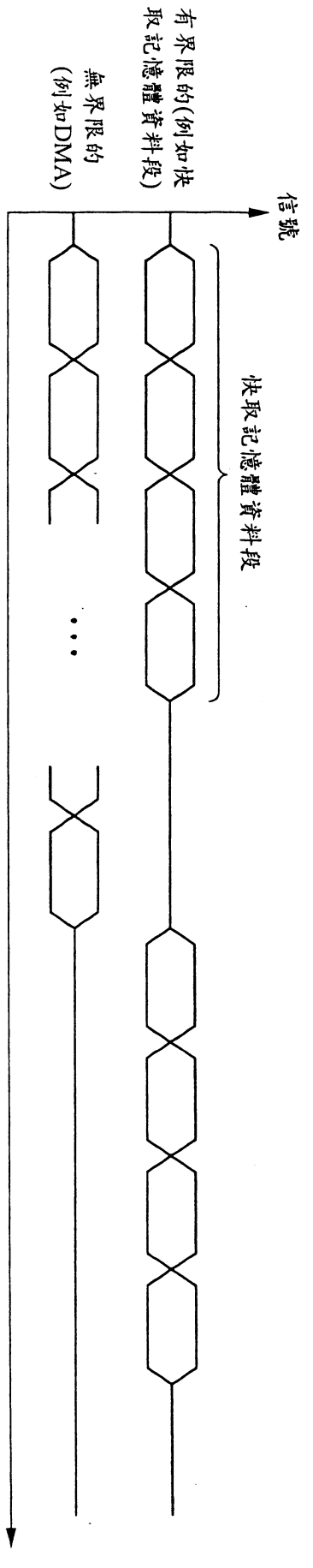


圖2

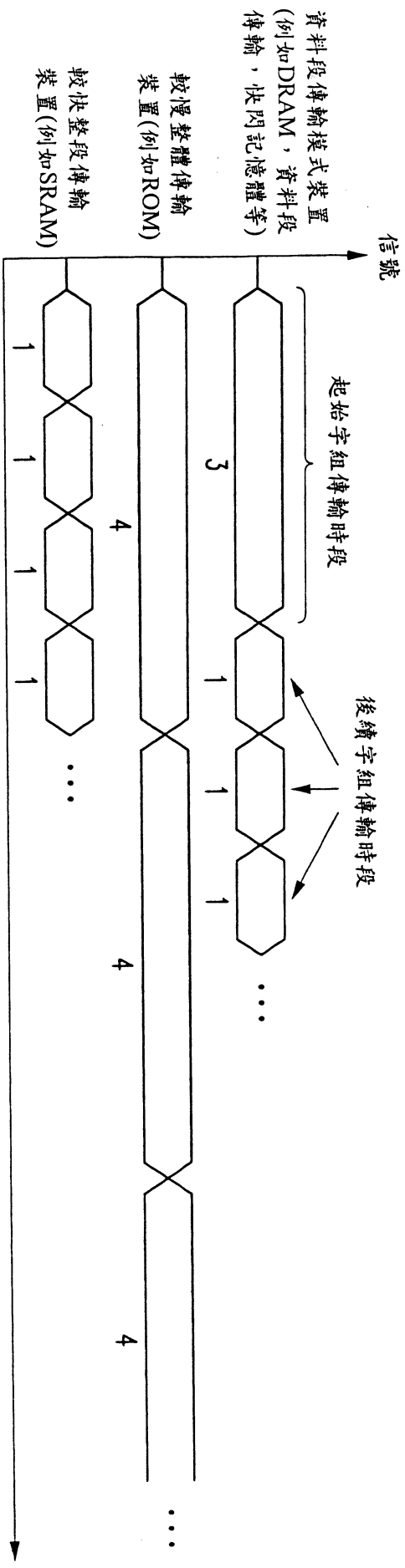
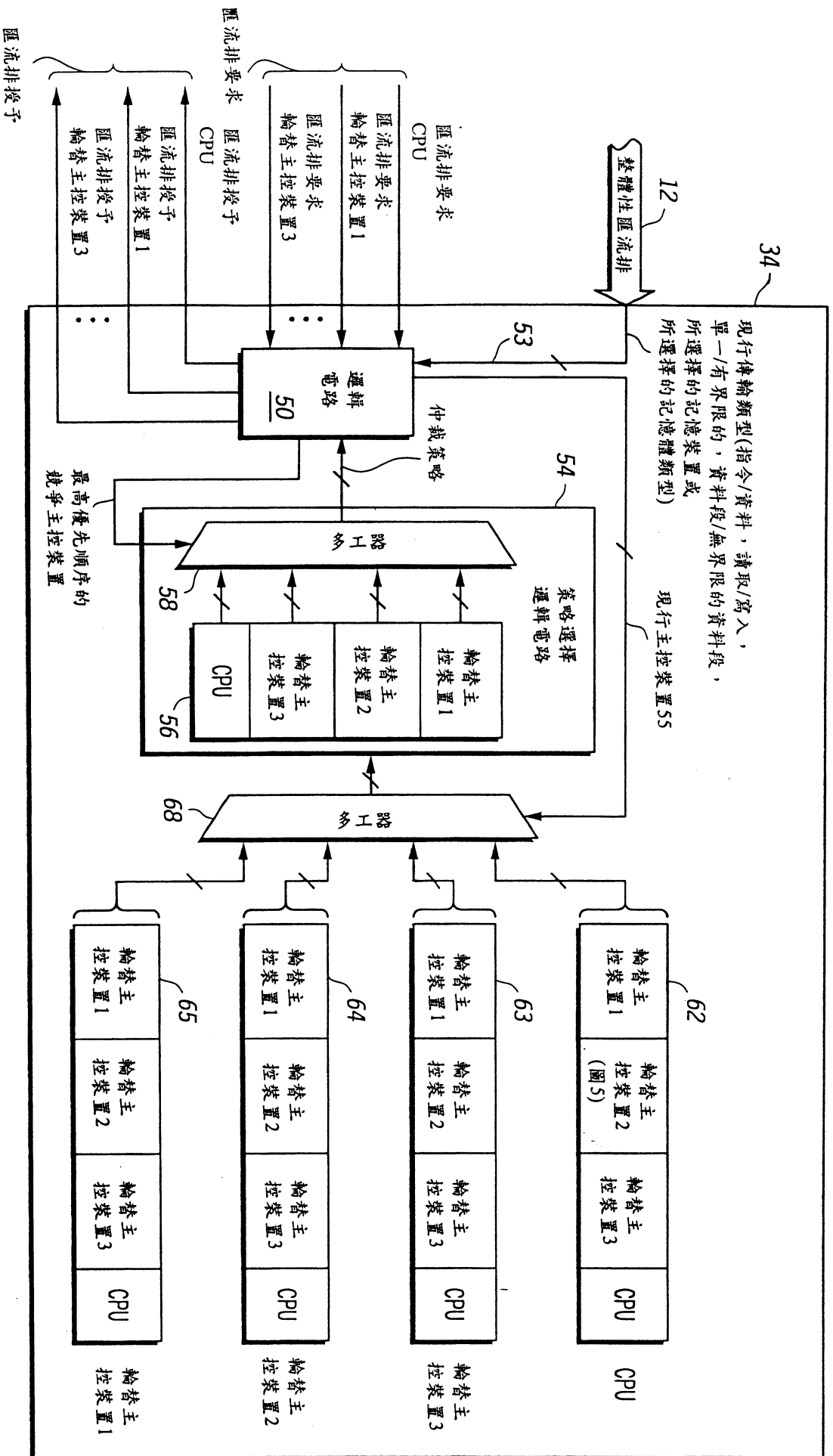


圖3



控制欄位編碼	
000	在快取記憶體資料段傳輸週期中，不容許任何匯流排主控權之改變。
001	只有在指令快取記憶體資料段傳輸週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
010	只有在資料快取記憶體資料段讀取週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
011	只有在快取記憶體資料段讀取週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
100	只有在快取記憶體資料段寫入週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
101	只有在資料快取記憶體資料段寫入週期或指令快取記憶體資料段傳輸週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
110	只有在資料快取記憶體資料段傳輸週期或無界限的資料段傳輸週期中，容許匯流排主控權之改變。
111	在任何資料段傳輸週期中，都容許匯流排主控權之轉移。

圖5

控制欄位編碼	
00	在快取記憶體資料段傳輸週期中，不容許任何匯流排主控權之改變。
01	在存取一整段傳輸模式裝置中，不容許任何匯流排主控權之改變。
10	在存取一快速記憶裝置時，不容許任何匯流排主控權之改變。
11	在任何資料段傳輸週期中，都容許匯流排主控權之轉移。

圖6

公告本

申請日期	91.5.28
案 號	091111284
類 別	G06F13/00

A4
C4

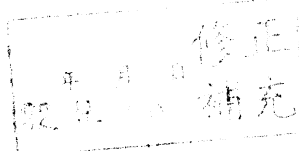
(以上各欄由本局填註)

中文說明書替換頁(92年9月)

發明專利說明書 1221968

一、發明名稱	中 文	具有一用來控制一通訊匯流排的使用的裝置之系統及用來控制一系統中的一通訊匯流排的使用之方法
	英 文	SYSTEM HAVING AN APPARATUS FOR CONTROLLING USE OF A COMMUNICATION BUS AND METHOD FOR CONTROLLING USE OF A COMMUNICATION BUS IN A SYSTEM
二、發明人	姓 名	威廉 C. 摩亞 WILLIAM C. MOYER
	國 籍	美國 U.S.A.
三、申請人	住、居所	美國德克薩斯州飛泉市碼頭點路1005號 1005 PIER BRANCH ROAD, DRIPPING SPRINGS, TEXAS 78620, U.S.A.
	代 表 人 姓 名	強納森 E. 瑞斯基 JONATHAN E. RETSKY

裝
訂
線



四、中文發明摘要(發明之名稱： 具有一用來控制一通訊匯流排的使用的裝置)
之系統及用來控制一系統中的一通訊匯流排
的使用之方法

一匯流排仲裁器34在資訊的整段傳輸期間，監視與經由一整體性資料匯流排12而傳輸的資訊的類型相關聯之特徵。可以若干值來設定一受使用者控制之仲裁策略暫存器56，並將該等值解碼，以便控制是否容許一提出要求的匯流排主控裝置所要求之中斷。可利用各種因素來決定中斷的容許。此類因素的例子包括：提出要求的裝置之類型；一匯流排交易是有界限的或無界限的；一交易是對一系統記憶體的一讀取或一寫入；以及要求匯流排主控權的特定裝置之身分。

英文發明摘要(發明之名稱：

SYSTEM HAVING AN APPARATUS FOR
CONTROLLING USE OF A COMMUNICATION BUS)
AND METHOD FOR CONTROLLING USE OF A
COMMUNICATION BUS IN A SYSTEM

A bus arbiter (34) monitors characteristics associated with the type of information that is transferred via a global data bus (12) during burst transactions of information. A user-controlled arbitration policy register (56) may be programmed with values that are decoded to control whether interruption by a requesting bus master are permitted. Various factors can be used to determine interrupt permissions. Examples of such factors include the type of requesting device, whether a burst transaction is bounded or unbounded, whether a transaction is a read or a write of a system memory and the identity of the particular device requesting bus mastership.