

[51] Int. Cl.
H04L 7/10 (2006.01)



专利号 ZL 02816223.4

[11] 授权公告号 CN 100337422C

US6088406 A 2000.7.11

ENDOGENOUS IL-2 PRODUCTION BY

NATURAL KILLER CELLS MAINTAINSCYTO-

TOXIC AND PROLIFERATIVE CAPACITY FOL-

LOWINGRETROVIRAL – MEDIATED GENE

TRANSFER JEFFERY. S. MILLER ET AL, EX-

PERIMENTAL HEMATOLOGY, Vol. 25 1997

审查员 刘玲斐

[74] 专利代理机构 北京市中咨律师事务所

代理人 干 静 李 峰

权利要求书 8 页 说明书 21 页 附图 7 页

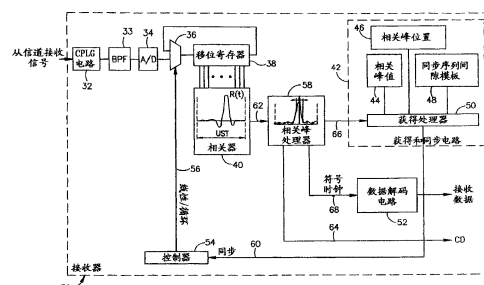
权利要求书 8 页 说明书 21 页 附图 7 页

权利要求书 8 页 说明书 21 页 附图 7 页

权利要求书 8 页 说明书 21 页 附图 7 页

在扩频通信收发信机中获得同步的方法和装置

一种用于扩频通信系统的新颖和实用的获得和同步机制，用于发送包括相隔预定时间延迟间隔的多个已知符号的同步序列，以作为分组信号的起始。在接收器上，使用符号之间插入的预定间隙或时间延迟间隔，使接收信号与同步序列相关。接收信号被线性相关以产生每个接收符号的相关峰。计算每个相关峰的预计位置，并且与接收的相关峰的位置相比较。如果匹配数量超过阈值，则声明达到同步。



1.一种用于获得分组起始信号上的同步的方法，所述分组起始信号包括根据预定同步序列模板产生的多个符号，其中由预定时间延迟分隔每个符号，所述方法包括步骤：

使接收信号相关以产生多个接收的相关峰；

根据预定同步序列模板计算每个接收的相关峰的预计位置，其中每个相关峰的所述预计位置对应于在符号之间插入的预定时间延迟；

确定预计位置上的相关质量；以及

评估相关质量并且在评估超过预定标准时声明同步。

2.如权利要求1所述的方法，其中除了所述接收的相关峰的高度之外，还根据每个接收的相关峰与所述预计位置的距离来确定所述相关质量。

3.如权利要求1所述的方法，其中如果接收的相关峰的位置在其对应预计位置的预定距离内，所述相关质量被设置成匹配，否则被设置成失配。

4.如权利要求3所述的方法，其中所述预定标准包括匹配数量超过阈值，其中将所述阈值设置成所述相关峰的高度的函数。

5.如权利要求1所述的方法，其中所述确定相关质量的步骤包括确定预计位置上相关的值，并且所述评估步骤包括累加所述相关质量值。

6.如权利要求1所述的方法，其中与获得有关的信息通过所述符号之间的预定时间延迟进行传送。

7.如权利要求1所述的方法，其中所述多个符号中的每个符号包括零偏移码移键控 CSK 调制的符号。

8.如权利要求1所述的方法，其中所述相关步骤包括对所述接收信号执行线性相关。

9.如权利要求1所述的方法，其中发送器发送的所述预定多个符号包括分组起始同步序列，其包含在每个符号之后插入预定延迟的7个零偏移符号。

10.如权利要求1所述的方法，其中每个接收的相关峰的位置被存储在

表格中。

11.如权利要求1所述的方法,其中所述预定同步序列模板被存储在表格中。

12.如权利要求3所述的方法,其中所述预定距离为每个接收的相关峰的左边的预定相位单位。

13.如权利要求4所述的方法,其中所述阈值包括所述多个符号的一半以上。

14.如权利要求1所述的方法,其中假定最后接收的相关峰的位置是正确的。

15.如权利要求1所述的方法,其中参照最后接收的相关峰计算所述预计位置。

16.如权利要求1所述的方法,还包括步骤:假定最后接收的相关峰的前一相关峰正确,并且重复所述计算步骤,其中参照最后接收的相关峰的前一相关峰计算预计位置。

17.如权利要求1所述的方法,还包括步骤:重复所述计算、确定和评估的步骤以搜寻与不同同步序列模板的匹配。

18.如权利要求3所述的方法,其中在边界匹配数量的情况下,仅在匹配相关峰的累加和超过峰值阈值时才声明同步。

19.如权利要求3所述的方法,还包括步骤:根据每个匹配相关峰的预计位置和接收的相关峰位置之间的差值的平均值的函数,确定同步点。

20.如权利要求1所述的方法,还包括步骤:计算同步质量系数,其中具有相关的更高同步质量系数的新分组的接收导致接收器丢弃先前接收的分组,并且立即接收新的分组。

21.如权利要求1所述的方法,其中在专用集成电路 ASIC 中实现所述方法。

22.如权利要求1所述的方法,其中在现场可编程门阵列 FPGA 中实现所述方法。

23.一种用于在通信网络中获得分组起始同步序列上的同步的设备,所

述分组起始同步序列包括多个符号，其中根据预定同步序列模板通过预定时间延迟分隔每个符号，所述设备包括：

相关器，适于响应同步序列中的每个接收的符号而产生相关峰；

获得电路，包括：

用于根据预定同步序列模板计算每个接收的相关峰的预计位置的装置，其中每个相关峰的所述预计位置对应于在符号之间插入的预定时间延迟；

用于确定预计位置上的相关质量的装置；以及

用于评估相关质量并且在评估超过预定标准时声明同步的装置。

24.如权利要求 23 所述的设备，其中除了所述接收的相关峰的高度之外，还根据每个接收的相关峰与所述预计位置的距离确定所述相关质量。

25.如权利要求 23 所述的设备，其中如果接收的相关峰的位置在其对应预计位置的预定距离内，所述相关质量被设置成匹配，否则被设置成失配。

26.如权利要求 25 所述的设备，其中所述预定标准包括匹配数量超过阈值，其中所述阈值被设置所述相关峰的高度的函数。

27.如权利要求 23 所述的设备，其中所述用于确定相关质量的装置包括用于确定预计位置上相关的值的装置，并且所述评估步骤包括累加所述相关质量值。

28.如权利要求 23 所述的设备，其中所述预定同步序列模板包括时间延迟序列。

29.如权利要求 23 所述的设备，其中所述相关器适于对接收信号执行线性相关。

30.如权利要求 25 所述的设备，其中所述预定距离为每个接收的相关峰的左边的预定相位单位。

31.如权利要求 26 所述的设备，其中所述阈值包括所述多个符号的一半以上。

32.如权利要求 23 所述的设备，其中假定最后接收的相关峰的位置是

正确的。

33.如权利要求 23 所述的设备,其中参照最后接收的相关峰计算所述预计位置。

34.如权利要求 23 所述的设备,还包括用于假定最后接收的相关峰的前一相关峰正确,并且参照最后接收的相关峰的前一相关峰重复计算所述预计位置的装置。

35.如权利要求 23 所述的设备,还包括用于重复计算所述预计位置以便使用多个预定同步序列模板搜寻同步匹配的装置。

36.如权利要求 25 所述的设备,其中在边界匹配数量的情况下,仅在匹配相关峰的累加和超过峰值阈值时才声明同步。

37.如权利要求 25 所述的设备,还包括用于根据每个匹配相关峰的预计位置和接收的相关峰位置之间的差值的平均值的函数,确定同步点的装置。

38.如权利要求 23 所述的设备,还包括用于计算同步质量系数的装置,其中具有相关的更高同步质量系数的新分组的接收导致接收器丢弃先前接收的分组,并且立即接收新的分组。

39.如权利要求 23 所述的设备,其中在专用集成电路 ASIC 中实现所述设备。

40.如权利要求 23 所述的设备,其中在现场可编程门阵列 FPGA 中实现所述设备。

41.一种用于在通信网络中获得同步的方法,所述方法包括步骤:

在发送站发送的分组的开始处接收同步序列,所述同步序列包括多个符号,其中每个符号被预定时间延迟分隔;

使接收的同步序列相关以产生多个接收的相关峰;

搜寻预定增量范围内预计位置上相关峰的存在,其中预计位置对应于发送站在符号之间插入的预定时间延迟;

如果在增量范围内的相应预计位置上找到的匹配相关峰的数量超过阈值,声明同步;以及

确定同步时间点, 该同步时间点是接收的相关峰的位置及其相应预计位置之间的距离的函数。

42. 如权利要求 41 所述的方法, 其中在所述同步时间点之后的预定固定距离处开始所述分组的数据解码。

43. 如权利要求 41 所述的方法, 还包括步骤: 根据每个匹配相关峰的预计位置和接收的相关峰位置之间的差值的平均值的函数, 确定同步点。

44. 如权利要求 41 所述的方法, 还包括步骤: 计算同步质量系数, 其中具有相关的更高同步质量系数的新分组的接收导致接收器丢弃先前接收的分组, 并且立即接收新的分组。

45. 如权利要求 41 所述的方法, 其中在专用集成电路 ASIC 中实现所述方法。

46. 如权利要求 41 所述的方法, 其中在现场可编程门阵列 FPGA 中实现所述方法。

47. 一种用于在通信网络中获得传输信号的同步的专用集成电路 ASIC, 所述传输信号包括具有多个符号的分组起始同步序列, 其中每对符号具有根据预定同步序列模板在其间插入的预定时间延迟, 所述 ASIC 包括:

接收装置, 适于根据所述传输信号产生接收信号;

相关装置, 适于响应同步序列中的每个接收符号而根据接收信号产生相关峰;

计算装置, 用于根据预定同步序列模板计算每个接收的相关峰的预计位置, 其中每个相关峰的所述预计位置对应于在符号之间插入的预定时间延迟;

确定装置, 用于确定预计位置上的相关质量; 以及

用于评估相关质量并且在评估超过预定标准时声明同步的装置。

48. 如权利要求 47 所述的 ASIC, 其中除了所述接收的相关峰的高度之外, 还根据每个接收的相关峰与所述预计位置的距离确定所述相关质量。

49. 如权利要求 47 所述的 ASIC, 其中如果接收的相关峰的位置在其

对应预计位置的预定距离内, 所述相关质量被设置成匹配, 否则被设置成失配。

50.如权利要求 49 所述的 ASIC, 其中所述预定标准包括匹配数量超过阈值, 其中将所述阈值设置成所述相关峰的高度的函数。

51.如权利要求 47 所述的 ASIC, 其中所述确定装置包括确定预计位置上相关的值, 并且所述用于评估的装置包括用于累加所述相关质量值的装置。

52.如权利要求 47 所述的 ASIC, 还包括用于假定最后接收的相关峰的前一相关峰正确, 并且参照最后接收的相关峰的前一相关峰重复计算所述预计位置的装置。

53. 如权利要求 47 所述的 ASIC, 还包括用于重复计算所述预计位置以便使用多个预定同步序列模板搜寻同步匹配的装置。

54.如权利要求 49 所述的 ASIC, 其中在边界匹配数量的情况下, 仅在匹配相关峰的累加和超过峰值阈值时才声明同步。

55.如权利要求 49 所述的 ASIC, 还包括用于根据每个匹配相关峰的预计位置和接收相关峰位置之间的差值的平均值的函数, 确定同步点的装置。

56.如权利要求 47 所述的 ASIC, 还包括用于计算同步质量系数的装置, 其中具有相关的更高同步质量系数的新分组的接收导致接收器丢弃先前接收的分组, 并且立即接收新的分组。

57. 一种通信站, 用于针对通过基于共享通信介质的网络连接的其它站发送和接收信号, 包括:

耦合电路, 用于产生通过所述网络接收的接收信号, 并且将发送信号输出到所述网络上;

发送器, 适于根据调制方案调制要发送的同步序列和数据, 以便据此产生发送信号, 所述同步序列包括多个符号, 其中根据预定同步序列模板通过预定时间延迟分隔每个符号;

接收器, 适于根据调制方案解调接收信号, 以便据此产生接收数据信

号, 所述接收器包括获得电路, 所述获得电路包括:

用于使接收信号相关以据此产生多个接收的相关峰的装置;

计算装置, 用于根据预定同步序列模板计算每个接收相关峰的预计位置, 其中每个相关峰的所述预计位置对应于在符号之间插入的预定时间延迟;

用于将每个接收的相关峰的位置与相应预计位置进行比较, 并且如果接收的相关峰的位置在相应预计位置的预定距离内时声明匹配的装置;

用于在匹配数量超过阈值的情况下声明同步的装置;

介质访问控制 MAC 电路, 适于使应用处理器与共享通信介质接口;

以及

应用处理器, 适于控制发送器、接收器和 MAC 的操作, 并且在 MAC 和外部主机之间提供接口。

58. 如权利要求 57 所述的通信站, 其中所述预定时间延迟包括基于所述预定同步序列模板的一系列时间延迟。

59. 如权利要求 57 所述的通信站, 其中所述调制方案包括码移键控 CSK 调制。

60. 如权利要求 57 所述的通信站, 还包括用于假定最后接收的相关峰的前一相关峰正确, 并且参照最后接收的相关峰的前一相关峰重复计算所述预计位置的装置。

61. 如权利要求 57 所述的通信站, 还包括用于重复计算所述预计位置以便使用多个预定同步序列模板搜寻同步匹配的装置。

62. 如权利要求 57 所述的通信站, 其中在匹配数量处于边界状态的情况下, 仅在每个匹配相关峰的值的累加和超过峰值阈值时才声明同步。

63. 如权利要求 57 所述的通信站, 还包括用于根据每个匹配相关峰的预计位置和接收相关峰位置之间的差值的平均值的函数, 确定同步点的装置。

64. 如权利要求 57 所述的通信站, 还包括用于计算同步质量系数的装置, 其中具有相关的更高同步质量系数的新分组的接收导致接收器丢弃先前接收的分组, 并且立即接收新的分组。

65. 如权利要求 57 所述的通信站, 其中在专用集成电路 ASIC 中实现

所述发送器和接收器。

66.如权利要求 57 所述的通信站，其中在现场可编程门阵列 FPGA 中实现所述发送器和接收器。

在扩频通信收发信机中获得同步的方法和装置

技术领域

本发明一般涉及数据通信系统，更具体地说，涉及用于在扩频通信收发信机中获得同步的设备和方法。

背景技术

使用扩频通信技术改进通信可靠性和安全性是众所周知的，并且日益普及。扩频通信使用比要发送的数据的带宽大得多的频谱带宽发送数据。除了其它优点之外，这种技术在存在高窄带噪声、频谱畸变和脉冲噪声的环境中提供更加可靠的通信。扩频通信系统通常使用相关技术来识别传入的接收信号。

在军用环境中通常使用扩频通信系统来克服高能量窄带敌对干扰。在商用或家用环境中，可以在诸如 AC 输电线的有噪声介质中使用该技术来进行可靠的通信。特别是，某些家用电气设备和装置可能对供电线路上的通信信号产生很强的破坏作用。例如，由于这些装置在实现调光功能时通常使用三端双向可控硅开关元件或硅控整流器 (SCR) 控制 AC 波形，电子调光装置会向供电线路注入大量噪声。

诸如 AC 输电线之类的通信介质会受到快速衰减、不可预测的振幅和相位畸变和附加噪声的破坏。另外，通信信道会受到不可预测的时变干扰和窄带干扰的影响。为了通过这种信道发送数字数据，最好使用尽可能宽的带宽发送数据。使用扩频技术可以实现该目标。

需要扩频接收器以实现同步，其中通常任选地结合跟踪回路或其它跟踪机制使用某种形式的获得方法来实现所述同步。在诸如 AC 供电线等噪声不可预测的环境中，跟踪回路通常会频繁地失效，从而导致丢失信息。

能够克服这些问题的通信系统通常规模较大、复杂并且昂贵。

扩频通信系统中彼此进行通信的发送器和接收器之间的信号同步是其间的发送信号处理的重要方面。发送器和接收器之间必须进行同步，以允许通过在其间同步的扩展码对接收信号进行解扩展，从而使得能够根据接收信号来恢复最初发送的信号。当接收信号在其扩展码模式位置及其码片生成速率方面相对接收器的扩展码达到精确定时的时候，就达到了同步。

与同步相关的一个问题是用于同步两个信号的技术的实现成本相对昂贵。在具有复杂和相对昂贵的中央通信站点(服务于多个相对廉价的远程通信站点)的通信系统中，期望在不提高中央通信站点的成本的情况下，降低远程通信站点中同步系统的成本。

在通信收发信机中，期望获得机制对于用于分组的数据部分的任何纠错码而言均更加可靠。换言之，最好是正确声明同步，和不能够正确解码分组数据，而不是由于使用弱获得算法而完全错过整个分组。

此外，期望获得算法具有尽可能低的源于噪声的假同步概率，例如小于5秒一次。获得机制应当能够使用不止一个同步序列，使得与其它序列同步的概率最小。

发明内容

因此，本发明提供了新颖和有用的获得和同步机制。本发明的机制可用于通信系统，所述通信系统的特征在于诸如网络的使用供电线路载波通信的共享介质。通常，本发明适用于多个站连接到共享通信介质的情况，其中接收站在每个分组的开始处必须获得发送站发送的分组起始信号上的同步。

提供了一种扩频通信系统的改进获得机制，其中发送包括相隔预定时间延迟间隔的多个已知符号的同步序列，以作为分组起始信号。在接收器上，使用符号之间插入的预定间隙或时间延迟间隔，使接收信号与同步序列相关。

接收信号首先通过线性相关器，线性相关器的功能是产生每个接收符

号的相关峰。接着计算每个相关峰的预计位置，并且与接收的相关峰的位置相比较。如果匹配数量超过阈值，则声明达到同步。

获得算法适于在考虑到零或更多个错误接收符号的同时进行搜寻以匹配相关峰。此外，如果预计相关位置在接收相关峰的预定增量范围内，则该算法允许匹配。如果不成功，获得算法重复执行，以求使每个预定同步序列与接收的相关峰相关。

一旦声明同步，则计算同步质量系数，同步质量系数是匹配数量和值超过阈值的相关峰数量的函数。如果声明后续同步，则比较质量系数，并且如果最近质量系数较大，则丢弃前一分组，并且接收当前分组。注意，一直执行比较同步质量和丢弃前一分组以利于下一分组的处理，直到验证了组头 CRC 校验和字段。在组头 CRC 通过校验和验证之后，接收器被锁定到接收当前分组。

获得机制配置多个同步序列，其中序列的交叉相关最小，以便降低对其它序列的假检测的概率。多个同步序列的使用允许发送附加信息到接收站。例如，不同序列可以适于向接收器指示用于该分组传输的具体分组类型或调制方案。

上述发明的许多方面可以被构造成作为固件在嵌入式设备中执行的软件对象，在运行诸如 Windows，UNIX，LINUX 等等的操作系统的计算机系统上作为一部分软件应用执行的软件对象，专用集成电路 (ASIC) 或功能上等价的离散硬件部件。

于是根据本发明提供了一种用于获得分组起始信号的同步的方法，所述分组起始信号包括根据预定同步序列模板产生的多个符号，所述方法包括步骤：使接收信号相关以产生多个接收相关峰，根据预定同步序列模板计算每个接收相关峰的预计位置，确定预计位置上的相关质量，和评估相关质量并且在评估超过预定标准时声明同步。

根据本发明还提供了一种用于产生分组起始同步序列的方法，所述方法包括步骤：产生要在同步序列中发送的数量为 N 的多个符号，产生 $N-1$ 个预定信号，在同步序列中前 $N-1$ 个符号的每个之后插入 $N-1$ 个预定信

号中的一个，并且其中 N 是正整数。

根据本发明还提供了一种用于在通信网络中获得分组起始同步序列的同步的设备，所述分组起始同步序列包括多个符号，其中根据预定同步模板分隔每对符号，所述设备包括：相关器，适于响应同步序列中的每个接收符号而产生相关峰；获得电路，包括：用于根据预定同步模板计算每个接收相关峰的预计位置的装置；用于确定预计位置上的相关质量的装置；以及用于评估相关质量并且在评估超过预定标准时声明同步的装置。

根据本发明还提供了一种用于在通信网络中获得同步的方法，所述方法包括步骤：在发送站发送的分组的开始处接收同步序列，所述发送的同步序列包括多个符号，其中每个符号被预定信号分隔，使接收的同步序列相关以产生多个相关峰，搜寻预定增量范围内的预计位置上相关峰的存在，其中预计位置对应于发送站在符号之间插入的预定时间延迟，如果在增量范围内的相应预计位置上找到的相关峰的数量超过阈值，声明同步，以及确定同步时间点，该同步时间点是接收的相关峰的位置及其相应预计位置之间的距离的函数。

根据本发明还提供了一种用于在通信网络中获得传输信号的同步的专用集成电路(ASIC)，所述传输信号包括具有多个符号的分组起始同步序列，其中每对符号具有根据预定同步序列间隙模板在其间插入的预定间隙，所述 ASIC 包括：接收装置，适于根据传输信号产生接收信号，相关装置，适于响应同步序列中的每个接收符号而根据接收信号产生相关峰，计算装置，用于根据预定同步间隙模板计算每个接收相关峰的预计位置，确定装置，用于确定预计位置上的相关质量，和用于评估相关质量并且在评估超过预定标准时声明同步的装置。

根据本发明还提供了一种通信站，用于针对通过基于共享通信介质的网络连接的其它站发送和接收信号，包括：耦合电路，用于产生通过网络接收的接收信号，并且将发送信号输出到网络上，发送器，适于根据调制方案调制要发送的同步序列和数据，以便据此产生发送信号，所述同步序列包括多个符号，其中根据预定同步序列模板通过第一信号分隔每个符号，

接收器，适于根据调制方案解调接收信号，以便据此产生接收数据信号，所述接收器包括获得电路，所述获得电路包括：用于使接收信号相关以据此产生多个接收相关峰的装置，用于根据预定同步序列模板计算每个接收相关峰的预计位置的装置，用于将每个接收相关峰的位置与相应预计位置进行比较，并且如果接收的相关峰的位置在相应预计位置的预定距离内则声明匹配的装置，用于在匹配数量超过阈值的情况下声明同步的装置，介质访问控制 (MAC) 电路，适于使应用处理器与共享通信介质接口，和应用处理器，适于控制发送器、接收器和 MAC 的操作，并且在 MAC 和外部主机之间提供接口。

附图说明

这里参照附图并且仅以示例的方式描述本发明，其中：

图 1 示出了适于产生根据本发明构造的同步序列的示例性发送器；

图 2 示出了包括根据本发明构造的获得和同步电路的示例性接收器；

图 3 示出了包括同步序列的示例性分组的格式；

图 4 示出了包括以预定时间延迟分隔的多个符号的示例性同步序列传输信号；

图 5 示出了响应图 4 的同步序列而产生的相应相关峰；

图 6 示出了线性相关器响应示例性接收信号的输出，所述示例性接收信号对应于图 4 的同步序列传输信号；

图 7A 和 7B 的流程图更详细地示出了本发明的获得方法；以及

图 8 的模块图示出了引入适于执行本发明的获得和同步机制的发送器和接收器电路的通信站的示例性实施例。

具体实施方式

全文使用的符号

本文使用了以下符号。

术语	定义
----	----

AC	交变电流
ASIC	专用集成电路
BPF	带通滤波器
CD	载波检测
CRC	循环冗余码
CSK	码移键控
CSMA	载波检测多路存取
DCSK	差分码移键控
DSP	数字信号处理器
EEROM	电可擦除只读存储器
FPGA	现场可编程门阵列
IR	红外
ISO	国际标准化组织
MAC	介质访问控制
OSI	开放系统互连
PBX	专用小交换机
PLC	供电线路载波
RAM	随机访问存储器
RF	射频
ROM	只读存储器
SCR	硅控整流器
UST	单位符号时间

本发明的详细描述

本发明是一种新颖和实用的获得和同步机制。本发明的机制可用于通信系统，所述通信系统的特征在于诸如网络的使用供电线路载波通信的共享介质。通常，本发明适用于多个站连接到共享通信介质的情况，其中接收站必须获得发送站在每个分组的开始处发送的分组起始信号上的同步。

提供了一种扩频通信系统的改进获得机制，其中发送包括相隔预定时间延迟间隔的多个已知符号的同步序列，以作为分组起始信号。在接收器上，使用符号之间插入的预定间隙或时间延迟间隔，使接收信号与同步序列相关。

接收信号首先通过线性相关器，线性相关器的功能是产生每个接收符号的相关峰。接着计算每个相关峰的预计位置，并且与接收的相关峰的位置相比较。如果匹配数量超过阈值，则声明达到同步。

出于本说明书的目的，术语'站'、'节点'或'通信节点'应当表示通过硬件，软件或硬件和软件的组合实现的任何网络实体，其可以是基于共享介质的网络内的呼叫、链路或连接的端点。网络可以包括任何类型的共享网络或介质，其包含但不局限于基于供电线路载波的网络、双绞线网络、IR 无线网络、RF 无线网络、光纤环形网络等等。术语'呼叫'、'链路'或'连接'应当表示在至少两个节点之间建立以便在其间进行通信的任何通信路径。术语“相位单位”被定义成接收器中的样本时间。样本时间是任何适当的周期，其中可以不丢失信息地对信号或相关器输出进行采样。

本发明的获得和同步机制尤其适于在使用了差分码移键控 (DCSK) 或非差分码移键控 (CSK) 调制技术的扩频数据通信系统中使用。这种通信系统适用于诸如 AC 供电线的噪声相对较高的环境。

在 CSK 传输系统中，以具有长度 T 的连续循环移位波形之间的时间偏移的形式发送数据，所述循环移位波形被称作扩频波形，即扩频相关序列波形。扩频波形可以包括任何类型的、具有适当自相关性质的波形。在各个被称作单位符号时间 (UST) 的符号周期期间发送多个比特。符号周期被分成多个偏移索引，其中每个偏移索引代表一种具体比特模式。通过将扩频波形旋转某个对应于要发送的数据量来传送信息，即比特模式。通过在发送数据之前应用于扩频波形的旋转或循环移位的程度来传送数据。注意，扩频波形可以包括任何适当的波形，例如啁啾、伪随机序列等等。

在 CSK 系统中，通过分配给扩频波形的绝对偏移传送数据。在 DCSK 系统中，通过连续符号之间的移位差传送数据。本发明的同步方案适用于

CSK 和 DCSK 传输系统。

当接收器进行接收时，信号被输入到匹配滤波器，匹配滤波器具有扩频波形模式的模板，以检测每个符号的接收信号内的旋转（或循环移位）量。接收的数据被馈送到循环相关器，其中内容被周期性循环移位，并且据此产生相关输出。通过将接收的数据输入到移位寄存器，并且对移位寄存器的内容进行循环旋转，即移位，可以实现循环相关，其中移位寄存器的输出被反馈到其输入。移位寄存器的输出被输入到匹配滤波器。对于每个比特移位或旋转，匹配滤波器产生相关累加和。针对每个 UST 确定偏移索引，该偏移索引对应于产生最大（或最小）相关累加和的偏移索引。通过从先前接收的偏移索引中减去当前接收的偏移索引，产生差分偏移索引。接着解码差分偏移索引以产生最初发送的数据。

在授权给 Raphaeli，标题为“使用差分码移键控的扩频通信系统”的美国专利 6,064,695 中更详细地描述了基于 DCSK 或 CSK 调制的扩频通信系统，这里完整地引用了该专利以作为参考。

具有同步序列发生器的发送器

发送站以分组形式向接收站发送数据。每个分组的前面是同步序列，同步序列包括预定数量的符号，在各个符号之间具有预定间隙或时间延迟。同步序列的长度可以是任何适当数目的符号，只要使得接收站能够与发送站同步。仅出于说明的目的，在这里提供的例子中，同步序列包括具有已知移位旋转的 7 个符号，例如零偏移符号的序列。发送这 7 个符号，其中各个符号之间插入特定的预定时间延迟。符号之间插入的具体时间延迟确定了唯一的同步序列间隙（即时间延迟）模板。不同的同步序列具有不同的时间延迟模板。同步符号之间插入的间隔被接收站中的接收器用来确定传输中使用的特定分组类型。有关分组类型的知识对于正确解码其余分组而言是关键的。

图 1 示出了适于产生根据本发明构造的同步序列的示例性发送器。发送器 10 被是位于每个站中的调制解调收发信机的一部分。在所提供的例子中，调制解调收发信机适于使用 CSK 调制进行通信。注意，通信领域

的技术人员也可以将本发明的技术应用于其它调制技术。

外部主机 12 提供要发送的数据，并且数据被输入到编码器 14。编码器的功能是确定应用于输出扩频波形的旋转量。旋转量被表示成偏移索引。偏移索引被输入到扩频波形发生器 20，扩频波形发生器 20 的功能是根据偏移索引产生扩频波形信号。扩频波形本身被存储在扩频波形 ROM 24 中，扩频波形 ROM 24 包含扩频波形频率波形的数字化表示。从对应于偏移索引的初始点开始读出扩频波形。从初始点开始，循环读出整个扩频波形并且通过耦合电路 22 发送到信道上。

耦合电路包括用于将信号耦合到物理信道上的电路。例如，耦合电路包括 D/A 转换器，D/A 转换器的模拟输出首先被具有适当通带的带通滤波器 (BPF) 根据信号宽度进行滤波。接着由输出放大器放大 BPF 的输出，其中放大器的输出包括发送输出信号。

发送器的功能不仅是发送数据，而且还发送同步序列，该同步序列形成在每个分组的开始处发送的分组起始信号。同步序列发生器 16 产生同步序列，同步序列发生器 16 的输出和从主机接收的数据一起被输入到编码器。编码器适于根据控制器 26 输出的同步/数据控制器信号，处理来自主机的数据，或来自同步序列发生器的同步序列。

当处于同步模式时，编码器可以根据输入同步序列产生偏移索引。根据本发明，同步序列包括在各个符号之间具有预定时间间隙的多个符号。可以产生多个同步序列，其中每个序列包括各个符号之间的时间延迟或间隙的唯一集合。可以使用从控制器输出的 SEQ 控制信号选择多个同步序列中的一个。

每个集合的序列符号间唯一时间延迟或间隙作为同步序列间隙模板被存储在 ROM 或其它表格装置 18 中。当需要产生同步序列时，序列发生器输出多个同步符号 (例如针对发送器和接收器具有零或其它旋转的符号)，并且根据针对要发送的具体同步序列的间隙模板的内容在各个符号之间插入特定时间延迟。注意，对于每个同步序列 7 个符号的示例性情况，同步序列间隙表格适于存储每个同步序列 6 个时间延迟。可以按照任何适

当的格式，例如以时间、时钟、UST 的分数、相位时钟节拍等等为单位来存储时间延迟。

图 4 示出了包括以预定时间延迟分隔的多个符号的示例性同步序列传输信号。每个符号具有一个 UST 的固定长度，该固定长度在这个例子中相当于 256 个接收器相关相位单位 (即样本时间)，对应于 $800\ \mu\text{s}$ 。各个符号之间插入的时间延迟的最大长度为 $700\ \mu\text{s}$ 。在示出的例子中，在第一符号之后插入的第一延迟为 64 个相位单位或 $200\ \mu\text{s}$ 。

根据本发明，提供一组 5 个正交同步序列，其中各个序列被用于传送有关具体传输中使用的分组类型的信息。各个分组类型对应于不同的同步序列。5 个同步序列如表格 1 所示。

表格 1: 同步序列时间延迟间隔

序列号	分组类型	时间延迟
1	1	[10,6,12,9,8,5]
2	2	[4,5,14,12,11,9]
3	3	[6,4,11,13,5,10]
4	4	[8,7,4,9,5,11]
5	5	[11,5,7,9,6,6]

分组类型可以对应于例如具有不同数据速率的分组，ACK 分组等等。根据具体的实现，不同同步序列可以被用于传送任何类型的信息，并且不局限于传送调制或分组类型。将各个序列的时间延迟提供为 $50\ \mu\text{s}$ 的倍数。于是，序列 #3 的第三和第四符号之间插入的延迟为 $550\ \mu\text{s}$ 。同步序列的总持续时间等于时间延迟的累加和以及 7 个符号持续时间的累加和。注意，任何上述序列的时间延迟的累加和均不超过 64 (即 4 UST 或 $3,200\ \mu\text{s}$)。于是，同步序列的最大持续时间为 11 UST，包括 7 个符号 UST 加上符号间延迟的 4 个 UST。

注意，间隙可以为零，并且可以大于 14。另外，获得机制可以使用

任何类型的信号来实现，并且不局限于使用间隙。此外，可以使用可变长度符号，其中仅在一部分接收符号上执行相关。换言之，可以相加发送符号之前或之后的能量，其中相关长度保持固定。可选地，符号可以被旋转，而不是具有零偏移。在这种情况下，旋转导致符号的相关点发生移动，并且导致相关值与所应用的旋转量成比例地降低。

由于符号长度为 $800\ \mu\text{s}$ 或 256 相位单位 (即相关样本)，如表 2 所示，可以根据相关相位单位改写同步序列时间延迟。每个符号持续时间包括 $256 + (\text{时间延迟} * 16)$ 个相位单位，其中时间延迟来自于前面的表 1。

表 2: 同步序列时间延迟间隔

序列号	符号持续时间
1	[416,352,448,400,384,336]
2	[320,336,480,448,432,400]
3	[352,320,432,464,336,416]
4	[384,368,320,400,336,432]
5	[432,336,368,400,352,352]

注意，发送器中的同步符号间隙 ROM 可以适于存储时间延迟，符号持续时间，或产生每个符号的持续时间与各个符号之间插入的间隙的任何其他值。针对要发送的每个唯一同步序列提供一组时间延迟，符号持续时间等等。

如上所述，在发送分组数据之前，在每个分组的开始处发送同步序列。图 3 示出了包括同步序列的示例性分组的格式。分组 70 包括分组起始处的同步序列 72，分组头字段 74，CRC8 差错校验值 76，数据有效负载 78 和 CRC16 差错校验字段 80。如下文更详细地描述的，接收器中的获得电路的功能是获得同步序列上的同步。一旦实现同步，可以从分组头的开始处进行数据解码。

具有获得和同步电路的接收器

图 2 示出了包括根据本发明构造的获得和同步电路的示例性接收器。

接收器 30 执行数据解码和取得每个分组之前发送的分组起始同步序列上的同步。从信道介质接收的信号被输入到信道耦合电路 32, 信道耦合电路 32 使接收器与输电线等等接口。接着通过带通滤波器 (BPF) 33 对接收的信号进行滤波, 该带通滤波器具有针对有关频带的适当频率特征。带通滤波器 (BPF) 的带宽足够接收在扩频波形内发送的频率的范围。滤波器的输出被输入到 1 位 A/D 转换器 34。A/D 转换器可以包括比较器, 比较器与按照适当采样频率驱动的采样器相结合。

A/D 转换器的输出被输入到二输入多路复用器 (mux) 36 的一个输入上。多路复用器的输出被输入到移位寄存器 38。移位寄存器的长度均为 256 位, 这仅是为了说明的目的。移位寄存器的输出被输入到相关器 40。使用其功能是识别扩频波形模式的匹配滤波器来实现相关器。扩频波形模式被存储成相关器内的模板, 并且被用来检测接收信号中扩频波形的存在。移位寄存器的串行输出回送到回送到多路复用器的第二输入。通过控制器 54 输出的线性/循环控制信号控制多路复用器选择输出。

相关器电路能够以线性或循环模式操作。对于获得和同步, 相关器被设置成在线性模式下工作。在线性模式操作中, 多路复用器被设置成将 A/D 转换器的输出选择成移位寄存器的输入。按照时钟节拍将 A/D 转换器的每个比特输出提供到移位寄存器, 而移位寄存器的并行输出被输入到相关器。

在相关器内, 输入到相关器的每个比特与模板中的对应比特相乘。累加所有 256 个乘积以构成相关器的输出 62。

线性相关的输出被输入到充当 I^2+Q^2 型能量检测器的相关峰处理器 58。相关峰处理器的功能包括在 UST 周期上搜寻最大相关峰值并据此产生信号 66, 产生符号时钟 68, 和检测载波的存在并据此产生载波检测(CD)信号 64。根据相关结果导出 CD 信号, 并且在相关结果超过阈值的情况下声明 CD 信号。

相关峰处理器的输出信号 66 被输入到获得处理器电路 50。获得处理的功能是接收并在存储器表格 44 中存储相关峰数据, 存储器可以包括任

何适当的存储器装置,例如 RAM 等等。类似地,相关峰的位置也被存储在存储器表格 46 中。同步序列模板存储器 (例如 ROM 等等) 48 存储一个或多个时间延迟或符号间间隙集合,其中每个集合对应于不同的同步序列。下文会更详细地描述获得处理。

一旦实现同步,控制器将相关器的操作模式切换到循环相关,其中针对完整的 UST 周期加载和循环移位移位寄存器的内容。数据解码电路 52 对产生最大相关峰值的移位进行解码,并据此输出接收数据。根据从获得处理器输出并且被控制器用来为循环相关处理提供合适定时时间的同步信号 60 的输出,接收器得到有关接收信号中符号的位置的知识(即 UST)。

获得和同步机制

根据本发明的获得和同步机制,执行接收信号与整个同步序列的相关。然而,接收信号与同步序列的相关被获得处理器 50 应用于从线性相关器 40 输出的信号。通过处理具有图 4 示出的同步序列传输信号的形式接收信号,产生来自线性相关器的包括多个相关峰的输出信号,其中相关峰之间的距离对应于在同步序列的各个符号之间插入的时间延迟。这个相关峰之间的距离等于 256 个相位单位加上根据用于产生传输的具体同步序列模板定义的延迟。于是,获得处理器的主要功能是在其相应的正确位置搜寻相关峰,确定匹配相关峰的数量,并且决定是否声明同步。换言之,获得处理器决定传输是否当前正被接收,并且如果正在被接收,则对分组的其余部分进行解码。

图 5 示出了响应图 4 的同步序列而产生的相应相关峰。示出的同步序列对应于前面表 1 和 2 中的序列号 2。传送具有序列号 2 的传输信号通过线性相关器,导致相关峰的序列分隔基于序列号 2 的距离。于是,对于序列号 2, 6 个间隙或符号间隔时间延迟对应于表 2 中的那些值。

在垂直箭头所示的最后相关峰之后 500 μs (即 160 相位单位)处,得到开始数据解码的同步点。在从最后相关峰开始经过 1300 μs 稍后,出现从线性到循环相关的切换点。1300 μs 时间的定义源于同步序列的最后符号的接收时间 (即相关峰的位置)加上相关峰之后 500 μs 的延迟,并后跟数

据的第一符号 (即 $800\ \mu\text{s}$)。仅在第一数据符号已经按时钟节拍输送到移位寄存器之后才开始循环相关。

每个唯一同步序列确定 7 个相关峰预计出现的位置。相关峰之间的 6 个预定 (即预计)距离被存储在发送器和接收器的同步序列间隙模板中。于是,对于包括 N 个符号的同步序列, $N-1$ 个距离差被存储在同步序列间隙模板中。注意,最大长度的同步序列为对应于 11 个 UST 的 2704 个相位单位。于是,将应用于接收信号的相关窗口的数量为 11。术语“相关窗口”被定义成符号时间或 UST。注意,可选地,相关窗口可以被选择成小于或大于 UST。例如,如果最小间隙长度为零,则相关窗口应当小于 UST。

现在更详细地描述获得机制。仅出于说明的目的,使用产生相关峰序列的样本接收信号。图 6 示出了线性相关器响应样本接收信号的输出,所述信号对应于图 4 的同步序列传输信号。沿着 x -轴的节拍对应于 11 个 UST 窗口。各个相关峰被标记为 PK#1 至 PK#7,其中 PK#7 的产生时间晚于 PK#1。

获得算法能够将每个接收相关峰的位置与根据同步序列符号间隙模板的时间延迟计算的预计位置相比较。参照最后接收的相关峰计算预计位置,其中假定它处于正确的位置。例如,通过从接收的相关 PK#7 的位置中减去间隙模板的间隙 #6,计算 PK#6 的预计位置。这个距离由附图标记 90 表示。类似地,通过从 PK#7 的位置中减去间隙 #5 和 #6 的累加和(距离 92),计算 PK#5 的预计位置。类似地,通过从 PK#7 的位置中减去间隙 #4, #5 和 #6 的累加和(距离 94),计算 PK#4 的预计位置。通过这种方式计算相关峰 PK#1 至 PK#6 的预计距离。如果找到足够数量的匹配相关峰,则声明同步。如果没有找到同步,算法重复执行,其中假定前一相关峰 (即 PK#6)正确,从而继续执行到 PK#4。

图 7A 和 7B 是更详细地说明本发明的获得方法的流程图。对于线性相关器输出的每个新的相关峰,相关峰的位置和值被存储在存储器的表格中 (步骤 100)。对于同步序列的长度,所有这两个表格是足够大的,以存储 11 个表项,其中所述表项对应于可能的 11 个 UST 窗口。最初,算法

没有开始执行，直到已经经过至少 11 个窗口。

算法从假定处于正确位置的最后接收的相关峰开始 (步骤 102)。在上文提供的例子中，假定 PK#7 处于正确位置。对于各个其它相关峰 (即相关峰 PK#6 至 PK#1)，使用模板中存储的针对序列中该符号的间隙距离，参照最后接收的相关峰 (即 PK#7) 计算每个相关峰的预计位置 (步骤 104)。通过从最后接收的相关峰的位置中减去模板中存储的、构成较早相关峰和最后接收的相关峰之间的距离的各个间隙的累加和，计算序列中较早相关峰的预计位置。如果结果为负，则窗口长度 (即 1 个 UST 或 256 个相位单位) 被加到接收的相关峰的位置上。这是对在每个窗口周期中没有接收到相关峰的情况的补偿。由于相对于具体窗口 (其中接收各个相关峰) 测量相关峰的位置，负结果表明经过了至少一个其中没有接收到相关峰的窗口的 UST。

接着将相关峰的预计位置与实际接收的相关峰的位置相比较 (步骤 106)。接着从接收的相关峰的位置 P_{REC} 中减去根据同步序列间隙模板导出的相关峰的预计 (即期望) 位置 P_{EXP} (步骤 108)。如果差值在预定增量范围内，则声明匹配 (步骤 110)，并且递增计数器 `num_matches`。如果相关峰的值超过峰值阈值 (步骤 130)，则递增计数器 `num_high_peaks` (步骤 132)。如果差值不在预定阈值范围内，则声明失配，并且跟踪失配数量 (步骤 112)。注意，增量可以具有预计位置的方向，即左或右，然而在这里提供的示例性实施例中，增量只具有向预计位置的左边的方向。在这里提供的例子中，增量的值等于 8 个相位单位。根据具体实现，也可以使用其它的增量值。

针对各个其余相关峰重复计算、比较和确定是否存在匹配的步骤 (步骤 114)。在 `num_peaks` 等于 7 个同步序列符号的示例性情况下，处理针对相关峰 PK#6 到 PK#1 重复 6 次。一旦完成所有相关峰的处理，如果 `num_matches` 大于 `num_matches_thresh`，则声明同步 (步骤 116)。在这个例子中，如果 6 次比较中有 4 次或更多次匹配，即 `num_matches_thresh = 3`，则声明同步。在 (1) `num_matches = num_matches_thresh` (例如匹配

数量等于 3)和 (2)一半匹配相关峰具有超过阈值的相关值 (例如 num_high_peaks 的值等于 3)的边界情况下, 也声明同步。

如果声明同步, 则计算同步点如下 (步骤 134)。也计算同步质量系数 (步骤 136)。如果刚计算的同步质量优于先前计算的同步质量 (步骤 138), 则丢弃前一同步点, 并且从当前同步点继续接收 (即获得处理继续执行) (步骤 140)。

如果没有找到同步 (步骤 116), 则假定错误接收了对应于最后接收的相关峰的符号 (步骤 118), 算法重复执行, 并且搜寻匹配相关峰。在提供的例子中, 假定错误接收了对应于 PK#7 的符号, PK#6 被认为是最后接收的相关峰, 并且假定处于正确位置。接着参照 PK#6 计算 PK#5 至 PK#1 的预计位置, 并且与对应的接收的相关峰位置相比较。象在前一循环中那样, 相同的同步标准在这里同样适用。如果没有找到同步, 则下一次迭代假定错误接收 PK#7 和 PK#6, 而后是最后迭代, 其中假定错误接收 PK#7, PK#6 和 PK#5。

迭代继续执行, 直到相关峰 # (num_peaks - num_matches)。如果在最后迭代(即这个例子中, PK#4 被认为是最后接收的相关峰)之后 (步骤 120)没有找到同步, 则再次将 PK#7 作为最后接收的相关峰, 并且将其位置向右移动一个相位单位 (步骤 122)。针对最后接收相关峰或相关峰 # (num_peaks), 即这个例子中的 PK#7, 以新的位置重复算法。如果没有找到同步, 则最后接收的相关峰的位置向右移动额外的相位单位, 并且重复算法。相关峰位置的移位继续执行, 直至增量相位单位 (步骤 124)。

注意, 向右移动一个相位单位是指在时间轴上前进 (即时间后延), 而向左移动一个相位是指是在时间轴上后退 (即时间提前)。

注意, 这个结合了预计位置和接收位置之间差值的允许增量的向右增量相位, 以及预计位置的向左增量相位的移位的优点在于, 在相关峰的位置方面提供了 +/-增量容差, 同时实现了相当于 +/-增量 / 2 的出错报警率。可选地, 通过允许相关峰的某个宽度而不是限制增量, 可以降低出错报警率。

如果在移动最后接收的相关峰的位置之后仍然没有找到同步,则使用不同的同步序列重复算法(步骤 126)。于是,使用与所测试的同步序列的同步序列间隙模板相关的不同时间延迟计算接收的相关峰的预计位置。重复算法,直到测试了所有的同步序列(步骤 128)。如果仍然没有找到同步,则算法再次开始,并且等待产生新的相关峰。

注意,根据期望的灵敏度等级, `num_peaks` 的值可以有所不同。`numl_peaks` 越低,则获得对噪声的灵敏度就越高,反之亦然。

还应当注意,在前面描述的方法中,通过寻找最大线性相关值来验证相关峰。可选地,可以在整个接收序列上,而不是以逐个符号(逐个相关峰)的方式执行搜寻。针对相关峰的预计出现位置检查整个序列,并且构造包括相关峰预计位置增量的信号训练序列。于是,在整个 11 个 UST 上一次性执行搜寻。

注意,本发明不局限于上述同步质量测量的类型。有关对超过阈值的相关峰的数量进行计数的同步质量测量只作为一个例子。可选地,可以累加预计位置的相关值,并且将所有 7 个相关的累加和与阈值相比较。

同步点的调整

如上所述,一旦已经声明同步,则计算同步点。获得机制的一个主要目的是确定定义了实际分组的起始的同步点。在该点上,接收信号的相关从线性切换到循环,并且开始解码数据。根据使用的调制类型,码本中两个连续符号之间的距离可以相对非常小。例如,考虑每个符号发送 6 个比特的 DCSK 调制,连续符号之间的距离仅有 4 个相位单位。因此,由于仅仅 2 个相位单位的同步点移动便可导致同步差错和整个分组的损失,所以必须以足够的精度确定同步点。错误同步点导致所有要解码的符号在码本中被移动一个位置,从而导致所有符号的不正确解码,并且不能通过纠错码校正。

由于最后接收的相关峰的位置允许改变增量相位单位的距离,同步点也可以改变增量相位单位的距离。于是根据本发明,当预计相关峰位置和接收相关峰位置之间存在匹配时,使用有关预计相关峰位置和接收的相关

峰位置之间的差值的信息确定同步点。通过下面的方式使用差值平均值执行同步点的最终调整，以匹配相关峰：

$$\text{sync_pt}_{\text{TUNED}} = \text{sync_pt} + \frac{\sum (P_{\text{EXP}} - P_{\text{REC}})}{\text{num_matches}} \quad \text{确良} \quad (1)$$

其中 sync_pt 是未调整的同步点。于是，计算应用于匹配相关峰的移动平均值，并且加到计算的同步点上。注意，未调整的同步点包括如上文所述其中声明同步的最后接收的相关峰的位置加上 $1300 \mu\text{s}$ 。

同步质量系数

根据本发明，每当声明同步时计算同步质量系数。质量系数被定义如下：

$$\text{sync_quality_factor} = \text{num_matches} + \text{num_high_peaks} \quad (2)$$

于是，质量系数是匹配数量和处于正确位置、其相关值大于阈值(例如，比 255 的最大值高出 15)的相关峰的数量之和。于是，对于 7 个符号的同步序列，质量系数的范围为 0 到 12。

根据获得算法，相位获得继续执行，直到在分组头的结束处接收到 CRC8。如果 CRC8 正确，则获得结束。如果 CRC8 错误，则获得继续执行。如果在声明同步之后仍然处于获得状态，则以高于前一次的质量系数声明新的同步，丢弃先前接收的分组，并且接收器立即开始接收当前分组。

为了在声明同步之后继续执行获得并直到接收到 CRC8，需要两组硬件。根据具体实现，一组硬件可以在以双倍于标称速率的频率提供时钟的情况下使用。

同步标准

调整本发明的获得和同步机制，使得用于声明同步的标准保证不出现这样的情况，即可以校正分组中的错误数据但没有实现同步。换言之，同步算法被设计成比数据接收更加可靠。在使用的纠错编码能够校正 7 个符号中的 2-3 个出错符号的示例性情况中，获得算法最好更加可靠。

假定同步序列包括 7 个符号，则用于声明同步的标准为 4 个正确接收的符号。于是，允许 7 个符号中有 3 个出错符号，并且没有防止出现其中可以校正数据，但是没有实现同步的情况。

此外，为了实现足够低的源于噪声的同步的概率，使用如此选择的时间延迟构造同步序列，以便针对具有低端相关峰的每个序列提供高自相关的函数(即在一个同步序列中没有超过两个的相等延迟)。

于是，为了使噪声所造成的同步的概率最小，相关峰的值被用作额外标准。尤其是，在存在任何 3 个匹配的情况下，如果 4 相关峰中有 3 个相关峰的相关值超过预定阈值，则声明同步，否则同步被认为是由噪声产生的。

另外，为了实现足够低的与另一个同步序列同步的概率，使用如此选择的时间延迟构造同步序列，以便针对每对序列提供低自相关的函数(即连续延迟的累加和一个序列中的延迟，与其它序列中的连续延迟的累加和或延迟之间的匹配数量应当最小)。

于是，为了来自另一个序列的同步的概率最小，相关峰的最小值被用作额外标准。尤其是，在存在任何 3 个匹配(即 7 个符号中有 3 个出错符号)的情况下，校验 4 个失配的相关峰的值。如果错误相关峰具有大于阈值的相关值(例如，高出 255 的最大值 30)，则认为相关峰来自于另一个同步序列，并且否决同步的声明。

引入获得机制的站

本发明的同步序列发生器和获得和同步电路可以被引入到例如站、网络节点，调制解调器等等的通信收信机中。一个示例性应用是适于在供电线路介质上进行通信的数字调制解调器。调制解调器使用 100 - 400 kHz 频带(在美国)，或 95-125 kHz 和 20 - 80 kHz 频带(在欧洲)。使用的调制为 DCSK，并且 DCSK 能够使用合适频带中的扩频调制信号进行单播、广播和组播传输。每个发送分组包括同步序列并后跟被调制为循环移位数据扩频波形的分组数据，所述同步序列允许接收器与扩频波形(即啁啾，PN 序列等等)同步。如上所述，通过线性相关器处理同步序列，同时使用循环相关对数据进行解码。

图 8 的模块图示出了引入适于执行本发明的获得和同步机制的发送器和接收器电路的站的示例性实施例。站 150 表示可以独立操作的站，或

可以被引入到诸如交换机、路由器、集线器、宽带调制解调器、电缆调制解调器、基于 PLC 的调制解调器等等、用于执行通信功能(即实现包含 MAC 功能的 OSI 堆栈协议功能)的网络设备中。站包括具有与之通信的相关的静态、动态、易失和/或非易失存储器 (未示出)的应用处理器 166。应用处理器也通过主机接口 168 与主机设备 170 通信。主机可以适于通过一或多个网络通信。

站包括用于使站与共享介质 152 接口的介质耦合电路 154。发送电路 156 从 MAC 接收数据以进行传输,其功能是将数据编码成接着被调制并且通过介质发送的符号。发送电路也包括根据本发明构造的同步序列发生器 158,其功能是产生在每个分组的起始处发送的同步序列。

发送电路 158 和接收电路 160 通过介质耦合电路在介质上进行通信。Rx 电路的功能是对接收信号进行相关和解码,并且据此产生接收输出数据。接收电路也包括根据本发明构造的相关峰处理器 161 以及获得和同步电路 162。

一方面,介质访问控制器(MAC) 164 的功能是向发送电路提供发送数据,并且从接收电路输入接收数据。在处理器一侧,它与应用处理器接口。MAC 适于实现任何适当的、如本领域众所周知的层次 2 (即链路层)介质访问控制技术。

注意,可以通过硬件或软件实现获得和同步机制。软件实现可以适于驻留在诸如磁盘、软盘、快闪存储器卡、 EEROM 存储器、磁泡存储器、RAM 存储器、ROM 存储器等等的计算机可读介质上。软件也可以整个或部分地驻留在静态或动态主存储器,或计算机系统的处理器内的固件中。处理器可以包括任何适当的处理装置,包含微控制器、微型计算机、微处理器、数字信号处理器 (DSP)、FPGA 核心、ASIC 核心等等。尤其是,软件包括当被处理器执行时使得计算机系统执行上述获得和同步机制的指令序列。

在可选实施例中,本发明可以适于在集成电路,尤其是专用集成电路 (ASIC)、现场可编程门阵列(FPGA)或芯片组、无线调制解调器设备、供

电线路调制解调器设备、交换系统产品和传输系统产品中实现如上所述的方法和设备。注意，也可以实现软件和硬件的组合，前者执行复杂的操作，而后者执行时间要求严格的操作。

出于本文的目的，术语交换系统产品应当表示专用小交换机(PBX)，互连用户的中心局交换系统、长途汇接交换中心和宽带核心交换机，其位于服务提供商网络的中心，所述服务提供商网络可以通过宽带端接交换机或接入多路复用器以及相关的信令和支持系统服务来馈送。术语传输系统产品应当表示被服务提供商用来在其用户及其诸如环路系统的网络中提供互连的产品，其在广大区域的服务提供商交换系统之间提供多路复用、汇集和传送，以及相关信令和支持系统和服务。

所附权利要求书意图覆盖本发明所有这种处于其宗旨和范围内的特性和优点。由于本领域的技术人员可容易地想到许多修改和改变，本发明不限于这里描述的有限数量的实施例。

因此应当理解，在不偏离本发明的宗旨和范围的前提下，可以进行所有适当的变化、修改和等价替换。

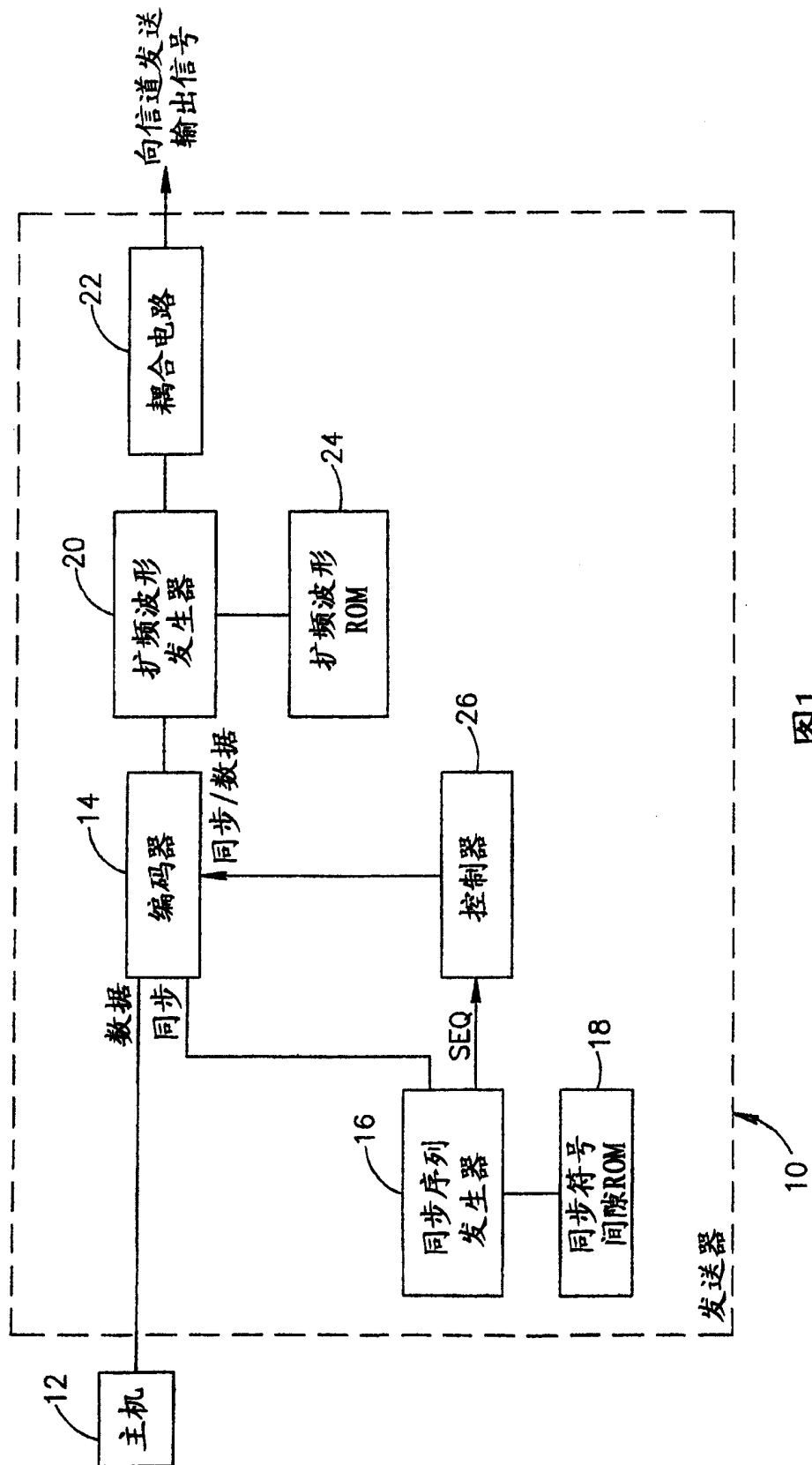


图1

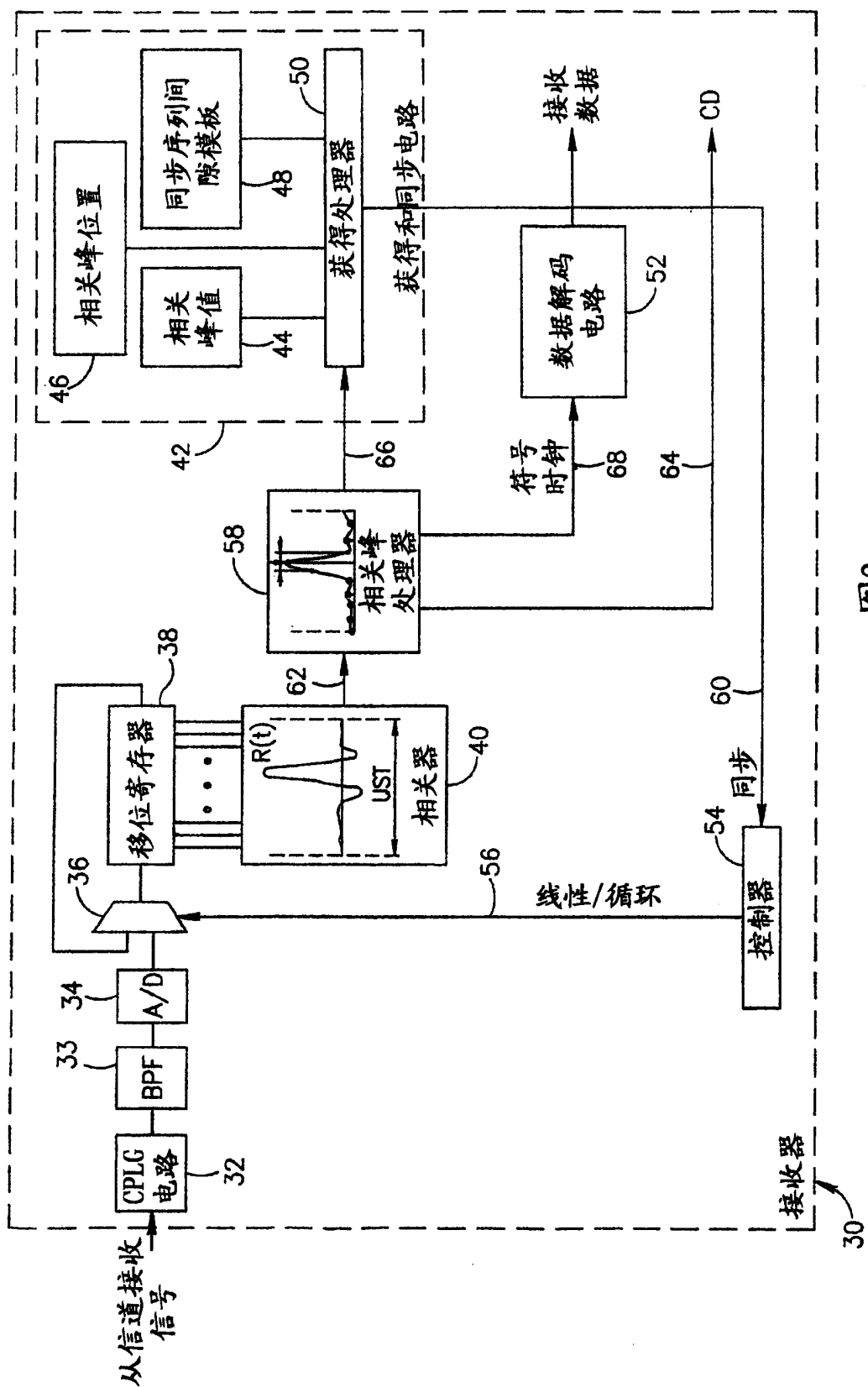


图2

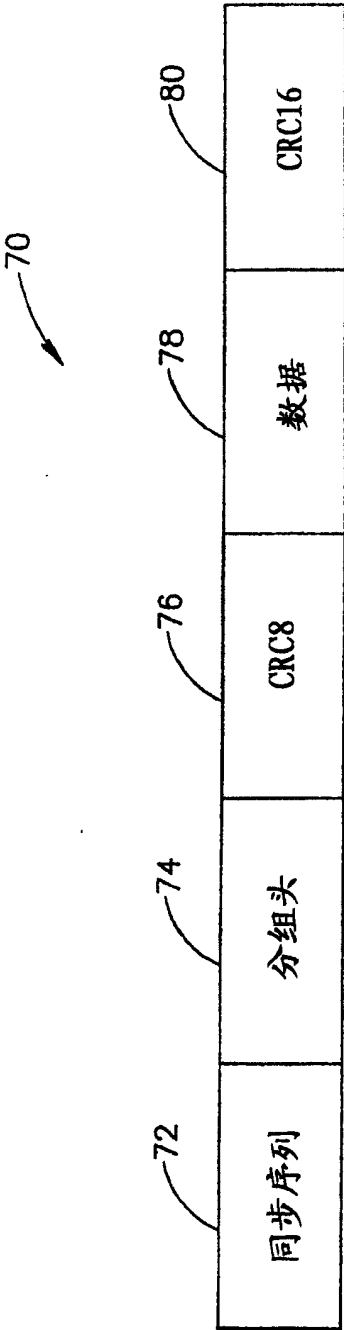


图3

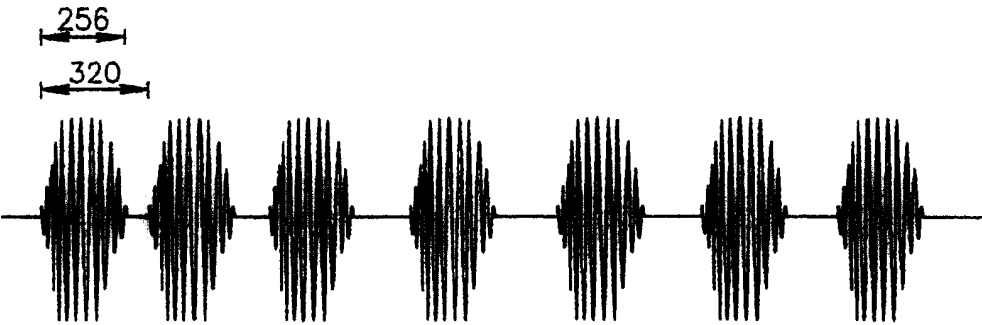


图4

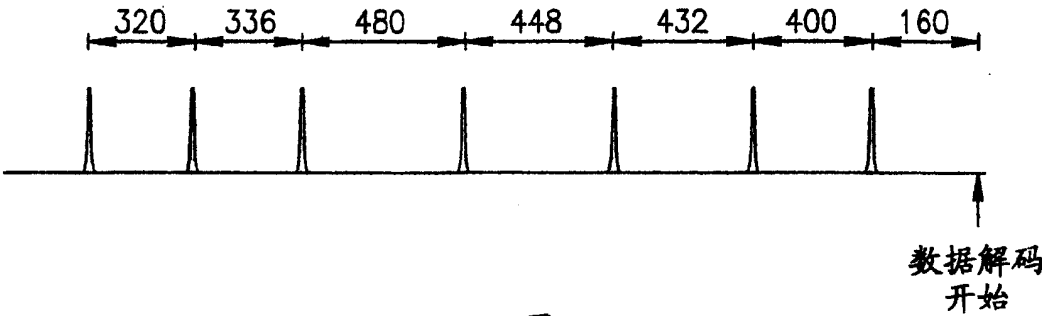


图5

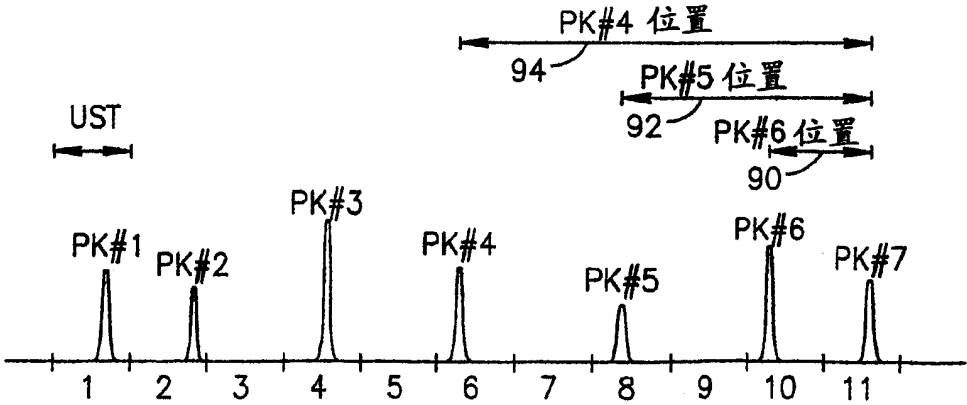
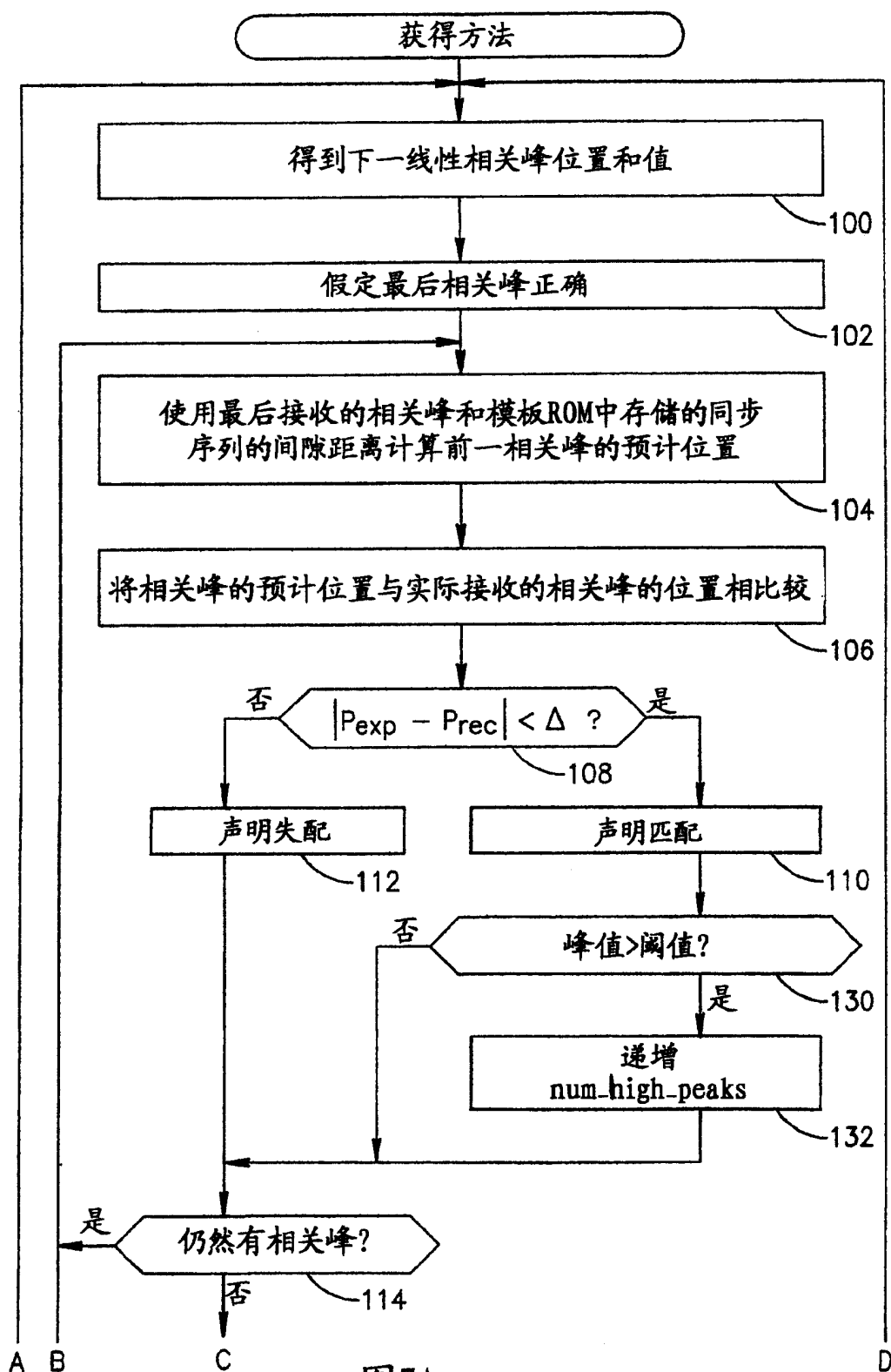
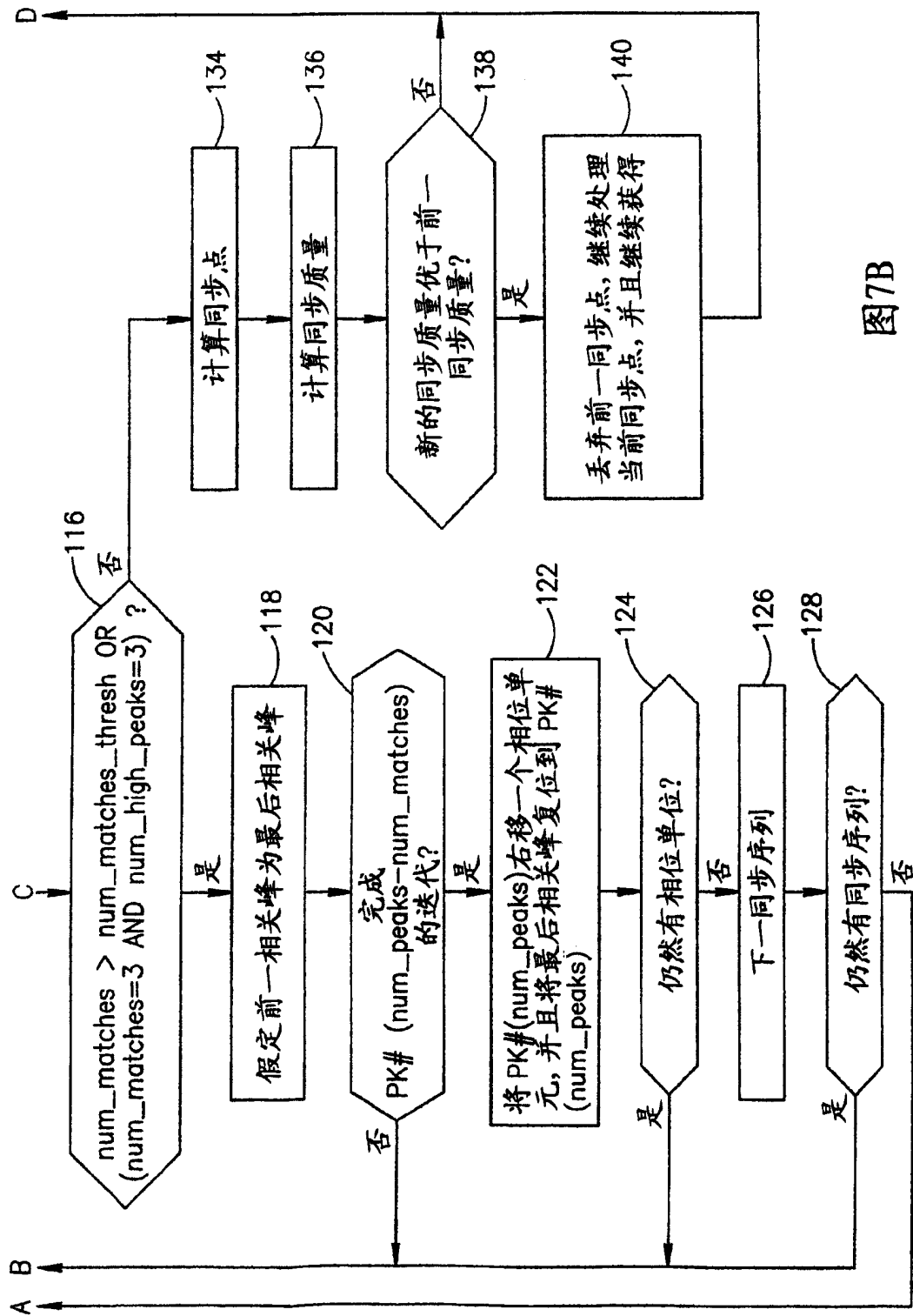


图6





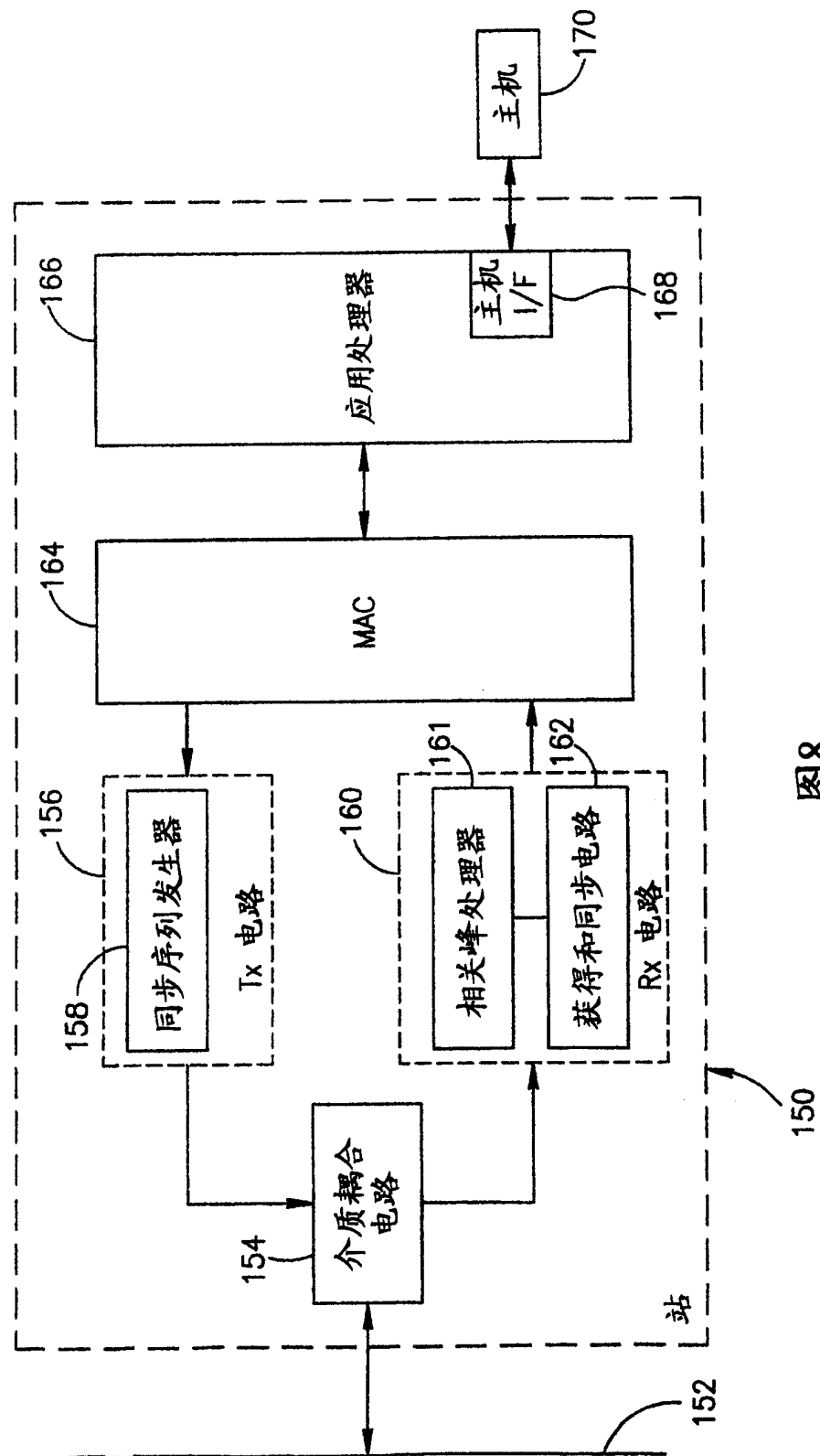


图8